

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6503072号
(P6503072)

(45) 発行日 平成31年4月17日(2019.4.17)

(24) 登録日 平成31年3月29日(2019.3.29)

(51) Int.Cl.		F I			
GO6N 99/00	(2019.01)	GO6N	99/00	180	
GO6F 15/173	(2006.01)	GO6F	15/173	682	
GO6F 15/80	(2006.01)	GO6F	15/80		

請求項の数 4 (全 28 頁)

(21) 出願番号	特願2017-537148 (P2017-537148)	(73) 特許権者	000005108
(86) (22) 出願日	平成27年9月2日(2015.9.2)		株式会社日立製作所
(86) 国際出願番号	PCT/JP2015/075002		東京都千代田区丸の内一丁目6番6号
(87) 国際公開番号	W02017/037903	(74) 代理人	110002066
(87) 国際公開日	平成29年3月9日(2017.3.9)		特許業務法人筒井国際特許事務所
審査請求日	平成29年10月16日(2017.10.16)	(72) 発明者	赤井 亮仁
			東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	吉村 地尋
			東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
		(72) 発明者	林 真人
			東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

最終頁に続く

(54) 【発明の名称】 半導体システムおよび計算方法

(57) 【特許請求の範囲】

【請求項1】

複数の半導体チップと、前記複数の半導体チップに接続されたコントローラとを備える半導体システムであって、

前記複数の半導体チップの各々は、複数のノード間の相互作用によって処理が実行される相互作用モデルで表現された問題データの各ノードの値が格納される第1のメモリと、前記問題データの各ノードに関する係数が格納される第2のメモリと、前記第1のメモリに格納された前記各ノードの値を更新する演算回路とを含むユニットを複数備え、

前記コントローラは、

処理対象とする問題データの各ノードの値が格納される第3のメモリと、

前記処理対象とする問題データの各ノードに関する係数が格納される第4のメモリと、

前記処理対象とする問題データのサイズと、制御対象とする前記半導体チップのチップ数と、1チップで処理可能な問題データのサイズとを設定するレジスタと、

前記レジスタの設定値に基づき、前記第3及び前記第4のメモリのアドレスと前記複数の半導体チップの各々のアドレスとの対応関係を設定するアドレス生成部と、

前記対応関係に基づき、前記第3及び前記第4のメモリに格納された前記各ノードの値及び前記係数を前記複数の半導体チップへ伝送するデータ展開部と、

前記複数の半導体チップの前記第1のメモリに格納された前記各ノードの値を受信し、前記対応関係に基づき前記第3のメモリへ格納するデータ集計部と、

を備え、

10

20

前記コントローラは、
前記第3のメモリの第1のアドレスと第2のアドレスとの対応関係を示すテーブルと、
前記テーブルを参照し、前記第1のアドレスから読み出した値を前記第2のアドレスへ
書き込むチップ間接続部と、

を備え、

前記データ展開部の伝送処理の実行後に、前記複数の半導体チップでの演算処理が実行
され、前記演算処理の実行後に、前記データ集計部の集計処理が実行され、

前記データ集計部の集計処理の実行後に、前記チップ間接続部による受信及び書込み処
理が実行され、前記書込み処理の実行後に、前記伝送処理、前記演算処理、前記集計処理
が実行され、

10

前記集計処理と、前記受信及び書込み処理と、前記伝送処理とが所定の周期で繰り返し
実行され、

前記所定の周期は徐々に短くなるように設定されている、
 半導体システム。

【請求項2】

請求項1に記載の半導体システムであって、

前記相互作用モデルはイジングモデルであり、前記各ノードの値はスピン値であり、前
 記係数は相互作用係数と外部磁場係数とを含む、半導体システム。

【請求項3】

複数の半導体チップと、前記複数の半導体チップに接続されたコントローラとを備える
 半導体システムの計算方法であって、

20

前記複数の半導体チップの各々は、複数のノード間の相互作用によって処理が実行され
 る相互作用モデルで表現された問題データの各ノードの値が格納される第1のメモリと、
 前記問題データの各ノードに関する係数が格納される第2のメモリと、前記第1のメモリ
 に格納された前記各ノードの値を更新する演算回路とを含むユニットを複数備え、

前記コントローラは、処理対象とする問題データの各ノードの値が格納される第3のメ
 モリと、前記処理対象とする問題データの各ノードに関する係数が格納される第4のメモ
 リと、前記処理対象とする問題データのサイズと、制御対象とする前記半導体チップのチ
 ップ数と、1チップで処理可能な問題データのサイズとを設定するレジスタと、アドレス
 生成部と、データ展開部と、データ集計部とを備え、

30

前記アドレス生成部は、前記レジスタの設定値に基づき、前記第3及び前記第4のメモ
 リのアドレスと前記複数の半導体チップの各々のアドレスとの対応関係を設定し、

前記データ展開部は、前記対応関係に基づき、前記第3及び前記第4のメモリに格納さ
 れた前記各ノードの値及び前記係数を前記複数の半導体チップへ伝送し、

前記データ集計部は、前記複数の半導体チップの前記第1のメモリに格納された前記各
 ノードの値を受信し、前記対応関係に基づき前記第3のメモリへ格納し、

前記コントローラは、前記第3のメモリの第1のアドレスと第2のアドレスとの対応関
係を示すテーブルと、チップ間接続部とを備え、

前記チップ間接続部は、前記テーブルを参照し、前記第1のアドレスから読み出した値
を前記第2のアドレスへ書き込み、

40

前記データ展開部の伝送処理の実行後に、前記複数の半導体チップでの演算処理を実行
し、前記演算処理の実行後に、前記データ集計部の集計処理を実行し、

前記データ集計部の集計処理の実行後に、前記チップ間接続部による受信及び書込み処
理を実行し、前記書込み処理の実行後に、前記伝送処理、前記演算処理、前記集計処理を
実行し、

前記集計処理と、前記受信及び書込み処理と、前記伝送処理とを所定の周期で繰り返し
実行し、

前記所定の周期は徐々に短くなるように設定されている、
 計算方法。

【請求項4】

50

請求項 3 に記載の計算方法であって、

前記相互作用モデルはイジングモデルであり、前記各ノードの値はスピン値であり、前記係数は相互作用係数と外部磁場係数とを含む、計算方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体システムおよび計算方法に関し、特に、大規模かつ複雑な相互作用モデルの計算を行う半導体システムおよび計算方法に適用して好適なものである。

【背景技術】

【0002】

種々の物理現象や社会現象は相互作用モデルで表現することができる。相互作用モデルとは、モデルを構成する複数個のノードと、ノード間の相互作用、さらに必要であればノード毎のバイアスで定義されるモデルである。物理学や社会科学では種々のモデルが提案されているが、いずれも相互作用モデルの一形態であると解釈できる。

【0003】

物理学の世界で代表的な相互作用モデルの例として、イジングモデルをあげることができる。イジングモデルは磁性体の振舞いを説明するための統計力学のモデルである。イジングモデルは +1 / -1 (ないしは、0 / 1、上 / 下) の 2 値をとるスピンと、スピン間の相互作用を示す相互作用係数と、スピン毎にある外部磁場係数とで定義される。

【0004】

イジングモデルは与えられたスピン配列、相互作用係数、及び、外部磁場係数から、その時のエネルギーを計算することができる。イジングモデルのエネルギー関数は一般的に次式で表わされる。

【0005】

【数 1】

$$E(s) = - \sum_{i < j} J_{i,j} \sigma_i \sigma_j - \sum_i h_i \sigma_i \quad \dots (1)$$

【0006】

なお、 σ_i, σ_j はそれぞれ i 番目と j 番目のスピンの値、 $J_{i,j}$ は i 番目と j 番目のスピンの間の相互作用係数、 h_i は i 番目のスピンに対する外部磁場係数、 s はスピンの配列を表わすものとする。

【0007】

(1) 式において、第一項は、スピン間の相互作用に起因するエネルギーを計算するものである。一般的にイジングモデルは無向グラフとして表現され、 i 番目スピンから j 番目スピンへの相互作用と、 j 番目スピンから i 番目スピンへの相互作用を区別することはない。そのため、第一項では $i < j$ を満たす σ_i, σ_j の組み合わせについて、相互作用係数の影響を計算している。また第二項は、各スピンに対する外部磁場に起因するエネルギーを計算するものである。

【0008】

イジングモデルの基底状態探索とは、イジングモデルのエネルギー関数を最小化するスピンの配列を求める最適化問題である。相互作用係数及び外部磁場係数の値域に制限を付けないときには、トポロジが非平面グラフになるイジングモデルの基底状態を求めることは NP 困難問題であることが知られている。

【0009】

イジングモデルの基底状態探索は、元々イジングモデルが対象としていた磁性体の振る舞いを説明することのみならず、様々な用途に用いられている。これは、イジングモデル

10

20

30

40

50

が相互作用に基づく最も単純なモデルであり、同様に相互作用に起因する様々な事象を表現する能力を持っているためである。

【0010】

また、イジングモデルの基底状態探索は、NP困難なグラフ問題として知られている最大カット問題にも対応する。このようなグラフ問題は、ソーシャルネットワークにおけるコミュニティの検出や、画像処理におけるセグメンテーションなど、幅広い応用を持っている。そのため、イジングモデルの基底状態探索を行うソルバがあれば、このような様々な問題に適用することができる。

【0011】

ところで、イジングモデルの基底状態を求めることは、前述したようにNP困難問題である。したがって、ノイマン型コンピュータで解くことは計算時間の面で困難を伴う。ヒューリスティックを導入して高速化を図るアルゴリズムも提案されているが、ノイマン型コンピュータではなく物理現象を利用した計算、すなわちアナログコンピュータでイジングモデルの基底状態を高速に求める方法が提案されている。例えば、このような装置として、特許文献1に記載の装置がある。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】国際公開第2012/118064号

【発明の概要】

【発明が解決しようとする課題】

【0013】

前記特許文献1に記載のような装置では、解くべき問題に対応した並列度が必要になってくる。イジングモデルの場合では、基底状態を探索すべきイジングモデルのスピンの数に対応して、それぞれのスピンや、当該スピンにおける他のスピンとの相互作用を表現する素子（以下、これを単位素子と呼ぶ）が必要となる。例えば、前記特許文献1に開示された装置では、スピンとレーザを対応させているため、スピン数に比例した数のレーザが必要となる。すなわち、多数の単位素子を搭載可能なスケラビリティの高さが必要となる。

【0014】

以上のことを考慮した場合、単位素子を規則的に多数並べて実現できる半導体のような固体素子でイジングモデルの基底状態探索を行えることが望ましい。特に、DRAM (Dynamic Random Access Memory) やSRAM (Static Random Access Memory) などの記憶装置に代表されるようなアレイ構造であり、かつ集積性を高められるように単位要素が単純な構造であることが望ましい。

【0015】

例えば、多数のスピンを含む大規模なイジングモデルの基底状態を探索可能な半導体システムを構築するためには、単位素子をスピン数に応じた数だけ半導体チップに搭載する必要がある。そして、イジングモデルのサイズより半導体チップが対応可能なスピン数が大きく、イジングモデルが漏れなく半導体チップに写像可能であることが望ましい。しかし、解くべき問題の問題サイズが拡大することを考慮すると、1個の半導体チップだけで対応した場合、チップサイズが大きくなり、また製造コストも高くなる。従って、このような半導体システムを実現するに際しては、ある程度の数の単位素子が搭載された半導体チップを複数使用するようにして構築することが望ましい。

【0016】

さらに、同一の半導体チップを複数使用する場合は、例えば、最も単純な2次元格子で説明すると、半導体チップがX方向とY方向でタイル状に並べられ、隣接する半導体チップ間は配線にて接続される。この場合、半導体チップの接続は、チップの4方向で実施可能で、隣接チップ間でのデータ伝送は可能であり、上下左右のチップ拡張で大規模な問題を解くことを可能にする。しかし、より複雑な大規模問題を解く場合は、それに合わせて

10

20

30

40

50

拡張方法の複雑化にも対応する必要がある。

【0017】

本発明の目的は、例えばイジングモデルなどのような大規模かつ複雑な相互作用モデルの計算を行うことができ、安価かつ容易に製造可能な半導体システムおよび計算方法を提供することにある。

【0018】

本発明の前記ならびにその他の目的と新規な特徴は、本明細書の記述および添付図面から明らかになるであろう。

【課題を解決するための手段】

【0019】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記の通りである。

【0020】

一実施の形態における半導体システムは、複数の半導体チップと、前記複数の半導体チップに接続されたコントローラとを備える半導体システムである。前記複数の半導体チップの各々は、複数のノード間の相互作用によって処理が実行される相互作用モデルで表現された問題データの各ノードの値が格納される第1のメモリと、前記問題データの各ノードに関する係数が格納される第2のメモリと、前記第1のメモリに格納された前記各ノードの値を更新する演算回路とを含むユニットを複数備える。

【0021】

前記コントローラは、処理対象とする問題データの各ノードの値が格納される第3のメモリと、前記処理対象とする問題データの各ノードに関する係数が格納される第4のメモリと、前記処理対象とする問題データのサイズと、制御対象とする前記半導体チップのチップ数と、1チップで処理可能な問題データのサイズとを設定するレジスタと、前記レジスタの設定値に基づき、前記第3及び前記第4のメモリのアドレスと前記複数の半導体チップの各々のアドレスとの対応関係を設定するアドレス生成部と、前記対応関係に基づき、前記第3及び前記第4のメモリに格納された前記各ノードの値及び前記係数を前記複数の半導体チップへ伝送するデータ展開部と、前記複数の半導体チップの前記第1のメモリに格納された前記各ノードの値を受信し、前記対応関係に基づき前記第3のメモリへ格納するデータ集計部とを備える。

【0022】

一実施の形態における計算方法は、複数の半導体チップと、前記複数の半導体チップに接続されたコントローラとを備える半導体システムの計算方法である。前記半導体システムは、上述した一実施の形態における半導体システムと同様の構成を備える。そして、前記アドレス生成部は、前記レジスタの設定値に基づき、前記第3及び前記第4のメモリのアドレスと前記複数の半導体チップの各々のアドレスとの対応関係を設定する。前記データ展開部は、前記対応関係に基づき、前記第3及び前記第4のメモリに格納された前記各ノードの値及び前記係数を前記複数の半導体チップへ伝送する。前記データ集計部は、前記複数の半導体チップの前記第1のメモリに格納された前記各ノードの値を受信し、前記対応関係に基づき前記第3のメモリへ格納する。

【発明の効果】

【0023】

本願において開示される発明のうち、代表的なものによって得られる効果を簡単に説明すれば、以下の通りである。

【0024】

一実施の形態によれば、例えばイジングモデルなどのような大規模かつ複雑な相互作用モデルの計算を行うことができ、安価かつ容易に製造可能な半導体システムおよび計算方法を実現することができる。

【図面の簡単な説明】

【0025】

10

20

30

40

50

【図 1】第 1 の実施の形態における半導体システムを含む情報処理システムの全体構成の一例を示したブロック図である。

【図 2】第 1 の実施の形態において、半導体システムの構成の一例を示したブロック図である。

【図 3】第 1 の実施の形態において、コントローラの制御の一例を示した図である。

【図 4】第 1 の実施の形態において、半導体チップの構成の一例を示したブロック図である。

【図 5】第 1 の実施の形態において、イジングモデルの構成の一例を示した図である。

【図 6】第 1 の実施の形態において、スピユニットの構成の一例を示した図である。

【図 7】第 1 の実施の形態において、イジングモデルで表現された問題データと半導体チップとの関係を示す図である。

10

【図 8】第 1 の実施の形態において、イジングモデルで表現された問題データと半導体チップとの関係を示す図である。

【図 9】第 1 の実施の形態において、半導体チップの実装の一例を示した図である。

【図 10】第 1 の実施の形態において、複数の半導体チップで大規模かつ複雑な問題に対応する一例を示した図である。

【図 11】第 1 の実施の形態において、複数の半導体チップで大規模かつ複雑な問題に対応する一例を示した図である。

【図 12】第 1 の実施の形態において、複数の半導体チップで大規模かつ複雑な問題に対応する一例を示した図である。

20

【図 13】第 1 の実施の形態において、スピデータ格納部のアドレスと、展開先のチップ番号とローカルアドレスの関係の一例を纏めた図である。

【図 14】第 1 の実施の形態において、チップ間の接続を規定する場合の一例を示した図である。

【図 15】第 1 の実施の形態において、隣接チップ間接続部の構成の一例を示したブロック図である。

【図 16】第 1 の実施の形態において、隣接チップ間接続部の構成の一例を示したブロック図である。

【図 17】第 1 の実施の形態において、コントローラによる全体動作のフローチャートの一例を示した図である。

30

【図 18】第 2 の実施の形態において前提とする、計算ステップ毎のエネルギーの遷移の一例を示した図である。

【図 19】第 2 の実施の形態におけるデータ伝送仕様の切り替わりの一例を示した図である。

【図 20】第 3 の実施の形態における半導体システムの構成の一例を示したブロック図である。

【図 21】第 4 の実施の形態における計算システムを含むネットワークシステムの全体構成の一例を示したブロック図である。

【発明を実施するための形態】

【0026】

40

以下の実施の形態においては、便宜上その必要があるときは、複数のセクションまたは実施の形態に分割して説明するが、特に明示した場合を除き、それらは互いに無関係なものではなく、一方は他方の一部または全部の変形例、詳細、補足説明等の関係にある。また、以下の実施の形態において、要素の数等（個数、数値、量、範囲等を含む）に言及する場合、特に明示した場合および原理的に明らかに特定の数に限定される場合等を除き、その特定の数に限定されるものではなく、特定の数以上でも以下でもよい。

【0027】

さらに、以下の実施の形態において、その構成要素（要素ステップ等も含む）は、特に明示した場合および原理的に明らかに必須であると考えられる場合等を除き、必ずしも必須のものではないことは言うまでもない。同様に、以下の実施の形態において、構成要素

50

等の形状、位置関係等に言及するときは、特に明示した場合および原理的に明らかにそうでないと考えられる場合等を除き、実質的にその形状等に近似または類似するもの等を含むものとする。このことは、上記数値および範囲についても同様である。

【0028】

以下、実施の形態を図面に基づいて詳細に説明する。なお、実施の形態を説明するための全図において、同一の部材には原則として同一の符号または関連する符号を付し、その繰り返しの説明は省略する。また、以下の実施の形態では、特に必要なとき以外は同一または同様な部分の説明を原則として繰り返さない。

[第1の実施の形態]

【0029】

第1の実施の形態は、例えばイジングモデルなどのような大規模かつ複雑な相互作用モデルの計算を行うことができ、安価かつ容易に製造可能な半導体システムに関する。

<相互作用モデル>

【0030】

種々の物理現象や社会現象は相互作用モデルで表現することができる。相互作用モデルとは、モデルを構成する複数個のノードと、ノード間の相互作用、さらに必要であればノード毎のバイアスで定義されるモデルである。物理学や社会科学では種々のモデルが提案されているが、いずれも相互作用モデルの一形態であると解釈できる。

【0031】

また、相互作用モデルの特徴として、ノード間の影響を2個のノード間の相互作用に限定している(2体間の相互作用)ことがあげられる。例えば、宇宙空間にある惑星の力学を考えてみると、惑星というノードの間に万有引力による相互作用がある点で相互作用モデルの一種とも解釈できるが、惑星間の影響は2個の惑星間にとどまらず、3個以上の惑星が互いに影響し合って複雑な挙動を示す(いわゆる3体問題や多体問題と言われる問題になる)。

【0032】

物理学の世界で代表的な相互作用モデルの例として、イジングモデルをあげることができる。イジングモデルとは+1/-1(ないしは上、下など)の2状態を取るスピンをノードとして、2個のสปิน間の相互作用を決める相互作用係数と、個々のสปินに対するバイアスである外部磁場係数でモデルが定義される。

【0033】

また、生物学の世界では脳をモデル化したニューラルネットワークが相互作用モデルの一例である。ニューラルネットワークは神経細胞のニューロンを模した人工ニューロンをノードとして、人工ニューロン間はシナプス結合という相互作用を持つ。また、各ニューロン毎にバイアスを与える場合もある。

【0034】

社会科学の世界では、例えば人間のコミュニケーションを考えると、人間というノードと言語や通信で成される相互作用があることは容易に理解できよう。また、各人間には個別にバイアスがあることも想像できる。そのため、人間のコミュニケーションを、相互作用モデルという点で共通なイジングモデル等に模してその特性を明らかにしようという研究もなされている。

【0035】

以下においては、イジングモデルの基底状態探索を行う半導体システム、およびこの半導体システムを含む情報処理システムの例を説明する。

<イジングモデル>

【0036】

本実施の形態では、イジングモデルを拡張した、以下の(2)式で示されるモデルを、これ以降イジングモデルと呼ぶものとする。

【0037】

10

20

30

40

【数 2】

$$E(s) = -\sum_{i \neq j} J_{i,j} \sigma_i \sigma_j - \sum_i h_i \sigma_i \quad \dots (2)$$

【0038】

(1)式で示したイジングモデルとの違いは、(2)式では有向グラフで示されるような相互作用が許されることにある。一般的にイジングモデルはグラフ理論では無向グラフとして描画することができる。それは、イジングモデルの相互作用は、i番目スピンからj番目スピンへの相互作用係数 $J_{i,j}$ とj番目スピンからi番目スピンへの相互作用係数 $J_{j,i}$ とを区別していないことによる。

10

【0039】

本実施の形態では、イジングモデルを拡張し、 $J_{i,j}$ と $J_{j,i}$ とを区別しても適用できるため、有向グラフ化したイジングモデルを取り扱う。なお、無向グラフのイジングモデルを有向グラフのイジングモデルで取り扱う場合には、単に $J_{i,j}$ と $J_{j,i}$ との双方向に同じ相互作用係数を定義することで可能である。この場合、同じモデルでも(1)式のエネルギー関数に対して(2)式のエネルギー関数ではエネルギーの値が2倍になる。

20

【0040】

以上を前提に、以降、本実施の形態における半導体システム、およびそれを含む情報処理システムについて説明する。

<半導体システムを含む情報処理システム>

【0041】

図1は、本実施の形態における半導体システムを含む情報処理システムの全体構成の一例を示したブロック図である。図1に示す情報処理システムにおいて、101はCPU(Central Processing Unit)、102はメモリ、103は記憶装置、104は半導体システム、105はシステムバスである。この情報処理システムは、パーソナルコンピュータやワークステーション又はサーバなどから構成され、システムバス105を介してCPU101、メモリ102、記憶装置103及び複数の半導体システム104が接続される。

30

【0042】

CPU101は、情報処理システム全体の動作制御を司るプロセッサである。このCPU101は、演算装置に相当する。またメモリ102は、例えば揮発性の半導体メモリから構成され、各種プログラムを記憶するために利用される。記憶装置103は、例えばハードディスク装置やSSD(Solid State Drive)などから構成され、プログラムやデータを長期間保持するために利用される。

【0043】

記憶装置103には、本情報処理システムが解くべきイジング形式の問題データ(計算用データ)が格納される。

40

【0044】

半導体システム104は、イジングモデルの基底状態探索を行う専用ハードウェアである。図1では、2つの半導体システム104を図示しているが、1つや3つ以上の場合もあり得る。

<半導体システム>

【0045】

図2は、半導体システム104の構成の一例を示したブロック図である。図2に示すように、半導体システム104は、コントローラ106、システムI/F107、レジスタ108、データ処理部109、クロック生成部110、問題データ格納部111、スピンデータ格納部112、相互作用制御信号生成部127、乱数発生部128、データI/F

50

113、スイッチ114及び半導体チップ群115を備えて構成され、システムI/F107及びシステムバス105を介してCPU101との間でコマンドやデータの送受を行う。

【0046】

半導体チップ群115は、それぞれが単体でイジングモデルの基底状態探索を行う専用のハードウェアである複数の半導体チップ116から構成される。また、半導体チップ116間はチップ間配線117により接続されており、このチップ間配線117を介して半導体チップ116同士が必要な情報を送受する。

【0047】

システムI/F107は、システムバス105を介して、コマンドやパラメータ値、各種データが入力され、入力されたコマンドやパラメータ値、各種データをレジスタ108やデータ処理部109に転送する。

10

【0048】

問題データ格納部111は、イジングモデルの相互作用係数と外部磁場係数を格納するブロックであり、システムI/F107を介して記憶装置103に格納された問題データが転送される。すなわち、問題データ格納部111は、記憶装置103に格納された、イジングモデルの基底状態探索を実施するための計算用データを格納する第1記憶領域である。

【0049】

スピンドータ格納部112は、イジングモデルのスピンの値を格納するブロックであり、システムI/F107を介して記憶装置103に格納されたスピンドータが転送される。また、スピンドータ格納部112は、データ集計部126で集計した結果を格納する第2記憶領域である。

20

【0050】

レジスタ108は、例えば図2を例にすると、相互作用係数と外部磁場係数とスピンドータで表現される問題のサイズを規定する問題設定レジスタ118と、コントローラ106が制御対象とする半導体チップ116のチップ数を規定するチップ数設定レジスタ120と、1チップで対応可能な問題のサイズを規定するチップ仕様設定レジスタ121で構成する。本レジスタ値は、システムI/F107を介して設定され、コントローラ106内、例えばデータ処理部109で参照される。

30

【0051】

データ処理部109は、チップ間接続部122と、アドレス生成部123と、データ生成部124と、展開部125と、データ集計部126で構成され、システムバス105とシステムI/F107を介して、記憶装置103から伝送される問題データを複数の半導体チップ116に展開するための処理を実施する。

【0052】

詳細は後述するが、アドレス生成部123は、問題設定レジスタ118と、チップ数設定レジスタ120と、チップ仕様設定レジスタ121を参照して、問題データ格納部111とスピンドータ格納部112に格納された各データのアドレスと、伝送先であるチップ番号とローカルアドレスの関係を規定する。

40

【0053】

データ生成部124は、指定されたアドレスに対応する問題データを問題データ格納部111から読み出し、スピンドータ格納部112からスピンドータを読み出す。そして展開部125は、半導体チップ116毎のデータ伝送を実現するため、伝送データに対して、伝送先のチップ番号と問題データ/スピンドータの判定信号を付与し、データI/F113に転送する。

【0054】

データ集計部126は、複数の半導体チップ116が処理した結果をスイッチ114とデータI/F113を介して回収して集計し、処理結果であるスピン値をスピンドータ格納部112に書き込む。なお、データ集計部126では、前述したアドレス生成部123

50

で実現する各データのアドレスと、伝送先であるチップ番号とローカルアドレスの関係を規定に対して逆変換を実施する。つまり、スイッチ 114 を介して入力されるチップ番号、問題データ/スピンドータの判定信号とローカルアドレスを、スピンドータ格納部 112 のアドレスに変換して、データでスピンドータ格納部 112 上のスピン値を更新する。

【0055】

チップ間接続部 122 は、実装上チップが隣接していなくともあたかも接続しているような処理を実施するブロックである。詳細動作は後述するが、チップ間接続部 122 は、スピンドータ格納部 112 に格納されたスピン値を処理するブロックであり、任意のアドレス A のスピン値を別のアドレス B のスピンに上書きすることで、アドレス A に対応する計算結果をアドレス B に対応するスピン値に反映させる動作を実施する。

10

【0056】

データ I/F 113 は、コントローラ 106 と半導体チップ群 115 間でデータを送受信するインタフェースである。例えば、図 2 で図示はしていないが、バッファを有しており、展開部 125 から転送された全てのデータがスイッチ 114 を介して半導体チップ群 115 へ転送されるように制御される。

【0057】

クロック生成部 110 は、コントローラ 106 の外部から入力されるベースクロック CLK を基準に、コントローラ 106 内部の論理回路を動作させるクロック 1 と、複数の半導体チップ 116 を動作させるクロック 2 と、半導体チップ 116 間のデータ伝送に使用するクロック 3 を生成する。

20

【0058】

相互作用制御信号生成部 127 は、半導体チップ 116 における相互作用動作を実現するためのアドレス信号とクロック信号を生成するブロックである。

【0059】

乱数発生部 128 は、半導体チップ 116 に対して供給される RND 信号を発生させるブロックである。詳細は後述するが、RND 信号を使用することで、グラフ問題における局所最適解から脱出し、大域最適解への収束性を向上させる。

【0060】

スイッチ 114 は、コントローラ 106 と半導体チップ群 115 を構成する複数の半導体チップ 116 が接続され、データ処理部 109 が生成するルールに従って、複数の半導体チップ 116 への問題データとスピンドータの展開と、複数の半導体チップ 116 からのスピンドータの回収を実施する。これにより、半導体チップ 116 間のデータ伝送も実現する。

30

<コントローラの制御>

【0061】

図 3 は、コントローラ 106 の制御の一例を示した図である。本実施の形態において、コントローラ 106 は、データ処理部 109 において、問題設定レジスタ 118、チップ数設定レジスタ 120 及びチップ仕様設定レジスタ 121 で構成するレジスタ 108 を参照することにより、設定される解くべき問題サイズに対して、制御対象である半導体チップ 116 の数が多いか少ないかを判断することができる。

40

【0062】

図 3 では、レジスタ 108 を参照した場合のコントローラ 106 の制御例として、ケース 1、ケース 2、ケース 3 を示している。いずれの場合も、チップ仕様設定レジスタ 121 に設定された半導体チップの 1 つが対応可能な問題サイズが 128 (サイズ幅) $\times 80$ (ライン数) $\times 2$ (Z 方向) で、3次元格子であるものとする。

【0063】

ケース 1 は、チップ数設定レジスタ 120 に設定されたチップ数は 1 と設定され、問題設定レジスタ 118 に設定された問題サイズも $128 \times 80 \times 2$ の場合である。この場合は、問題サイズと半導体チップ群 115 で対応可能なサイズとが等しいため、破綻が無く求解可能「o.k.」と判断できる。ケース 1 の場合、電源制御においてすべてのチップ

50

をオンにする。

【0064】

また、ケース2は、問題サイズ(260×160×2)に対してチップ数(4)が少ない場合で、求解不可能「NG」と判断できる。この場合は、例えば、問題変換プログラムに対して警告を発することができて良い。

【0065】

また、ケース3は、問題サイズ(256×160×2)に対して、チップ数(6)が多くて、余剰なチップ電源をオフ(2チップOFF)して、低電力化を図ることができる場合を示したものである。ケース3の場合、判定は「o.k.」となる。

【0066】

なお、図3では説明を容易にするために、問題と半導体チップ116のスピナレイの構造をいずれも3次元の単純格子として説明したが、構造が複雑化した場合でも、コントローラ106は任意のルールに従い、設定された問題が、規模の観点で解くことができるかできないかの良否判定をできるものとする。

【0067】

以上、図3に示す各構成ブロックが動作することで、複数チップを使用したイジングモデルの基底状態探索を実施するものとする。

<半導体チップの構成>

【0068】

図4は、半導体チップ116の構成の一例を示したブロック図である。図4に示す半導体チップ116において、401はI/F、402はチップ間伝送I/F、403はレジスタ、404はメモリコントローラ、405はスピナレイ、406は相互作用I/F、407は相互作用アドレスデコーダ、408はチップ間伝送部コントローラ、409は境界スピン制御部、410は送信用バッファ、411は受信用バッファである。なお、本実施の形態では、半導体チップ116は現在広く用いられているCMOS(Complementary Metal-Oxide Semiconductor)集積回路として実装されていることを想定して説明するが、他の固体素子であっても構わない。

【0069】

I/F401は、半導体チップ116がスイッチ114と接続されるブロックであり、コントローラ106と問題データやスピndataを送受信する際のインタフェースである。

【0070】

半導体チップ116においては、スピナレイ405はSRAMで構成される。したがって、メモリコントローラ404はSRAMコントローラとして動作する。より具体的に言うと、イジングモデルのスピン s_i 、相互作用係数 $J_{i,j}$ 及び外部磁場係数 h_i をすべてスピナレイ405内のメモリセルに記憶する情報で表現する。スピン s_i の初期状態の設定や基底状態探索完了後の解の読み出しはメモリコントローラ404を介して行う。

【0071】

また、半導体チップ116では、基底状態を探索すべきイジングモデルをスピナレイ405に設定するための相互作用係数 $J_{i,j}$ 及び外部磁場係数 h_i のリード/ライトもメモリコントローラ404を介して実施する。そのため、スピナレイ405内のスピン s_i 、相互作用係数 $J_{i,j}$ 及び外部磁場係数 h_i にはアドレスを付与する。そして、スピン s_i 、相互作用係数 $J_{i,j}$ 又は外部磁場係数 h_i をリード/ライトする場合、メモリコントローラ404はアドレス指定とR/W(リード/ライト)制御信号を出力し、データバスを介して読み書きする。

【0072】

また、半導体チップ116は、イジングモデルの基底状態探索を実施するための相互作用I/F406と相互作用アドレスデコーダ407を有し、基底状態探索は、スピナレイ405の内部のスピン間で相互作用を実施することで実現する。相互作用I/F406

10

20

30

40

50

はコントローラ106から入力されるアドレスとクロックを相互作用アドレスデコーダ407に転送する。そして、相互作用アドレスデコーダ407は、転送されたアドレスに基づいて相互作用を行うスピン群を指定し、クロックはスピナレイ405に搭載した相互作用回路を動作させる。

【0073】

相互作用回路の詳細は後述するが、ここでは基底状態探索の流れを簡単に説明する。まず、相互作用アドレスデコーダ407は、相互作用I/F406を介して入力されるアドレスに基づいて、スピナレイ405内のメモリセルに格納された相互作用係数 $J_{i,j}$ と外部磁場係数 h_i 、及びスピン値をリードする。そして、搭載した相互作用回路で相互作用を実施した後で、リード/ライトを行う。

10

【0074】

加えて、半導体チップ116は、後述のようにイジングモデルのスピンを表現するメモリセルの値を確率的に反転させる乱数を注入するための乱数注入線を有している。図2で説明した乱数発生部128により発生されたRND信号は、この乱数注入線を介してスピナレイ405に与えられる。

【0075】

次に、隣接チップ間のデータ伝送について説明する。隣接チップ間のデータ伝送は、レジスタ403とチップ間伝送部コントローラ408と境界スピン制御部409と送信用バッファ410と受信バッファ411とチップ間伝送I/F402で実現する。まず、境界スピン制御部409はmビット毎にスピナレイ405の境界部のスピン値を読み出す。そして、チップ内においては最終的にチップ間伝送I/F402に転送して、nビット幅のチップ間伝送I/F402が境界部のスピン値を別チップに対して伝送する。ここで、送信用バッファ410は境界スピン制御部409のビット幅mとチップ間伝送I/F402のビット幅nの間を調停する役割を果たす。

20

【0076】

例えば、 $m > n$ の場合は、チップ間伝送I/F402のビット幅nが小さいため、一旦mビットのスピン値を送信用バッファ410に格納し、チップ間伝送I/F402がnビットずつ複数に分けて読み出し、他チップに対して伝送する。また、 $m < n$ の場合は、境界スピン制御部409のビット幅mが小さいため、mビットずつスピン値を読み出し、送信用バッファ410にnビットのデータが格納された時点でチップ間伝送I/F402が他チップに対して伝送する。なお、他チップから半導体チップ116へのスピン値伝送は、受信バッファ411を介して、前述した送信側と同様な動作により実現する。

30

<イジングモデルの構成>

【0077】

図5は、イジングモデルの構成の一例を示した図である。図5では、スピンユニットを複数個並べることで、3次元格子状のトポロジを持つイジングモデルを構成する例を示している。図5において、501と502はスピンであり、503と504は相互作用係数、505は外部磁場係数、506はスピンユニットである。図5の例は、3(X軸方向)×3(Y軸方向)×2(Z軸方向)の大きさの3次元格子である。座標軸の定義は図示した通り、図面右方向をX軸、図面下方向をY軸、図面奥行き方向をZ軸としているが、3次元格子以外のトポロジ、例えばツリー状のトポロジなどを利用する場合には、座標軸とは別にツリーの段数等で表現することになる。図5の3次元格子状のトポロジにおいて、スピン間の相互作用をグラフとしてとらえると、最大で次数5のスピン(頂点)が必要となる。なお、外部磁場係数の接続も含めて考えると、最大で次数6が必要となる。

40

【0078】

図5に示す1個のスピンユニット506には、隣接するスピン(例えば隣接するスピンが5個の場合 j 、 k 、 l 、 m 、 n)の値が入力される。そして、スピンユニット506は、当該のスピン値と、外部磁場係数と、隣接するスピン間に存在する相互作用係数($J_{j,i}$ 、 $J_{k,i}$ 、 $J_{l,i}$ 、 $J_{m,i}$ 、 $J_{n,i}$)で構成され、半導体チップ116においては対応するメモリセルを有している。

50

【0079】

ところで、前述したように、イジングモデルは一般的に無向グラフで表現される相互作用を有している。上述した(1)式では、相互作用を表わす項として、 $J_{i,j} \times s_i \times s_j$ があるが、これは*i*番目スピンから*j*番目スピンへの相互作用を示している。この場合、一般的なイジングモデルでは*i*番目スピンから*j*番目スピンへの相互作用と、*j*番目スピンから*i*番目スピンへの相互作用を区別することはない。つまり、 $J_{i,j}$ と $J_{j,i}$ は同一である。しかし、本実施の形態の半導体チップ116では、先に述べたようにこのイジングモデルを有向グラフに拡張し((2)式)、*i*番目スピンから*j*番目スピンへの相互作用と、*j*番目スピンから*i*番目スピンへの相互作用を非対称にすることを実現している。これにより、モデルの表現能力が高まり、多くの問題をより小規模のモデルで表現することが可能になる。

10

【0080】

そのため、1個のスピンユニット506を*i*番目スピン s_i と考えた時に、このスピンユニット506が保持する相互作用係数である $J_{j,i}$ 、 $J_{k,i}$ 、 $J_{l,i}$ 、 $J_{m,i}$ 、 $J_{n,i}$ は、隣接する*j*番目、*k*番目、*l*番目、*m*番目、*n*番目のスピン s_j 、 s_k 、 s_l 、 s_m 、 s_n から、*i*番目スピン s_i への相互作用を決めるものである。このことは、図5において、スピンユニット506に含まれている相互作用係数が対応する矢印(相互作用)が、図示されているスピンユニット506の外部のスピンから、スピンユニット506の内部のスピンに向かっていることに対応している。

<スピンユニットの構成>

20

【0081】

図6は、スピンユニット506の構成の一例を示した図である。図6に示すスピンユニット506において、601はメモリセル群であり、602は論理ブロック、603~615はメモリセル、616はXNOR(排他的論理和の否定)回路、617はスイッチ、618は多数決論理回路、619は反転論理回路、620はセクタである。

【0082】

スピンユニット506は、イジングモデルのスピン s_i 、相互作用係数 $J_{j,i} \sim J_{n,i}$ 及び外部磁場係数 h_i を保持するためのメモリセル群601を有しており、その内訳は、複数の1ビットのメモリセル603~615(N, IS0, IS1, IU0, IU1, IL0, IL1, IR0, IR1, ID0, ID1, IF0, IF1)で構成される。なお、メモリセル604及び605、メモリセル606及び607、メモリセル608及び609、メモリセル610及び611、メモリセル612及び613、並びに、メモリセル614及び615は、それぞれ2個1組で役割を果たす。

30

【0083】

ここで、スピンユニット506は*i*番目のスピンを表現するものとして、メモリセルに格納するデータの定義について説明する。メモリセル603(N用)はスピン s_i を表現するためのメモリセルであり、スピンの値を保持する。スピンの値はイジングモデルでは+1/-1(+1を上、-1を下とも表現する)であるが、これをメモリセルが保持可能な2値である0/1に対応させる。例えば、+1を1、-1を0に対応させる。

【0084】

メモリセル604~615(ISx, IUs, ILx, IRx, IDx及びIFx)は、末尾の数字が0と1の2つのメモリセル(例えばメモリセル604~605(ISx)の場合にはメモリセルIS0及びIS1)の組合せで、+1/0/-1の3値を表現する。例えば、メモリセル604~605(ISx)の場合には、メモリセル605(IS1)で+1/-1を表現し、メモリセル605(IS1)が保持する値が1の時は+1、メモリセル605(IS1)が保持する値が0の時には-1を表す。

40

【0085】

これに加えて、メモリセル604(IS0)が保持する値が0の時には外部磁場係数を0と見なし、メモリセル604(IS0)が保持する値が1の時にはメモリセル605(IS1)が保持する値で決まる+1/-1のいずれかを外部磁場係数とする。外部磁場係

50

数が0の時は外部磁場係数をディセーブルしていると考えれば、メモリセル604 (IS0) に保持された値は外部磁場係数のイネーブルビットであると言える (IS0 = 1の時に、外部磁場係数がイネーブルされる)。相互作用係数を記憶するメモリセル606 ~ 615 (IUx, ILx, IRx, IDx及びIFx) も同様に係数とビットの値とを対応させている。

【0086】

なお、スピユニット506内のメモリセル603 ~ 615 (N, IS0, IS1, IU0, IU1, IL0, IL1, IR0, IR1, ID0, ID1, IF0及びIF1) は、それぞれ半導体チップ116の外部からリード/ライト可能とする。そして、メモリコントローラ404でこれらのスピユニット506を駆動、制御又は読み出しすることにより、一般的なSRAM (Static Random Access Memory) と同様にスピユニット506内のメモリセル603 ~ 615をリード/ライトすることができるようにする。

10

【0087】

次に、メモリセル603 ~ 615を参照して、実際に相互作用を実施する論理ブロック602について説明する。

【0088】

論理ブロック602は、XNOR (排他的論理和の否定) 回路616とスイッチ617と、多数決論理回路618と反転論理回路619とセクタ620から成る相互作用回路で構成される。そして、相互作用結果に応じてスピンの状態を決定する相互作用回路は、スピユニット506毎に独立して設置する。独立して設置していることにより、スピ

20

【0089】

スピユニット506は、外部とのインタフェースとして、信号線EN, NU1, NL1, NR1, ND1, NF1、NOUT及びRNDを有する。信号線ENは当該スピユニット506のスピンの更新を許可する切替え信号を入力するインタフェースである。この切替え信号でセクタ620を制御することで、メモリセル603 (N) に保持されたスピンの値を、後述の多数決論理回路618と反転論理回路619を介して与えられる値に更新することができる。

【0090】

信号線NOUTは、当該スピユニット506のスピンの値を他のスピユニット506 (図5のトポロジで隣接するユニット) へ出力するインタフェースである。信号線NU, NL, NR, ND及びNFは、それぞれ他のスピユニット506 (図5のトポロジで隣接するユニット) が保持するスピンの値を入力するためのインタフェースである。信号線NUは上側のスピン (Y軸方向で-1)、信号線NLは左側のスピン (X軸方向で-1)、信号線NRは右側のスピン (X軸方向で+1)、信号線NDは下側のスピン (Y軸方向で+1)、信号線NFは奥行き方向に接続するスピン (Z軸方向で+1ないしは-1) からの入力である。

30

【0091】

スピユニット506では隣接スピンとの間でエネルギーを最小化するようにスピンの次状態を決定するが、それは隣接スピンと相互作用係数の積、及び、外部磁場係数を見たときに、正の値と負の値のどちらが支配的か判断することと等価である。例えば、i番目スピン_iに、スピン_j、_k、_l、_m及び_nが隣接しているとして、スピン_iの次状態は以下のように決まる。

40

【0092】

まず、隣接スピンの値は $j = +1$ 、 $k = -1$ 、 $l = +1$ 、 $m = -1$ 、 $n = +1$ とし、相互作用係数は $J_{j,i} = +1$ 、 $J_{k,i} = +1$ 、 $J_{l,i} = +1$ 、 $J_{m,i} = -1$ 、 $J_{n,i} = -1$ 、外部磁場係数 $h_i = +1$ とする。このとき、相互作用係数と隣接スピンの積、及び、外部磁場係数をそれぞれ並べると、 $j \times J_{j,i} = +1$ 、 $k \times J_{k,i} = -1$ 、 $l \times J_{l,i} = +1$ 、 $m \times J_{m,i} = +1$ 、 $n \times J_{n,i} = -1$ 、 $h_i = +1$ となる。外部磁場係数は、常に値が+1のスピンの相互作用係数と読み替え

50

て良い。

【0093】

ここで、 i 番目のスピンの値と隣接スピンとの間での局所的なエネルギーは、前述した係数にそれぞれ i 番目スピンの値を乗じて、さらに符号を反転させたものになる。例えば、 j 番目スピンとの間での局所的なエネルギーは、 i 番目スピンを $+1$ とした時には -1 、 i 番目スピンを -1 としたときには $+1$ となるので、 i 番目スピンを $+1$ にするほうが、ここでの局所的なエネルギーを小さくする方向に働く。

【0094】

このような局所的なエネルギーを全ての隣接スピン間と外部磁場係数について考えたときに、 i 番目スピンを $+1$ / -1 のどちらにしたほうがエネルギーを小さくできるかを計算する。これは、先程示した相互作用係数及び隣接スピンの積と、外部磁場係数とをそれぞれ並べたものにおいて、 $+1$ と -1 のどちらが多いか数えれば良い。先程の例では、 $+1$ が 4 個、 -1 が 2 個である。仮に、 i 番目スピンを $+1$ とすると、エネルギーの総和は -2 、 i 番目スピンを -1 とするとエネルギーの総和は $+2$ になる。よって、 $+1$ の個数が多い時には i 番目スピンの次状態を $+1$ とし、 -1 の個数が多い時には i 番目スピンの次状態を -1 にするという多数決で、エネルギーを最小化する i 番目スピンの次状態を決定することができる。

【0095】

ここで、前述した相互作用動作と図 6 に示す回路ブロックとの関係を説明する。まず、隣接スピンの状態と、相互作用係数の $+1$ / -1 を示すメモリセル 607 (IU1)、メモリセル 609 (IL1)、メモリセル 611 (IR1)、メモリセル 613 (ID1)、メモリセル 615 (IF1) が保持する値との排他的論理和の否定を XNOR 回路 616 で求める。これにより、その相互作用だけを見た時にエネルギーを最小化するスピンの次状態を計算することができる ($+1$ は 1、 -1 は 0 にエンコードされているものとする)。

【0096】

もし、相互作用係数が $+1$ / -1 だけであれば、XNOR 回路 616 の出力のうち $+1$ / -1 のどちらが多いかを多数決論理回路 618 において多数決論理で判定すればスピンの次状態を決定することができる。外部磁場係数に関しては、常に状態 $+1$ のスピンの相互作用係数に相当するものと考えれば、単に外部磁場係数の値がスピンの次の状態を決定する多数決論理回路 618 に入力すべき値となる。

【0097】

次に、係数 0 の実現方法について考える。 n 入力の多数決論理 $f(I_1, I_2, I_3, \dots, I_n)$ があるとき、以下の命題は真であると言える。まず、入力 $I_1, I_2, I_3, \dots, I_n$ の複製 $I'_1, I'_2, I'_3, \dots, I'_n$ があるとする (任意の k について、 $I_k = I'_k$ である)。このとき、 $f(I_1, I_2, I_3, \dots, I_n)$ の出力は、複製もあわせて入力した $f(I_1, I_2, I_3, \dots, I_n, I'_1, I'_2, I'_3, \dots, I'_n)$ と等しい。つまり、各入力変数をそれぞれ 2 個ずつ入れても、出力は不変である。さらに、入力 $I_1, I_2, I_3, \dots, I_n$ の他に、もう一つの入力 I_x と、その反転 $!I_x$ があるとする。このとき、 $f(I_1, I_2, I_3, \dots, I_n, I_x, !I_x)$ の出力は、 $f(I_1, I_2, I_3, \dots, I_n)$ と等しい。つまり、入力変数とその反転を入力すると、多数決においてその入力変数の影響をキャンセルするように働く。多数決論理のこの性質を利用して係数 0 を実現する。

【0098】

具体的には、図 6 に示すように、XNOR 回路 616 を利用して、係数のイネーブルを決めるビット (ビットセル IS0, IU0, IL0, IR0, ID0 及び IF0 にそれぞれ保持されたビット) の値により、多数決論理回路 618 に、先に述べたスピンの次の状態の候補となる値の複製か、その反転を同時に入力する。例えば、メモリセル 604 (IS0) が保持するビットの値が 0 の場合、メモリセル 605 (IS1) が保持するビットの値と、メモリセル 605 (IS1) が保持するビットの値を反転させた値が同時に多数

10

20

30

40

50

決論理回路 618 に入力されるので、外部磁場係数の影響は無い（外部磁場係数が 0 に相当する）ことになる。また、メモリセル 604（IS0）が保持するビットの値が 1 の場合には、メモリセル 605（IS1）が保持するビットの値と、その値と同じ値（複製）が同時に多数決論理回路 618 に入力されることになる。

【0099】

上述したスピン間の相互作用によるエネルギー最小化で、適用されたイジングモデルの基底状態探索を実現することができるが、これだけでは局所最適解に陥ってしまう可能性がある。基本的に、エネルギーを小さくする方向の動きしかないため、一旦局所最適解に陥るとそこから抜け出すことができず、大域最適解に到達しない。そこで、局所最適解から脱出するための施策として、スピンを表現するメモリセル 603 の値を確率的に反転させるために、スピユニット 506 はインタフェースとして乱数注入線を有する。

10

【0100】

そしてスピユニット 506 には、図 2 に示す乱数発生部 128 からスピンアレイ 405 に与えられた RND がこの乱数注入線に接続され、この RND が反転論理回路 619 に入力されることで、スピンの値を確率的に反転される。

【0101】

以上の図 4、図 5、図 6 の構成とそれぞれの動作により、個々の半導体チップ 116 は、スピユニット 506 毎に相互作用を実現し、RND による制御を組み合わせることで、イジングモデルの基底状態探索を実現する。

<大規模かつ複雑な問題への対応>

20

【0102】

ここで、大規模かつ複雑な問題への対応について、図 7 ~ 図 12 を用いて説明する。図 7 ~ 図 8 は、イジングモデルで表現された問題データと半導体チップとの関係を示す図である。図 9 は、半導体チップの実装の一例を示した図である。図 10 ~ 図 12 は、複数の半導体チップで大規模かつ複雑な問題に対応する一例を示した図である。

【0103】

例えば、多数のスピンを含む大規模なイジングモデルの基底状態を探索可能な半導体チップを構築するためには、単位素子をスピン数に応じた数だけ半導体チップに搭載する必要がある。そして、図 7 に示すように、イジングモデルのサイズ（問題 201、なお、202 及び 203 はスピン、204 は相互作用を示す）より半導体チップ 205 が対応可能なスピン数が大きく、イジングモデルが漏れなく半導体チップに写像可能であることが望ましい。しかし、解くべき問題の問題サイズが拡大していくことを考慮すると、半導体チップは、チップサイズが大きく、また製造コストも高くなる。従って、大規模な問題 206 に対応可能な半導体チップを実現するに際しては、図 8 に示すように、ある程度の数の単位素子が搭載された半導体チップ 207 及び 208 を複数使用するようにして構築することが望ましい。

30

【0104】

さらに、同一の半導体チップを複数使用する場合は、例えば、最も単純な 2 次元格子で説明すると、図 9 に示すように、半導体チップが X 方向と Y 方向でタイル状に並べられ、隣接する半導体チップ間、例えば半導体チップ 701 と半導体チップ 702 は配線にて接続される。この場合、半導体チップの接続は、チップの 4 方向で実施可能で、隣接チップ間でのデータ伝送は可能であり、上下左右のチップ拡張で大規模な問題を解くことを可能にする。しかし、より複雑な大規模問題を解く場合は、それに合わせて拡張方法の複雑化にも対応する必要がある。問題が複雑化した場合の対応例について、図 9 を用いて説明すると、チップ 1 を基準にし、例えば、隣接しているチップ 2 とチップ 5 だけでなく、隣接していないチップ 3 やチップ 4、チップ 6、...、チップ 12 への繋がりを構築する。

40

【0105】

通常、隣接するチップを接続した場合は、それぞれのチップの外周（境界部）同士が接続されることになる。これに対し、図 10 に示すチップ 801、802 の外周以外のスピン 803 とスピン 804 の接続を考える。具体的には、図 11 に示すように、スピン 80

50

3の値でスピン804を上書きすることでスピン805（スピン803 = スピン804）の状態を実現する。これにより、通常のチップの外周同士の接続に、スピン805による接続を追加することが可能になる。また、図12に示すように、隣接したチップ801, 802同士だけではなく、実装上離れたチップ807とも接続することを考える。具体的には、チップ801上のスピン808の値で、チップ807上のスピン809を上書きする。これにより、隣接するチップ801とチップ802の拡張だけでなく、隣接しないチップ801とチップ807の拡張を実現する。なお、図12において、806は隣接するチップ801, 802の外周同士の接続を示す。

【0106】

本実施の形態は、以上の内容を実現するためになされたもので、大規模かつ複雑なイジングモデルの基底状態を探索でき、安価かつ容易に製造可能な半導体システムを提案しようとするものである。かかる半導体システムを実現するために、複数の半導体チップにイジングモデルを表現するパラメータを展開したり、半導体チップ間のデータ伝送を制御するコントローラ106を有し、複数の半導体チップにより単一のイジングモデルの基底状態探索を実施する。

【0107】

これにより、1つの半導体チップで解くことができるサイズを超過したイジングモデルにおいて、コントローラ106は、半導体チップの各々に内蔵されたアレイ構造の記憶素子に対し、イジングモデルを構成するスピンの値と、当該スピンに付随する相互作用係数及び外部磁場係数を書き込んで展開する。また、コントローラ106は、半導体チップの各々に内蔵されたアレイ構造の記憶素子に格納された値を読み出すことで、イジングモデルの基底状態探索の結果であるスピンの値を回収する。また、コントローラ106は、回収したスピン値を回収元のチップとは異なる、例えば実装上隣接しないチップに対して伝送を可能にすることで、複数の半導体チップで単一のイジングモデルの基底状態探索を実施する。

<コントローラの詳細>

【0108】

次に、コントローラ106について、図13～図17を用いて詳細を説明する。図13は、スピンドータ格納部112のアドレスと、展開先のチップ番号とローカルアドレスの関係の一例を纏めた図である。図14は、チップ間の接続を規定する場合の一例を示した図である。図15～図16は、隣接チップ間接続部の構成の一例を示したブロック図である。図17は、コントローラ106による全体動作のフローチャートの一例を示した図である。

【0109】

まず、コントローラ106は、データ処理部109を介して、問題データ格納部111とスピンドータ格納部112に格納された各データを複数の半導体チップ116に展開する。

【0110】

図13では、コントローラ106から複数設置した半導体チップ群115の各々に対して、問題データとスピンドータの伝送を実現する例を示している。まずは、問題データ格納部111とスピンドータ格納部112には、記憶装置103に格納されたデータがアドレス0x00000から順次転送されるものとする。そして、問題データのサイズは、レジスタ108に含まれる問題設定レジスタ118で設定されており、各半導体チップが対応可能なサイズは、チップ仕様設定レジスタ121で設定される。なお、図13では、説明を簡単にするために、問題は2次元格子構成を前提に、問題設定レジスタ118が問題サイズをX方向とY方向で規定することにし、例えば、X方向を512（dec）、Y方向を80（dec）とした。また、チップ仕様設定レジスタ121もスピンアレイサイズをX方向とY方向で規定することにし、例えば、X方向を256（dec）、Y方向を80（dec）とする。この場合、チップ数設定レジスタ120は2に設定すれば、破綻なくX方向に2つのチップを並べて単一問題を解くことができる。

【 0 1 1 1 】

まず、問題データ格納部 1 1 1 とスピンドータ格納部 1 1 2 で使用されるアドレスに着目すると、問題データとスピンドータは $40960 (= 512 \times 80)$ 個で構成され、図 1 3 のデータ欄とアドレス欄に示すように、各データはアドレス 0×00000 から $0 \times 09FFF$ が付与される。このアドレスを問題サイズの X 方向の設定値 512 (dec) で除算して + 1 すると、解は当該データの Y 方向のライン数に相当し、その剰余は X 方向の位置に相当する。また、前述の剰余の値をスピンドータサイズの X 方向の設定値 256 (dec) で除算して + 1 すると、X 方向に並べた場合のチップ番号 (1、2 のいずれか) が導出できる。図 1 3 で説明すると、 512 番目データに対応するアドレス $0 \times 001FF$ (hex) を 512 (dec) で除算して + 1 すると、解は 1 で剰余 + 1 は 512 (dec) となる。これにより、 512 番目のデータがグラフ問題において 1 番目のラインで、X 方向で言うと 512 番のスピンドータユニットに対応するデータであることが判る。また、剰余 + 1 である 512 (dec) をスピンドータサイズの X 方向の設定値 256 (dec) で除算すると、解は 2 となり、チップ 2 に展開するデータであることが判る。

10

【 0 1 1 2 】

これらの処理により、データ処理部 1 0 9 は、スピンドータ格納部 1 1 2 に格納されたスピンドータに対し、チップ番号を付与することができる。スピンドータ格納部 1 1 2 のアドレスと分配先のチップ番号の関係を明確化できれば、スピンドータ格納部 1 1 2 における任意のアドレスのスピンドータ値を、別の任意アドレスのスピンドータ値で上書きできる。つまりグラフ問題上での接続は、スピンドータ格納部 1 1 2 上のアドレス指定のみで実施できることになる。

20

【 0 1 1 3 】

図 1 4 では、チップ間接続部 1 2 2 の動作に関連して、スピンドータ格納部 1 1 2 における任意のアドレスのスピンドータ値を、別の任意アドレスのスピンドータ値で上書きすることを前提に、伝送用テーブルを作成した場合の一例を示している。例えば、読み出し側として、スピンドータ格納部における 257 番目のデータ (アドレス 0×00100) を選択し、書き込み側として、 40449 番目のデータ (アドレス $0 \times 9E00$) を選択すれば、データ処理部 1 0 9 によりチップ番号とローカルアドレスに変換された後の送受信が実施され、チップ番号 2 に割り当てられて計算した結果である 257 番目のデータを、チップ番号 1 に割り当てられた 40449 番目のデータに反映させることができることを示している。

30

【 0 1 1 4 】

なお、本実施の形態では、伝送用テーブルを作成することを前提に、隣接していないチップ間のデータ伝送を実施する方法について説明したが、複数の半導体チップを用いて単一モデルの問題を解く場合に、コントローラを介した接続処理がなされるのであれば、詳細の処理方法が異なっても構わない。

【 0 1 1 5 】

さらに、図 1 3 と図 1 4 の例では、チップは 2 個としたが、2 個以上も対応可能であり、実装上離れたチップ間においても、コントローラ 1 0 6 を介することでスピンドータの伝送が可能で、伝送元の半導体チップ 1 1 6 での計算結果を伝送先の半導体チップ 1 1 6 での計算に反映させることができる。なお、本実施の形態では、最も単純な例を挙げて、計算用データの分配方法を説明したが、本実施の形態の特徴であるコントローラを介したデータ伝送が実現するのであれば、分配ルールは、これに限るものではない。

40

【 0 1 1 6 】

次に、これまで説明した構成を前提に、全体動作について、図 1 7 のフローチャートを用いて説明する。図 1 7 に示すフローチャートは、任意の初期値にスピンドータを設定し、1 回の基底状態探索が終了するまでを示しており、基底状態探索 1 回あたりの計算ステップは N 回としている。また、これまで説明してきたチップ間のデータ伝送の周期は P で定義し、P は計算ステップ単位で設定できるものとする。

50

【 0 1 1 7 】

まず、外部より受信して、コントローラ 1 0 6 内のスピンドータ格納部 1 1 2 にスピン値の初期値が設定され、計算ステップの計数値 n が「0」に設定される (S 1、S 2)。次に、スピン値がスピンドータ格納部 1 1 2 から半導体チップ群 1 1 5 に展開される (S 3)。そして、半導体チップ 1 1 6 に展開されたスピン値は、図 6 で説明した多数決論理回路を実行することで、スピン値を更新されて、計算ステップの計数値 n がカウントアップしながら N に到達すると、1 回の基底状態探索が終了したと判断する (S 4 ~ S 7)。S 4 ~ S 7 の期間を、ここでは半導体チップ動作による探索期間と呼ぶ。探索期間において、1 回の基底状態探索が終了したら、半導体チップ群 1 1 5 からスピン値を回収して集計する (S 8)。

10

【 0 1 1 8 】

この中で、計算ステップの計数値 n がデータ伝送の周期 P の倍数に到達したら、一旦基底状態探索を中断し、コントローラ 1 0 6 でチップ間接続処理を実施する。このチップ間接続処理の期間を、ここではコントローラ処理によるチップ拡張期間と呼ぶ。具体的には、計算ステップの計数値 n がデータ伝送の周期 P の倍数に到達したら、コントローラ 1 0 6 が半導体チップ群 1 1 5 からスピン値を回収し、その値でスピンドータ格納部 1 1 2 の値を上書きする (S 9、S 10)。そして、チップ間接続部 1 2 2 が図 14 で説明したチップ接続用のデータ処理を実施する (S 11)。これにより、隣接していないチップ間でもあたかも接続されているような処理がなされ、処理後のスピンドータが再度半導体チップ群 1 1 5 に展開される。展開後、半導体チップ 1 1 6 では、各々の探索動作を再開することで、別チップからの計算結果を一部反映させて計算することができるようになる。

20

【 0 1 1 9 】

以上のように、イジングモデルの基底状態探索を実施する期間には、スピンドータ格納部 1 1 2 に格納される基底状態探索の結果の全てが、基底状態探索の計算ステップ毎、あるいは複数の計算ステップ毎に更新される探索期間と、スピンドータ格納部 1 1 2 に格納される基底状態探索の結果の一部が、基底状態探索の計算ステップ毎、あるいは複数の計算ステップ毎に、スピンドータ格納部 1 1 2 に含まれる、別の一部の値に書き換えられるチップ拡張期間とがある。

【 0 1 2 0 】

また、探索期間における基底状態探索の結果を更新する間隔と、チップ拡張期間における基底状態探索の一部の結果の書き換えが実施される間隔とは、基底状態探索の計算ステップで表現され、各々外部から調整可能となっている。この場合に、各間隔を設定するレジスタを有しても良い。

30

【 0 1 2 1 】

また、半導体チップ 1 1 6 が複数設定された場合には、複数の半導体チップ 1 1 6 間を配線して、基底状態探索の結果を伝送する配線伝送期間を設定すると共に、コントローラ 1 0 6 で実施するチップ拡張期間における基底状態探索の結果の書き換えを実施する。

【 0 1 2 2 】

一方で、図 9 におけるチップ 1 とチップ 2、またはチップ 1 とチップ 5 のように、隣接した半導体チップはコントローラ 1 0 6 を介さずにチップ間でスピンドータの伝送を実施しても構わない。

40

【 0 1 2 3 】

例えば、図 15 に示すように、隣接したチップ 8 0 1 とチップ 8 0 2 を接続する場合の接続部に着目し、境界部のスピン 1 1 0 1, 1 1 0 2 の数が n の場合、計算を実施するに当たっては、スピンのビット数が n ビットならば、 n ビットをデータ送受信部 (パッド) 1 1 0 3 とデータ送受信部 (パッド) 1 1 0 4 に引き出してシームレスに接続するのが望ましい。したがって、境界部のビット幅 n が小さい場合は図 15 に示す接続方法を採用する。

【 0 1 2 4 】

ただし、境界部のスピン 1 1 0 1, 1 1 0 2 の数が多い条件でシームレス接続を実施すると、パッド数が多くなると共に、配線領域が大きくなって、チップコストと実装コスト

50

が上昇することが判っている。また、本実施の形態で前提とした半導体チップは、ノイマン型コンピュータではなく非ノイマン型であり、空間的あるいは時間的に間引いた接続が許容できることが判っている。そこで、図16に示すようなブロック構成を採用して、 m ビット ($m < n$) の伝送幅を実現し、接続数を削減する。

【0125】

ここでは、チップ間の接続数を削減する図16の構成について説明する。図16において、1101と1102は境界部のスピンであり、1105はチップ801のデータ読み出し部、1106はチップ801の送信用バッファ、1107はチップ801の送信部、1108はチップ802の受信部、1109はチップ802のデータ展開部、1110はチップ802のラッチ回路、1111はチップ802のデータ読み出し部、1112はチップ802の送信用バッファ、1113はチップ802の送信部、1114はチップ801の受信部、1115はチップ801のデータ展開部、1116はチップ801のラッチ回路である。

10

【0126】

チップ801のデータ読み出し部1105は、スピンドレイ405から境界領域のスピンの値を読み出し、 m ビット毎に送信用バッファ1106に伝送する。送信用バッファ1106は、チップ801の送信部1107と隣接チップであるチップ802の受信部1108を介して、チップ802のデータ展開部1109に m ビットのスピンドータを伝送する。データ展開部1109は、入力されたスピンドータを m ビットずつシフトしながら、ラッチ回路1110に展開する。これにより、チップ801からチップ802へのスピンドータの伝送を実現する。

20

【0127】

なお、チップ802からチップ801へのスピンドータの伝送は、接続部の回路を2系統ペアで設置することで実現する。ただし、送信部(パッド)と受信部(パッド)を共通化し、双方向のバッファリング動作が衝突しないように、時分割でデータ伝送を実施することでパッド数を削減しても構わない。また、格子状のスピンドータモデルで X 方向の拡張を前提として説明したが、 Y 方向などへの拡張を実現するためには対応する接続部を複数設置すれば良い。

【0128】

本実施の形態の前半で説明したコントローラ106を介するデータ伝送により、図9で言えば、隣接しないチップ、例えばチップ1とチップ3等でのデータ伝送を可能にすると共に、図15～図16で説明した隣接チップ間のデータ伝送を組み合わせることが望ましい。また、コントローラ106で隣接したチップ間においても、図10～図12に示すような境界領域の内側のスピン値のデータ伝送も可能にすると共に、図15～図16で説明した隣接チップ間のデータ伝送を組み合わせても良い。もちろん、チップ間の配線接続を使用せず、コントローラ106を介して全てのチップ間のデータ伝送を実施しても構わない。

30

【0129】

また、イジングモデルを前提に説明してきたが、例えばニューラルネットワークのような、他の相互作用モデルを適用した場合であっても構わない。

40

【0130】

以上説明した第1の実施の形態によれば、例えばイジングモデルなどのような大規模かつ複雑な相互作用モデルの計算を行うことができ、安価かつ容易に製造可能な半導体システムを実現することができる。

[第2の実施の形態]

【0131】

第2の実施の形態は、前記第1の実施の形態に対して、チップ間のデータ伝送で要求される精度や品質を考慮した伝送仕様に制御することを特徴とする。第2の実施の形態においては、前記第1の実施の形態と異なる点を主に説明する。

【0132】

50

本実施の形態は、特に半導体チップ等の基底状態探索計算においては、常に高精度、かつ欠落の無いデータである必要が無いことに着目したものである。特に、局所最適解から脱出するためにRNDを参照するブロックにおいて、計算ステップが小さい領域においては、計算結果をあえて反転させる制御を実施しており、正確なデータ伝送が必要ないとも考えられる。このことから、計算ステップが小さい領域においては、データ伝送を簡略化し、伝送に伴って発生する消費電流の低減を図ると共に、データ伝送によるバス、ネットワークの占有を抑制し、その他の処理を滞りなく実施することに寄与する。

【0133】

図18～図19は、第2の実施の形態を説明するための図であり、図18は、本実施の形態において前提とする、計算ステップ毎のエネルギーの遷移の一例を示した図であり、図19は、本実施の形態におけるデータ伝送仕様の切り替わりの一例を示した図である。例えば、基底状態探索の計算ステップが進むにつれて、チップ拡張期間における基底状態探索の一部の結果の書き換えを実施する制御仕様と、複数の半導体チップ間の配線により基底状態探索の結果を伝送する制御仕様、あるいはいずれかの制御仕様を変化させる。この仕様を変化させる制御において、制御仕様の変化点に設定する複数の計算ステップ、あるいは計算ステップ間の間隔は、外部から調整可能である。

10

【0134】

図18では、基底状態探索計算を実施した場合のエネルギー遷移を示しており、1301は横軸に計算ステップ、縦軸にエネルギーを設定してプロットした結果の一例である。結果1301が特定の計算ステップでエネルギーが低下しているのは、基底状態探索計算における、温度パラメータの更新に相当する。半導体チップにおいては、温度パラメータをRNDによる反転確率で表現しており、計算ステップが進むにつれて、スピン値のRNDによる反転確率を低くしている。ここで、計算ステップが小さい領域においては、局所最適解からの脱出が主の目的で、スピン値の反転確率が高く、粗い精度での解探索しか実施していないことに着目したのが本実施の形態である。具体的には、計算ステップの範囲1302、範囲1303、範囲1304、範囲1305、範囲1306に合わせて、データ伝送の仕様を変化させる。

20

【0135】

図19では、データ伝送の仕様を計算ステップに合わせて変化させるパラメータの例として、データ伝送用クロック周波数、データ伝送周期、データ伝送圧縮率、伝送ビット数を列挙して表に纏めたものである。

30

【0136】

データ伝送用クロック(図2に示したクロック3)の周波数は、計算ステップが小さい範囲1302においては、例えば10MHzに設定し、計算ステップが範囲1303、範囲1304、範囲1305、範囲1306と進むにつれて高周波数化し、範囲1306においては100MHzに設定する。これにより、精度が要求される範囲1306において、データ伝送に割り当てる時間を短縮し、削減できた時間を計算時間に割り当てることが可能になる。

【0137】

データ伝送周期は、計算ステップが小さい範囲1302においては、例えば16ステップ毎にデータ伝送し、計算ステップが範囲1303、範囲1304、範囲1305、範囲1306と進むにつれてデータ伝送間隔を短くする。なお、本内容は、図17に示したフローチャートにおける、チップ間接続周期Pを短くしていくことに相当する。そして、範囲1306において、1ステップ毎の設定にすれば、接続元の計算結果の更新頻度が計算ステップ毎に設定され、あたかもシームレス接続したような条件で計算できるようになる。

40

【0138】

伝送データ圧縮率は、計算ステップが小さい範囲1302においては、例えばデータの圧縮率を1/10に高くしてデータ数を削減し、計算ステップが範囲1303、範囲1304、範囲1305、範囲1306と進むにつれて圧縮率を低くし、範囲1306におい

50

ては 1 に設定する。

【 0 1 3 9 】

伝送ビット数は、計算ステップが小さい範囲 1 3 0 2 においては、例えばビット数を 1 ビットに少なくして、計算ステップが範囲 1 3 0 3、範囲 1 3 0 4、範囲 1 3 0 5、範囲 1 3 0 6 と進むにつれてビット数を多くし、範囲 1 3 0 6 においては 8 ビットに設定する。

【 0 1 4 0 】

なお、図 1 9 で示した本実施の形態の仕様と数値は一例である。基底状態探索計算におけるパラメータを計算ステップ毎に変化させるという点が共通であれば、仕様内容や数値は異なっても構わない。

【 0 1 4 1 】

以上説明した第 2 の実施の形態によれば、前記第 1 の実施の形態と異なる効果として、計算ステップが小さい領域においては、データ伝送を簡略化し、伝送に伴って発生する消費電流の低減を図ると共に、データ伝送によるバス、ネットワークの占有を抑制し、その他の処理を滞りなく実施することができる。

[第 3 の実施の形態]

【 0 1 4 2 】

第 3 の実施の形態は、前記第 1 の実施の形態に対して、コントローラと複数の半導体チップはバスで接続されることを特徴とする。第 3 の実施の形態においては、前記第 1 及び第 2 の実施の形態と異なる点を主に説明する。

【 0 1 4 3 】

図 2 0 は、第 3 の実施の形態を説明するための図であり、半導体システム 1 0 4 の構成の一例を示したブロック図である。図 2 0 に示す半導体システム 1 0 4 において、コントローラ 1 0 6 及び複数の半導体チップ 1 4 0 2 はスイッチに接続されるのではなく、専用バス 1 4 0 1 に接続され、スイッチを必要としない。

【 0 1 4 4 】

なお、バス接続であること以外は、前記第 1 の実施の形態と同様である。したがって、詳細の説明は割愛する。また、本実施の形態のブロック構成を前提にして、前記第 2 の実施の形態を適用して、チップ間のデータ伝送仕様を制御しても構わない。

【 0 1 4 5 】

以上説明した第 3 の実施の形態によれば、前記第 1 の実施の形態と異なる効果として、コントローラ 1 0 6 及び複数の半導体チップ 1 4 0 2 を専用バス 1 4 0 1 で接続して半導体システム 1 0 4 を構成することができる。この結果、前記第 1 及び第 2 の実施の形態と同様の効果を得ることができる。

[第 4 の実施の形態]

【 0 1 4 6 】

第 4 の実施の形態は、前記第 1、第 2、第 3 の実施の形態と異なり、例えばイジングモデルなどのような大規模かつ複雑な相互作用モデルの計算を行うことができ、安価かつ容易に製造可能な計算システムに関する。

【 0 1 4 7 】

図 2 1 は、第 4 の実施の形態を説明するための図であり、計算システムを含むネットワークシステムの全体構成の一例を示したブロック図である。図 2 1 に示すネットワークシステムにおいて、1 5 0 1 はホスト、1 5 0 2 は半導体システム群、1 5 0 3 は半導体システム群を構成する複数の半導体システム、1 5 0 4 はネットワークである。本実施の形態は、異なるコンピュータに搭載された半導体システム 1 5 0 3 であった場合に、ネットワーク 1 5 0 4 を介してホスト 1 5 0 1 と各半導体システム 1 5 0 3 間でデータ伝送を実施し、大規模の単一問題を解くことを可能にする。半導体システム 1 5 0 3 は、前記第 1 の実施の形態と同様の構成を含む。

【 0 1 4 8 】

図 2 1 に示した半導体システム 1 5 0 3 が複数存在し、それぞれが LAN に接続された

10

20

30

40

50

場合を考える。単一の半導体システム 1503 に搭載された複数の半導体システムで解くことが不可能なイジングモデルの基底状態探索を実施する場合には、LAN 経由で計算資産を共有し、ホスト 1501 が問題データの展開やデータ伝送を実施する。問題データの展開と半導体システム間のデータ伝送を可能にすれば、前記第 1 ~ 第 3 の実施の形態で説明してきた基底状態探索計算手法で、より大規模の問題を解くことができる。

【0149】

また、ホスト 1501 がノート PC、あるいはモバイル機器の場合、無線 LAN などの回線による接続でデータ伝送を実現して、大規模の問題を解くことも可能にする。例えば、モバイル機器が問題を解くためのコマンドを発行し、遠隔地に存在する複数の半導体システム 1503 がコマンドを受信する。そして、半導体システム 1503 上でイジングモデルの基底状態探索を実施した結果から、最適値を導出し、モバイル機器に対して送信する。これにより、小規模の問題であれば、ノート PC 上、あるいはモバイル機器上において、半導体システムを使用して問題を解いた結果を参照できるようになる。

10

【0150】

以上説明した第 4 の実施の形態によれば、前記第 1 ~ 第 3 の実施の形態と異なる構成において、前記第 1 ~ 第 3 の実施の形態と同様の効果を得ることができる。

【0151】

以上、本発明者によってなされた発明をその実施の形態に基づき具体的に説明したが、本発明は前記実施の形態に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることは言うまでもない。

20

【0152】

例えば、上記した実施の形態は、本発明を分かり易く説明するために詳細に説明したものであり、必ずしも説明した全ての構成を備えるものに限定されるものではない。また、ある実施の形態の構成の一部を他の実施の形態の構成に置き換えることが可能であり、また、ある実施の形態の構成に他の実施の形態の構成を加えることも可能である。また、各実施の形態の構成の一部について、他の構成の追加・削除・置換をすることが可能である。

【0153】

また、上記した実施の形態では、物理学の世界で代表的なイジングモデルを例にあげて説明したが、本発明はこれに限定されるものではなく、種々の物理現象や社会現象を表現することができる相互作用モデル全般に適用できるものである。また、イジングモデルの基底探索を実施する装置として半導体チップを例にあげて説明したが、本発明はこれに限定されるものではなく、同様の動作を行う装置全般に適用できるものである。

30

【符号の説明】

【0154】

101 ... CPU、102 ... メモリ、103 ... 記憶装置、104 ... 半導体システム、105 ... システムバス、106 ... コントローラ、107 ... システム I/F、108 ... レジスタ、109 ... データ処理部、110 ... クロック生成部、111 ... 問題データ格納部、112 ... スピンデータ格納部、113 ... データ I/F、114 ... スイッチ、115 ... 半導体チップ群、116 ... 半導体チップ、117 ... チップ間配線、118 ... 問題設定レジスタ、120 ... チップ数設定レジスタ、121 ... チップ仕様設定レジスタ、122 ... チップ間接続部、123 ... アドレス生成部、124 ... データ生成部、125 ... 展開部、126 ... データ集計部、127 ... 相互作用制御信号生成部、128 ... 乱数発生部、

40

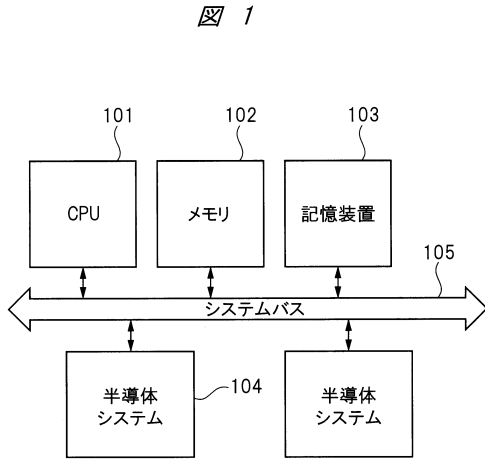
401 ... I/F、402 ... チップ間伝送 I/F、403 ... レジスタ、404 ... メモリコントローラ、405 ... スピンアレイ、406 ... 相互作用 I/F、407 ... 相互作用アドレスデコーダ、408 ... チップ間伝送部コントローラ、409 ... 境界スピン制御部、410 ... 送信用バッファ、411 ... 受信用バッファ、

1401 ... 専用バス、1402 ... 半導体チップ、

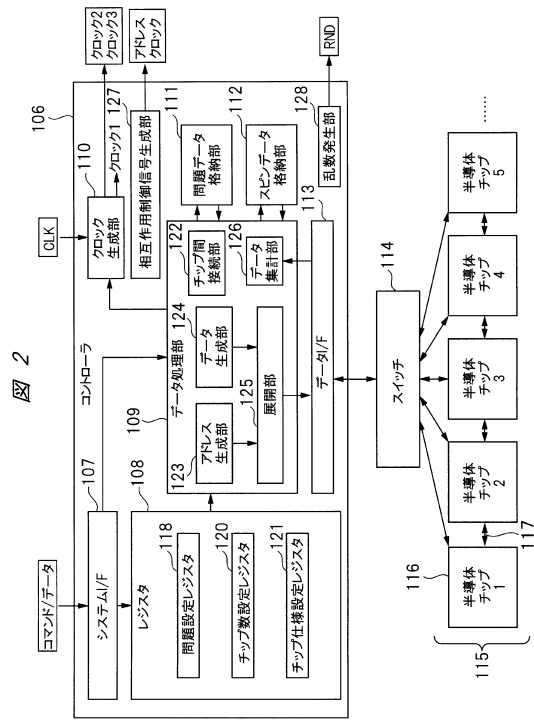
1501 ... ホスト、1502 ... 半導体システム群、1503 ... 半導体システム、1504 ... ネットワーク。

50

【図1】



【図2】

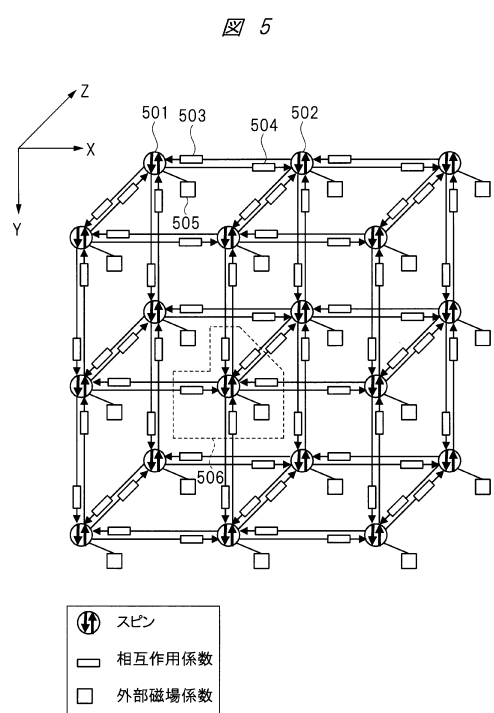


【図3】

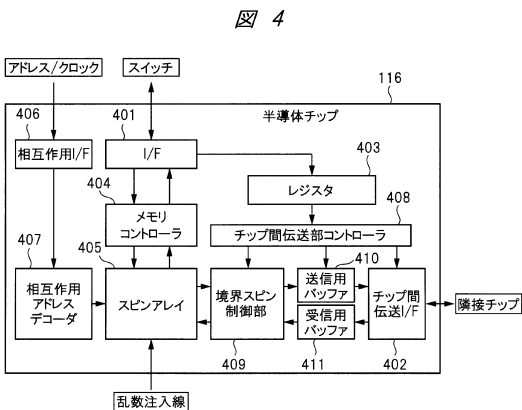
図3

		ケース1	ケース2	ケース3
問題設定レジスタ	サイズ幅	128	260	256
	ライン数	80	160	160
	Z方向	2	2	2
チップ数設定レジスタ		1	4	6
チップ仕様設定レジスタ	サイズ幅	128		
	ライン数	80		
	Z方向	2		
判定		o.k.	NG	o.k.
電源制御		すべてON	-	2チップOFF

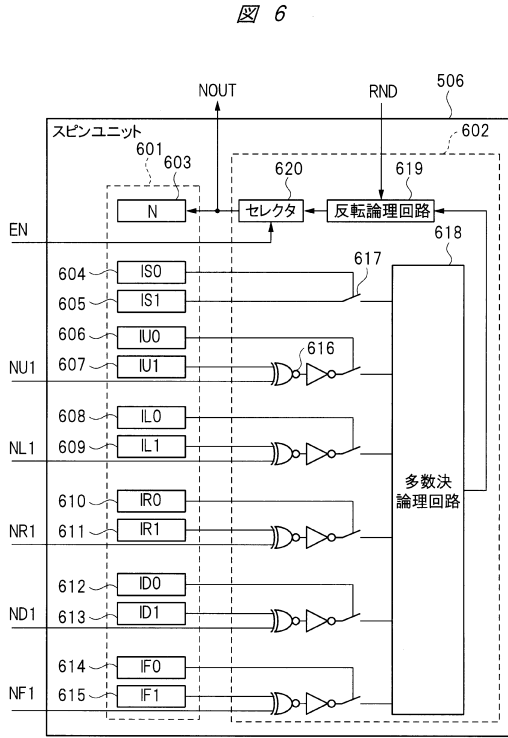
【図5】



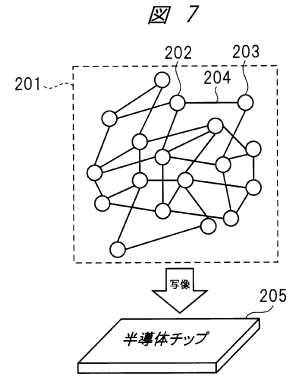
【図4】



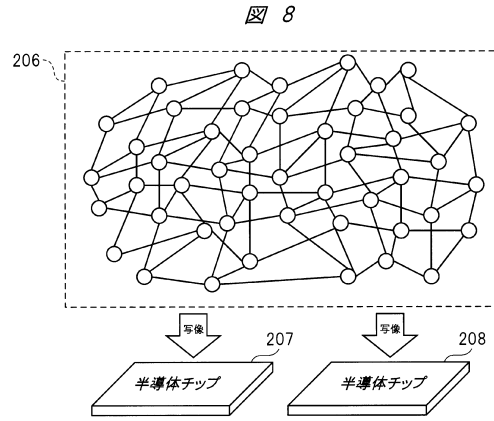
【図6】



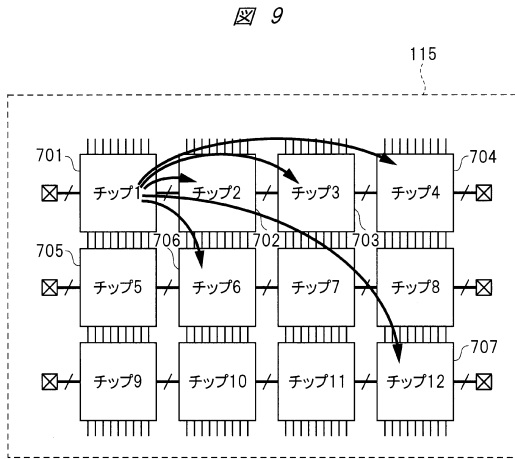
【図7】



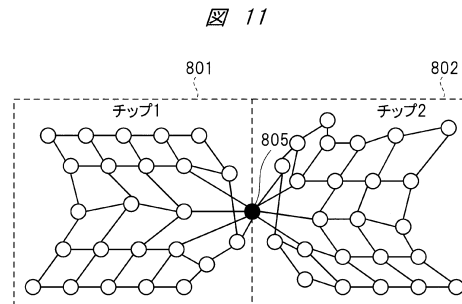
【図8】



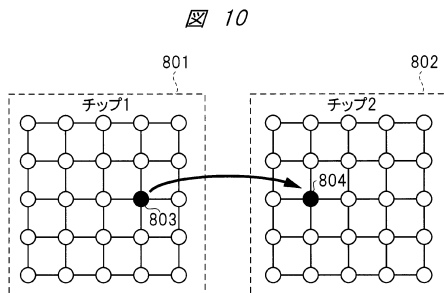
【図9】



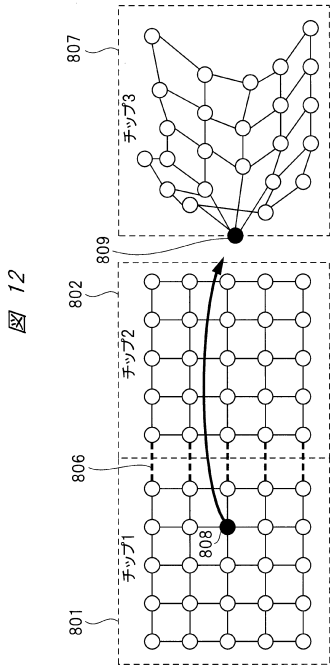
【図11】



【図10】



【図 12】



【図 13】

図 13

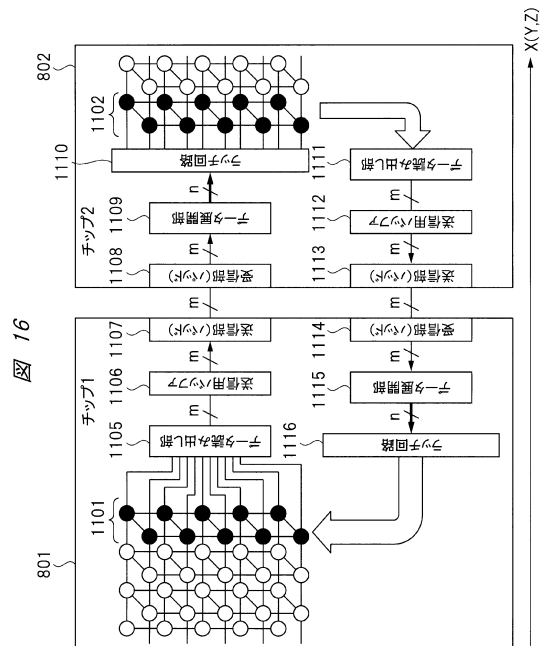
データ	アドレス	チップ	ローカルアドレス
1番目	0x00000	1	0x00000
2番目	0x00001		0x00001
3	0x00002		0x00002
:	:		:
256	0x000FF	2	0x000FF
257	0x00100		0x00000
:	:		:
512	0x001FF	1	0x000FF
513	0x00200		0x00100
:	:		:
768	0x002FF	2	0x001FF
769	0x00300		0x00100
:	:		:
1024	0x003FF	1	0x001FF
:	:		:
40449	0x09E00		0x04E00
:	:		:
40702	0x09EFF	2	0x04EFF
40703	0x09F00		0x04F00
:	:		:
40960	0x09FFF		0x04FFF

【図 14】

図 14

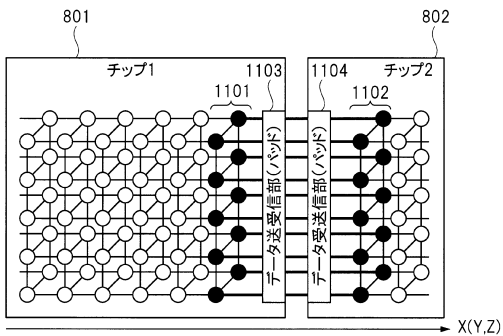
	読み出し	書き込み
データ	257番目	40449番目
アドレス	0x00100	0x09E00
チップ&アドレス	2 0x00000	1 0x04E00
R/W	R	W

【図 16】

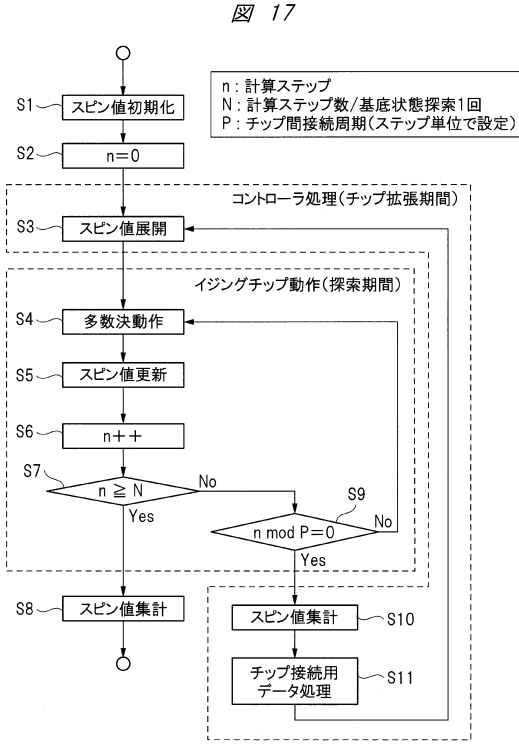


【図 15】

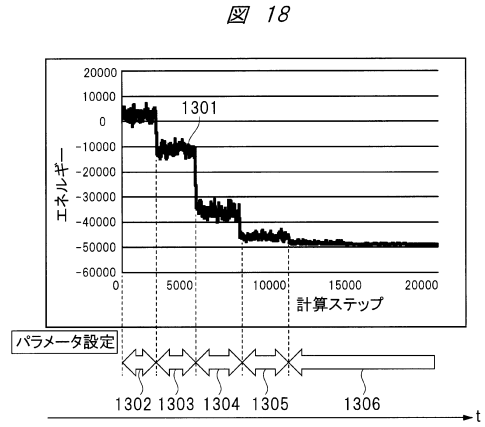
図 15



【図17】



【図18】

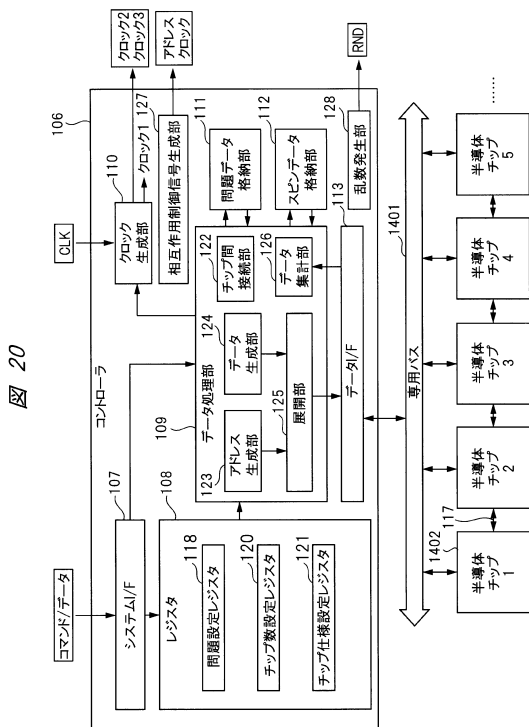


【図19】

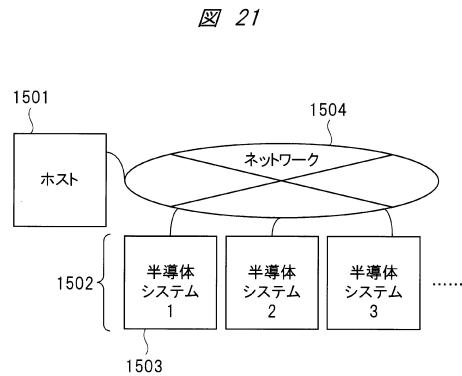
図 19

ステップの範囲	1302	1303	1304	1305	1306
データ伝送用クロック周波数 [MHz]	10	10	20	50	100
データ伝送周期 [STEP数]	16	8	4	2	1
伝送データ圧縮率	1/10	1/5	1/2	1	1
伝送ビット数 [bit]	1	2	4	8	8

【図20】



【図21】



フロントページの続き

- (72)発明者 奥山 拓哉
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 山岡 雅直
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内
- (72)発明者 青木 秀貴
東京都千代田区丸の内一丁目6番6号 株式会社日立製作所内

審査官 三坂 敏夫

- (56)参考文献 国際公開第2014/192153(WO, A1)
YAMAOKA, Masanao et al., "24.3 20k-spin Ising chip for combinational optimization problem with CMOS annealing", Solid-State Circuits Conference - (ISSCC), 2015 IEEE International, 米国, IEEE, 2015年 2月26日, pages:432-434
浅川 直輝, 「日立製作所、D-Waveの量子コンピュータに対抗する新型コンピュータを試作」, [online], 日本, 日経BP社, 2015年 2月 3日, [平成27年11月13日検索], インターネット: <URL: <http://itpro.nikkeibp.co.jp/atcl/column/14/346926/022000173/>>
ニュースリリース「約1兆の500乗通りの膨大なパターンから瞬時に実用に適した解を導く室温動作可能な新型半導体コンピュータを試作」, [online], 日本, 株式会社日立製作所, 2015年 2月23日, [平成27年11月13日検索], インターネット: <URL: <http://www.hitachi.co.jp/New/cnews/month/2015/02/02>>

(58)調査した分野(Int.Cl., DB名)

G06N 3/00 - 3/12
7/08 - 99/00
G06F 15/173、15/80