(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
H04N 7/20 (2006.01)

(45) 공고일자 2007년01월02일
(11) 등록번호 10-0662403
(24) 등록일자 2006년12월21일

(21) 출원번호 10-2005-0023577
(22) 출원일자 2005년03월22일
심사청구일자 2005년03월22일

(65) 공개번호 10-2006-0101939
(43) 공개일자 2006년09월27일

(73) 특허권자 엘지전자 주식회사
서울특별시 영등포구 여의도동 20번지

(72) 발명자 조주현
경기 안양시 동안구 귀인동 꿈마을우성아파트 208-401

(74) 대리인 김용인
심창섭

(56) 선행기술조사문헌
KR1019950022326 A
KR1019950022351 A
KR1020000006169 A
KR1020010102972 A
KR1020050119973 A
* 심사관에 의하여 인용된 문헌

심사관 : 이승한

전체 청구항 수 : 총 7 항

(54) 병렬 구조를 가지는 C D M 수신기

(57) 요약

본 발명은 이동형 방송 수신기에 관한 것으로, 다중 경로(Multi-path)를 통해 수신되는 신호를 복조하기 위해, 상기 입력되는 신호에서 송신 신호의 위치에 해당하는 데이터를 추출해내는 디지털 리샘플러(Digital Resampler)의 출력 신호를 수신하여 신호의 동기를 포착(acquisition) 하는 서쳐부와; 상기 서쳐에 의해 활성화된 각 핑거(Finger)에서 상기 디지털 리샘플러의 출력 신호를 수신하여 신호의 동기를 추적(tracking)하는 트래커부를 포함하여 구성되는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기를 제공한다. 따라서 병렬 구조에서는 약 10 ns 내외의 근접한 다중 경로 수신 신호를 분해해 낼 수 있기 때문에 출력 신호의 SNR을 증가시켜 수신율을 높일 수 있게 된다.

대표도

도 2

특허청구의 범위

청구항 1.

다중 경로(Multi-path)를 통해 수신되는 신호를 복조하기 위해,

상기 입력되는 신호에서 송신 신호의 위치에 해당하는 데이터를 추출하는 디지털 리샘플러(Digital Resampler)의 출력 신호를 수신하여 신호의 동기를 포착(acquisition)하는 서쳐부와;

상기 서쳐부에 의해 활성화된 각 핑거(Finger)에서 상기 디지털 리샘플러의 출력 신호를 수신하여 신호의 동기를 추적(tracking)하는 트래커부를 포함하여 구성되는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 2.

제 1 항에 있어서,

상기 서쳐부와 트래커부는 상기 디지털 리샘플러의 패로우 필터를 공유하는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 3.

제 2 항에 있어서,

상기 서쳐부는 서쳐와 상기 디지털 리샘플러의 프랙셔널 딜레이 연산부를 포함하여 구성된 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 4.

트래커로부터 발생하여 루프 필터링(Loop Filtering)된 타이밍 에러를 프랙셔널 딜레이(Practional delay) 값으로 변환하는 서쳐 NCO와;

상기 서쳐 NCO로부터 현재 서쳐에서 포착한 신호의 프랙셔널 딜레이를 입력받아 트래킹에 이용하는 핑거 NCO를 포함하여 구성된 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 5.

제 4 항에 있어서,

상기 서쳐 NCO는 상기 루프 필터 중 공통 적분 필터(Common Integrate Filter)의 출력을 입력으로 하는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 6.

제 4 항에 있어서,

상기 서쳐 NCO는 상기 서쳐부에서 디지털 리샘플러의 프랙셔널 딜레이 연산부로도 출력하는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

청구항 7.

제 4 항에 있어서,

상기 핑거 NCO는 상기 서쳐 NCO의 출력과 루프 필터의 출력을 입력으로 하여 트래커의 프랙셔널 딜레이 연산부로 출력하는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기.

명세서

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 이동형 방송 수신기에 관한 것으로, 더욱 상세하게는 서쳐(Searcher)와 트래커(Tracker)를 병렬 구조화하여 상기 서쳐와 트래커 간에 미스매치(mismatch)를 줄여 수신기의 효율을 높이는 구조에 관한 것이다.

DMB(Digital Multimedia Broadcasting : 디지털 멀티미디어 방송)는 크게 지상파 DMB와 위성 DMB로 나눌 수 있다.

상기 지상파 DMB는 OFDM(Orthogonal Frequency Division Multiplexing : 직교 주파수 분할 다중화 방식)을 기반으로 하여 이동 중에 오디오 및 비디오 서비스를 제공하며, 위성 DMB는 CDM(Code Division Multiplexing : 부호 분할 다중화 방식)을 기반으로 하여 위성체와 상기 위성체로부터 신호를 수신하지 못하는 음영지역을 해소하기 위해 이를 보완하는 지상의 갭 필러를 이용하여 이동 중에도 오디오 및 비디오 서비스를 가능하게 하는 것이다.

상기 위성 DMB 수신기의 안테나로 입력된 수신 신호는 튜너를 거쳐 기저 대역(Baseband)으로 변환되며, 자동 이득 제어기(AGC)는 상기 수신된 신호의 전력(power)을 측정하여 계산된 이득 값을 곱해주어 신호의 크기를 일정하게 유지하여 A/C로 출력하고, 상기 A/D는 상기 AGC에 의해 크기가 비교적 일정해진 신호를 표본화(Sampling)하여 아날로그 신호를 디지털 신호로 변환시켜준다.

상기 CDM 전송 방식에서 신호를 복조하기 위해서는 신호의 확산에 사용된 의사잡음 시퀀스(Pseudo-Noise Sequence)의 포착이 우선되어야 하는데, 이 과정은 신호의 포착(Acquisition)과 추적(Tracking)의 두 단계로 이루어진다.

상기 의사잡음(PN) 시퀀스의 구분 단위를 칩(chip)이라 하는데, 상기에서 포착은 수신기에서 신호 동기를 ±1/2 칩 이내로 확보하는 과정으로 서쳐(Searcher)에서 수행된다.

그리고 신호 추적은 상기 포착한 신호의 동기를 미세하게 맞추는 것으로 트래커(Tracker)에서 수행된다. 이렇게 해서 동기를 맞춘 신호는 수신기에서 생성한 의사잡음 시퀀스를 곱함으로써 역확산시키고, CDM 채널을 구분하는데 사용된 WALSH 코드를 곱함으로써 원하는 CDM 채널의 심볼을 추출한다.

상기 포착, 추적 과정은 서쳐(Searcher)가 찾아준 모든 다중 경로(Multi-Path)에서 수행되며, 각각 핑거(Finger)라 부른다.

그러나 종래 CDM 수신기의 구조는 상기 서쳐가 정합 필터의 바로 후단에 위치하고 트래커는 정합 필터와 리샘플러를 거치고 나서 트래킹을 수행함으로써 상기 서쳐와 트래커 간에 구조적으로 미스매치가 발생하는 문제점이 있었다.

또한, 실제 상기 서쳐에서 신호를 포착하여 위치 정보를 전달하더라도 트래커가 서쳐로부터 상세 위치 정보인 프랙셔널 딜레이(Fractional Delay)를 입력받지 않기 때문에 서쳐가 포착한 정확한 위치에서 약간의 오차가 있는 위치에서부터 트래커가 트래킹을 시작하므로 10 ns 내외의 근접한 다중 경로 채널에 대해선 잘못된 방향으로 수렴되는 결과가 발생할 수 있는 등 트래커의 효율이 떨어질 수 있는 문제점이 있었다.

발명이 이루고자 하는 기술적 과제

본 발명은 상기와 같은 문제점을 해결하기 위한 것으로서, 본 발명의 목적은 종래 상기 서쳐와 트래커의 구조에서 오는 미스매치를 줄이고자 병렬 구조를 가지는 새로운 CDM 수신기를 제공하고자 하는 것이다.

본 발명의 다른 목적은 서쳐와 트래커 간에 송수신 단의 시스템 클록 주파수 차이에 의해 발생하는 미세한 위치 오차 정보를 주고 받도록 하여 트래커의 효율을 높일 수 있는 장치를 제공하고자 하는 것이다.

발명의 구성

상기 목적을 달성하기 위하여, 본 발명은 다중 경로(Multi-path)를 통해 수신되는 신호를 복조하기 위해, 상기 입력되는 신호에서 송신 신호의 위치에 해당하는 데이터를 추출하는 디지털 리샘플러(Digital Resampler)의 출력 신호를 수신하여 신호의 동기를 포착(acquisition)하는 서쳐부(34)와; 상기 서쳐부에 의해 활성화된 각 핑거(Finger)에서 상기 디지털 리샘플러의 출력 신호를 수신하여 신호의 동기를 추적(tracking)하는 트래커부를 포함하여 구성되는 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기를 제공한다.

이때 상기 서쳐부(34)와 트래커부는 상기 디지털 리샘플러의 패로우 필터(26)를 공유하는 것이 바람직하다.

그리고 상기 서쳐부(34)는 서쳐(4)와 상기 디지털 리샘플러의 프랙셔널 딜레이 연산부(27)를 포함하여 구성된 것이 바람직하다.

본 발명의 다른 목적은 트래커로부터 발생하여 루프 필터링(Loop Filtering)된 타이밍 에러를 프랙셔널 딜레이(Practional delay) 값으로 변환하는 서쳐 NCO(33)와; 상기 서쳐 NCO로부터 현재 서쳐에서 포착한 신호의 프랙셔널 딜레이를 입력받아 트래킹에 이용하는 핑거 NCO(32)를 포함하여 구성된 것을 특징으로 하는 병렬 구조를 가지는 CDM 수신기를 제공한다.

이때 상기 서쳐 NCO(33)는 상기 루프 필터 중 공통 적분 필터(Common Integrate Filter)의 출력을 입력으로 하는 것이 바람직하다.

또한, 상기 서쳐 NCO(33)는 상기 서쳐부에서 디지털 리샘플러의 프랙셔널 딜레이 연산부(27)로도 출력하는 것이 바람직하다.

그리고 상기 핑거 NCO(32)는 상기 서쳐 NCO의 출력과 루프 필터의 출력을 입력으로 하여 트래커의 프랙셔널 딜레이 연산부(27)로 출력하는 것이 바람직하다.

본 발명의 다른 목적, 특성 및 이점들은 첨부한 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.

아울러, 본 발명에서 사용되는 용어는 가능한 한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있으며 이 경우 해당되는 발명의 설명 부분에서 상세히 그 의미를 기재하였으므로, 단순한 용어의 명칭이 아닌 용어가 가지는 의미로서 본 발명을 파악하여야 됨을 밝혀 두고자 한다.

이하 상기의 목적으로 구체적으로 실현할 수 있는 본 발명의 바람직한 실시 예를 첨부한 도면을 참조하여 설명한다.

갭 필러(Gap Filler)나 중계기를 이용하여 셀 플래닝(Cell Planning)이 수행되는 이동 통신망에서는 송신 신호가 다양한 경로를 거쳐 수신기로 신호가 수신된다. 이 경우에 각 경로 신호 간에 페이즈(위상)가 달라진다.

그러나 프리퀀시(frequency)의 경우에는 그렇게 큰 차이가 나지 않는데 이는 상기 프리퀀시의 차이는 단말기와 갭 필러(중계기)의 시스템을 구동하는 오실레이터(oscillator)에 의해 발생하게 된다. 수신기에 사용되는 오실레이터는 비용 및 설계구조의 단순화 때문에 그 오차가 큰 반면, 갭 필러에는 정밀도가 매우 높은 오실레이터를 사용하기 때문에 두 개 이상의 갭 필러로부터 송신되어 CDM 수신기에 수신된 다중 경로 수신 신호 간의 프리퀀시 차이는 매우 작게 된다.

도 1은 본 발명을 포함하고 있는 CDM 수신기의 개념적인 구성 블록 도이다.

상기 수신 과정을 보면, 다중 경로(multi-path)로 전송되어 안테나를 통해 입력되는 수신 신호는 튜너(1)에서 기저 대역(Base band)으로 변환되고, 상기 변환된 신호는 A/D(3)로 신호의 크기를 일정하게 유지하여 입력되어야 하는바 이를 위해 수신된 신호의 전력을 측정하여 계산된 이득 값을 곱하는 자동 이득 조절부(2)를 거쳐 A/D(3)에서 디지털 신호로 변환된다.

이때, 상기 CDM 전송 방식에서 신호를 복조하기 위해서는 신호의 확산에 사용된 의사잡음 시퀀스(pseudo-noise sequence)의 포착이 우선되어야 하는데 이 과정은 신호의 포착(acquisition)과 추적(tracking)이라는 두 단계로 이루어지는데, 상기 포착은 서쳐(searcher)(4)에서 수행되고, 추적은 트래커(tracker)(5-1~5-n)에서 수행된다.

이렇게 해서 동기를 맞춘 신호는 역확산부(6-1~6-n)를 통해 수신장치에서 생성한 의사잡음 시퀀스를 곱함으로써 역확산시키고, CDM 채널을 구분하는데 사용된 WALSH 코드를 곱함으로써 원하는 CDM 채널의 심볼을 추출한다.

상기 과정은 서쳐(searcher)(4)가 찾아준 모든 다중 경로에서 수행되며, 각각 핑거(Finger)라 부른다.

이때, 주파수 옵셋 추정기(7)는 각 핑거 별로 주파수 옵셋을 추정하여 이를 합성한 뒤에, 튜너(1)로 피드백(feedback)하여 주파수 옵셋을 보정하는 역할을 한다.

상기 추출한 심볼(symbol)은 레이크 합성기(8)에서 합성되는데, 이때 복조를 원하는 모든 CDM 채널에 대해 레이크 합성하며, 상기 합성된 신호는 순방향 오류정정 부호화 부(9)를 거쳐 AV 복호 단에서 복호 되어 디스플레이된다.

이제 본 발명과 관련하여 병렬 구조를 가지는 새로운 CDM 수신기의 바람직한 일 실시 예를 설명하면 다음과 같다.

본 발명은 상기 신호를 포착하고 추적하는 과정에서 서쳐(4)와 트래커(5-1~5-n)의 구조에 관한 것으로, 상술한 바와 같이 A/D(3)를 거쳐 디지털 신호로 변환된 신호는 정합 필터(25)로 입력되는데, 상기 정합 필터(Matched Filter)(25)는 백색 가우시안 채널(White Gaussian Channel) 환경에서 가장 효율적인 수신을 가능하게 해주는 필터로써, 송신 단의 펄스 쉐이핑 필터(Pulse Shaping Filter)와 동일한 필터를 사용하며 송신 데이터가 존재하지 않는 범위의 잡음을 제거해 주는 기능을 한다.

상기 정합 필터(25)를 거쳐 잡음이 제거된 신호는 이제 서쳐부(34)에서 신호의 동기를 포착하고 트래커부(5-1~5-n)에서 상기 포착된 신호를 추적하게 되는데, 종래 상기 서쳐부(4)는 정합 필터(25)와 디지털 리샘플러(Digital Resampler)(26, 27)의 사이에 위치하고 트래커는 디지털 리샘플러의 후단에 위치하여 상기 서쳐부(34)와 트래커부(5-1~5-n) 사이에 포착하고 추적하는 과정에서 미스 매치(Miss-Match)가 발생할 수 있는 문제점이 있었다.

그리하여 상기 미스매치의 가능성을 배제하고자 본 발명에서는 상기 서쳐부(34)와 트래커부(5-1~5-n)에 병렬 구조를 채택하는바 이를 첨부한 도면을 참조하여 설명하면, 도 2는 본 발명에 따라 서쳐부(34)와 트래커(5-1~5-n)의 병렬 구조를 이용한 새로운 CDM 수신기의 구조를 나타낸 블록 도이다.

도 2에서 상기 수신기의 구조를 보면 크게 서쳐부(34)와 트래커부(5-1~5-n)로 나누어지는데, 먼저 상기 서쳐부(34)는 서쳐(4)와 디지털 리샘플러(Digital Resampler)(26, 27), 서쳐 NCO(33)로 구성되고, 상기 트래커부(5-1~5-n)는 핑거 NCO(32), 디지털 리샘플러(26, 27), DLL(Delayed Locked Loop, 이하 'DLL' 이라 한다)(28), 역확산부(6), 타이밍 에러 합산부(Timing Error Combiner)(30), 루프 필터(Loop filter)(29, 31)로 구성된다.

먼저, 상기 서쳐부(34)는 종래 정합 필터(25)와 디지털 리샘플러(26, 27)의 사이에 위치하여 상기 디지털 리샘플러 후단에 위치한 트래커부(5-1~5-n)와의 미스매치(mismatch)의 문제를 해결하기 위해 상기 트래커부(5-1~5-n)와 같이 디지털 리샘플러(26, 27)의 후단에 위치시켜 병렬 구조를 이루도록 하여 상기 문제점을 해결하고자 한다.

이하 상기 본 발명과 관련하여 서쳐부(34)와 트래커부(5-1~5-n)를 나누어서 설명한다. 수신 과정 순으로 설명을 하되, 상기 서쳐부(34)와 트래커부(5-1~5-n)에 공통적인 디지털 리샘플러(26, 27)에 대해 먼저 살펴보면, 도 3은 본 발명에 따라 디지털 리샘플러(26, 27)를 설명하기 위한 도면이다.

상기 디지털 리샘플러(Digital Resampler)(26, 27)는 도 3에 나타난 것과 같이 일정한 주파수로 샘플링(Sampling)된 입력 신호에서 송신 신호의 위치에 해당하는 데이터를 추출해 내는 일종의 필터(Filter)이다.

도 3의 상단 그림을 보면 x(1), x(2),..., x(n)이 수신 샘플링 주파수에 의해 샘플링된 디지털 데이터이다. 그러나 송신 샘플링 주파수와 수신 샘플링 주파수 사이의 오프셋(Offset)과 위상 차이 때문에 정확한 송신 데이터를 추출해 내기 위해선 x(1),x(2),...,x(n)사이의 데이터들로부터 원하는 데이터인 y(1), y(2),..., y(n)을 얻어내야 한다.

상기 원하는 데이터를 구하는 일실시 예를 들어보면 수신된 데이터로 x(3)이 입력으로 들어왔지만 이 타이밍(Timing)에서 송신된 데이터는 y(3)일 경우, 상기 x(3)으로부터 바람직하게 3/4 딜레이된 데이터를 얻어야 한다. 이때 3/4을 프랙스널 딜레이(fractional delay)라고 하면서 u(3)라 표기한다.

그러므로 디지털 리샘플러(26, 27))는 이전에 입력된 x(m),x(m-1),x(m-2)...과 u(m)과의 디지털 신호처리에 의해 실제 송신 값과 가장 근사한 값인 y(m)을 출력하는 필터(filter)이다. 이때 y(1),y(2),...,y(n)을 구하는 데는 다양한 방법이 있지만 본 발명에서는 바람직하게 패로우 필터 구조(farrow filter structure)를 적용한 폴리노미얼 FIR 인터폴레이터(polynomial FIR interpolator)를 사용하였다.

상기 패로우 필터 구조(Farrow filter structure)는 설계자가 구성한 디지털 리샘플러의 폴리노미얼(Polynomial)의 차수와 필터의 탭수에 따라 구성이 조금씩 달라지는데 공통적인 구성은 폴리노미얼 필터(Polynomial Filter)부와 프랙셔널 딜레이 오프레이션(Fractional delay operation)부로 나뉘게 된다.

그러나 레이크(Rake) 수신기에 이와 같은 디지털 리샘플러를 적용하려면 각 핑거(Finger)마다 상기 디지털 리샘플러가 들어가야 하므로 크기의 문제가 생길 수밖에 없게 된다. 따라서 본 발명에서는 상기 디지털 리샘플러를 상기 폴리노미얼 필터부는 모든 핑거가 공유하고 상기 프랙셔널 딜레이 연산(Fractional Delay Operation)부만 핑거마다 각각 가지고 있는 구조를 제안한다.

따라서 상기와 같이 구성될 경우 실제 각 핑거의 경우, 입력 샘플 데이터(Sample data) (x(1), x(2), x(3),...,x(n))는 공통이지만 프랙셔널 딜레이(Fractional Delay) (u(1), u(2), u(3),...,u(n))만 달라지는 것이므로 폴리노미얼 필터부 출력은 공통으로 사용하고 프랙셔널 딜레이 연산부만 핑거마다 각각 다르게 사용하기 때문에 디지털 시스템의 크기를 줄이고 전력 소모를 줄이는데 큰 기여를 하게 된다.

도 4는 본 발명에 적용되는 디지털 리샘플러의 내부 구성 블록 도이다.

상기 본 발명에 따른 디지털 리샘플러는 디지털 리샘플러 파트 A(Digital Resampler Part A)(400)와 디지털 리샘플러 파트 B(Digital Resampler Part B)(410)로 구성된다.

그리고 상기 디지털 리샘플러 파트 B(410)의 폴리노미얼 필터 출력 선택기(420)는 입력된 프랙셔널 딜레이의 양수, 음수 여부에 따라 x(1)을 사용할 것인지 x(0)를 사용할 것인지 판단하는 부이고, 네거티브 프랙셔널 딜레이 변환부(Negative Fractional Delay Conversion)(430)는 프랙셔널 딜레이 u(1)이 양수인지 음수인지를 판단하여 양수이면 u(1)을 내보내고 음수이면 u'(1)인 1+u(1)을 출력하는 부이다.

상기 디지털 리샘플러 파트 A(400)는 레이크 수신기(Rake Receiver)에서 하나만 있으면 되는 폴리노미얼 필터부이고 디지털 리샘플러 파트 B(410)는 각 핑거마다 각각 들어가야 하는 부이다. 여기서 디지털 리샘플러 크기의 대부분을 차지하는 폴리노미얼 필터부를 모든 핑거가 공유하므로 전체적인 시스템의 부피가 상당히 줄어들게 된다.

관련하여, 입력된 프랙셔널 딜레이가 음수일 경우, 음의 프랙셔널 딜레이 변환부(430)에서 양의 프랙셔널 딜레이로 바꾼 후 폴리노미얼 필터 출력 선택기(420)에서 현재 폴리노미얼 필터의 출력이 아닌 한 샘플 과거의 출력에 u'(n)을 적용하여 최종적으로 음의 프랙셔널 딜레이를 구현하는 것이다.

상기 서쳐부(Searcher)(34)는 상술한 디지털 리샘플러의 프랙셔널 딜레이 연산부(27), 서쳐 NCO(33), 서쳐(4)로 구성된다.

상기에서 서쳐 NCO(33)는 후술할 루프 필터링(Loop Filtering)된 타이밍 에러 신호(Time Error Signal)를 상기 디지털 리샘플러의 입력 중에 하나인 프랙셔널 딜레이로 변환해주는 역할을 한다.

상기 NCO(33)의 내부 구조를 첨부한 도면을 참조하여 설명하면, 도 5는 본 발명에 따른 서쳐 NCO의 내부 구성 블록 도이다.

상기 도 5를 보면 루프 필터링 된 타이밍 에러 데이터는 송신 단 시스템 데이터 클록과 수신단 시스템 데이터 클록 사이의 비를 값으로 하는 W와 더해진다. 예를 들어, 송신 단 시스템 데이터 클록이 32.768 MHz이고 수신 단의 시스템 데이터 클록이 35 MHz 라면 상기 W 값은 35/32.768=1.068 이 된다.

이는 수신 단의 데이터 클록이 송신 단의 데이터 클록보다 빠르다는 것을 의미한다.

상기 도 5를 보면, 디지털 리샘플러(26, 27), 트래커, 타이밍에러 합산부(30), 루프필터(29, 31), 서쳐 NCO(33)로 이루어진 루프(Loop)가 수렴한 뒤에는 타이밍 에러가 제로(zero)인 상태에서도 NCO 출력의 프랙셔널 딜레이는 제로가 되지 않는다.

상기 클리퍼(Clipper)(520)는 상기 W와 더해진 루프 필터링 된 타이밍 에러 신호는 상기 클리퍼를 통과하게 되는데, 상기 클리퍼는 타이밍 에러를 발생시키는 DLL의 순간적인 오동작 또는 트래커 루프 자체의 순간적인 불안정함 등으로 인하여 정상 예측치보다 비정상적으로 큰 타이밍 에러가 입력되었을 경우, 순시적인 오동작으로 루프 자체가 수렴하지 못하고 발산하는 것을 방지하기 위해 일정 범위보다 큰 입력 값을 안정화(SATURATION)시키는 역할을 한다.

상기 모듈로 연산부(540)는 모듈로(modular) 1 연산을 수행하는 블록으로써, 예를 들면, 1.5 -> 0.5, 3.25 -> 0.25 등과 같이 모듈로 1 연산을 수행하는 블록이고 이를 통과한 1 보다 작은 출력 값이 바로 프랙셔널 딜레이 값이 된다.

상기 정수 추출부(560)는 입력 데이터의 정수 부분만 추출하는 블록으로써, 예를 들면, 2.4 -> 2, 4.78 -> 4 와 같은 식으로 연산을 수행하게 된다.

상기 매스킹 칩오프 발생기(570)는 상기 정수 추출부(560)로부터의 입력이 1인 경우 정상적인 동작이라 파악하여 아무런 출력 신호를 생성하지 않고 2인 경우에 비로소 매스킹 플래그를 발생시키고 만약 0(zero)이면 칩오프 플래그를 발생시키는 동작을 수행하게 된다.

상기 서쳐 NCO(33)로부터 현재 서쳐의 프랙셔널 딜레이를 서쳐부의 프랙셔널 딜레이 연산부(27)에서 수신하여 상기 패로우 필터(26)의 출력과 연산하여 서쳐(4)로 출력을 하게 된다.

상기 서쳐(4)는 상기 프랙셔널 딜레이 연산부(27)의 출력을 받아 신호의 동기를 포착하기 시작하여 각 핑거마다 상기 포착된 결과를 출력한다. 이렇게 하여 상기 서쳐부(34)에서의 동작은 종료된다.

상기 트래커부(tracker)는 상기 디지털 리샘플러(26, 27), DLL(28), 역확산부(6), 타이밍 에러 합산부(30), 루프 필터(Loop filter)(29, 31), 핑거 NCO(32)로 구성된다.

상기 트래커에서의 디지털 리샘플러(26, 27)는 상술한 서쳐부(34)에서의 디지털 리샘플러와 기능과 구조가 동일하고 역시 패로우 필터(26)와 프랙셔널 딜레이 연산부(27)로 구성된다. 그러나 상기 트래커에서의 프랙셔널 딜레이 연산부는 상기 서쳐에서와는 달리 각 핑거마다 존재하여 핑거의 개수만큼 존재하게 되고, 상기 패로우 필터(26)는 상기 서쳐부(34)와 트래커가 서로 공유하는 구조를 가지게 된다.

상기 도 2를 보면 상기 디지털 리샘플러의 프랙셔널 딜레이 연산부(27)에서 출력된 신호는 DLL(28)에 입력되는데 상기 DLL(28)은 상기 디지털 리샘플러에서 보상된 디지털 신호로부터 PN 상관 특성을 이용하여 타이밍 에러 신호를 추정(estimation)한다.

이를 첨부한 도면을 참조하여 설명하면, 도 6은 본 발명에 적용되는 DLL의 내부 구성 블록 도이다.

상기 DLL(28)은 데이터 정렬기(Data Aligner)(600), PN 역확산기(PN despreader)(610,610-1,610-2), Integration & Dump부(620), 곱셈기(Square)(630), 뺄셈기(Adder)(640)를 포함하여 구성된다.

상기 DLL(28) 입력 신호는 디지털 리샘플러를 통과하여 칩 오프(Chip Off)나 매스킹(Masking) 상황이 발생한 2x 칩 레이트(chip rate) (32.768Mhz)의 칩 데이터(Chip Data)이다.

상기 데이터 정렬기(Data Aligner)(600)는 상기 2x 칩 레이트(32.768Mhz)의 칩 데이터(chip data)를 1x 칩 레이트(16.384Mhz)로 다운 샘플링(Down Sampling) 하는 과정에서 Main Path와 Early, Late Path간의 정렬이 깨지게 되는데 이를 보정하여 재정렬 시키는 역할을 하게 된다.

이렇게 1x 칩 레이트로 Main Path, Early, Late Path가 재정렬된 데이터는 1x 칩 레이트에 맞게 바뀐 칩 오프 신호나 매스킹 신호에 따라 위상이 조정된 PN 코드에 의해 역확산(Despread)된다.

이때 SRG(660)는 데이터 정렬기(600)로부터 1x 칩 레이트의 칩 오프 신호와 매스킹 신호를 받아들여 발생시키는 PN 코드의 위상을 바꾸는 역할을 한다.

또한, PN 역확산기(PN Despreader)(610,610-1,610-2)는 상기 SRG(660)로부터 발생한 PN 코드와 상기 데이터 정렬기(600)의 출력 칩 데이터를 XOR 연산을 통해 역확산하게 된다.

그리고 상기 Integration & Dump부(620)는 PN 코드가 벗겨진 칩 데이터를 코딩 게인(Coding Gain)(위성 DMB의 경우 64)에 해당하는 칩을 적분한 뒤 덤프시켜 심볼 데이터(Symbol Data)로 바꾸어 준다. 따라서 상기의 경우에는 타이밍 에러(Timing Error)를 발생시키기 위한 Early Symbol과 Late Symbol이 출력되게 된다.

상기 곱셈기(Square)(630)는 상기 Integration & Dump부(620)에서 출력되어 입력된 Inphase Early Symbol Data와 Quadrature Early Symbol Data를 I^2+ Q^2 = Power 공식을 이용해 Early Symbol의 파워(Power)를 구하게 된다. Late Symbol의 파워(Power)도 똑같은 방법으로 구하게 된다.

이렇게 구해진 Early Path Power와 Late Path Power의 차를 이용하여 타이밍 에러가 구해지게 된다.

도 2를 참조하여 상기 디지털 리샘플러에서 출력된 신호는 상기 DLL(28)에 입력되는데 상기 DLL(28)은 상기 디지털 리샘플러에서 보상된 디지털 신호로부터 PN 상관 특성을 이용하여 타이밍 에러 신호를 추정한다.

상기 DLL(28)은 PN 코드 발생기인 SRG(660)에서 PN 코드를 입력받고 상기 디지털 리샘플러에서 출력된 신호를 입력받아 상기 SRG(660)와 역확산기(610), 루프 필터로 신호를 출력한다.

따라서 상기 DLL(28)에서 출력된 타이밍 에러 신호는 루프 필터에 입력되어 누적 보정을 하게 되는데 상기 루프 필터로 PI 루프 필터를 사용한다.

그러나 본 발명이 종래 CDM 수신기의 트래커 구조와 가지는 차이점은 PI 루프 필터(PI Loop Filter)를 두 부분으로 나누어서 설계한다는 것이다.

상기 도 2를 참조하여 설명하면, 상기 DLL(28)에서 출력된 타이밍 에러 신호는 두 부분으로 입력되는데 핑거 비례 필터부(29)와 공통 적분 필터부(31)로 입력된다.

먼저, 상기 핑거 비례 필터부(29)는 상기 DLL(28)에서 출력된 타이밍 에러 신호를 비례 필터링하는 핑거 비례 필터(29)와 상기 핑거 비례 필터부(29)에서 출력된 타이밍 에러 신호와 상기 공통 적분 필터부(31)에서 필터링되어 출력된 타이밍 에러 신호를 가산하는 가산기를 포함하여 구성된다. 이때 상기 핑거 비례 필터부(29)는 각 핑거마다 구성된다.

그리고 상기 공통 적부 필터부(31) 상기 DLL(28)에서 출력된 타이밍 에러 신호를 입력받는데 타이밍 에러 합성기(30)와 공통 적분 필터(31)로 구성된다.

상기 타이밍 에러 합성기(30)는 각 핑거의 상기 DLL(28)에서 출력된 타이밍 에러 신호를 합성하여 합성된 신호를 상기 공통 적분 필터(31)로 출력한다. 공통 적분 필터(31)를 통과한 타이밍 에러 신호는 각 핑거마다 있는 비례 필터를 통과한 타이밍 에러 신호와 더해서 핑거 NCO로 입력된다.

상기 핑거 NCO(32)의 구조를 살펴보면, 도 7은 본 발명에 따른 핑거 NCO의 내부 구성 블록 도이다.

상기 도 7에 있는 핑거 NCO(32)는 서쳐부(34)와 트래커부와의 미스매치를 최소화하기 위해 서쳐 NCO(33)의 프랙셔널 딜레이 정보를 입력 받아서 그 정보를 초기 위치 정보로 활용한다. 그 외에 핑거 NCO의 기능적인 부분은 상술한 서쳐 NCO(33)와 동일하다.

그리고 핑거 NCO(32)는 루프 필터링된 타이밍 에러 신호를 그에 해당하는 프랙셔널 딜레이 값으로 전환하여 각 핑거의 프랙셔널 딜레이 연산부(310)로 입력하여 타이밍이 보정된 신호를 출력한다.

그러므로 핑거 NCO(32)는 상기 서쳐 NCO(33)로부터 현재 서쳐부에서 포착한 프랙셔널 딜레이 정보와 각 핑거별로 있는 핑거 비례 필터(29)의 출력과 공통 적분 필터(31)의 출력을 합산하여 트래커부의 프랙셔널 딜레이 연산부(27)로 출력하여 상술한 바와 같이 트래킹을 하게 된다.

이 신호는 DLL로 입력되어 트래커 루프가 형성되게 된다.

이렇게 하여 상기 본 발명에서의 병렬 구조를 가지는 새로운 CDM 수신기의 구조에 대해 설명하였는데, 상술한 바와 같이 본 발명은 병렬 구조를 채택한 두 가지 이유는 첫째 상기 서쳐부와 트래커부를 병렬로 취함으로써 미스 매치를 최소화할 수 있다. 왜냐하면, 종래 서쳐는 종합 필터의 바로 후단에 있고 트래커는 정합 필터를 거치고 패로우 필터와 프랙셔널 딜레이 기능 부를 거침으로 인해 상기 서쳐와 트래커간에 미스 매치가 발생할 가능성이 크기 때문이다.

두 번째는 상기 도 2에서와 같이 병렬 구조를 취하면서 상기 서쳐부에 서쳐 NCO를 별도로 추가하여 현재 상기 서쳐부에서 포착한 프랙셔널 딜레이를 핑거 NCO로 전송하여 상기 서쳐부와 트래커부를 서로 커뮤니케이션 시킴으로써 포착된 신호에 대한 추적을 함에 있어서 상기 트래커가 입력된 신호의 위치가 아닌 서쳐가 포착된 지점부터 추적하도록 하여 상기 트래커의 효율을 높일 수 있다.

이때 상기 서쳐 NCO(33)는 모든 핑거에서 미세한 차이를 보이는 타이밍 프리퀀시 성분의 평균치 만을 입력으로 받기 위해서 루프 필터 중 공통 적분 필터(31)의 출력만을 받게 된다.

상술한 구성 블록과 과정을 거쳐 추적된 신호는 레이크 합성기(8)로 들어가 순방향 오류정정 부호화 부(9)를 거쳐 복호 되어 디스플레이되고, 또한 상기 트래커의 출력은 주파수 옵셋 추정기(7)로 입력되어 튜너(1)로 피드백되어 주파수 옵셋을 보상하는데 이용된다.

발명의 효과

상기에서 설명한 본 발명에 따른 병렬 구조를 가지는 CDM 수신기의 효과를 설명하면 다음과 같다.

첫째, 본 발명에 따라 서쳐부를 디지털 리샘플러 후단에 배치하여 병렬 구조를 가짐으로써 상기 트래커와의 관계에서 미스매치를 줄일 수 있는 효과가 있다.

둘째, 본 발명에 따르면 서쳐부에서 포착한 정보를 서쳐 NCO를 통해 핑거 NCO로 전달하여 상기 서쳐와 트래커간에 상호 커뮤니케이션이 이루어지도록 하여 트래커의 효율을 높이는 효과가 있다.

셋째, 본 발명에 따르면 트래커의 모든 부분이 완전 디지털로 구현되어 있기 때문에 대량 생산시 수신기마다 성능 차이가 미세하여 균일한 품질을 보증할 수 있는 효과가 있다.

넷째, 본 발명에 따르면 A/D 샘플링율(Sampling Rate)을 송신 단의 동작 주파수의 두 배인 32.768 MHz로 동작할 수 있기 때문에 수신 칩의 전력 소모의 대부분을 차지하는 A/D 동작 속도를 떨어뜨림으로써 소비전력 절감할 수 있는 효과가 있다.

다섯째, 본 발명에 따르면 약 1.5 칩(100ns)의 매우 근접한 다중 경로 신호를 분해할 수 있어 수신성능을 향상할 수 있는 효과가 있다.

이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

따라서, 본 발명의 기술적 범위는 실시 예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

도면의 간단한 설명

도 1은 본 발명을 포함하고 있는 CDM 수신기의 개념적인 구성 블록도

도 2는 본 발명에 따라 서쳐와 트래커의 병렬 구조를 이용한 새로운 CDM 수신기의 구조를 나타낸 블록도

도 3은 본 발명에 적용되는 디지털 리샘플러를 설명하기 위한 도면

도 4는 본 발명에 적용되는 디지털 리샘플러의 내부 구성 블록도

도 5는 본 발명에 따른 서쳐 NCO의 내부 구성 블록도

도 6은 본 발명에 적용되는 DLL의 내부 구성 블록도

도 7은 본 발명에 따른 핑거 NCO의 내부 구성 블록도

*도면의 주요부분에 대한 부호의 설명

4 : 서쳐 5-1~5-n : 트래커

25 : 정합 필터 26 : 패로우 필터

27 : 프랙셔널 딜레이 연산부 28 : DLL

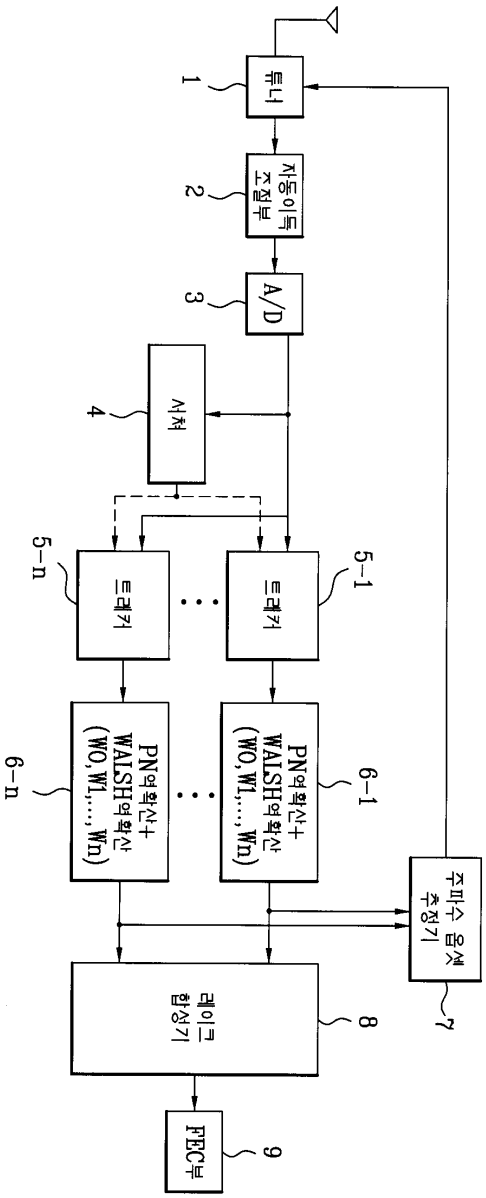
29 : 핑거 비례 필터 30 : 타이밍 에러 합산기

31 : 공통 적분 필터 32 : 핑거 NCO

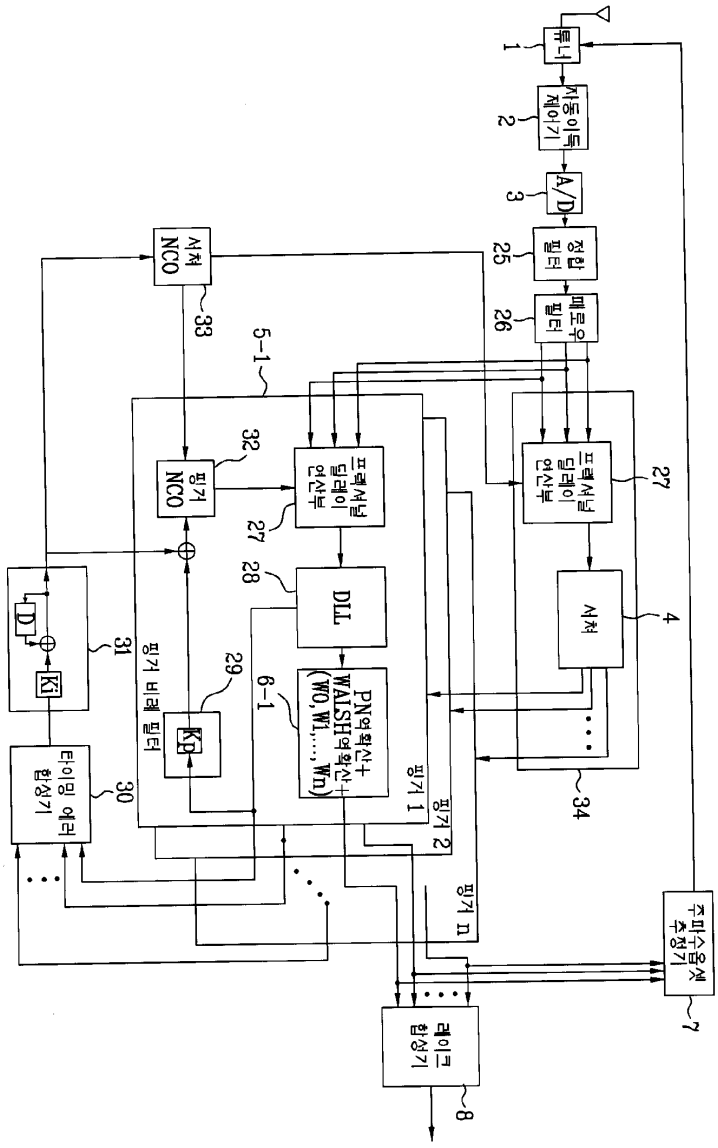
33 : 서쳐 NCO 34 : 서쳐부

도면

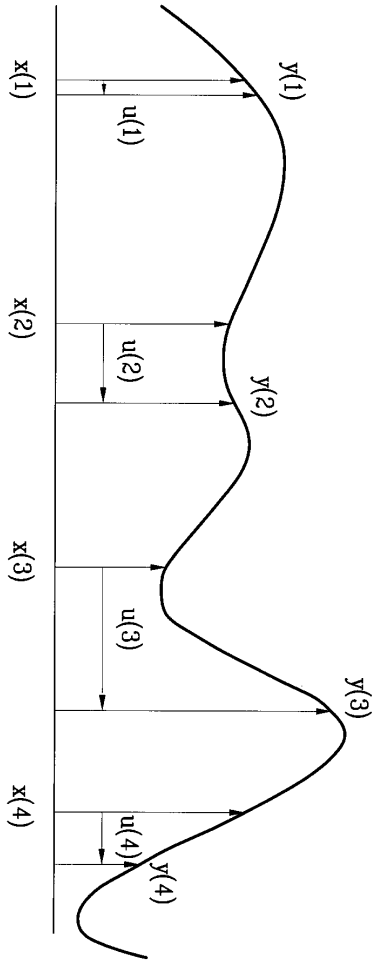
도면1


튜너
1
자동이득 조절부
2
A/D
3
4
스위치
5-n
트래커
5-1
트래커
PN역확산+ WALSH역확산 (W0,W1,...,Wn)
6-n
PN역확산+ WALSH역확산 (W0,W1,...,Wn)
6-1
주파수 옵셋 추정기
7
레이크 합성기
8
FEC부
9

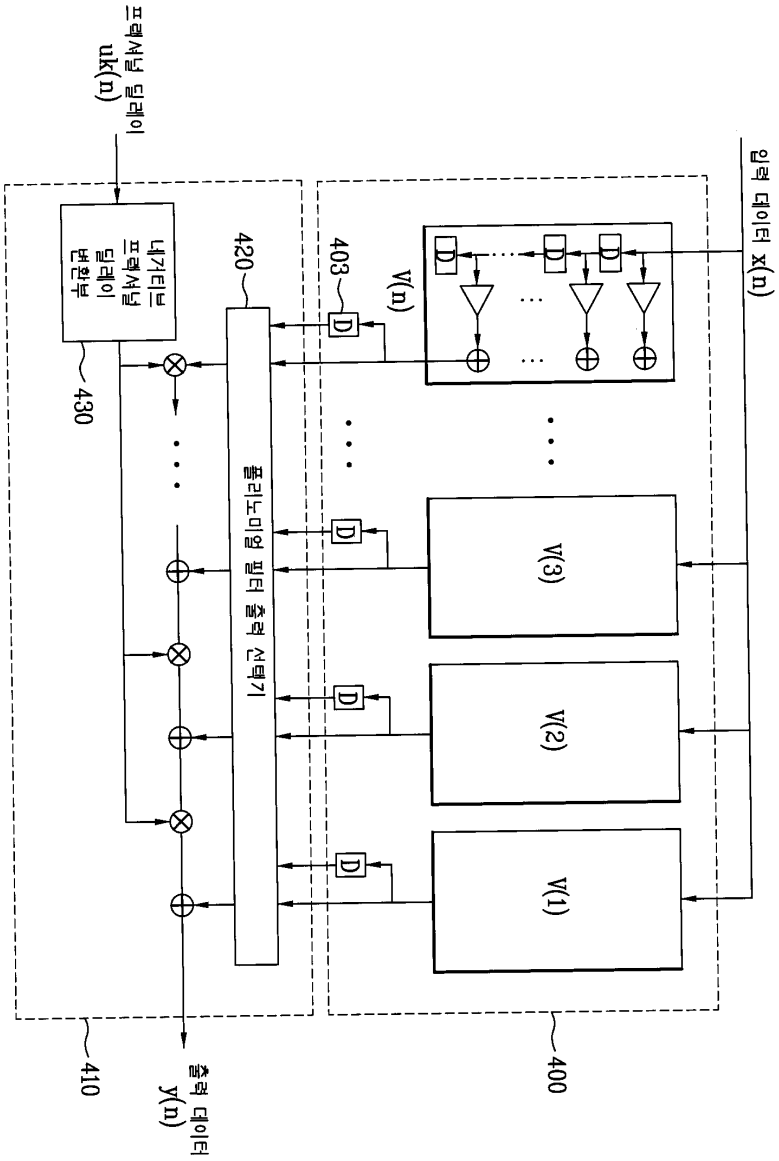
도면2


튜너
자동이득 제어기
A/D
정합 필터
패로우 필터
서쳐 NCO
핑거 NCO
프로세싱 딜레이 연산부
DLL
PN역확산+ WALSH역확산 (W0, W1,..., Wn)
서쳐
핑거 비례 필터
타이밍 에러 합성기
핑거 1
핑거 2
핑거 n
레이크 합성기
주파수옵셋 추정기

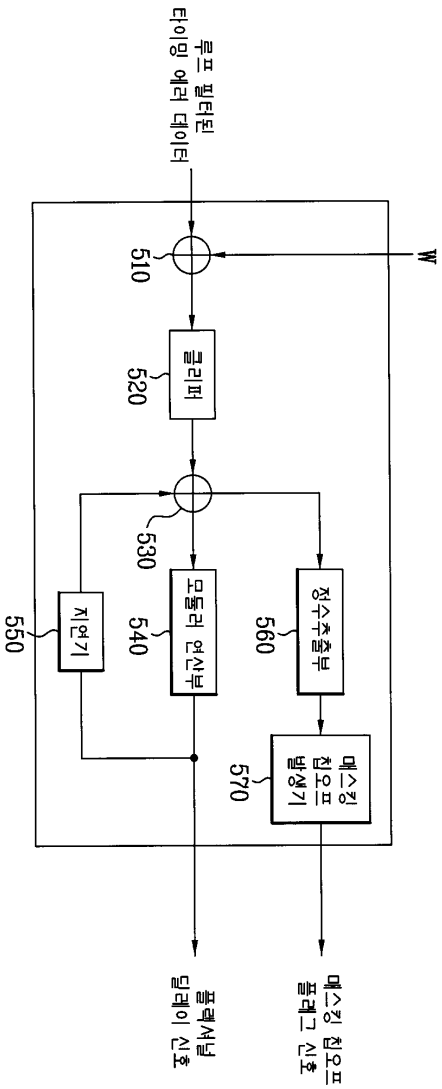
도면3



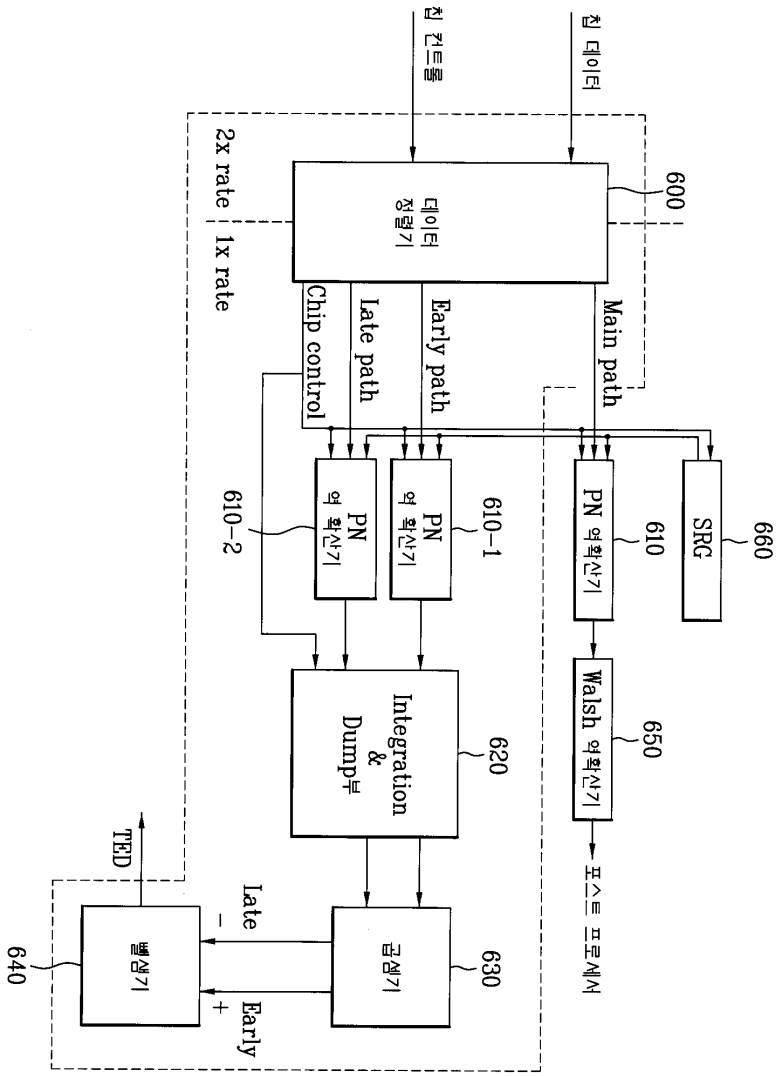
도면4


프랙셔널 딜레이 uk(n)
네가티브 프랙셔널 딜레이 변환부
430
420
403
V(n)
입력 데이터 x(n)
D
V(3)
V(2)
V(1)
폴리노미얼 필터 출력 선택기
410
400
출력 데이터 y(n)

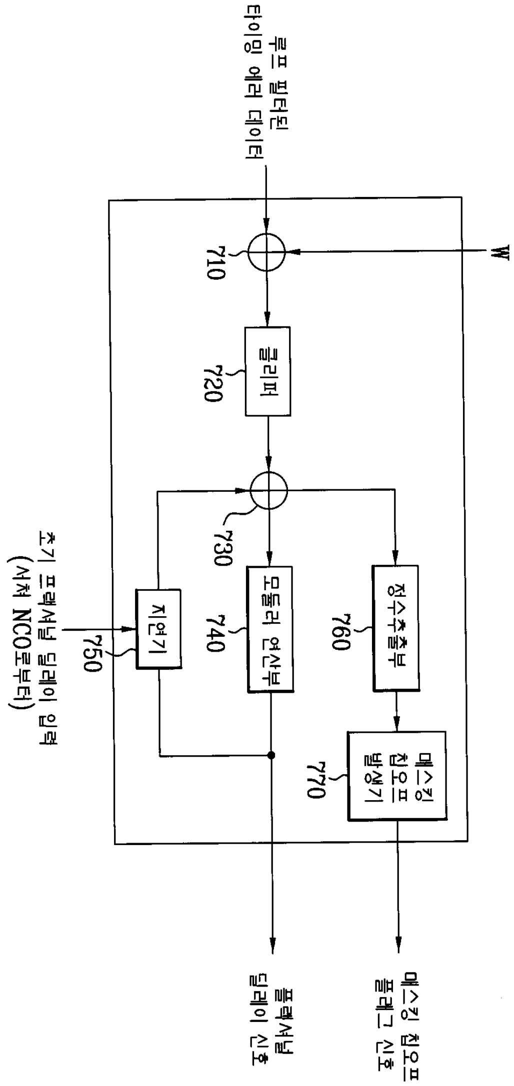
도면5


루프 필터된
타이밍 에러 데이터
W
510
클리퍼
520
530
모듈러 연산부
540
지연기
550
정수추출부
560
매스킹
칩오프
발생기
570
디레이 신호
매스킹 칩오프
플래그 신호

도면6


칩 컨트롤
칩 데이터
2x rate
1x rate
데이터 정렬기
600
Chip control
Late path
Early path
Main path
PN 역확산기
610-2
PN 역확산기
610-1
PN 역확산기
610
SRG
660
Integration & Dump부
620
Walsh 역확산기
650
포스트 프로세서
TED
Late
Early
뺄셈기
640
곱셈기
630

도면7


루프 필터된
타이밍 에러 데이터
W
710
클리퍼
720
730
모듈러 연산부
740
지연기
750
초기 프랙셔널 딜레이 입력
(서쳐 NCO로부터)
정수추출부
760
매스킹 칩오프
발생기
770
플랙셔널
딜레이 신호
매스킹 칩오프
플래그 신호