

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3715665号

(P3715665)

(45) 発行日 平成17年11月9日(2005.11.9)

(24) 登録日 平成17年9月2日(2005.9.2)

(51) Int. Cl.<sup>7</sup>

G06F 17/14

F I

G06F 17/14

S

請求項の数 5 (全 14 頁)

(21) 出願番号	特願平6-237902	(73) 特許権者	000001007 キヤノン株式会社 東京都大田区下丸子3丁目30番2号
(22) 出願日	平成6年9月30日(1994.9.30)	(74) 代理人	100090273 弁理士 園分 孝悦
(65) 公開番号	特開平8-101824	(72) 発明者	野澤 慎吾 東京都大田区下丸子3丁目30番2号 キヤノン株式会社内
(43) 公開日	平成8年4月16日(1996.4.16)	審査官	鳥居 稔
審査請求日	平成12年12月25日(2000.12.25)	(56) 参考文献	特開平04-313157 (JP, A) 特開平02-173870 (JP, A) 特開平06-121297 (JP, A) 特開平02-116969 (JP, A) 最終頁に続く

(54) 【発明の名称】 直交変換装置

(57) 【特許請求の範囲】

【請求項1】

それぞれ  $n$  個 ( $n \geq 1$ ) の信号からなる 2 つの信号列を受け取り、当該 2 つの信号列間の和及び差を算出する和差演算手段と、

$n$  個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、

$n$  個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、

水平及び垂直方向に配列された  $2n \times 2n$  個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、

前記各手段を制御する制御手段とを備え、

前記制御手段は、第一の符号化処理として、

$2n \times 2n$  個の入力信号を前記和差演算手段に順次供給し、

前記入力信号の対称要素の和および差の成分を算出し、

当該和の成分を前記第一の積和演算手段に順次供給し、

当該差の成分を前記第二の積和演算手段に順次供給し、

当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、

前記転置手段の出力を前記和差演算手段に順次供給し、

前記転置手段の出力の対称要素の和および差の成分を算出し、

当該和の成分を前記第一の積和演算手段に順次供給し、

当該差の成分を前記第二の積和演算手段に順次供給し、

当該第一および第二の積和演算手段の演算結果を出力する制御を行い、

10

20

かつ、前記制御手段は、第二の符号化処理として、  
 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、  
 前記入力信号の対称要素の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、  
 当該転置手段の出力を前記和差演算手段に順次供給し、  
 前記転置手段の出力の隣接行の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を続いて前記第一の積和演算手段に順次供給し、  
 当該第一の積和演算手段の演算結果を出力する制御を行うことを特徴とする直交変換装置。

10

【請求項2】

それぞれ  $n$  個 ( $n-1$ ) の信号からなる2つの信号列を受け取り、当該2つの信号列間の和及び差を算出する和差演算手段と、

$n$  個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、

$n$  個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、

水平及び垂直方向に配列された  $2n \times 2n$  個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、

前記各手段を制御する制御手段とを備え、

20

前記制御手段は、第一の復号化処理として、

$2n \times 2n$  個の入力信号を2つの  $n \times 2n$  個の信号列に分離し、

当該2つの  $n \times 2n$  個の信号列の一方を前記第一の積和演算手段に順次供給し、

当該2つの  $n \times 2n$  個の信号列の他方を前記第二の積和演算手段に順次供給し、

当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、

前記和差演算手段の演算結果を前記転置手段に供給し、

前記転置手段の出力を2つの  $n \times 2n$  個の信号列に分離し、

当該2つの  $n \times 2n$  個の信号列の一方を前記第一の積和演算手段に順次供給し、

当該2つの  $n \times 2n$  個の信号列の他方を前記第二の積和演算手段に順次供給し、

当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、

30

前記和差演算手段の演算結果を出力する制御を行い、

かつ、前記制御手段は、第二の復号化処理として、

$2n \times 2n$  個の入力信号を2つの  $n \times 2n$  個の信号列に分離し、

当該2つの  $n \times 2n$  個の信号列の一方を前記第一の積和演算手段に順次供給し、

当該2つの  $n \times 2n$  個の信号列の他方を続いて前記第一の積和演算手段に順次供給し、

当該第一の積和演算手段の演算結果を前記和差演算手段に順次供給し、

前記和差演算手段の演算結果を前記転置手段に供給し、

前記転置手段の出力を2つの  $n \times 2n$  個の信号列に分離し、

当該2つの  $n \times 2n$  個の信号列の一方を前記第一の積和演算手段に順次供給し、

当該2つの  $n \times 2n$  個の信号列の他方を前記第二の積和演算手段に順次供給し、

40

当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、

前記和差演算手段の演算結果を出力する制御を行うことを特徴とする直交変換装置。

【請求項3】

それぞれ  $n$  個 ( $n-1$ ) の信号からなる2つの信号列を受け取り、当該2つの信号列間の和及び差を算出する和差演算手段と、

$n$  個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、

$n$  個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、

水平及び垂直方向に配列された  $2n \times 2n$  個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、

前記各手段を制御する制御手段とを備え、

50

前記制御手段は、第一の符号化処理として、  
 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、  
 前記入力信号の対称要素の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、  
 当該転置手段の出力を前記和差演算手段に順次供給し、  
 前記転置手段の出力の対称要素の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を出力する制御を行い、  
 かつ、前記制御手段は、第二の符号化処理として、  
 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、  
 前記入力信号の対称要素の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、  
 当該転置手段の出力を前記和差演算手段に順次供給し、  
 前記転置手段の出力の隣接行の和および差の成分を算出し、  
 当該和の成分を前記第一の積和演算手段に順次供給し、  
 当該差の成分を続いて前記第一の積和演算手段に順次供給し、  
 当該第一の積和演算手段の演算結果を出力する制御を行い、  
 かつ、前記制御手段は、第一の復号化処理として、  
 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、  
 当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、  
 当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、  
 前記和差演算手段の演算結果を前記転置手段に供給し、  
 前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、  
 当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、  
 当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、  
 前記和差演算手段の演算結果を出力する制御を行い、  
 かつ、前記制御手段は、第二の復号化処理として、  
 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、  
 当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、  
 当該2つの $n \times 2n$ 個の信号列の他方を続いて前記第一の積和演算手段に順次供給し、  
 当該第一の積和演算手段の演算結果を前記和差演算手段に順次供給し、  
 前記和差演算手段の演算結果を前記転置手段に供給し、  
 前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、  
 当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、  
 当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、  
 当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、  
 前記和差演算手段の演算結果を出力する制御を行うことを特徴とする直交変換装置。

【請求項4】

さらに、前記第二の積和演算手段は、 $n$ 個の信号を受け取り所定の係数を乗じる重み付け手段を含むことを特徴とする請求項1乃至3のいずれか1項に記載の直交変換装置。

【請求項5】

さらに、前記第一の積和演算手段は、 $n$ 個の信号を受け取り所定の係数を乗じる重み付け手段を含むことを特徴とする請求項1乃至4のいずれか1項に記載の直交変換装置。

10

20

30

40

50

**【発明の詳細な説明】****【0001】****【産業上の利用分野】**

本発明は映像信号等の高能率符号化に用いられる直交変換装置に関するものである。

**【0002】****【従来の技術】**

従来より画像や音声の高能率符号化を行う場合の手法として、離散コサイン変換(DCT)等の直交変換処理が知られている。

図12は $8 \times 8$ 個の画素ブロックから成る入力信号に対する従来の2次元DCT処理回路を示したもので、8個の入力信号に対する2つの1次元DCT回路と転置回路から成るが、特に1次元DCT回路の処理時間が大きいため、いくつかの高速アルゴリズムが考え出されている。図13は既知の高速アルゴリズムを用いた1次元DCTの一従来例である。この例ではDCTの変換式が持つ対称性を利用し、あらかじめ入力信号を対称に和差演算し、まとめることで乗算回数を半分に減らしている。

10

**【0003】**

また、FFTのようなパタフライによる高速アルゴリズムも広く知られている。このアルゴリズムはDCTの変換式に含まれる共通部分をまとめることで、乗算回数を更に減らしている。しかし、高速アルゴリズムを用いた装置の多くは回路規模が大きく、LSI化等の応用に不向きであることが指摘されている。

**【0004】**

また、人間は高域の周波数に鈍いという視覚特性を利用し、DCTによって変換した信号に重み付けを行う方式も一般に用いられている。このような方式では、低域を表す信号に大きな重み付けを行い、高域を表す信号に小さな重み付けを行うことにより、符号化の能率を高めようとすることが多い。図14は重み付けを行う2次元DCTの従来例である。図14(a)は通常の2次元DCT後に重み付けを行う例、図14(b)は1次元DCT毎に重み付けを行う例である。また、DCTと重み付けの乗数とを共用する方法が特開平2-116969号公報により公知である。

20

**【0005】**

一方、入力信号が時間のずれを持った2フィールドで構成されるTV映像信号等の高能率符号化では、フィールド間の動きを検出してDCTの方式を切り換える工夫が広く用いられている。図15はこの方法の従来例の1つである。DCT処理を行う前に動き検出回路(図示せず)から動き情報信号がDCT回路に供給され、動きの有無に応じて $8 \times 8$ 個の入力信号を通常の2次元DCTする方式と、フィールド間の和および差から成る $4 \times 8$ 個の入力信号2組に分けて2次元DCTする方式とを切り換えている。

30

**【0006】****【発明が解決しようとする課題】**

従来のDCT回路においては、上記の様に高速性や高能率性を向上させる工夫のために、回路規模が大きくなるという問題があった。特にDCTとその逆変換であるIDCTとの両方を必要とする用途では、更に回路規模が大きくなり、LSI化が困難になるという問題があった。

40

**【0007】**

本発明は上記のような問題を解決するためになされたもので、処理を高速化すると共に回路規模を縮小することのできる直交変換装置を得ることを目的としている。

**【0008】****【課題を解決するための手段】**

本発明の直交変換装置は、それぞれ $n$ 個( $n-1$ )の信号からなる2つの信号列を受け取り、当該2つの信号列間の和及び差を算出する和差演算手段と、 $n$ 個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、 $n$ 個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、水平及び垂直方向に配列された $2n \times 2n$ 個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、前記各手段を

50

制御する制御手段とを備え、前記制御手段は、第一の符号化処理として、 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、前記入力信号の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、前記転置手段の出力を前記和差演算手段に順次供給し、前記転置手段の出力の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を出力する制御を行い、かつ、前記制御手段は、第二の符号化処理として、 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、前記入力信号の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、当該転置手段の出力を前記和差演算手段に順次供給し、前記転置手段の出力の隣接行の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を続いて前記第一の積和演算手段に順次供給し、当該第一の積和演算手段の演算結果を出力する制御を行うことを特徴とする。

10

## 【0009】

本発明の直交変換装置における他の態様は、それぞれ $n$ 個( $n-1$ )の信号からなる2つの信号列を受け取り、当該2つの信号列間の和及び差を算出する和差演算手段と、 $n$ 個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、 $n$ 個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、水平及び垂直方向に配列された $2n \times 2n$ 個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、前記各手段を制御する制御手段とを備え、前記制御手段は、第一の復号化処理として、 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を前記転置手段に供給し、前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を出力する制御を行い、かつ、前記制御手段は、第二の復号化処理として、 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を続いて前記第一の積和演算手段に順次供給し、当該第一の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を前記転置手段に供給し、前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を出力する制御を行うことを特徴とする。

20

30

40

## 【0010】

また、本発明の直交変換装置におけるその他の態様は、それぞれ $n$ 個( $n-1$ )の信号からなる2つの信号列を受け取り、当該2つの信号列間の和及び差を算出する和差演算手段と、 $n$ 個の信号を受け取り、第一の係数列との積和を算出する第一の積和演算手段と、 $n$ 個の信号を受け取り、第二の係数列との積和を算出する第二の積和演算手段と、水平及び垂直方向に配列された $2n \times 2n$ 個の信号を受け取り、所定の並べ替えを行って出力する転置手段と、前記各手段を制御する制御手段とを備え、前記制御手段は、第一の符号化処理として、 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、前記入力信号の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和

50

演算手段の演算結果を前記転置手段に供給し、当該転置手段の出力を前記和差演算手段に順次供給し、前記転置手段の出力の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を出力する制御を行い、かつ、前記制御手段は、第二の符号化処理として、 $2n \times 2n$ 個の入力信号を前記和差演算手段に順次供給し、前記入力信号の対称要素の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記転置手段に供給し、当該転置手段の出力を前記和差演算手段に順次供給し、前記転置手段の出力の隣接行の和および差の成分を算出し、当該和の成分を前記第一の積和演算手段に順次供給し、当該差の成分を続い  
10  
て前記第一の積和演算手段に順次供給し、当該第一の積和演算手段の演算結果を出力する制御を行い、かつ、前記制御手段は、第一の復号化処理として、 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を前記転置手段に供給し、前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を出力する制御を行い、かつ、前記制御手  
20  
段は、第二の復号化処理として、 $2n \times 2n$ 個の入力信号を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を続いて前記第一の積和演算手段に順次供給し、当該第一の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を前記転置手段に供給し、前記転置手段の出力を2つの $n \times 2n$ 個の信号列に分離し、当該2つの $n \times 2n$ 個の信号列の一方を前記第一の積和演算手段に順次供給し、当該2つの $n \times 2n$ 個の信号列の他方を前記第二の積和演算手段に順次供給し、当該第一および第二の積和演算手段の演算結果を前記和差演算手段に順次供給し、前記和差演算手段の演算結果を出力する制御を行うことを特徴とする。

また、本発明の直交変換装置におけるその他の態様は、さらに、前記第二の積和演算手  
30  
段は、 $n$ 個の信号を受け取り所定の係数を乗じる重み付け手段を含むことを特徴とする。

また、本発明の直交変換装置におけるその他の態様は、さらに、前記第一の積和演算手  
段は、 $n$ 個の信号を受け取り所定の係数を乗じる重み付け手段を含むことを特徴とする。

【0011】

【作用】

本発明によれば、DCTとIDCTの処理において構成回路を共有でき、装置の回路規模を大幅に削減できる。

【0012】

【実施例】

図1は本発明による直交変換装置の実施例を示すブロック図であり、縦横 $8 \times 8$ 個の画素  
40  
から成る入力信号を2次元DCTする場合の例を示す。

図2は本実施例によるDCTの処理過程を表す流れ図である。

図1、図2において本装置は、入力端子1、出力端子2、及び和差演算、積和演算、重み付け、転置、動き検出等の各処理を行う回路3～8がバス10で接続された構成になっている。また、バス制御回路9がバス10のデータの流れを制御すると共に、上記諸回路3～8と制御信号のやりとりを行い、動作状態の切り換えを制御して、図2に示した流れ図に従って処理を行うように成されている。

【0013】

入力端子1から1ライン分(画素8個)の信号が取り込まれ、バス10を介して和差演算回路3に供給される。図3は、和差演算回路3の実施例の1つを示す。図3において、バ  
50

ス10を介して端子301～308に供給された信号の対称要素間の和が加算器317～320から端子309～312に出力される。また対称要素間の差が減算器321～324から端子313～316に出力される。この和差演算回路3が端子309～312に出力した加算信号列は、バス制御回路9によって積和演算回路4に供給される。同様に和差演算回路3が端子313～316に出力した減算信号列はバス制御回路9によって積和演算回路5に供給される。

#### 【0014】

積和演算回路4の実施例の1つを図4に示す。この実施例は加算器410～413を含む1組の4ポイントバタフライ演算器401、係数器414～419、切り換え器sw1～sw8、加算器420、遅延回路421～424により図示のように構成されており、DCTおよびIDCT処理両方に対応した積和演算回路4である。図4において、係数器414～419は各回路内に示した数字を乗算する。点線は符号の反転を表している。この積和演算回路4は端子402～405に供給された信号を2サイクルで処理し、端子406～409に出力する。図5はこの回路4がDCTおよびIDCT処理を行う際の各サイクルにおける切り換え器sw1～sw8の状態を示したものである。

10

#### 【0015】

一方、積和演算回路5の実施例の1つを図6に示す。図6において積和演算回路5は端子601に供給された減算信号列を4サイクルにわたってシリアルに係数器602～605へ供給する。係数器602～605は所定の係数 $k_1 \sim k_4$ を供給された信号に乘じ、それぞれ乗算結果と乗算結果の符号を点線のように反転した信号とが切り換え器606に供給される。切り換え器606は供給された信号を各サイクルで切り換え、積算回路607～610に供給する。図7は各サイクルにおける切り換え器606の状態を示す。切り換え器606はDCTとIDCTとで各サイクルの状態が全く同一である。積算回路607～610は、4サイクルにわたって供給される信号を積算し、端子611～614に出力する。

20

#### 【0016】

端子611～614に出力された信号は、重み付け回路6に供給される。図8は重み付け回路6の実施例の1つを示す。図8において、重み付け回路6は端子801～804に供給された信号にそれぞれ所定の係数を乘じて端子805～808に出力する。図8において809～816は係数器でそれぞれ係数 $w_1$ 、 $iw_1 \sim w_4$ 、 $iw_4$ を乗じる。817～820は切り換え器である。切り換え器817～820はDCT処理においてはa側を選択し、IDCT処理においてはb側を選択する。

30

#### 【0017】

次に積和演算回路4と重み付け回路6の出力は、転置回路7に供給される。このとき、バス制御回路9は、積和演算回路4からの信号列と重み付け回路6からの信号列とを図9(a)に示すように互い違いに並べ換えて転置回路7に供給する。転置回路7は8ライン分(64個)の入力信号についての上記処理結果を保持した後、転置する。

#### 【0018】

次に動き検出回路8は転置回路7に格納された信号から入力信号中の動き情報を検出する。図10は動き検出回路8の実施例の1つである。図10において動き検出回路8は、転置回路7からDC成分列を供給される。DC成分列は各ラインの直流成分から成るものである。この動き検出回路8は端子1001～1008に供給されたDC成分列を奇数ライン列と偶数ライン列とに分け、それぞれの総和を加算器1012～1017で求めた後、各総和同士の差を減算器1018で算出し、絶対値器1009によってその絶対値を求めて検出器1010に供給する。検出器1010は供給された値を定数256と比較し、256より小さい時は動き無し、256以上の時は動き有りを表す動き情報信号を端子1011に出力する。

40

#### 【0019】

この動き情報信号は図1の出力端子2から出力されると共にバス制御回路9に供給され、以降の処理方式を決定する。尚、動き検出回路8を設けずに外部から動き情報信号を供給

50

するように構成してもよい。動き無しの場合はバス制御回路 9 は、転置回路 7 から供給される 8 個ずつの信号に図 1 の入力端子 1 からの信号列と同様の処理過程を与える。すなわち、図 2 の分岐ブロック 200 から分岐路 201 側を介しての和算演算回路 3 への流れで処理され、出力端子 2 から順次出力される。また、動き有りの場合は、図 2 の分岐ブロック 200 から分岐路 202 側を介しての和算演算回路 3 への流れで処理される。この場合バス制御回路 9 は転置回路 7 が出力する 8 個ずつの信号を、図 9 (b) の様に並べ換えて和差演算回路 3 に供給する。

#### 【0020】

動き無しの場合は、和差演算回路 3 が出力する加算信号列は積和演算回路 4 に供給され、前記した処理と同様の処理を同様にまた 2 サイクルで行うと共に積和演算回路 5、重み付け回路 6 で同様に処理され、各処理結果を出力端子 2 から出力する。動き有りの場合は、和差演算回路 3 が出力する減算信号列は、今度は加算信号列と同様に積和演算回路 4 に供給される。積和演算回路 4 を図 4 の実施例のように構成した場合、処理時間が短いため、加算信号列と減算信号列それぞれに対する処理を順次直列に行っても、積和演算回路 5 と重み付け回路 6 の各処理時間の和以内の時間で処理可能である。積和演算回路 4 で処理された減算信号列は出力端子 2 から出力される。

#### 【0021】

図 11 は図 1 の実施例による IDCT 処理過程を表す流れ図である。図 1、図 11、において、DC T 係数列に先立って動き情報信号が入力端子 1 に供給される。動き情報信号が動き無しを示している場合はバス制御回路 9 は以降入力端子 1 から 8 個ずつ供給される DC T 係数列を、分岐ブロック 1101 を介して奇数番と偶数番の 4 個ずつの信号列に分離し、奇数番信号列を積和演算回路 4 に偶数番信号列を重み付け回路 6 に供給する。重み付け回路 6 は、供給された信号に IDCT 時の所定の係数を乗じる。図 8 の重み付け回路 6 の実施例では、このとき切り換え器 817 ~ 820 を b 側に選択する。重み付け回路 6 の演算結果は、積和演算回路 5 に供給される。積和演算回路 4 を図 4 の実施例のように構成した場合、図 5 に従って切り換え器 sw1 ~ sw8 を選択し、2 サイクルで処理を行う。積和演算回路 5 を図 6 の実施例のように構成した場合、図 7 に従って切り換え器 606 を選択し、4 サイクルで処理を行う。

#### 【0022】

積和演算回路 4、積和演算回路 5 の処理結果は、バスを經由して和差演算回路 3 に供給される。このときバス制御回路 9 は、図 9 (c) のように信号を並べ換えて出力端子 301 ~ 308 から和差演算回路 3 に供給する。和差演算回路 3 は図 3 の実施例のように、供給された信号を対称的に加減算し、その結果は転置回路 7 に供給される。

#### 【0023】

一方、動き情報信号が動き有りを表している場合は、バス制御回路 9 は、以降 8 個ずつ入力端子 1 に供給される信号を分岐ブロック 1101 を介して 4 つずつ前半信号列と後半信号列とに分離し、順次、積和演算回路 4 に供給する。積和演算回路 4 で処理された前半信号列と後半信号列とはバス制御回路 9 により、図 9 (c) のように並べ換えられて、和差演算回路 3 に供給される。

#### 【0024】

和差演算回路 3 は図 3 の実施例のように、供給された信号を対称的に加減算する。バス制御回路 9 は和差演算回路 3 の出力を図 9 (d) のように並べ換え、転置回路 7 に供給する。これ以降の処理は動き情報信号によらず同一である。転置回路は 64 個の信号をバッファに保持した後、転置して信号を 8 個ずつ出力する。8 個ずつの信号は前述した図 2 の動き無しの場合の DC T 係数列の処理と同様に処理され、出力端子 2 から順次出力される。

#### 【0025】

本実施例においては図 2、図 11 のいずれの処理過程も図 1 の和差演算回路 3、積和演算回路 4、積和演算回路 5、重み付け回路 6 及び転置回路 7 の構成を共有している。即ち、図 1 における回路 3 ~ 8 は、図 2 及び図 11 の各回路 3 ~ 8 と共有される。

#### 【0026】

10

20

30

40

50



## 【発明の効果】

以上説明したように、本発明によれば、高速性や高能率性を向上させるように成されたアルゴリズムを用いながら、重み付けを行う場合又は行わない場合でDCTとIDCTの処理において構成回路を共有することができ、装置の回路規模を大幅に削減することができる効果がある。

## 【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【図2】図1の装置によるDCTの流れ図である。

【図3】図1の装置における和差演算回路3の実施例を示すブロック図である。

【図4】図1の装置における積和演算回路4の実施例を示すブロック図である。

10

【図5】図4の切り換え器のサイクル毎の状態を示す構成図である。

【図6】図1の装置における積和演算回路5の実施例を示すブロック図である。

【図7】図6中の切り換え器のサイクル毎の状態を示す構成図である。

【図8】図1の装置における重み付け回路6の実施例を示すブロック図である。

【図9】図1の装置におけるバス制御回路9の信号並べ換え順を示す構成図である。

【図10】図1の装置における動き検出回路8の実施例を示すブロック図である。

【図11】図1の装置によるIDCTの流れ図である。

【図12】従来例を示すブロック図である。

【図13】高速アルゴリズムによる従来例を示すブロック図である。

【図14】重み付けの従来例を示すブロック図である。

20

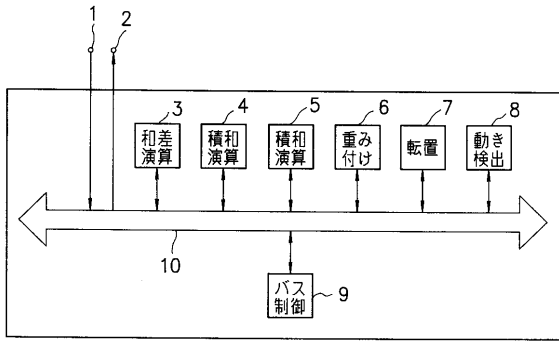
【図15】動き情報に対応した従来例を示すブロック図である。

## 【符号の説明】

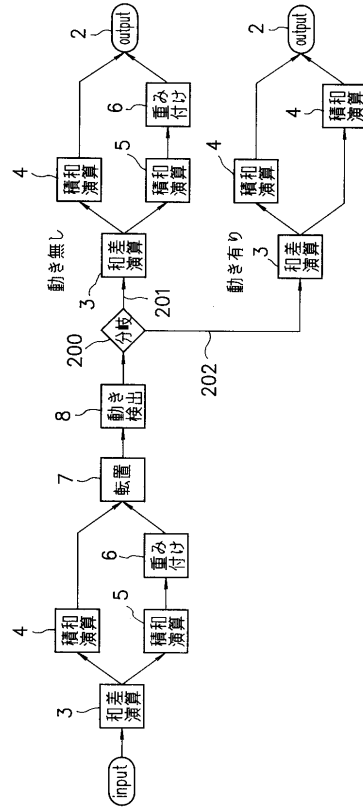
- 1 入力端子
- 2 出力端子
- 3 和差演算回路
- 4 積和演算回路
- 5 積和演算回路
- 6 重み付け回路
- 7 転置回路
- 8 動き検出回路
- 9 バス制御回路
- 10 バス

30

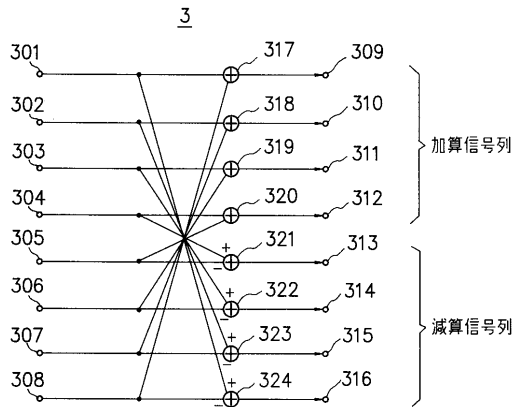
【 図 1 】



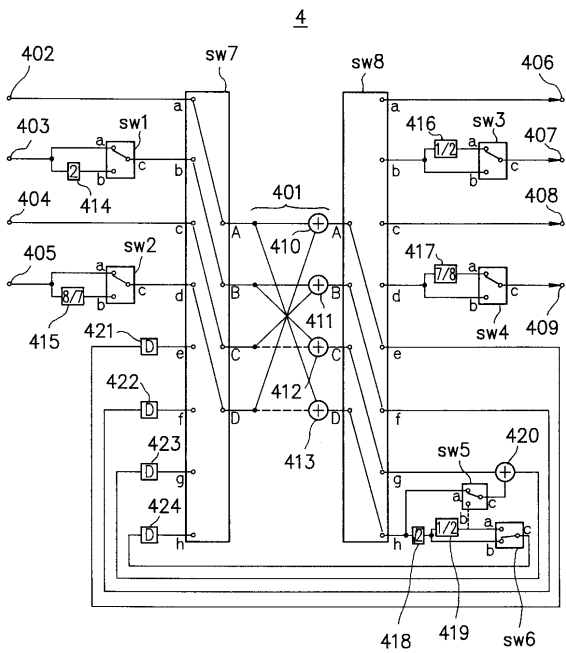
【 図 2 】



【 図 3 】



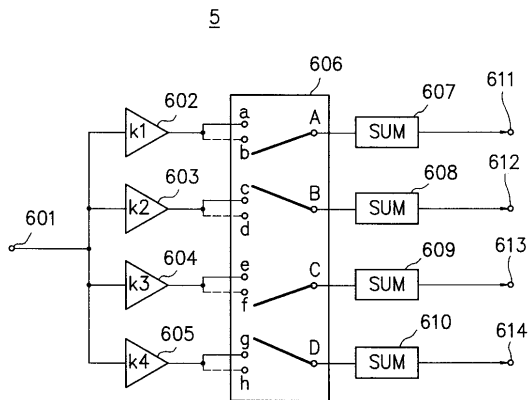
【 図 4 】



【 図 5 】

mode	DCT		IDCT	
	1st	2nd	1st	2nd
SW1	a-c		b-c	
SW2	a-c		b-c	
SW3		a-c		b-c
SW4		a-c		b-c
SW5	a-c		b-c	
SW6	b-c		a-c	
SW7	a-A b-B c-C d-D	e-A h-B g-C f-D	a-A b-B c-C d-D	e-A f-B g-C h-D
SW8	e-A f-B g-C h-D	a-A b-B c-C d-D	e-A h-B g-C f-D	a-A b-B c-C d-D

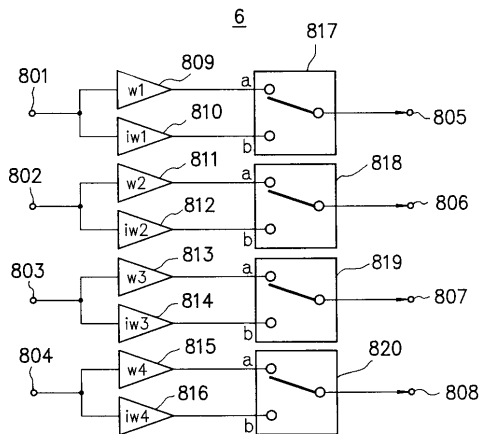
【 図 6 】



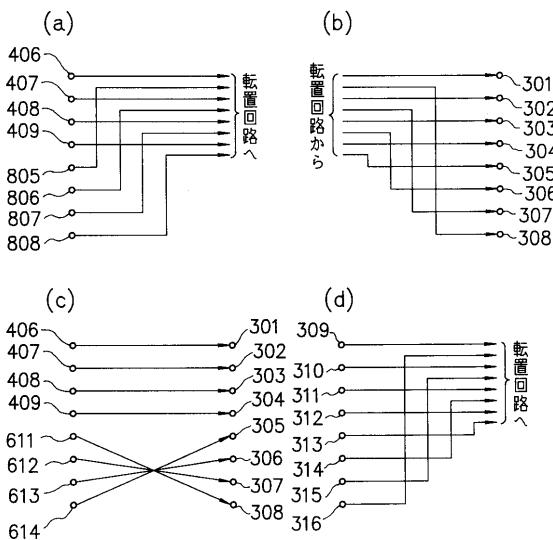
【 図 7 】

cycle	1st	2nd	3rd	4th
SW	a-A c-B e-C g-D	c-A g-B b-C f-D	e-A b-B g-C c-D	g-A d-B c-C b-D

【 図 8 】

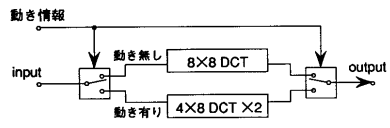


【 図 9 】





【 図 15 】



フロントページの続き

(58)調査した分野(Int.Cl.<sup>7</sup>, DB名)

G06F 17/14

H03M 7/30

H04N 1/41

H04N 7/30