

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3646415号
(P3646415)

(45) 発行日 平成17年5月11日(2005.5.11)

(24) 登録日 平成17年2月18日(2005.2.18)

(51) Int. Cl.⁷

F I

GO 1 N 21/956

GO 1 N 21/956 A

HO 1 L 21/027

HO 1 L 21/66 J

HO 1 L 21/66

HO 1 L 21/30 5 O 2 V

請求項の数 1 (全 6 頁)

(21) 出願番号 特願平8-188984
 (22) 出願日 平成8年7月18日(1996.7.18)
 (65) 公開番号 特開平10-38812
 (43) 公開日 平成10年2月13日(1998.2.13)
 審査請求日 平成15年2月18日(2003.2.18)

(73) 特許権者 000002185
 ソニー株式会社
 東京都品川区北品川6丁目7番35号
 (74) 代理人 100086298
 弁理士 船橋 國則
 (72) 発明者 塘 洋一
 東京都品川区北品川6丁目7番35号 ソ
 ニー株式会社内

審査官 田邊 英治

最終頁に続く

(54) 【発明の名称】 マスク欠陥の検出方法

(57) 【特許請求の範囲】

【請求項 1】

リソグラフィの露光工程に用いられるマスクの欠陥を検出する方法であって、
 欠陥の検出が行われる被検出マスクに形成されたパターンを、第1検出領域と第2検出
 領域とに分割する第1工程と、

前記分割された領域毎に検出感度を変えて被検出マスクの欠陥の検出を行う第2工程と
 を有し、

前記第1工程では、被検出マスクに形成されたパターンのデータと、その他の層のマス
 クに形成されたパターンのデータとを用いて論理演算を行うことによって、前記被検出マ
 スクに形成されたパターンを第1検出領域と第2検出領域とに分割する

ことを特徴とするマスク欠陥の検出方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体装置製造プロセスのリソグラフィの露光工程に用いられるマスクの欠陥
 を検出する方法に関するものである。

【0002】

【従来の技術】

半導体装置の製造分野では、半導体集積回路の最小加工寸法が年々微細化されており、今
 や0.25 μmにまで達している。そして、このことに伴ってフォトリソグラフィ工程に

用いるクロム（Cr）マスクの欠陥（例えばCrの残りやCrの欠け）の最小許容寸法も、年々微細化してきている。0.25 μ mの設計ルール半導体装置の場合には、1/5縮小投影露光を前提にすると、マスクの欠陥の最小許容寸法が0.2 μ m（ウエハ上で0.04 μ m）であるとも言われている。なお、縮小投影露光に用いるマスクは通常レチクルと呼ばれるが、本明細書中ではこれもマスクと称することにする。

【0003】

ところで、従来より、マスクの微細欠陥の検出には、欠陥検出装置が用いられる。通常、欠陥検出装置は、ダイトゥダイ方式またはダイトゥデータベース方式を採用しており、いずれの方式も2つのものを比較して、一致するか否かで欠陥を検出している。例えばダイトゥダイ方式は、欠陥検出が行われるマスク（以下、これを被検出マスクと記す）を用いて基板上に形成された複数のダイのパターン同士を形状比較して、欠陥を検出する。またダイトゥデータベース方式は、被検出マスクを用いて基板上に形成されたパターンとCADデータまたはマスクパターン作成装置の入力データとを比較して、欠陥を検出する。また従来では、いずれの方式を用いる場合にも、検出感度を一律にして欠陥検出を行っている。

10

【0004】

【発明が解決しようとする課題】

従来のマスク欠陥の検出方法では、被検出マスクのより微細な欠陥を検出するには、検出に用いる欠陥検出装置の検出感度を上げなければならない。ところが、前述したように従来では、検出感度を一律にして検出を行うため、検出感度を高くすると非常に多くの検出時間を要することになる。これを回避する方法としては、欠陥検出装置を多数台用いることが考えられる。しかしながら、欠陥検出装置は非常に高価であるため、欠陥検出装置を多数台用いるとマスクコストの増大につながる。このことは、特に少量多品種生産のロジック系の半導体集積回路を製造する場合に顕著になるため、好ましくない。

20

【0005】

【課題を解決するための手段】

上記課題を解決するために本発明に係るマスク欠陥の検出方法は、欠陥の検出が行われる被検出マスクに形成されたパターンを、第1検出領域と第2検出領域とに分割し、分割された領域毎に検出感度を変えて被検出マスクの欠陥の検出を行うことを特徴とする。

【0006】

通常、リソグラフィの露光工程で用いるマスクに形成されたパターンには、同じ層のマスク（同一レイヤ）内に、高い寸法精度で作成すべき領域と、それほど寸法精度が要求されない、つまりラフでもよい領域とが存在している。よって、被検出マスクに形成されたパターンにおける高い寸法精度で作成すべき領域、ラフでもよい領域をそれぞれ、第1領域、第2領域として分割すれば、分割された領域毎に検出感度を変えて被検出マスクの欠陥検出を行うので、高い寸法精度で作成すべき領域のみが高い感度で検出され、ラフでもよい領域がそれよりも低い感度で検出される。

30

【0007】

【発明の実施の形態】

以下、本発明に係るマスク欠陥の検出方法の実施形態を図面に基づいて説明する。ここでは、欠陥検出を行うマスク（以下、被検出マスクと記す）を半導体装置のゲートパターン形成用のマスクにした場合について述べる。またダイトゥデータベース方式の欠陥検出装置、すなわち被検出マスクを用いて基板上に形成されたパターンを画像処理し、このデータと、被検出マスクの設計データとを比較して欠陥検出を行う装置を用いて欠陥検出を行う場合を例に取って述べる。

40

【0008】

図1は実施形態に係るマスク欠陥の検出方法を工程順に示すフローチャートであり、図2は被検出マスクを用いて基板上に形成されたゲートパターン付近の拡大平面図である。被検出マスクの欠陥を検出するにあたっては、まず図1のステップ1（以下、ステップをSTと記す）に示すように、欠陥検出装置の検出感度を設定する。この実施形態では、後

50

述する第1検出領域を検出するための検出感度と、第2検出領域を検出するための検出感度との異なる2つの感度水準を設定する。例えば第2検出領域を検出するための検出感度を、現在行われている欠陥検出での通常の感度に設定し、第1検出領域を検出するための検出感度を、通常の感度よりも高い感度に設定する。

【0009】

なお、欠陥検出装置としては、高速で検出感度を切り換えることができ、ゲートパターンが形成された基板を載置するステージを、感度切り替えに追従して移動させることができる装置を用いる。現在、レチクルのわくデータのような大まかに区切った領域毎に、検出感度を設定変更できる装置がある。したがって、このような既存の装置のソフトウェアを変更することなどによって、上記した欠陥検出装置を実現することが可能である。

10

【0010】

例えば欠陥検出装置が画像処理する際のピクセル(画素)の受光量と、被検出マスクの設計データ、例えば電子ビーム(Electron Beam)描画装置の入力データとを比較する際に、差のしきい値をソフト的に変更することで、高速で検出感度を切り替える装置を得ることが可能である。また、欠陥検出装置のレンズ倍率を機械的に変更して行う(ピクセルサイズを変更する)方法も考えられるが、レンズ倍率の変更に秒単位の時間を要するので今のところ現実的でない。ただし、レンズ倍率の変更に高速で行うことが可能になれば、このような方法を採用することも可能である。

【0011】

欠陥検出装置の感度を設定した後は、次いでST2~ST4に示す工程を行って、被検出マスクに形成されたゲートパターン(以下、被検出マスクのゲートパターンと記す)を、第1検出領域と第2検出領域とに分割する。

20

図2に示すように、被検出マスクを用いて基板10上に形成されたゲートパターン13には、比較的高い寸法精度が要求される領域(図中、ハッチングで示す部分)13aと、それほど寸法精度が要求されないラフな領域13bとが存在する。

【0012】

すなわち、基板10には、LOCOS酸化膜からなる素子分離領域11で囲まれた位置に活性領域12が形成されており、この活性領域12上に、2つの直線状のゲートパターン13が並んで設けられている。また各ゲートパターン13は、その両端が活性領域12からさらに素子分離領域12上へと延びて形成されている。活性領域12は、欠陥が存在してほしくない領域であり、素子分離領域11は小さな欠陥であれば少々存在していてもよいラフな領域である。したがってゲートパターン13も、活性領域12上に形成された領域が、高い寸法精度が要求される領域13aになり、素子分離領域11上がラフな領域13bになる。

30

【0013】

そこでこの実施形態では、被検出マスクのゲートパターンにおいて、高い寸法精度が要求される領域13aに対応する領域を、高感度での検出が必要な第1検出領域とし、ラフな領域13bに対応する領域を、通常の感度での検出でよい第2検出領域として、ゲートパターンの分割を行う。

ゲートパターンの分割は、欠陥検出装置にて、被検出マスクのゲートパターンから第1検出領域を抽出して設定し、抽出された以外の領域を第2領域として設定することにより行う。第1検出領域の抽出は、被検出マスクのデータと、その他の各層(レイヤ)のマスク、特に製造プロセス上の被検出マスクの直前、直後のマスクのデータとを用いた図形論理演算によって容易に行える。

40

【0014】

すなわち、まずST2に示すように、欠陥検出装置に被検出マスクのゲートパターンのデータを入力する。

続いてST3に示すように、ゲートパターンの周辺のパターン形成に用いるマスクに形成されるパターンのデータを、欠陥検出装置に入力する。ここでは、図2に示した素子分離領域11の形成に用いるマスクの素子分離領域パターンのデータを入力する。

50

これら欠陥検出装置に入力するデータには、設計データ、例えばマスクパターン形成用のCAD装置やマスクパターン作成装置の入力データを用いる。

【0015】

そしてST4に示すように、図形論理演算を行って、ゲートパターンのデータと素子分離領域パターンのデータとのANDをとることにより、第1検出領域を抽出し、設定する。また、これ以外の領域を第2検出領域として設定する。

次に、欠陥検出装置による被検出マスクの欠陥検出を開始する。この際、欠陥検出装置は、被検出マスクを用いて形成されたゲートパターン13において、現在の位置が、第1検出領域の位置にあるか否かを判断し(ST5)、第2検出領域でないと判断すると、通常の検出感度で欠陥検出を行う(ST6)。

またST5にて現在検出を行っている位置が、第1検出領域の位置であると判断すると、検出感度を高感度に切り替えて欠陥検出を行う(ST7)。

【0016】

ST6またはST7にて欠陥検出を行った後は、欠陥検出装置のステージを移動する(ST8)。続いて、欠陥検出は終了か否かを判断する(ST9)。

欠陥検出は終了でないと判断された場合には、ST5に戻って、現在の位置が、第1検出領域の位置にあるか否かを判断し、欠陥検出を続ける。

またST9にて、欠陥検出は終了であると判断されると、一連の欠陥検出が終了になる。

【0017】

このように、上記した欠陥検出方法では、高い寸法精度が要求されるために微細な欠陥検出が必要な第1検出領域のみを高感度で検出でき、それほど寸法精度が要求されない第2検出領域を第1検出領域よりも低い感度で検出できる。よって、微細な欠陥を検出しようとすると、時間を要する高感度検出を一律に行わざるを得なかった従来法に比較して、検出時間を短縮することができ、しかも必要な領域を高感度に欠陥検出することができる。したがって、この方法によればマスクコストを低減することができるので、特に、少量多品種生産の半導体集積回路を製造する場合に非常に有効な方法になる。

【0018】

また上記した欠陥検出方法では、第1検出領域を設定するための図形論理演算に、既に設計の段階で存在している被検出マスクの設計データおよび素子分離領域形成用のマスクの設計データを用いるので、新たな作業を行うことなく容易にゲートパターンを第1検出領域、第2検出領域に分割することができる。

【0019】

なお、上記実施形態では、ダイトゥデータベース方式の欠陥検出装置を用いた欠陥検出方法について述べたが、予め座標で指定された領域を区別して行うダイトゥダイ方式の欠陥検出装置を用いて欠陥検出を行うこともできる。この場合には、欠陥検出装置のスキャン方向で検出感度を切り替えるタイミングのデータを欠陥検出装置に入力しておくことが必要になる。

【0020】

また上記実施形態では、検出感度の水準を2つに設定した場合について述べたが、本発明はこの例に限定されない。例えば第1検出領域を複数抽出し、第1検出領域毎に検出感度が異なるように検出感度の水準を設定することも可能である。この場合には、よりパターンの寸法精度の要求に即した欠陥検出を行えるとともに、検出時間の短縮化を図ることができる。

さらに上記実施形態では、本発明をゲートパターン形成用のマスクの欠陥検出に適用したが、本発明はリソグラフィ工程に用いるいずれのマスクの欠陥検出に適用できるのはもちろんである。

【0021】

【発明の効果】

以上説明したように本発明に係るマスク欠陥の検出方法では、被検出マスクに形成されたパターンを分割した領域毎に、検出感度を変えて欠陥検出を行うので、被検出マスクの

10

20

30

40

50

ターンを高い寸法精度で作成すべき領域とラフでもよい領域とに分割すれば、高い寸法精度で作成すべき領域のみを高感度で検出し、ラフでもよい領域を低い感度で検出するといった欠陥検出を行うことができる。よって、必要な領域を高精度に欠陥検出でき、しかも従来法に比較して検出時間を短縮できるので、コストを削減しつつ高精度のマスクを得ることができる。したがって、本発明は少量多品種生産の半導体集積回路を製造する場合に非常に有効な方法になる。

【図面の簡単な説明】

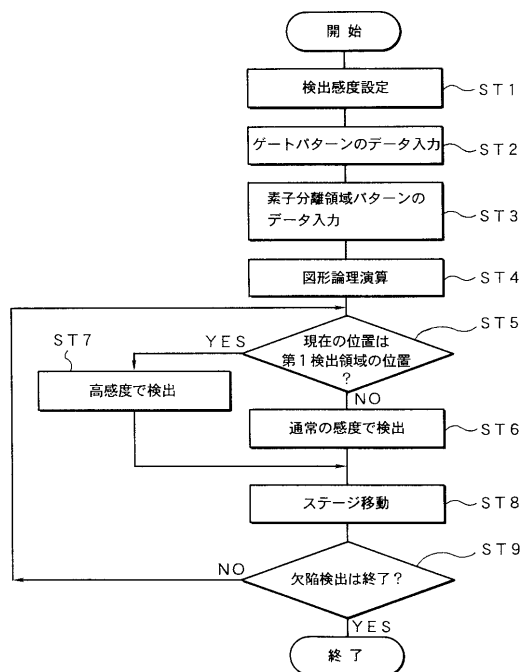
【図 1】本発明に係るマスク欠陥の検出方法の実施形態を工程順に示すフローチャートである。

【図 2】被検出マスクを用いて形成されたゲートパターン付近の平面図である。

【符号の説明】

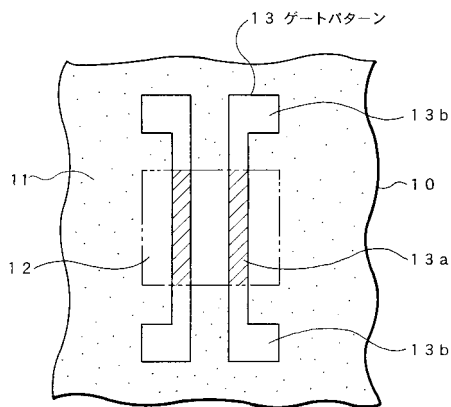
1 3 ゲートパターン

【図 1】



本発明の一実施形態のフローチャート

【図 2】



ゲートパターン付近の平面図

フロントページの続き

- (56)参考文献 特開平02 - 236406 (JP, A)
特開平05 - 134393 (JP, A)
特開平06 - 168295 (JP, A)
特開平2 - 232250 (JP, A)
特開平6 - 347412 (JP, A)
特開平8 - 320294 (JP, A)
特開2003 - 215059 (JP, A)

(58)調査した分野(Int.Cl.⁷, DB名)

G01N 21/84-21/958

H01L 21/64-21/66