



(21)申請案號：111129741

(22)申請日：中華民國 111 (2022) 年 08 月 08 日

(51)Int. Cl. : **H10B12/00 (2023.01)**

(30)優先權：2021/08/09 南韓

10-2021-0104899

(71)申請人：南韓商三星電子股份有限公司(南韓) SAMSUNG ELECTRONICS CO., LTD. (KR)
南韓(72)發明人：鄭星真 JEONG, SEONGJIN (KR)；朴碩漢 PARK, SEOKHAN (KR)；鮮于藝智
SUNWOO, YEJEE (KR)；劉寶元 YOO, BOWON (KR)；孫英雄 SON,
YOUNGWOONG (KR)

(74)代理人：林孟閔；盧珮君；陳怡如

(56)參考文獻：

TW 200903737A

TW 202114156A

US 2010/0102371A1

US 2016/0260635A1

US 2018/0122898A1

US 2018/0350957A1

審查人員：陳憶緣

申請專利範圍項數：10 項 圖式數：26 共 56 頁

(54)名稱

半導體裝置

(57)摘要

本發明提供一種半導體裝置，包含：單元電晶體，位於基底上；下部電極，分別連接至單元電晶體，在第一水平方向上根據第一間距配置，且在豎直方向上延伸；以及蝕刻停止層，環繞下部電極的下部側壁且在高於單元電晶體的層級的層級處配置，其中蝕刻停止層包含豎直重疊下部電極的第一部分及側向環繞第一部分的第二部分，且第二部分包含在第一水平方向上根據第二間距配置的回槽。

A semiconductor device includes; cell transistors on a substrate, lower electrodes respectively connected to the cell transistors, arranged according to a first pitch in a first horizontal direction, and extending in a vertical direction, and an etching stop layer surrounding lower sidewalls of the lower electrodes and arranged at a level higher than a level of the cell transistors, wherein the etching stop layer includes a first portion vertically overlapping the lower electrodes and a second portion laterally surrounding the first portion, and the second portion includes recesses arranged according to a second pitch in the first horizontal direction.

指定代表圖：

B1-B1':線

BL:位元線

CX1、CX2:區

CP:接觸插塞

CPH:接觸孔

DC:直接觸點

DCH:直接接觸孔

LP:著陸接墊

LV1:第一豎直層級

MCA:單元陣列區域

PCA:周邊電路區域

PCC:周邊電路接觸

PG:周邊電路電晶體

PGS:周邊電路閘極電極

RS:凹槽間隔

X、Y、Z:方向



公告本

I833319

【發明摘要】

【中文發明名稱】 半導體裝置

【英文發明名稱】 SEMICONDUCTOR DEVICE

【中文】本發明提供一種半導體裝置，包含：單元電晶體，位於基底上；下部電極，分別連接至單元電晶體，在第一水平方向上根據第一間距配置，且在豎直方向上延伸；以及蝕刻停止層，環繞下部電極的下部側壁且在高於單元電晶體的層級的層級處配置，其中蝕刻停止層包含豎直重疊下部電極的第一部分及側向環繞第一部分的第二部分，且第二部分包含在第一水平方向上根據第二間距配置的凹槽。

【英文】 A semiconductor device includes; cell transistors on a substrate, lower electrodes respectively connected to the cell transistors, arranged according to a first pitch in a first horizontal direction, and extending in a vertical direction, and an etching stop layer surrounding lower sidewalls of the lower electrodes and arranged at a level higher than a level of the cell transistors, wherein the etching stop layer includes a first portion vertically overlapping the lower electrodes and a second portion laterally surrounding the first portion, and the second portion includes recesses arranged according to a second pitch in the first horizontal direction.

【指定代表圖】 圖3

【代表圖之符號簡單說明】

100:半導體裝置
110:基底
112:裝置隔離層
112T:裝置隔離溝渠
114:緩衝層
116:閘極介電層
132A、132B:下部導電圖案
134A、134B:中間導電圖案
136A、136B:上部導電圖案
140A:絕緣頂蓋層
140B:閘極頂蓋圖案
142:第一層間絕緣層
144:第二層間絕緣層
150A:間隔件
150B:絕緣間隔件
152:導電插塞
162A、162B:導電障壁層
164A、164B:著陸接墊導電層
166:絕緣圖案
170:蝕刻停止層
170P1:第一部分
170P2:第二部分
170R1:凹槽
180:電容器結構

182:下部電極
184:電容器介電層
186:上部電極
188:支撐層
190:層間絕緣層
192:導電障壁層
194:接觸導電層
AC1:第一主動區域
B1-B1':線
BL:位元線
CX1、CX2:區
CP:接觸插塞
CPH:接觸孔
DC:直接觸點
DCH:直接接觸孔
LP:著陸接墊
LV1:第一豎直層級
MCA:單元陣列區域
PCA:周邊電路區域
PCC:周邊電路接觸
PG:周邊電路電晶體
PGS:周邊電路閘極電極
RS:凹槽間隔
X、Y、Z:方向

【發明說明書】

【中文發明名稱】半導體裝置

【英文發明名稱】SEMICONDUCTOR DEVICE

【技術領域】

相關申請案的交叉引用

【0001】本申請案主張 2021 年 8 月 9 日在韓國智慧財產局申請的韓國專利申請案第 10-2021-0104899 號的優先權，所述申請案的主題以全文引用的方式併入本文中。

【0002】本發明概念是關於半導體裝置。更明確而言，本發明概念是關於包含單元電容器的半導體裝置。

【先前技術】

【0003】隨著當代及新興的半導體裝置的整體大小的持續減小，個別微型電路圖案的大小以及構成組件的尺寸持續減小。在一些半導體裝置中，單元電容器的高度可根據個別微型電路圖案的大小減小而增大。此類趨勢已增加與單元電容器的形成相關聯的製造製程的困難及複雜性。舉例而言，單元電容器之間的所謂橋接缺陷以及其他類型的可能缺陷可能出現。

【發明內容】

【0004】本發明概念提供展現減少的數目缺陷（例如，橋接缺陷）且進一步展現減少的缺陷形成的可能性的半導體裝置。本發明概念亦提供製造半導體裝置的方法，所述半導體裝置展現減少的數

目缺陷（例如，橋接缺陷）且進一步展現減少的缺陷形成的可能性。

【0005】 根據本發明概念的態樣，提供一種半導體裝置，包含：基底，包含單元區域及周邊電路區域，其中單元區域包含單元電晶體且周邊電路區域包含周邊電路；蝕刻停止層，包含配置於單元區域中的蝕刻停止層的第一部分及配置於周邊電路區域中的蝕刻停止層的第二部分；以及電容器結構，配置於單元區域中且包含下部電極，所述下部電極經由蝕刻停止層的第一部分分別連接至單元電晶體且根據第一間距配置，其中蝕刻停止層的第二部分包含凹槽，所述凹槽根據與第一間距實質上相同的第二間距配置。

【0006】 根據本發明概念的另一態樣，提供一種半導體裝置，包含：單元電晶體，位於基底上；下部電極，分別連接至單元電晶體，在第一水平方向上根據第一間距配置，且在豎直方向上延伸；以及蝕刻停止層，環繞下部電極的下部側壁且在高於單元電晶體的層級的層級處配置，其中蝕刻停止層包含豎直重疊下部電極的第一部分及橫向環繞第一部分的第二部分，且第二部分包含在第一水平方向上根據第二間距配置的凹槽。

【0007】 根據本發明概念的另一態樣，提供一種半導體裝置，包含：基底，包含單元區域及周邊電路區域，其中單元區域包含單元電晶體，且周邊電路區域包含周邊電路；蝕刻停止層，包含單元區域中的蝕刻停止層的第一部分及周邊電路區域中的蝕刻停止層的第二部分；電容器結構，位於單元區域中，其中電容器結構包含：下部電極；電容器介電層，覆蓋下部電極的上部表面；以及上部電極，位於電容器介電層上且覆蓋下部電極，其中下部電極經由蝕刻

停止層的第一部分分別連接至單元電晶體且第一水平方向上根據第一間距配置；層間絕緣層，位於蝕刻停止層的第二部分上；以及周邊電路觸點，穿透層間絕緣層及蝕刻停止層的第二部分以電連接至周邊電路，其中蝕刻停止層的第二部分包含在第一水平方向上根據第二間距配置的凹槽。

【圖式簡單說明】

【0008】 在考慮以下詳細描述以及隨附圖式後，可更清楚地理解本發明概念的實施例，其中：

圖 1 為示出根據本發明概念的實施例的半導體裝置 100 的平面（或俯視）視圖，圖 2 為圖 1 中所指示的區『A』的放大視圖，圖 3 為沿著圖 2 的線 B1-B1'截取的橫截面視圖，圖 4 為進一步示出圖 3 的半導體裝置 100 的平面視圖，圖 5 為圖 3 中所指示的區『CX1』的放大橫截面視圖，且圖 6 為圖 3 中所指示的區『CX2』的放大橫截面視圖。

圖 7 為示出根據本發明概念的實施例的半導體裝置 100A 的平面視圖。

圖 8 為示出根據本發明概念的實施例的半導體裝置 100B 的橫截面視圖，圖 9 為進一步示出圖 8 的半導體裝置 100B 的平面視圖，且圖 10 為圖 8 中所指示的區『CX2』的放大橫截面視圖。

圖 11、圖 12、圖 13、圖 14、圖 15、圖 16、圖 17、圖 18、圖 19、圖 20、圖 21、圖 22、圖 23 以及圖 24（下文統稱為「圖 11 至圖 24」）為示出在一個實例中根據本發明概念的實施例的製造半導體裝置的方法的相關橫截面視圖。

圖 25 為示出根據本發明概念的實施例的半導體裝置 300 的平面圖式，且圖 26 為沿著圖 25 的線 B2-B2'截取的橫截面視圖。

【實施方式】

【0009】貫穿書面描述及圖式，相同附圖標號及標記用於指示相同或類似元件、組件、方法步驟以及/或特徵。貫穿書面描述，可使用某些幾何術語來強調關於本發明概念的某些實施例的元件、組件及/或特徵之間的相對關係。所屬領域中具知識者將認識到，此類幾何術語在本質上是相對的，在描述性關係中是任意的，及/或是針對所示出實施例的態樣。幾何術語可包含（例如）：高度/寬度；豎直/水平；頂部/底部；較高/較低；較近/較遠；較厚/較薄；接近/遠離；上方/下方；在...下方/在...上方；上部/下部；中心/側面；環繞；上覆/在...之下；等。

【0010】圖（FIG.）1 為示出根據本發明概念的實施例的半導體裝置 100 的佈局的平面視圖；圖 2 為進一步示出圖 1 中所指示的區『A』的放大版本的另一平面視圖；圖 3 為沿著圖 2 的線 B1-B1'截取的橫截面視圖；圖 4 為進一步示出圖 3 的第一豎直層級 LV1 的平面視圖；圖 5 為進一步示出圖 3 中所指示的區『CX1』的放大版本的橫截面視圖，以及圖 6 為進一步示出圖 3 中所指示的區『CX2』的放大版本的橫截面視圖（下文統稱為「圖 1 至圖 6」）。

【0011】參考圖 1 至圖 6，半導體裝置 100 可包含包含單元陣列區域 MCA 及周邊電路區域 PCA 的基底 110。此處，舉例而言，單元陣列區域 MCA 可為 DRAM 裝置的記憶體單元區域，且周邊電路區域 PCA 可為 DRAM 裝置的核心區域或周邊區域。在一些實施例

中，周邊電路區域 PCA 可包含周邊電路電晶體 PG，所述周邊電路電晶體 PG 經組態以將信號（例如，資料信號、位址信號、功率信號或命令/控制信號）提供至包含於單元陣列區域 MCA 中的記憶體單元陣列。就此而言，周邊電路電晶體 PG 可經組態於各種電路內，諸如命令解碼器、控制邏輯、位址緩衝器、列解碼器、行解碼器、感測放大器以及資料輸入/輸出（input/output；I/O）電路等。

【0012】 裝置隔離溝渠 112T 可形成於基底 110 中，且裝置隔離層 112 可形成於裝置隔離溝渠 112T 中。第一主動區域 AC1 可由單元陣列區域 MCA 中的裝置隔離層 112 界定於基底 110 中，且第二主動區域 AC2 可界定於周邊電路區域 PCA 中的基底 110 中。

【0013】 在單元陣列區域 MCA 中，第一主動區域 AC1 可經配置以在相對於第一水平（或 X）方向及與第一水平方向相交的第二水平（或 Y）方向的對角線方向上具有長軸。字元線 WL 可在第一水平方向上平行延伸跨越第一主動區域 AC1。位元線 BL 可在第二水平方向上在字元線 WL 上平行延伸。位元線 BL 可經由直接觸點 DC 連接至第一主動區域 AC1。

【0014】 埋入觸點 BC 可形成於兩個鄰近位元線 BL 之間。埋入觸點 BC 可在第一水平方向上以列配置及/或在第二水平方向上以行配置。著陸接墊 LP 可形成於埋入觸點 BC 上。埋入觸點 BC 及著陸接墊 LP 可連接至第一主動區域 AC1，形成於位元線 BL 的上部部分上的電容器結構 180 的下部電極 182。各別著陸接墊 LP 可與埋入觸點 BC 部分地重疊。

【0015】 基底 110 可包含矽（Si）（例如，單晶矽、多晶矽及/或非晶矽）。在其他實施例中，基底 110 可包含鍺（Ge）、SiGe、SiC、

GaAs、InAs 以及 InP 中的至少一者。在一些實施例中，基底 110 可包含導電區域（例如，導電井及/或各種摻雜雜質的結構）。裝置隔離層 112 可包含氧化物層及氮化物層中的至少一者。

【0016】 在單元陣列區域 MCA 中，在第一水平方向上延伸的字元線溝渠（未繪示）可形成於基底 110 中，且閘極介電層（未繪示）、閘極電極（未繪示）以及頂蓋絕緣層（未繪示）可形成於字元線溝渠中。閘極電極可對應於圖 1 的字元線 WL。閘極介電層可包含以下各者中的至少一者：氧化矽層、氮化矽層、氮氧化矽層、氧化物/氮化物/氧化物（oxide/nitride/oxide；ONO）層以及具有大於氧化矽的介電常數的介電常數的高 k 介電膜。閘極電極可各自包含鈦（Ti）、氮化鈦（TiN）、鉭（Ta）、TaN、鎢（W）、WN、TiSiN 以及 WSiN 中的至少一者。頂蓋絕緣層可各自包含氧化矽層、氮化矽層以及氮氧化矽層中的至少一者。

【0017】 在單元陣列區域 MCA 中，緩衝層 114 可形成於基底 110 上。緩衝層 114 可包含氧化物層及氮化物層中的至少一者。

【0018】 直接觸點 DC 可形成於基底 110 中的直接接觸孔 DCH 中。直接觸點 DC 可連接至第一主動區域 AC1。直接觸點 DC 可包含摻雜多晶矽。舉例而言，直接觸點 DC 可包含摻雜有至少一個 N 型雜質的多晶矽，諸如磷（P）、砷（As）、鉍（Bi）以及銻（SB）。

【0019】 位元線 BL 可在第二水平方向在基底 110 及直接觸點 DC 上延伸。位元線 BL 可經由直接觸點 DC 分別連接至第一主動區域 AC1。位元線 BL 可包含依序堆疊於基底 110 上的下部導電圖案 132A、中間導電圖案 134A 以及上部導電圖案 136A。下部導電圖案 132A 可包含摻雜多晶矽。中間導電圖案 134A 及上部導電圖案

136A 可各自包含 TiN、TiSiN、W 以及矽化鎢中的至少一者。在一些實施例中，中間導電圖案 134A 可包含 TiN 及 TiSiN 中的至少一者，且上部導電圖案 136A 可包含 W。

【0020】 位元線 BL 可由絕緣頂蓋層 140A 覆蓋。絕緣頂蓋層 140A 可在第二水平方向在位元線 BL 上延伸。間隔件 150A 可配置於各位元線 BL 的兩個側壁上。間隔件 150A 可在第二水平方向在位元線 BL 的側壁上延伸，且間隔件 150A 的部分可延伸至直接接觸孔 DCH 的內部且覆蓋直接接觸點 DC 的兩個側壁。圖 3 將間隔件 150A 繪示為單一材料層，然而在其他實施例中，間隔件 150A 可具有包含多個間隔件層（例如，由氣隙分開的兩個或大於兩個間隔件層）的堆疊結構。

【0021】 直接接觸點 DC 可形成於基底 110 中的直接接觸孔 DCH 中，且可延伸至比基底 110 的上部表面更高的層級。舉例而言，直接接觸點 DC 的上部表面可與下部導電圖案 132A 的上部表面處於相同層級，且可接觸中間導電圖案 134A 的下部表面。此外，直接接觸點 DC 的下部表面可處於比基底 110 的上部表面低的層級。（就此而言，術語「層級」指示相對於任意所選水平表面（例如，基底 110 的上部表面）在豎直方向上的位置）。

【0022】 絕緣柵欄（未繪示）及導電插塞 152 可在第二水平方向上配置於線上的位元線 BL 之間。絕緣柵欄可配置於頂蓋絕緣層之間，所述頂蓋絕緣層配置於字元線溝渠的上部側上，且導電插塞 152 可在豎直（或 Z）方向（與第一水平方向及第二水平方向相交的方向）上自形成於基底 110 中的凹槽間隔 RS 延伸。導電插塞 152 的兩個側壁可藉由絕緣柵欄在第二水平方向上彼此絕緣。導電插

塞 152 可形成圖 2 的埋入觸點 BC。

【0023】 著陸接墊 LP 可形成於導電插塞 152 上。儘管未繪示，但金屬矽化物層（未繪示）可進一步配置於導電插塞 152 與著陸接墊 LP 之間。金屬矽化物層可包含矽化鈷、矽化鎳以及矽化錳中的至少一者。著陸接墊 LP 可各自包含導電障壁層 162A 及著陸接墊導電層 164A。導電障壁層 162A 可包含 Ti 及 TiN 中的至少一者。著陸接墊導電層 164A 可包含金屬、導電金屬氮化物以及導電多晶矽中的至少一者。舉例而言，著陸接墊導電層 164A 可包含 W。當以平面視圖查看時，著陸接墊 LP 可具有島狀圖案。著陸接墊 LP 可藉由實質上環繞著陸接墊 LP 的周邊的絕緣圖案 166 而彼此電絕緣。

【0024】 在周邊電路區域 PCA 中，周邊電路電晶體 PG 可配置於第二主動區域 AC2 中。周邊電路電晶體 PG 可包含依序堆疊於第二主動區域 AC2 中的閘極介電層 116、周邊電路閘極電極 PGS 以及閘極頂蓋圖案 140B。

【0025】 閘極介電層 116 可包含以下中的至少一者：氧化矽層、氮化矽層、氮氧化矽層、ONO 層以及具有大於氧化矽的介電常數的介電常數的高 k 介電膜。周邊電路閘極電極 PGS 可包含下部導電圖案 132B、中間導電圖案 134B 以及上部導電圖案 136B。在一些實施例中，下部導電圖案 132B、中間導電圖案 134B 以及上部導電圖案 136B 可包含與包含於單元陣列區域 MCA 中的位元線 BL 中的下部導電圖案 132A、中間導電圖案 134A 以及上部導電圖案 136A 相同的材料。閘極頂蓋圖案 140B 可包含氮化矽層。

【0026】 周邊電路閘極電極 PGS 的側壁可由絕緣間隔件 150B 覆

蓋。絕緣間隔件 150B 可包含氧化物層、氮化物層或其組合。周邊電路電晶體 PG 可由第一層間絕緣層 142 覆蓋。第二層間絕緣層 144 可配置於第一層間絕緣層 142 上。

【0027】 在周邊電路區域 PCA 中，接觸插塞 CP 可形成於豎直穿透第一層間絕緣層 142 及第二層間絕緣層 144 的接觸孔 CPH 中。接觸插塞 CP 可包含與形成於單元陣列區域 MCA 中的著陸接墊 LP 相同的導電障壁層 162B 及著陸接墊導電層 164B。金屬矽化物層（未繪示）可配置於第二主動區域 AC2 與接觸插塞 CP 之間。

【0028】 蝕刻停止層 170 可配置於單元陣列區域 MCA 及周邊電路區域 PCA 中的著陸接墊 LP 及第二層間絕緣層 144 上。蝕刻停止層 170 可包含覆蓋單元陣列區域 MCA 的第一部分 170P1 及覆蓋周邊電路區域 PCA 的第二部分 170P2。

【0029】 在一些實施例中，蝕刻停止層 170 可包含相對於第二層間絕緣層 144 及絕緣圖案 166 具有蝕刻選擇性的材料。舉例而言，蝕刻停止層 170 可包含氮化矽。

【0030】 在單元陣列區域 MCA 中，電容器結構 180 可配置於蝕刻停止層 170 上。電容器結構 180 可包含下部電極 182、電容器介電層 184 以及上部電極 186。

【0031】 下部電極 182 可藉由穿透蝕刻停止層 170 的第一部分 170P1 在豎直方向上在著陸接墊 LP 上延伸。下部電極 182 的下部部分可配置於蝕刻停止層 170 的第一部分 170P1 的開口 170H 中。支撐層 188 可配置於下部電極 182 的側壁上。支撐層 188 可維持兩個鄰近下部電極 182 之間的某一距離且可防止下部電極 182 在涉及下部電極 182 的形成製程期間傾斜或破裂。支撐層 188 可在

182。亦即，第一間距 P1 可界定為兩個鄰近下部電極 182 的中心之間的在第一水平方向上的距離。在一些實施例中，第一間距 P1 可在約 10 奈米至約 300 奈米的範圍內。如圖 5 中所示出，下部電極 182 可在下部電極 182 的底部部分處具有第一「寬度」W1（例如，在第一水平方向上量測的距離）。在一些實施例中，第一寬度 W1 可在約 10 奈米與約 300 奈米之間的範圍內。

【0037】 凹槽 170R1 可形成於蝕刻停止層 170 的第二部分 170P2 的上部表面 170U 中。舉例而言，當在形成下部電極 182 的製程期間，在蝕刻停止層 170 的第二部分 170P2 上共同形成虛擬下部電極 182D 時可形成凹槽 170R1，且隨後移除虛擬下部電極 182D。蝕刻停止層 170 的第二部分 170P2 的下部表面 170L 可為平坦的，且凹槽 170R1 可配置於蝕刻停止層 170 的第二部分 170P2 的上部表面 170U 中。

【0038】 如圖 4 中所示出，凹槽 170R1 可以六邊形圖案配置。舉例而言，凹槽 170R1 可在第一水平方向上根據第二間距 P2 配置。

【0039】 亦即，第二間距 P2 可界定為兩個鄰近凹槽 170R1 的中心之間的在第一水平方向上的距離。在一些實施例中，第二間距 P2 可與第一間距 P1 實質上相同。在一些實施例中，第二間距 P2 可在約 10 奈米與約 300 奈米之間的範圍內。

【0040】 如圖 6 中所示出，凹槽 170R1 可在第一水平方向在凹槽 170R1 的上部部分處具有第二寬度 W2。第二寬度 W2 可在第一寬度 W1 的約 100%至約 150%的範圍內。在一些實施例中，第二寬度 W2 可在約 10 奈米與約 450 奈米之間的範圍內。

【0041】 蝕刻停止層 170 的第一部分 170P1 可具有第一「厚度」

t1 (例如, 在豎直方向上量測的距離), 且第二部分 170P2 可具有大於第一厚度 t1 的第二厚度 t2。舉例而言, 第一厚度 t1 可在約 1 奈米與約 50 奈米之間的範圍內, 且第二厚度 t2 可在約 2 奈米與約 100 奈米之間的範圍內。

【0042】 凹槽 170R1 可各自包含中心部分 RSC 及邊緣部分 RSE。蝕刻停止層 170 的與中心部分 RSC 豎直重疊的第二部分 170P2 可具有第三厚度 t31, 且蝕刻停止層 170 的與邊緣部分 RSE 豎直重疊的第二部分 170P2 可具有大於第三厚度 t31 的第四厚度 t32。

【0043】 如上文所描述, 當在形成下部電極 182 的製程期間, 在蝕刻停止層 170 的第二部分 170P2 上共同形成虛擬下部電極 182D 時, 可形成凹槽 170R1。此後, 可移除虛擬下部電極 182D。特定來說, 當穿透蝕刻停止層 170 的第一部分 170P1 的開口 170H 形成於單元陣列區域 MCA 中時, 可在周邊電路區域 PCA 中移除蝕刻停止層 170 的第二部分 170P2 的一些上部部分。以此方式, 可形成凹槽 170R1。此外, 當穿透蝕刻停止層 170 的第一部分 170P1 的下部電極 182 形成於單元陣列區域 MCA 中時, 虛擬下部電極 182D 可形成於蝕刻停止層 170 的第二部分 170P2 中的凹槽 170R1 上, 且接著可在周邊電路區域 PCA 中移除。

【0044】 如上文所描述, 蝕刻停止層 170 的第二部分 170P2 可具有大於第一部分 170P1 的厚度的厚度。因此, 當開口 170H 形成於蝕刻停止層 170 的第一部分 170P1 中且配置於蝕刻停止層 170 的第一部分 170P1 下方的著陸接墊 LP 在形成下部電極 182 及虛擬下部電極 182D 的製程期間暴露時, 可不完全移除蝕刻停止層 170 的第二部分 170P2, 且可不暴露配置於蝕刻停止層 170 的第二部

分 170P2 下方的接觸插塞 CP。

【0045】 覆蓋電容器結構 180 的層間絕緣層 190 可配置於蝕刻停止層 170 上。層間絕緣層 190 可覆蓋單元陣列區域 MCA 及周邊電路區域 PCA 兩者。在蝕刻停止層 170 的第二部分 170P2 上的層間絕緣層 190 的一部分可包含自層間絕緣層 190 的下部部分向下突出的突出部 190P。突出部 190P 可符合或對應於凹槽 170R1 且填充其內部。

【0046】 在周邊電路區域 PCA 中，周邊電路觸點 PCC 可經配置，所述周邊電路觸點 PCC 穿透層間絕緣層 190 且在豎直方向上延伸。周邊電路觸點 PCC 的下部部分可藉由穿透蝕刻停止層 170 的第二部分 170P2 連接至接觸插塞 CP。舉例而言，周邊電路接觸 PCC 的下部部分可經由接觸插塞 CP 電連接至周邊電路電晶體 PG。周邊電路接觸 PCC 可包含導電障壁層 192 及接觸導電層 194。

【0047】 一般而言，隨著下部電極 182 的縱橫比增加，均勻地形成下部電極 182 的難度（例如，在製造製程內容背景中）相稱地增加。詳言之，由於在單元陣列區域 MCA 與周邊電路區域 PCA 之間的物理及/或材料性質的差異，因此機械應力可施加至基底 110，藉此誘發翹曲。在一些實施例中，相較於下部電極 182 的下部部分，在朝向中心水平方向上的壓縮應力可施加至下部電極 182 的上部部分，藉此傾向於在下部電極 182 之間形成或促進缺陷（例如，橋接缺陷）的形成。

【0048】 然而，在一些實施例中，當在單元陣列區域 MCA 中形成下部電極 182 的製程期間，虛擬下部電極 182D 形成於周邊電路區域 PCA 中時，可抑制或防止前文所提及應力的施加。亦即，可極

大地減少或完全避免歸因於在單元陣列區域 MCA 與周邊電路區域 PCA 之間的物理/材料性質中的差異而產生的應力，因此減少在下部電極 182 與之間形成缺陷（例如，橋接缺陷）的可能性。

【0049】 圖 7 為進一步示出根據本發明概念的實施例的半導體裝置 100A 的平面視圖。

【0050】 參考圖 7，下部電極 182 可在第一水平方向及第二水平方向上且根據第一間距 P1 以矩陣配置。此外，凹槽 170R1 可在第一水平方向及第二水平方向上且根據與第一間距 P1 實質上相同的第二間距 P2 而以矩陣形式配置。

【0051】 圖 8 為根據本發明概念的實施例的半導體裝置 100B 的橫截面視圖。圖 9 為進一步示出在第一豎直層級 LV1 處的圖 8 的半導體裝置 100B 的平面視圖，且圖 10 為進一步示出圖 8 的區『CX2』的放大版本的橫截面視圖。

【0052】 參考圖 8、圖 9 以及圖 10，緩衝絕緣層 172 可配置於蝕刻停止層 170B 的第二部分 170P2 上，且層間絕緣層 190 可配置於緩衝絕緣層 172 上。緩衝絕緣層 172 可包含開口 172H，其中開口 172H 分別安置於對應於蝕刻停止層 170B 的凹槽 170R2 的位置處。

【0053】 舉例而言，如圖 10 中所示出，可連續地（或平穩地）連接凹槽 170R2 的內壁及分別對應於凹槽 170R2 的開口 172H。層間絕緣層 190 的突出部 190P 可填充開口 172H 的內壁及凹槽 170R2 的內壁。

【0054】 在一些實施例中，蝕刻停止層 170B 的第一部分 170P1 及第二部分 170P2 可具有相同厚度，且緩衝絕緣層 172 可配置於蝕

刻停止層 170B 的第二部分 170P2 上。因此，當開口 170H 形成於蝕刻停止層 170B 的第一部分 170P1 中且配置於蝕刻停止層 170B 的第一部分 170P1 下方的著陸接墊 LP 暴露於形成下部電極 182 及虛擬下部電極 182D 的製程中時，可不完全移除蝕刻停止層 170B 的第二部分 170P2，且可不暴露配置於蝕刻停止層 170B 的第二部分 170P2 下方的接觸插塞 CP。

【0055】圖 11 至圖 24 為示出在一個實例中圖 1 的製造半導體裝置 100 的方法的相關橫截面視圖。

【0056】參考圖 11，當裝置隔離溝渠 112T 及裝置隔離層 112 形成於包含單元陣列區域 MCA 及周邊電路區域 PCA 的基底 110 上時，第一主動區域 AC1 界定於基底 110 的單元陣列區域 MCA 中，且第二主動區域 AC2 界定於周邊電路區域 PCA 中。

【0057】隨後，緩衝層 114 可形成於單元陣列區域 MCA 中的基底 110 上，且閘極介電層 116 可形成於周邊電路區域 PCA 中的基底 110 上。

【0058】隨後，直接接觸孔 DCH 可藉由移除基底 110 的一部分形成，經由所述直接接觸孔 DCH 暴露基底 110 的第一主動區域 AC1，且直接觸點 DC 可形成於直接接觸孔 DCH 中。接著，位元線 BL 及絕緣頂蓋層 140A 可形成於單元陣列區域 MCA 中的緩衝層 114 及直接觸點 DC 上，且周邊電路閘極電極 PGS 及閘極頂蓋圖案 140B 可形成於周邊電路區域 PCA 中的閘極介電層 116 上。絕緣間隔件 150B 可形成於周邊電路閘極電極 PGS 的側壁上，且可形成覆蓋周邊電路閘極電極 PGS 的第一層間絕緣層 142。

【0059】在單元陣列區域 MCA 中，間隔件 150A 可形成於位元線

BL 及絕緣頂蓋層 140A 的側壁上，且絕緣柵欄（未繪示）可分別形成於位元線 BL 之間。藉由移除配置於位元線 BL 之間及絕緣柵欄之間的接觸間隔（未繪示）的底部上的基底 110 的一部分，凹槽間隔 RS 形成於位元線 BL 之間，其中暴露基底 110 的第一主動區域 AC1。隨後，形成填充凹槽間隔 RS 的導電插塞 152 及分別位於位元線 BL 之間的接觸間隔的部分。

【0060】 接著，接觸孔 CPH 藉由蝕刻周邊電路區域 PCA 中的第一層間絕緣層 142 形成，經由所述接觸孔 CPH 暴露基底 110 的第二主動區域 AC2。

【0061】 在單元陣列區域 MCA 及周邊電路區域 PCA 中，形成覆蓋基底 110 上的暴露表面的導電障壁層（未繪示）及導電層（未繪示）。包含導電障壁層 162A 及著陸接墊導電層 164A 的著陸接墊 LP 藉由圖案化導電障壁層及導電層而形成於單元陣列區域 MCA 中，且包含導電障壁層 162B 及著陸接墊導電層 164B 的接觸插塞 CP 形成於周邊電路區域 PCA 中。當以平面視圖查看時，著陸接墊 LP 可具有島狀圖案。接著，可形成環繞著陸接墊 LP 的側壁的絕緣圖案 166 及覆蓋接觸插塞 CP 的側壁的第二層間絕緣層 144。

【0062】 蝕刻停止層 170 可形成於絕緣圖案 166 及第二層間絕緣層 144 上。在一些實施例中，可在單元陣列區域 MCA 中移除某一厚度的蝕刻停止層 170 的一部分，以使得單元陣列區域 MCA 中的第一部分 170P1 可具有與周邊電路區域 PCA 中的第二部分 170P2 不同的厚度。

【0063】 參考圖 12, 模具結構 210 可形成於蝕刻停止層 170 上。舉例而言，模具結構 210 可包含依序堆疊於蝕刻停止層 170 上的第

一模具層 212、第二模具層 214 以及第三模具層 216。此外，可選擇性地在第一模具層 212 與第二模具層 214 之間及在第二模具層 214 與第三模具層 216 之間形成支撐層 188。

【0064】 圖 12 更包含三 (3) 個支撐層 188，但支撐層 188 的數目可藉由設計而變化 (例如，根據下部電極 182 的高度)。

【0065】 在一些實施例中，可使用相對於形成模具結構 210 的材料具有蝕刻選擇比的材料來形成支撐層 188。舉例而言，在一些實施例中，第一模具層 212、第二模具層 214 以及第三模具層 216 可由氧化矽形成，且支撐層 188 可由氮化矽形成。

【0066】 參考圖 4、圖 5 以及圖 13，遮罩圖案 (未繪示) 可形成於模具結構 210 上，穿透模具結構 210 的第一開口 210H1 可藉由使用遮罩圖案作為蝕刻遮罩而形成於單元陣列區域 MCA 中，且穿透模具結構 210 的第二開口 210H2 可形成於周邊電路區域 PCA 中。舉例而言，第一開口 210H1 及第二開口 210H2 可以六邊形圖案配置。舉例而言，可根據第一間距 P1 配置第一開口 210H1，且可根據第二間距 P2 配置第二開口 210H2，所述第二間距 P2 與第一間距 P1 實質上相同。

【0067】 藉由進一步移除蝕刻停止層 170 的暴露於第一開口 210H1 的下部部分上的第一部分 170P1，可形成開口 170H，且可暴露著陸接墊 LP 的上部表面。在此情況下，亦可移除蝕刻停止層 170 的暴露於第二開口 210H2 的下部部分上的第二部分 170P2，且因此可形成凹槽 170R1。由於蝕刻停止層 170 的第二部分 170P2 的厚度大於其第一部分 170P1 的厚度，因此可不暴露在蝕刻停止層 170 的第二部分 170P2 下方的第二層間絕緣層 144 或接觸插塞

CP。

【0068】 參考圖 14，可形成填充第一開口 210H1 及第二開口 210H2 的內部的導電層（未繪示），且藉由平坦化導電層的上部部分以暴露最上部支撐層 188 的上部表面，下部電極 182 及虛擬下部電極 182D 可分別形成於第一開口 210H1 及第二開口 210H2 中。

【0069】 下部電極 182 的下部表面可接觸著陸接墊 LP，且虛擬下部電極 182D 的下部表面可接觸蝕刻停止層 170 的第二部分 170P2 且可配置於凹槽 170R1 中。

【0070】 由於下部電極 182 形成於單元陣列區域 MCA 中，且具有與下部電極 182 相同的間距及形狀的虛擬下部電極 182D 形成於周邊電路區域 PCA 中，因此可防止對基底 110 施加應力，所述應力可歸因於單元陣列區域 MCA 與周邊電路區域 PCA 之間的物理/材料性質的差異而發生。因此，可在基底 110 的單元陣列區域 MCA 中防止下部電極 182 的傾斜或破裂。

【0071】 參考圖 15，開口（未繪示）可藉由在模具結構 210 上形成遮罩圖案（未繪示）及藉由使用遮罩圖案作為蝕刻遮罩移除模具結構 210 的一部分形成。接著，壩結構 220 可形成於開口中。

【0072】 儘管未繪示，但壩結構 220 可具有橫向環繞單元陣列區域 MCA 的環形狀，且可配置於單元陣列區域 MCA 與周邊電路區域 PCA 之間，例如，在下部電極 182 與虛擬下部電極 182D 之間。

【0073】 壩結構 220 在比最下部支撐層 188 的層級更低的層級處可具有下部表面，且因此，壩結構 220 的側壁可接觸第一模具層 212、第二模具層 214 以及第三模具層 216。

【0074】 在一些實施例中，壩結構 220 可使用對模具結構 210 及

支撐層 188 具有蝕刻選擇性的材料形成。舉例而言，壩結構 220 可包含自旋硬遮罩 (spin on hard mask; SOH)、非晶碳層 (amorphous carbon layer; ACL)、矽以及碳化矽中的至少一者。然而，一或多個實施例不限於此。

【0075】 參考圖 16，覆蓋下部電極 182 及壩結構 220 的上部表面的覆蓋遮罩圖案 M11 可形成於單元陣列區域 MCA 中。覆蓋遮罩圖案 M11 可包含開口 M11H，經由所述開口 M11H 暴露支撐層 188 的上部表面。

【0076】 參考圖 16 及圖 17，可移除經由開口 M11H 暴露的最上部支撐層 188 的一部分，且開口 M11H 可向下延伸。在此情況下，亦可移除環繞虛擬下部電極 182D 的側壁的最上部支撐層 188 的一部分。

【0077】 接著，第三模具層 216 可經由開口 M11H 移除，且可在移除第三模具層 216 的部分中形成第三模具間隔 S216。下部電極 182 的上部側壁可經由第三模具間隔 S216 暴露。此外，亦可移除環繞虛擬下部電極 182D 的上部側壁的第三模具層 216 的一部分，且可暴露虛擬下部電極 182D 的上部側壁。在上述移除製程中，可不移除壩結構 220，且可暴露壩結構 220 的上部側壁。

【0078】 在一些實施例中，移除第三模具層 216 的製程可為使用包含水、氟化銨 (NH₄F) 以及氫氟酸 (HF) 中的至少一者的蝕刻劑的蝕刻製程。

【0079】 參考圖 17 及圖 18，可移除經由開口 M11H 暴露的支撐層 188 的一部分 (例如，經由第三模具間隔 S216 暴露的支撐層 188 的一部分)，且開口 M11H 可向下延伸。在此情況下，亦可移除環

繞虛擬下部電極 182D 的側壁的支撐層 188 的一部分。

【0080】 接著，第二模具層 214 可經由開口 M11H 移除，且可在移除第二模具層 214 的區域中形成第二模具間隔 S214。下部電極 182 的上部側壁可經由第二模具間隔 S214 暴露。此外，亦可移除環繞虛擬下部電極 182D 的上部側壁的第二模具層 214 的一部分，且可暴露虛擬下部電極 182D 的上部側壁。

【0081】 參考圖 19，可移除經由開口 M11H 暴露的最下部支撐層 188 的一部分。在此情況下，亦可移除環繞虛擬下部電極 182D 的側壁的最下部支撐層 188 的一部分。

【0082】 接著，可形成填充第二模具間隔 S214 及第三模具間隔 S216 且覆蓋所述覆蓋遮罩圖案 M11 的保護層 230。保護層 230 僅可覆蓋單元陣列區域 MCA 中的下部電極 182，但可不覆蓋周邊電路區域 PCA 中的虛擬下部電極 182D。

【0083】 在一些實施例中，保護層 230 可包含光阻劑、SOH 以及 ACL 中的至少一者，但一或多個實施例不限於此。

【0084】 參考圖 20，可藉由移除虛擬下部電極 182D（參見圖 19）暴露配置於第二開口 210H2 下方的第二開口 210H2 及凹槽 170R1。

【0085】 在移除虛擬下部電極 182D 的製程中，可不移除單元陣列區域 MCA 中的下部電極 182。

【0086】 參考圖 21，可移除保護層 230、覆蓋遮罩圖案 M11 以及壩結構 220。因此，可保留第一模具層 212、下部電極 182 以及支撐層 188。

【0087】 參考圖 22，第一模具層 212（參見圖 21）可經由開口 M11H 移除，且可在移除第一模具層 212 的區域中形成第一模具間隔

S212。可經由第一模具間隔 S212 暴露下部電極 182 及蝕刻停止層 170 的下部側壁。

【0088】 在一些實施例中，形成於蝕刻停止層 170 的第二部分 170P2 上的凹槽 170R1 的上部部分可在移除第一模具層 212 時暴露於蝕刻大氣，且因此，凹槽 170R1 的上部部分可在橫向方向上延伸以具有大於凹槽 170R1 的下部部分的寬度。

【0089】 參考圖 23，電容器介電層 184 及上部電極 186 可依序形成於下部電極 182 及支撐層 188 上，因此形成電容器結構 180。

【0090】 參考圖 24，層間絕緣層 190 可形成於電容器結構 180 及蝕刻停止層 170 上。

【0091】 接著，可形成穿透層間絕緣層 190 的周邊電路接觸孔（未繪示），且周邊電路觸點 PCC 可形成於周邊電路接觸孔中。

【0092】 以前述方式，半導體裝置 100 可實質上根據本發明概念的實施例製造。就此而言值得注意的是，虛擬下部電極 182D 可形成於周邊電路區域 PCA 中，且可抑制或防止可由向基底 110 施加應力所造成的翹曲。因此，可防止下部電極 182 之間的缺陷（例如，橋接缺陷）的形成。

【0093】 圖 25 為示出根據本發明概念的實施例的半導體裝置 300 的平面視圖，且圖 26 為沿著圖 25 的半導體裝置 300 的線 B2-B2' 截取的橫截面視圖。

【0094】 參考圖 25 及 26，半導體裝置 300 可包含在基底 110 的單元陣列區域 MCA 中的第一導電線 320、通道層 330、閘極電極 340、閘極絕緣層 350 以及電容器結構 180。半導體裝置 300 可為包含豎直通道電晶體（vertical channel transistor；VCT）的記憶體裝置，

且 VCT 可指示通道層 330 的通道長度在豎直方向上自基底 110 延伸的結構。

【0095】 下部絕緣層 312 可配置於基底 110 上。在下部絕緣層 312 上，第一導電線 320 可在第一水平方向上彼此隔開且在第二水平方向上延伸。在下部絕緣層 312 上，第一絕緣圖案 322 可經配置以填充第一導電線 320 之間間隙。第一導電線 320 可對應於半導體裝置 300 的位元線 BL。

【0096】 在一些實施例中，第一導電線 320 可包含摻雜多晶矽、金屬、導電金屬氮化物、導電金屬矽化物、導電金屬氧化物或其組合。舉例而言，第一導電線 320 可包含摻雜多晶矽、鋁 (Al)、銅 (Cu)、Ti、Ta、Ru、W、Mo、Pt、Ni、鈷 (Co)、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi、IrOx、RuOx 或其組合，但一或多個實施例不限於此。第一導電線 320 可各自為層或包含上述材料的層。在一些實施例中，第一導電線 320 可包含二維半導體材料。二維半導體材料的實例包含石墨烯及奈米碳管。

【0097】 通道層 330 可以島狀形式配置且因此在第一水平方向及第二水平方向上彼此隔開地配置於第一導電線 320 上。通道層 330 可在第一水平方向上具有第一寬度及在豎直方向上具有第一高度，且第一高度可大於第一寬度。舉例而言，第一高度可為第一寬度的約二至十倍，但不限於此。通道層 330 的下部部分可充當第一源極/汲極區域 (未繪示)，通道層 330 的上部部分可充當第二源極/汲極區域 (未繪示)，且通道層 330 的在第一源極/汲極區域與第二源極/汲極區域之間的部分可充當通道區域 (未繪示)。

【0098】 在一些實施例中，通道層 330 可包含氧化物半導體，且氧化物半導體的實例可包含 $\text{In}_x\text{Ga}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Ga}_y\text{Si}_z\text{O}$ 、 $\text{In}_x\text{Sn}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Zn}_y\text{O}$ 、 Zn_xO 、 $\text{Zn}_x\text{Sn}_y\text{O}$ 、 $\text{Zn}_x\text{O}_y\text{N}$ 、 $\text{Zr}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 Sn_xO 、 $\text{Hf}_x\text{In}_y\text{Zn}_z\text{O}$ 、 $\text{Ga}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 $\text{Al}_x\text{Zn}_y\text{Sn}_z\text{O}$ 、 $\text{Yb}_x\text{Ga}_y\text{Zn}_z\text{O}$ 、 $\text{In}_x\text{Ga}_y\text{O}$ 或其組合。通道層 330 可為層或包含氧化物半導體的層。在一些實施例中，通道層 330 可具有比矽的帶隙能量的更大的帶隙能量。舉例而言，通道層 330 的帶隙能量可在約 1.5 電子伏與約 5.6 電子伏之間的範圍內。舉例而言，當通道層 330 的帶隙能量在約 2.0 電子伏與約 4.0 電子伏之間的範圍內時，通道層 330 可具有最佳通道效能。舉例而言，通道層 330 可為多晶或非晶形的，但不限於此。在一些實施例中，通道層 330 可包含二維半導體材料，且二維半導體材料的實例包含石墨烯、奈米碳管以及其組合。

【0099】 閘極電極 340 可環繞通道層 330 的側壁且在第一水平方向上延伸。在平面視圖中，閘極電極 340 可為環繞通道層 330 的整個側壁（例如，四個側壁）的全環繞閘極型閘極電極。閘極電極 340 可對應於半導體裝置 300 的字元線 WL。

【0100】 在其他實施例中，閘極電極 340 可具有雙閘極類型，且例如，閘極電極 340 可包含面向通道層 330 的第一側壁的第一子閘極電極（未繪示），及面向通道層 330 的與第一側壁相對的第二側壁的第二子閘極電極（未繪示）。在其他實施例中，閘極電極 340 可具有僅覆蓋通道層 330 的第一側壁且在第一水平方向上延伸的單一閘極類型。

【0101】 閘極電極 340 可包含摻雜多晶矽、金屬、導電金屬氮化物、導電金屬矽化物、導電金屬氧化物或其組合。舉例而言，閘極

電極 340 可包含多晶矽、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi、IrO_x、RuO_x 或其組合，但一或多個實施例不限於此。

【0102】 閘極絕緣層 350 可環繞通道層 330 的側壁，且可配置於通道層 330 與閘極電極 340 之間。在一些實施例中，閘極絕緣層 350 可包含氧化矽層、氮氧化矽層或具有大於氧化矽層的介電常數的高 k 介電膜。高 k 介電膜可包含金屬氧化物或金屬氮氧化物。舉例而言，用作閘極絕緣層 350 的高 k 介電膜可包含 HfO₂、HfSiO、HfSiON、HfTaO、HfTiO、HfZrO、ZrO₂、Al₂O₃ 或其組合，但一或多個實施例不限於此。

【0103】 環繞通道層 330 的下部側壁第一埋入絕緣層 342 可配置於第一絕緣圖案 322 上，且環繞通道層 330 的上部側壁且覆蓋閘極電極 340 的第二埋入絕緣層 344 可配置於第一埋入絕緣層 342 上。

【0104】 電容器觸點 360 可配置於通道層 330 上。電容器觸點 360 可與通道層 330 重疊且可在第一水平方向及/或第二水平方向上隔開（例如，在矩陣中）。電容器觸點 360 可包含摻雜多晶矽、Al、Cu、Ti、Ta、Ru、W、Mo、Pt、Ni、Co、TiN、TaN、WN、NbN、TiAl、TiAlN、TiSi、TiSiN、TaSi、TaSiN、RuTiN、NiSi、CoSi、IrO_x、RuO_x 或其組合，但一或多個實施例不限於此。上部絕緣層 362 可環繞第二埋入絕緣層 344 上的電容器觸點 360 的側壁。

【0105】 蝕刻停止層 170 可配置於上部絕緣層 362 上，且電容器結構 180 可配置於蝕刻停止層 170 上。

【0106】 儘管本發明概念已參考其實施例特定地繪示及描述，但應理解，可在不脫離以下申請專利範圍的精神及範圍的情況下在其中作出形式及細節的各種改變。

【符號說明】

【0107】

100、100A、100B、300:半導體裝置

110:基底

112:裝置隔離層

112T:裝置隔離溝渠

114:緩衝層

116:閘極介電層

132A、132B:下部導電圖案

134A、134B:中間導電圖案

136A、136B:上部導電圖案

140A:絕緣頂蓋層

140B:閘極頂蓋圖案

142:第一層間絕緣層

144:第二層間絕緣層

150A:間隔件

150B:絕緣間隔件

152:導電插塞

162A、162B:導電障壁層

164A、164B:著陸接墊導電層

166:絕緣圖案
170、170B:蝕刻停止層
170H、172H、M11H:開口
170L:下部表面
170P1:第一部分
170P2:第二部分
170R1、170R2:凹槽
170U:上部表面
172:緩衝絕緣層
180:電容器結構
182:下部電極
182D:虛擬下部電極
184:電容器介電層
186:上部電極
188:支撐層
190:層間絕緣層
190P:突出部
192:導電障壁層
194:接觸導電層
210:模具結構
210H1:第一開口
210H2:第二開口
212:第一模具層
214:第二模具層

216:第三模具層
220:壩結構
230:保護層
312:下部絕緣層
320:第一導電線
322:第一絕緣圖案
330:通道層
340:閘極電極
342:第一埋入絕緣層
344:第二埋入絕緣層
350:閘極絕緣層
360:電容器觸點
362:上部絕緣層
A、CX1、CX2:區
AC1:第一主動區域
AC2:第二主動區域
B1-B1'、B2-B2':線
BC:埋入觸點
BL:位元線
CP:接觸插塞
CPH:接觸孔
DC:直接觸點
DCH:直接接觸孔
LP:著陸接墊

LV1:第一豎直層級
M11:覆蓋遮罩圖案
MCA:單元陣列區域
P1:第一間距
P2:第二間距
PCA:周邊電路區域
PCC:周邊電路接觸
PG:周邊電路電晶體
PGS:周邊電路閘極電極
RS:凹槽間隔
RSC:中心部分
RSE:邊緣部分
S212:第一模具間隔
S214:第二模具間隔
S216:第三模具間隔
t1:第一厚度
t2:第二厚度
t31:第三厚度
t32:第四厚度
W1:第一寬度
W2:第二寬度
WL:字元線
X、Y、Z:方向

【發明申請專利範圍】

【請求項1】 一種半導體裝置，包括：

基底，包含單元區域及周邊電路區域，其中所述單元區域包含單元電晶體且所述周邊電路區域包含周邊電路；

蝕刻停止層，包含配置於所述單元區域中的所述蝕刻停止層的第一部分及配置於所述周邊電路區域中的所述蝕刻停止層的第二部分；以及

電容器結構，配置於所述單元區域中且包含下部電極，所述下部電極穿過所述蝕刻停止層的所述第一部分分別連接至所述單元電晶體且根據第一間距配置，

其中所述蝕刻停止層的所述第二部分包含凹槽，所述凹槽根據與所述第一間距實質上相同的第二間距配置。

【請求項2】 如請求項 1 所述的半導體裝置，其中所述凹槽以六邊形圖案配置，

所述下部電極以六邊形圖案配置，

所述第一間距為兩個鄰近下部電極的中心之間的在第一水平方向上的距離，以及

所述第二間距為兩個鄰近凹槽的中心之間的在所述第一水平方向上距離。

【請求項3】 如請求項 1 所述的半導體裝置，其中所述下部電極中的各者的底部部分具有第一寬度，以及

所述凹槽中的各者具有第二寬度，所述第二寬度在所述第一寬度的約 100%至約 150%之間的範圍內。

【請求項4】 如請求項 1 所述的半導體裝置，其中所述凹槽中的

各者包含中心部分及邊緣部分，使得所述蝕刻停止層的與所述凹槽的各別中心部分豎直重疊的所述第二部分中的一些部分具有第一厚度，且所述蝕刻停止層的與所述凹槽的各別邊緣部分豎直重疊的所述第二部分的其他部分具有大於所述第一厚度的第二厚度。

【請求項5】 如請求項 1 所述的半導體裝置，其中所述凹槽界定於所述蝕刻停止層的所述第二部分的上部表面中，且所述蝕刻停止層的所述第二部分的下部表面為平坦的。

【請求項6】 如請求項 1 所述的半導體裝置，更包括：

層間絕緣層，位於所述蝕刻停止層的所述第二部分上；以及
周邊電路觸點，穿透所述層間絕緣層及所述蝕刻停止層的所述第二部分以電連接至所述周邊電路。

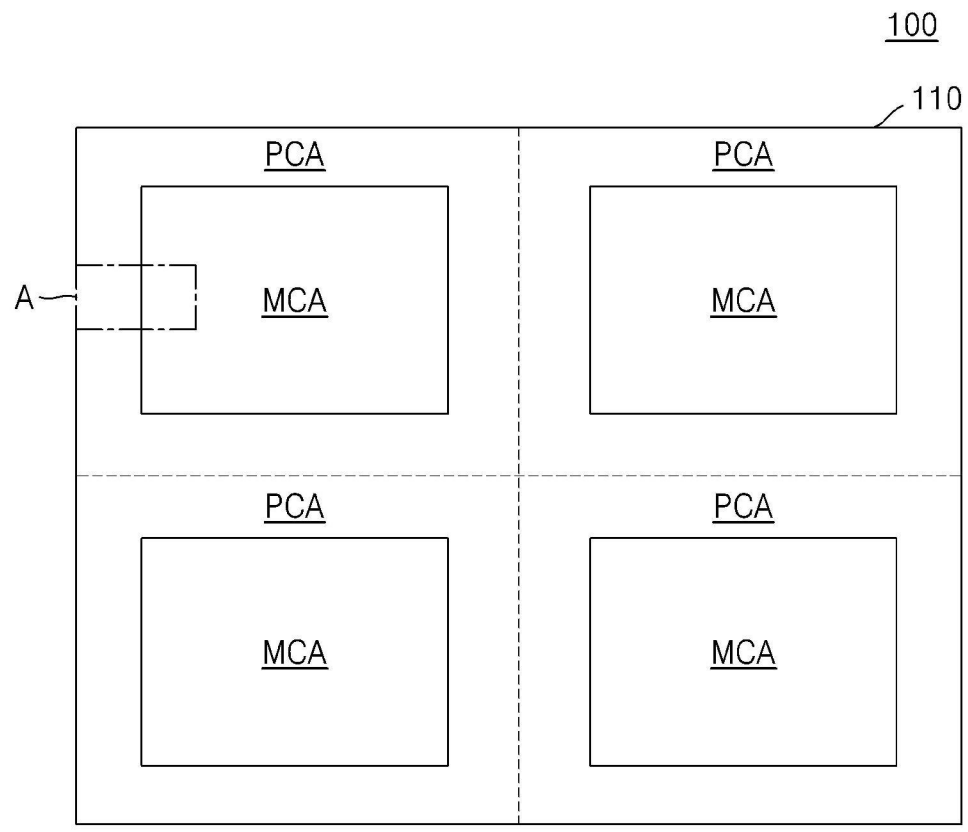
【請求項7】 如請求項 6 所述的半導體裝置，其中所述層間絕緣層的下部表面包含符合所述凹槽的突出部。

【請求項8】 如請求項 1 所述的半導體裝置，其中所述凹槽以矩陣配置，且所述下部電極以矩陣配置。

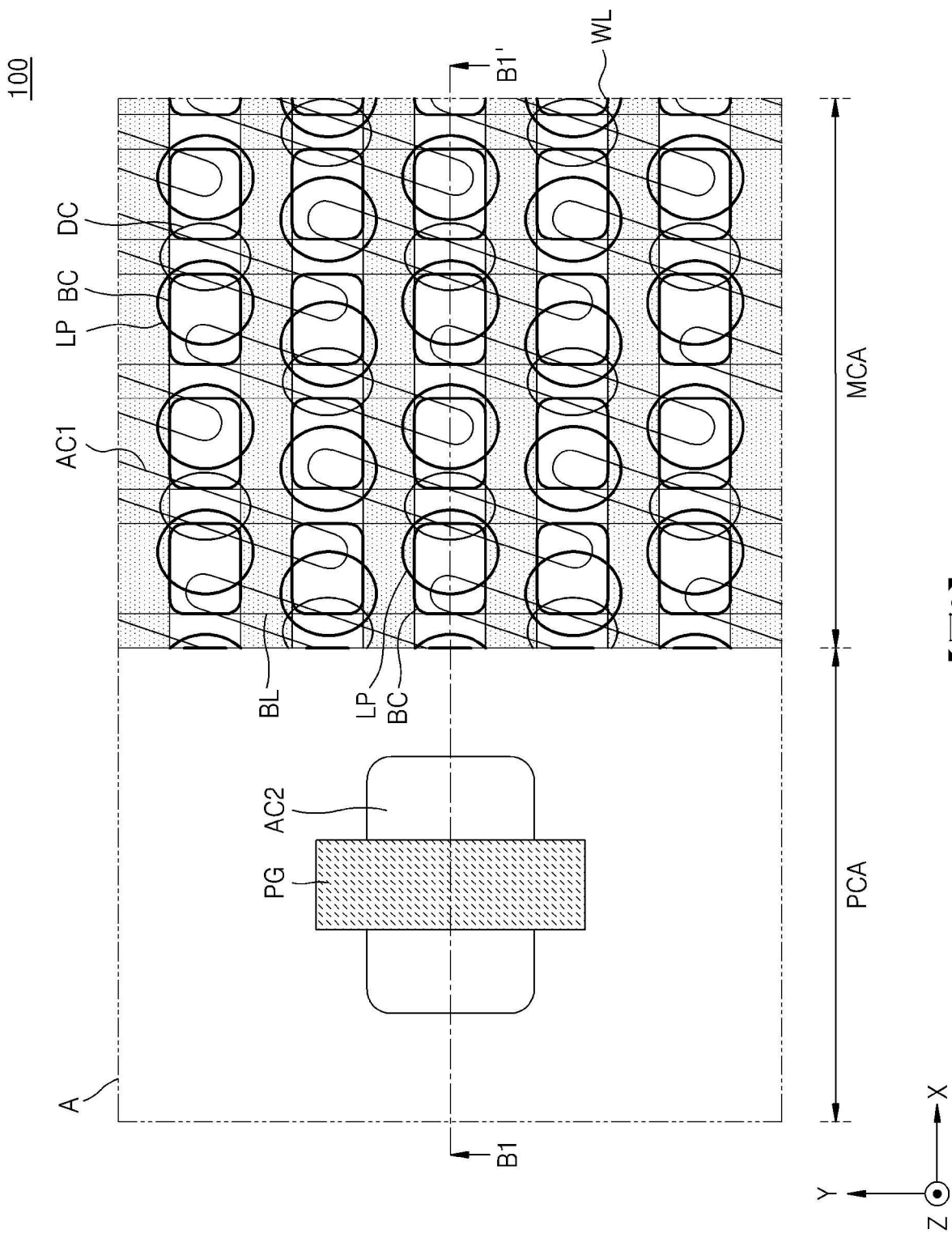
【請求項9】 如請求項 1 所述的半導體裝置，更包括：

緩衝絕緣層，位於所述蝕刻停止層的所述第二部分上；以及
層間絕緣層，位於所述緩衝絕緣層上，
其中所述緩衝絕緣層包含分別對應於所述凹槽的開口。

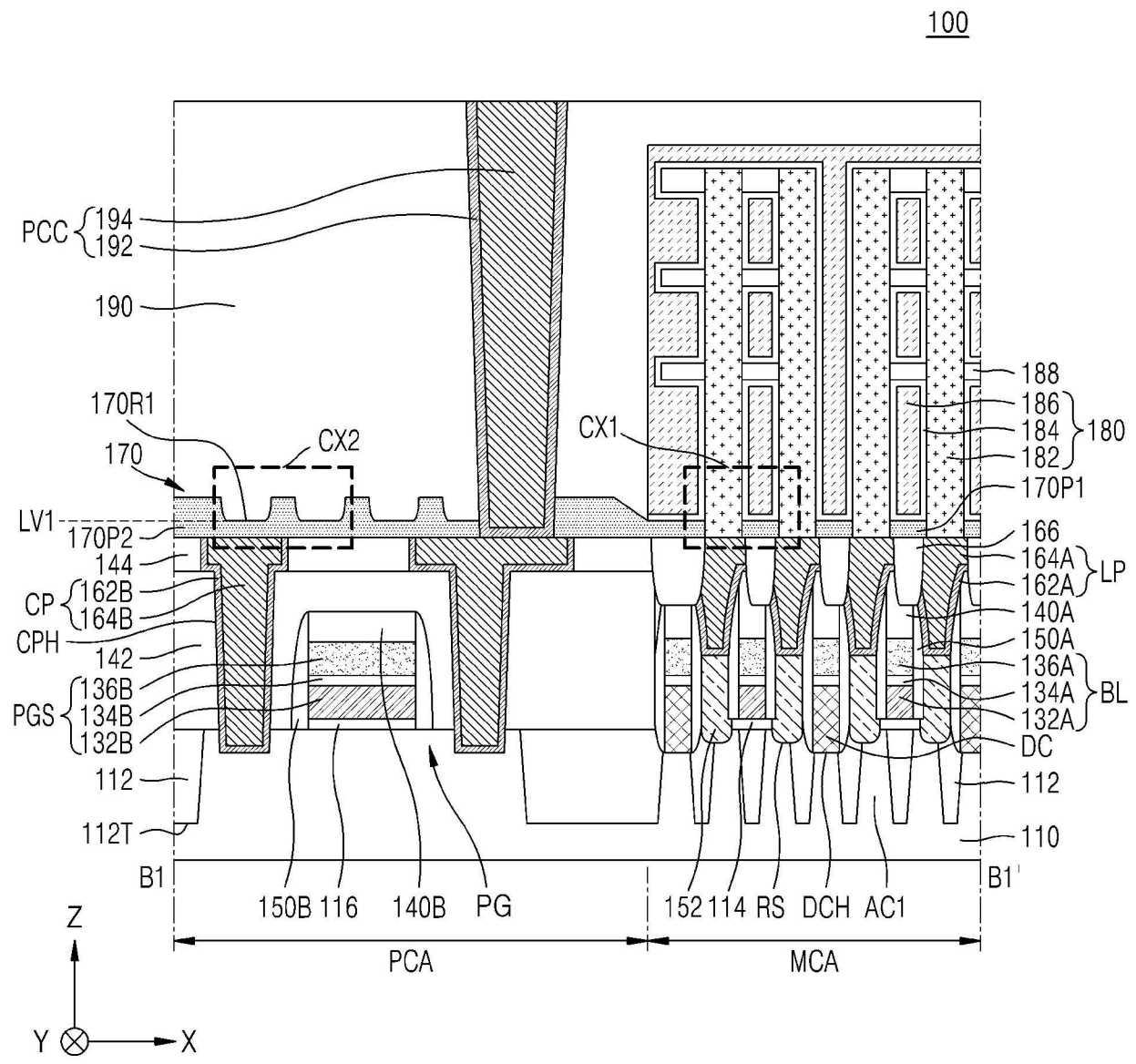
【請求項10】 如請求項 9 所述的半導體裝置，其中所述凹槽的內壁及所述開口的內壁分別且連續地連接。



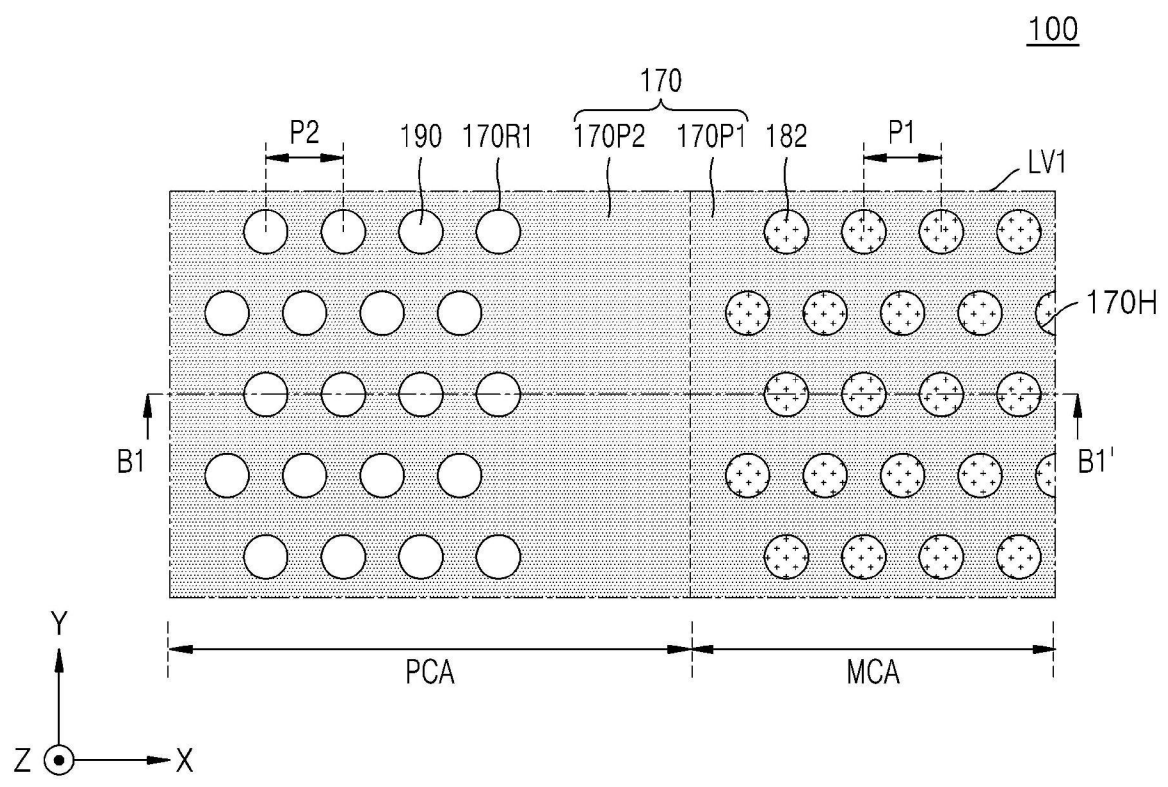
【圖1】



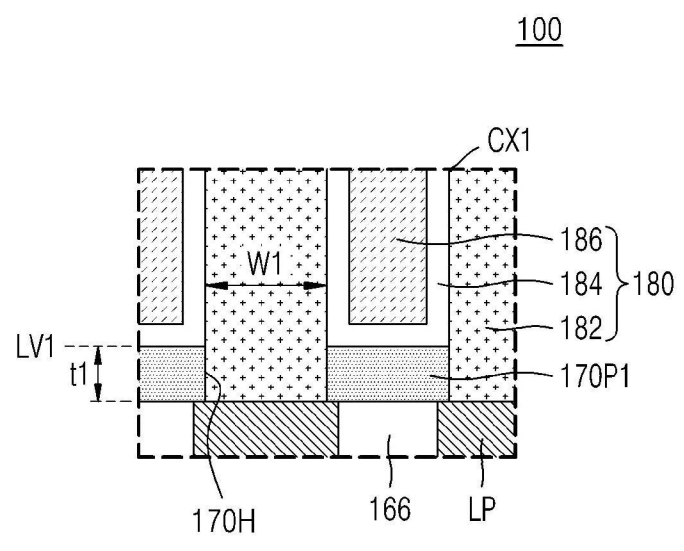
【圖2】



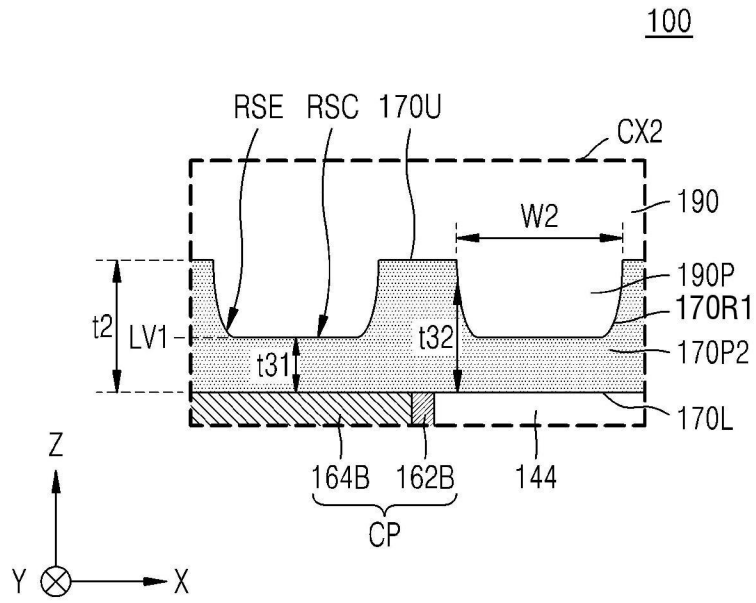
【圖3】



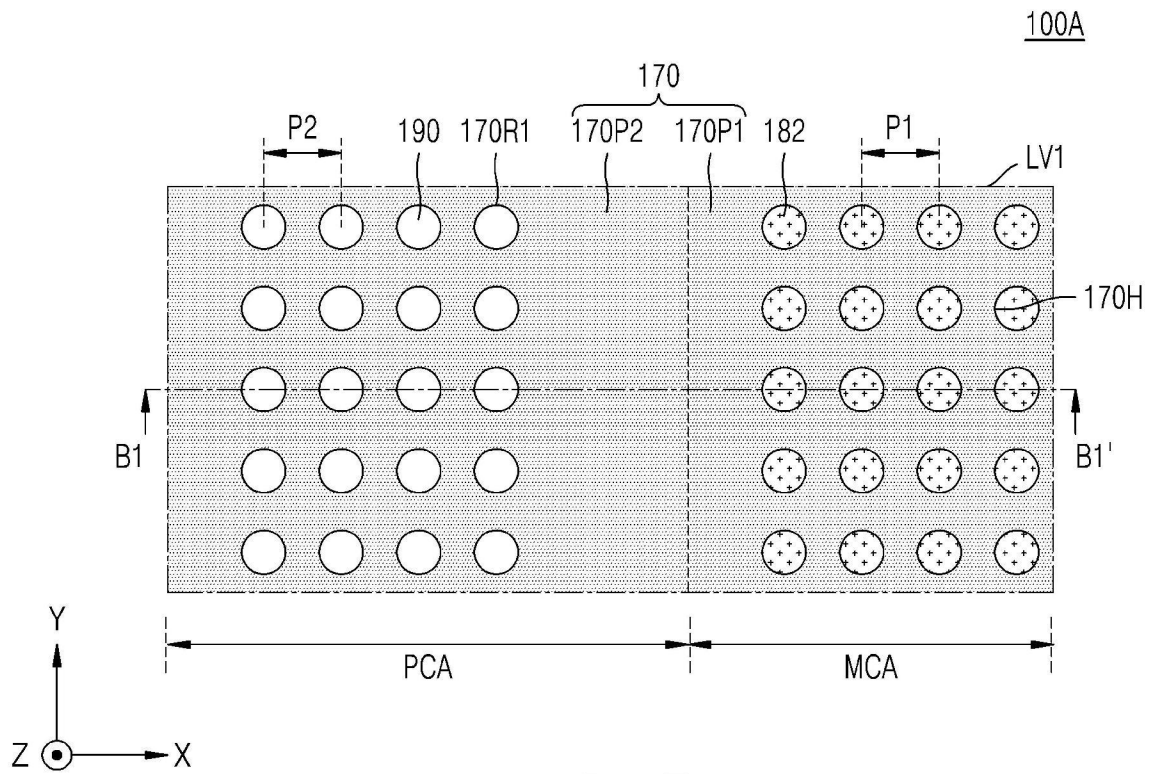
【圖4】



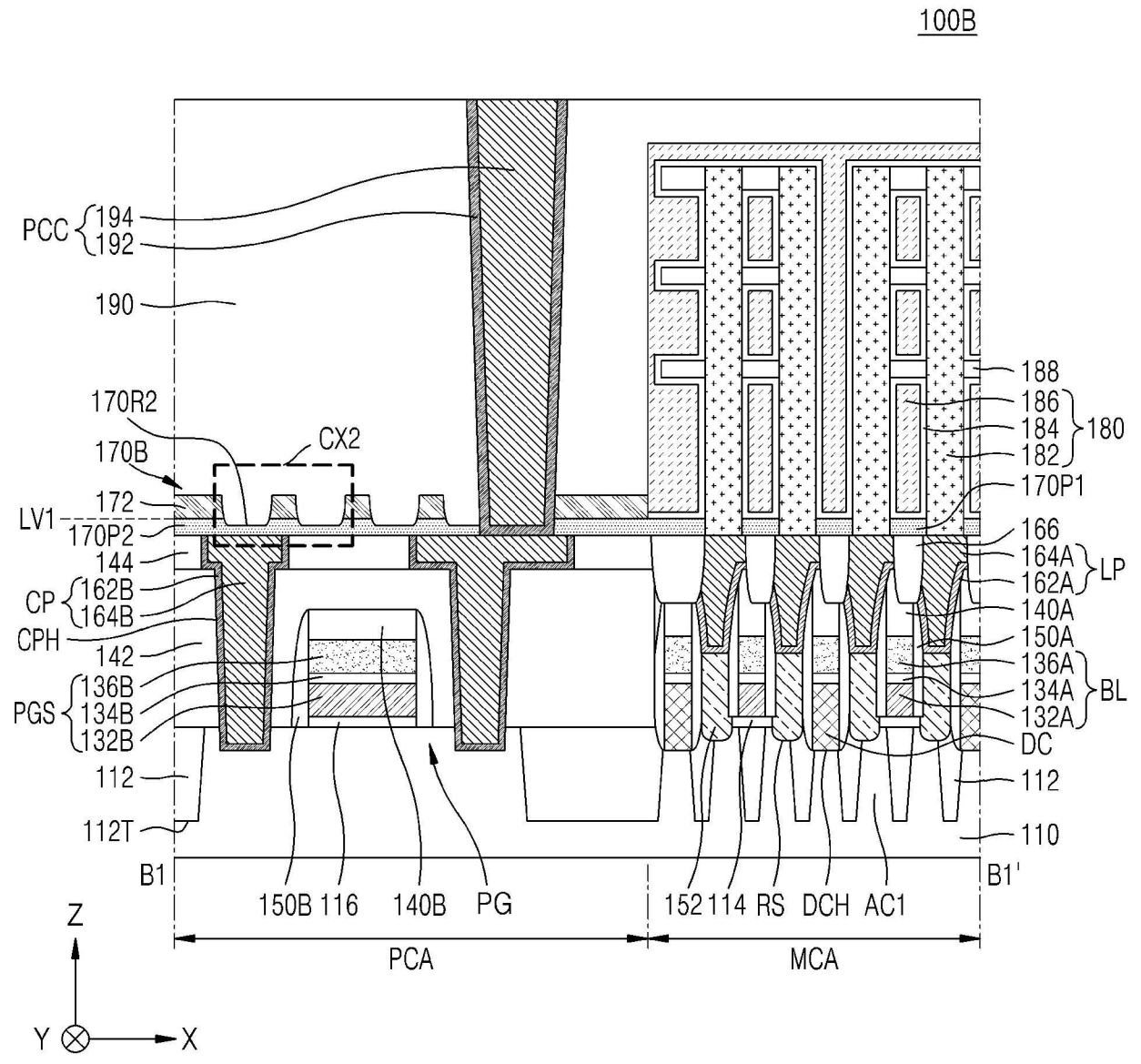
【圖5】



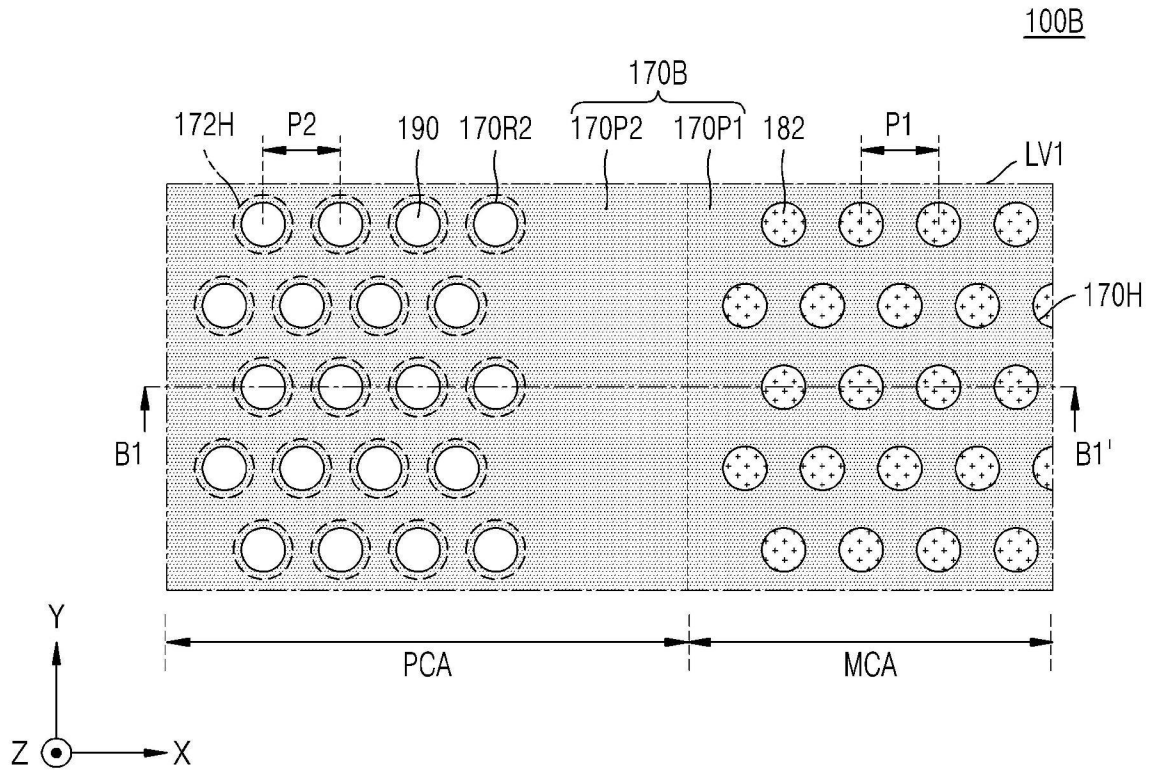
【圖6】



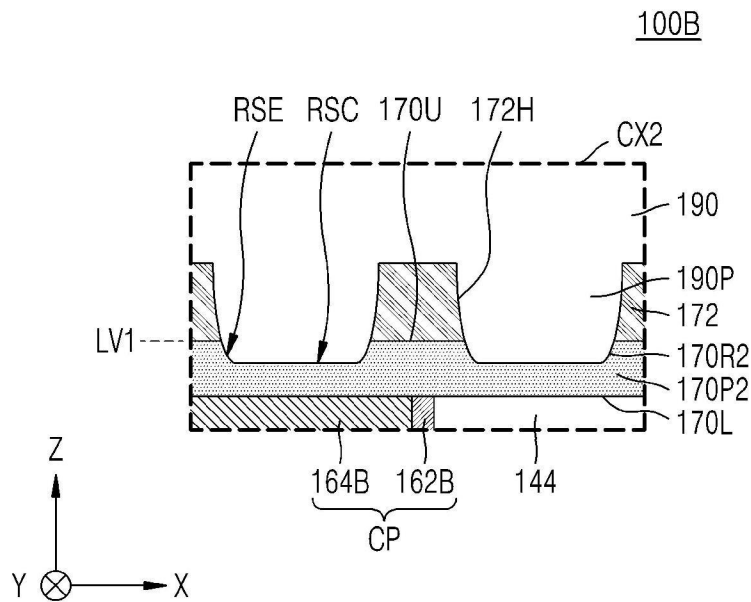
【圖7】



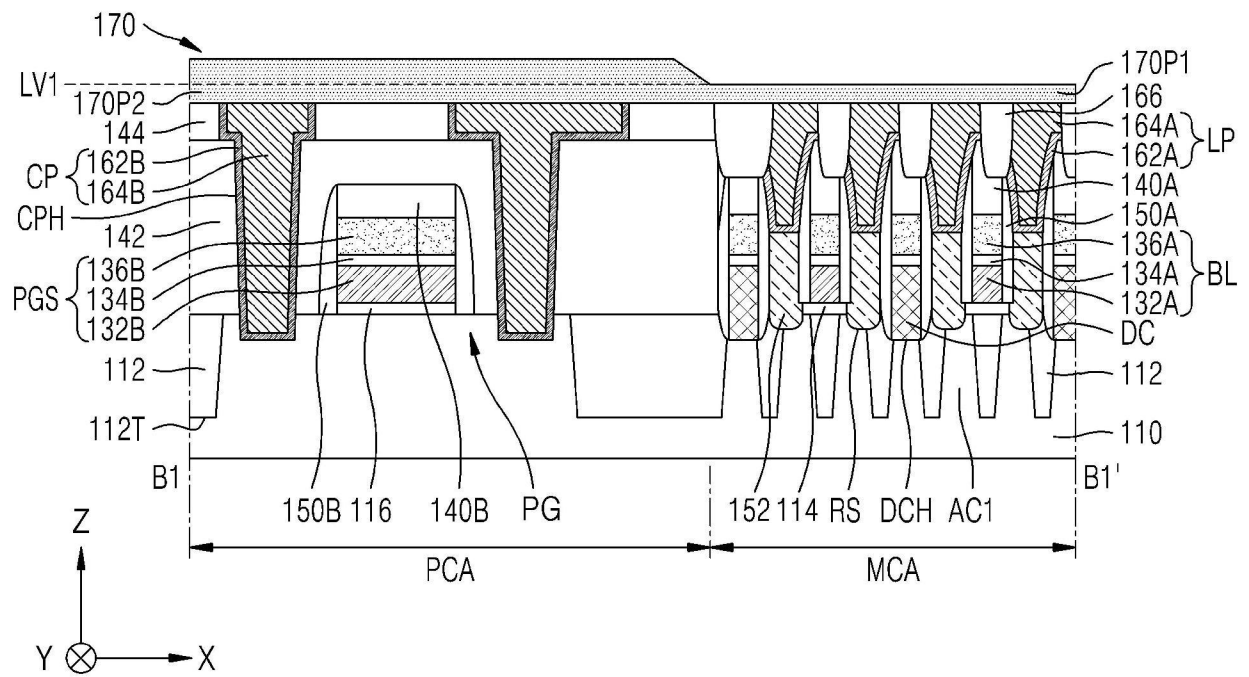
【圖8】



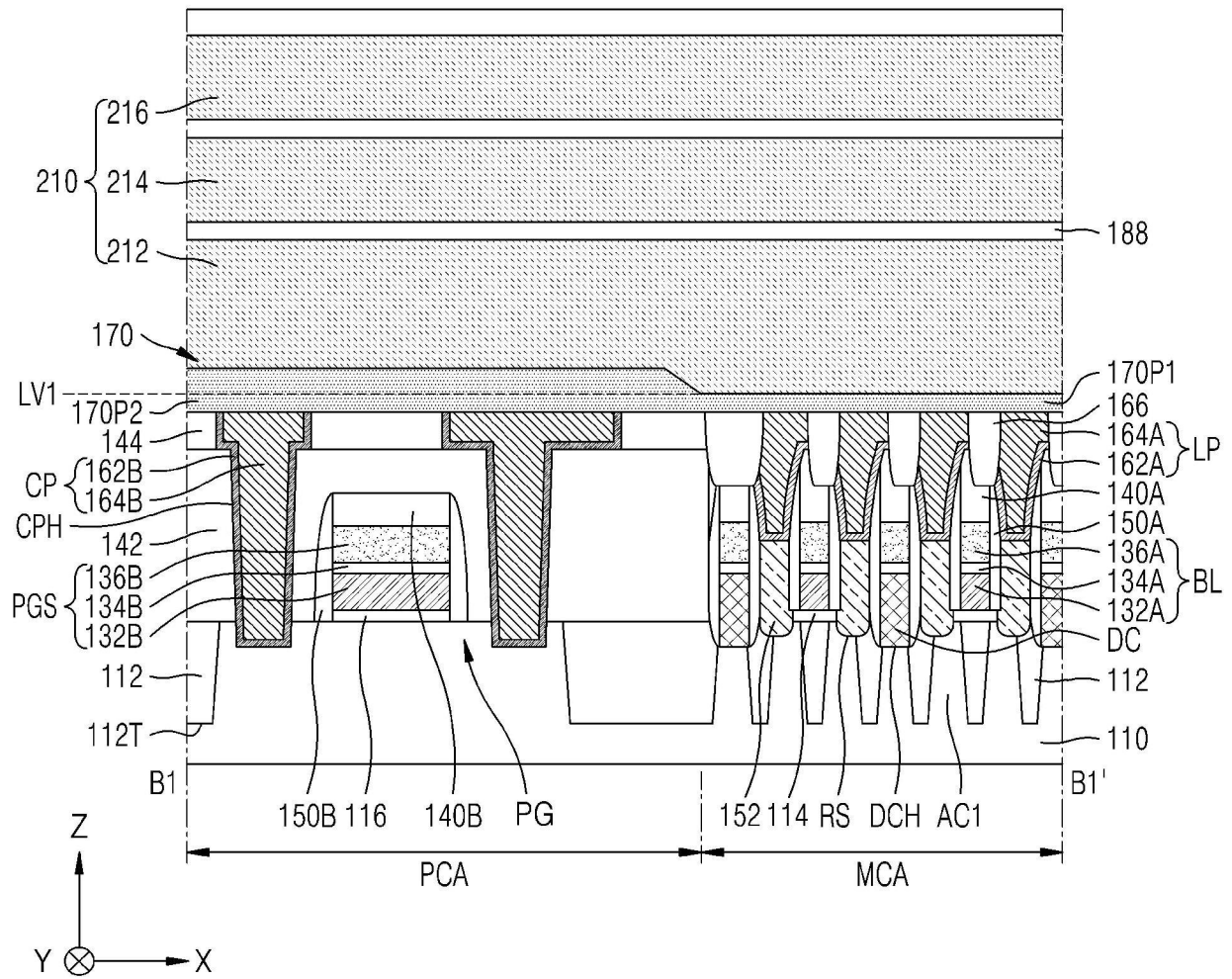
【圖9】



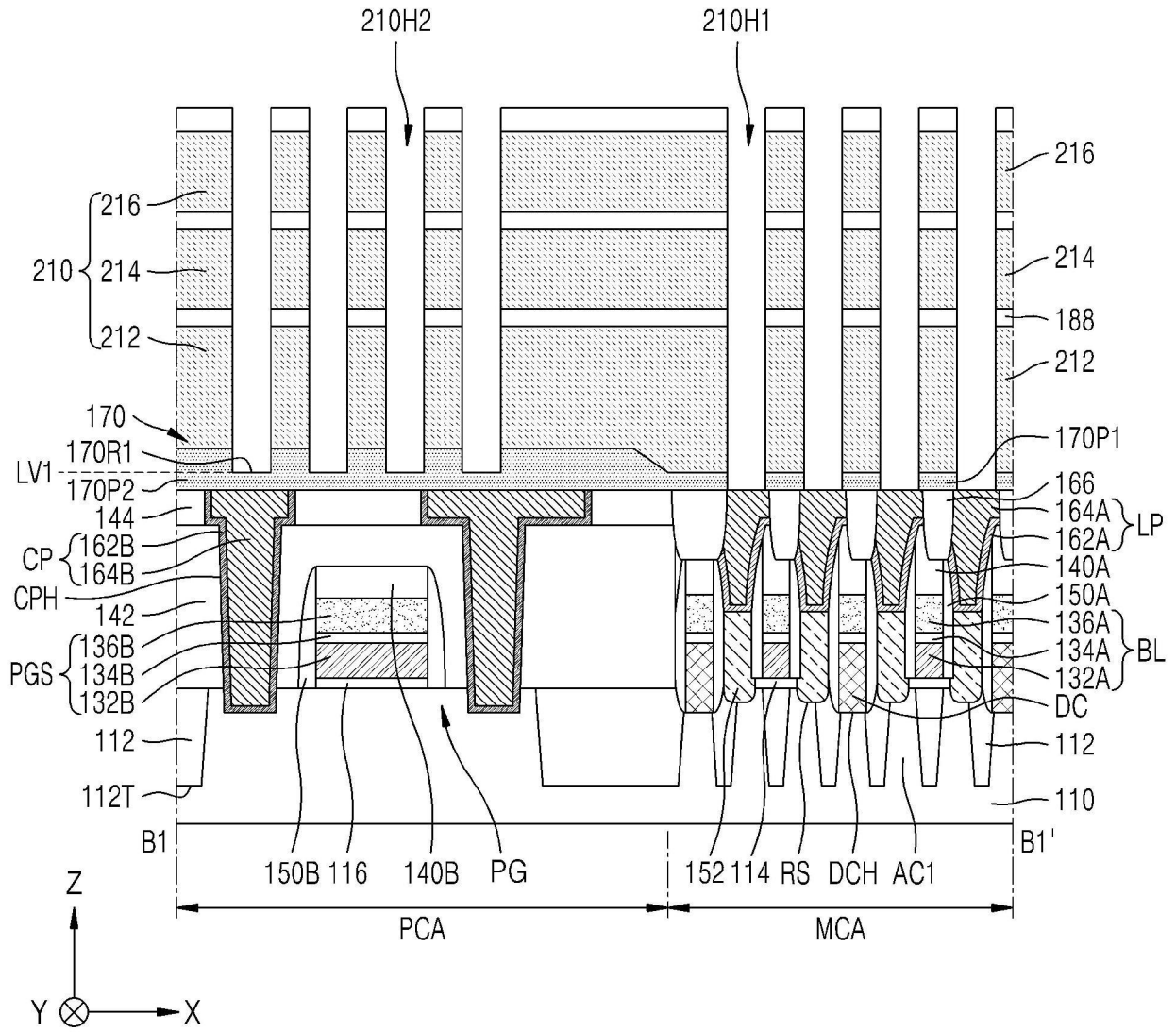
【圖10】



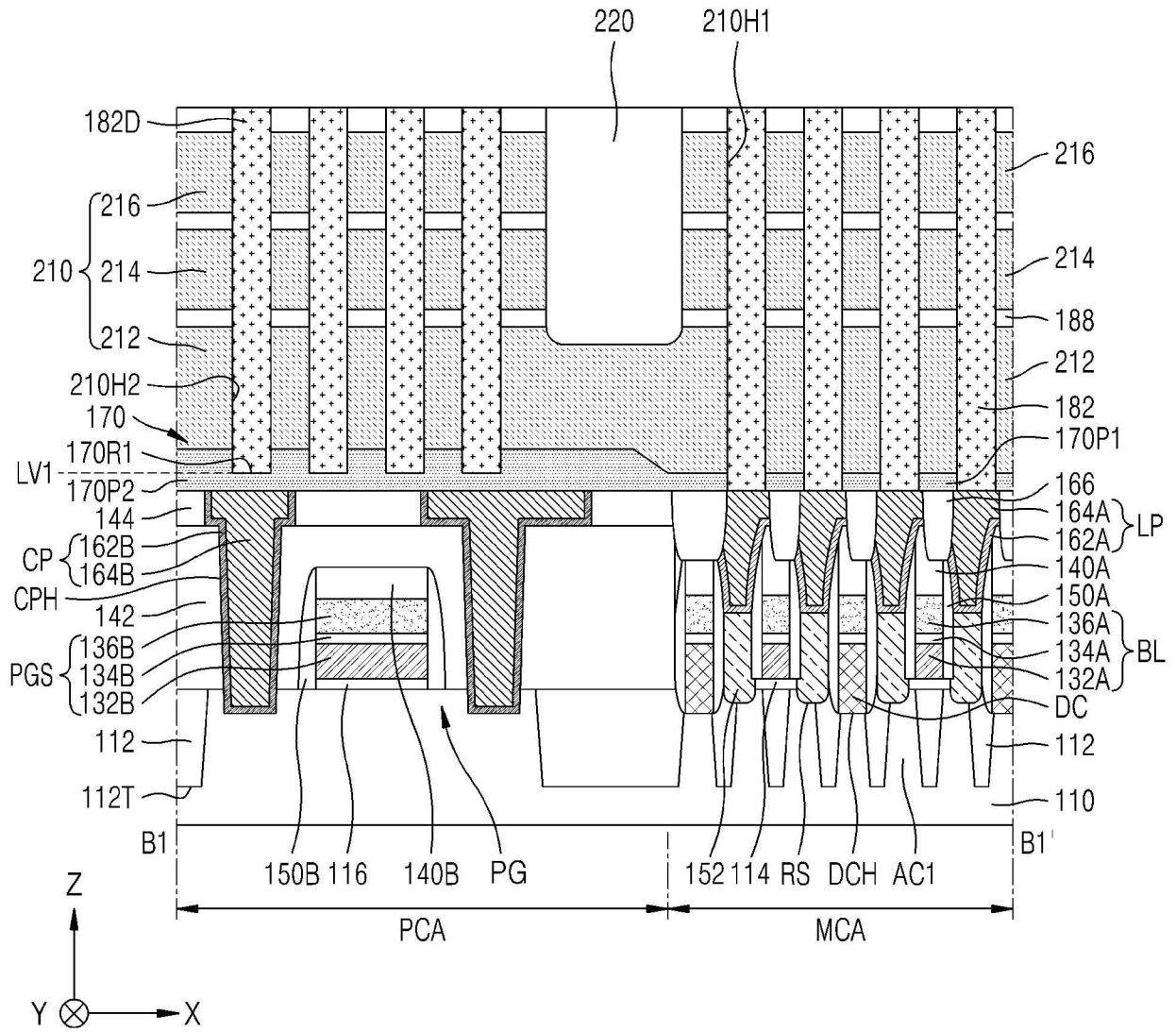
【圖11】



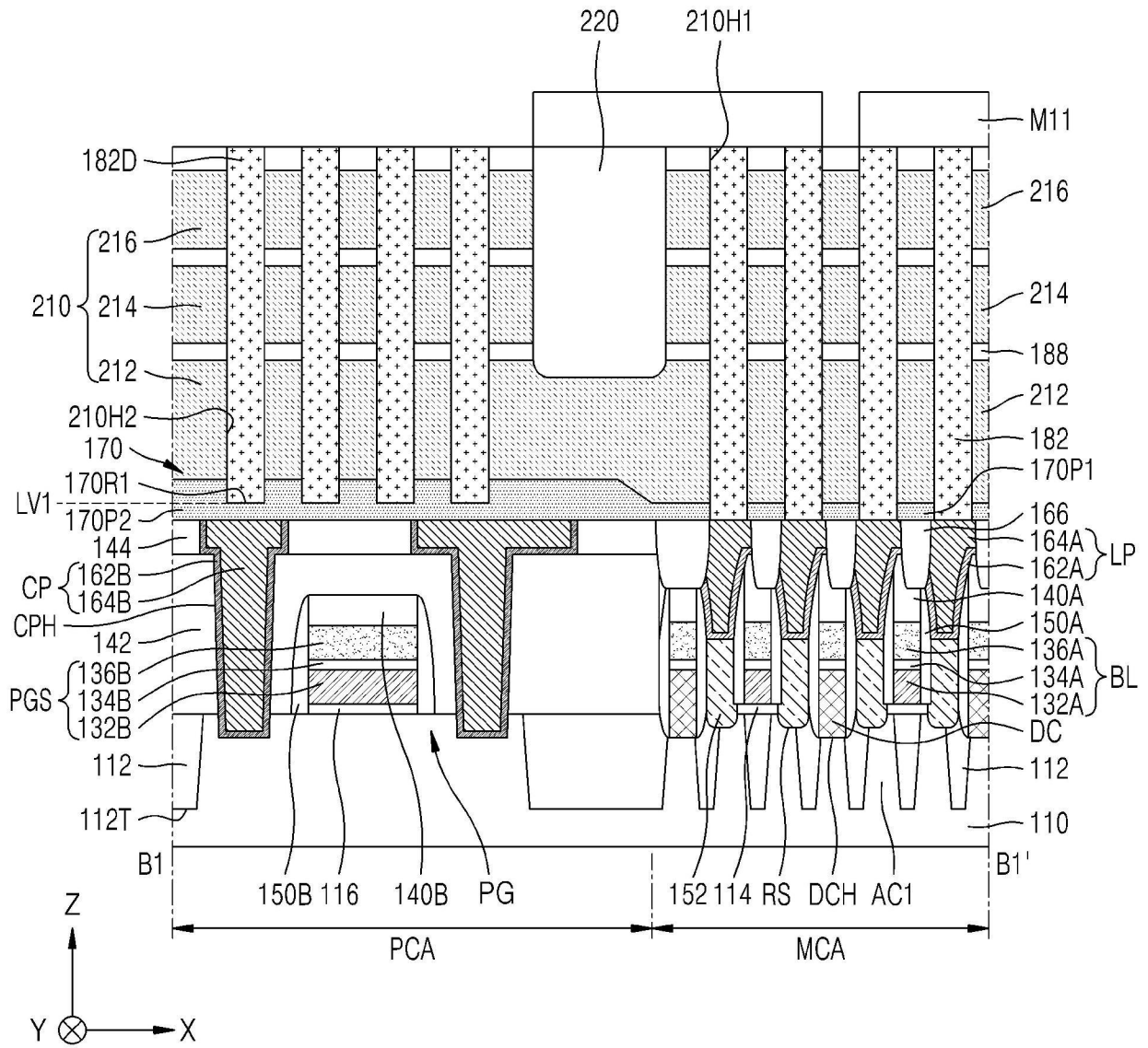
【圖12】



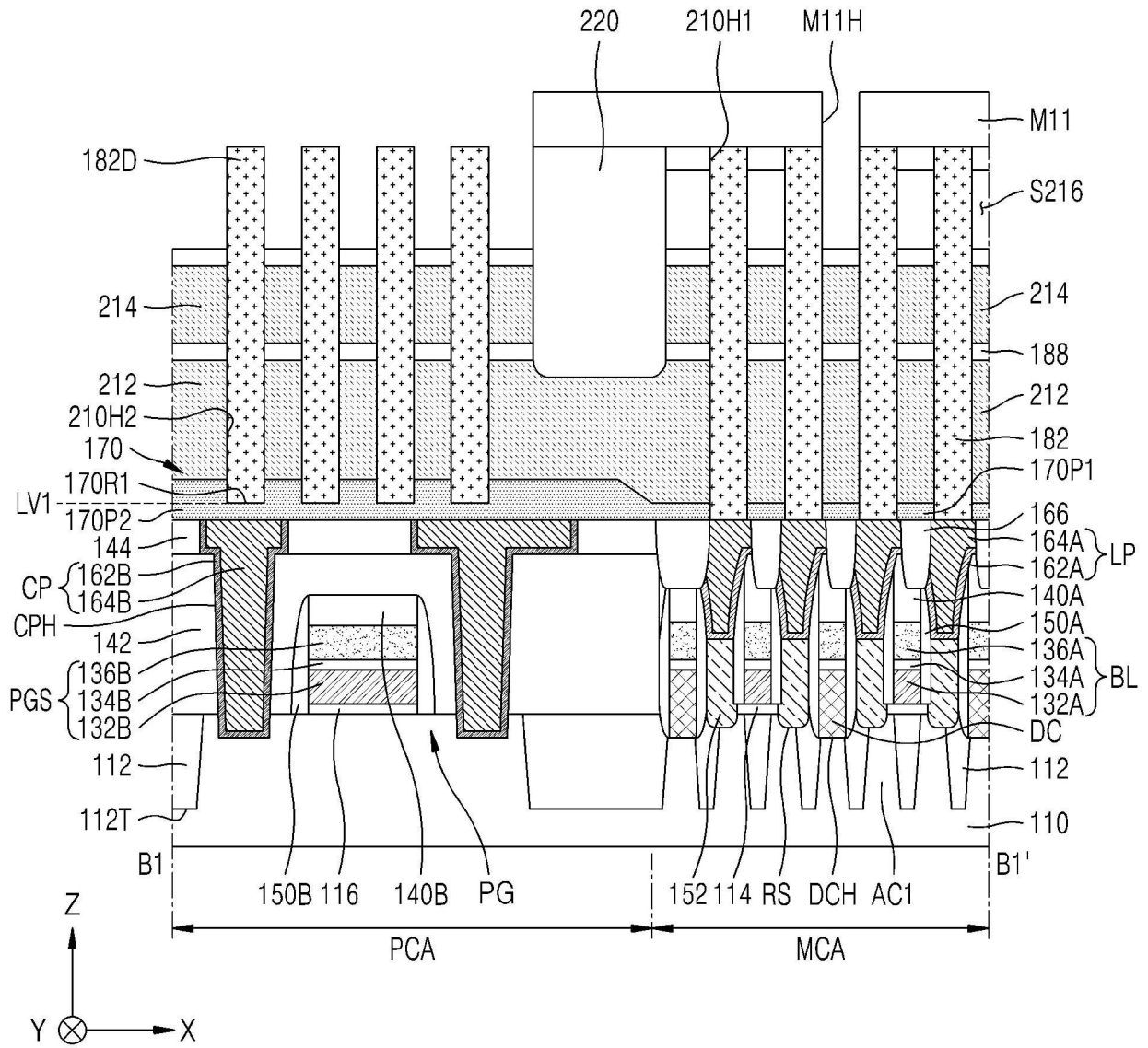
【圖13】



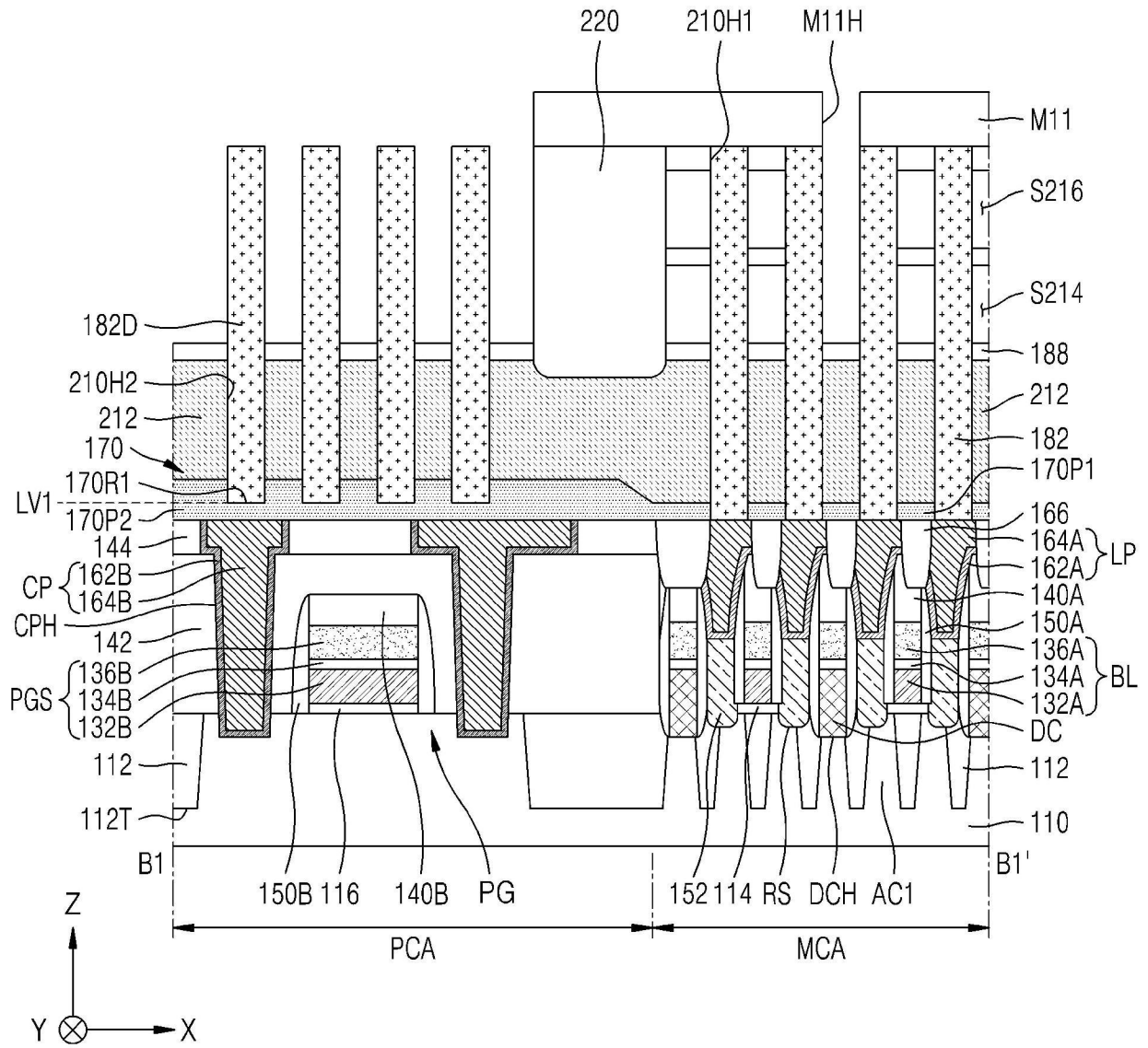
【圖15】



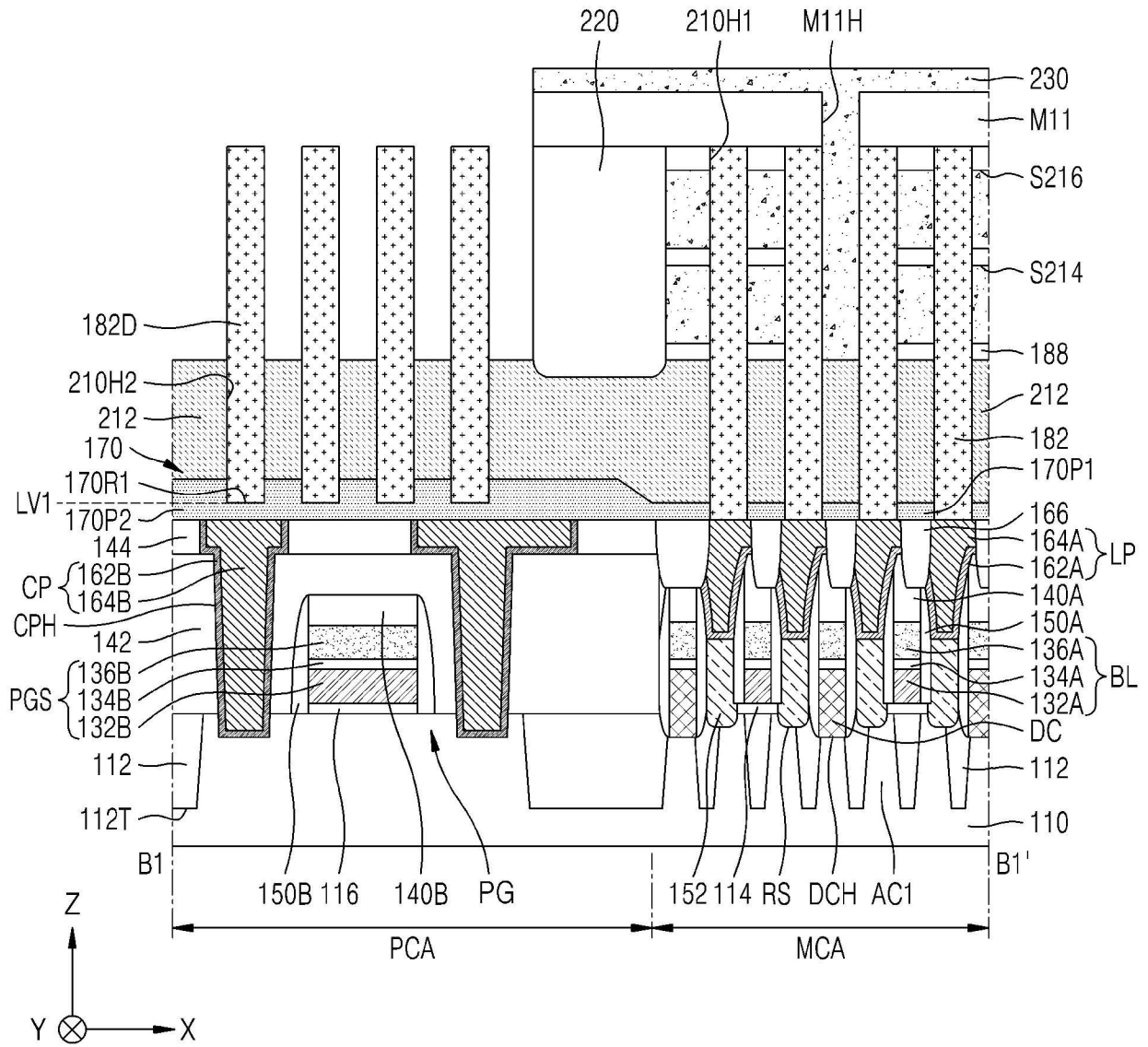
【圖16】



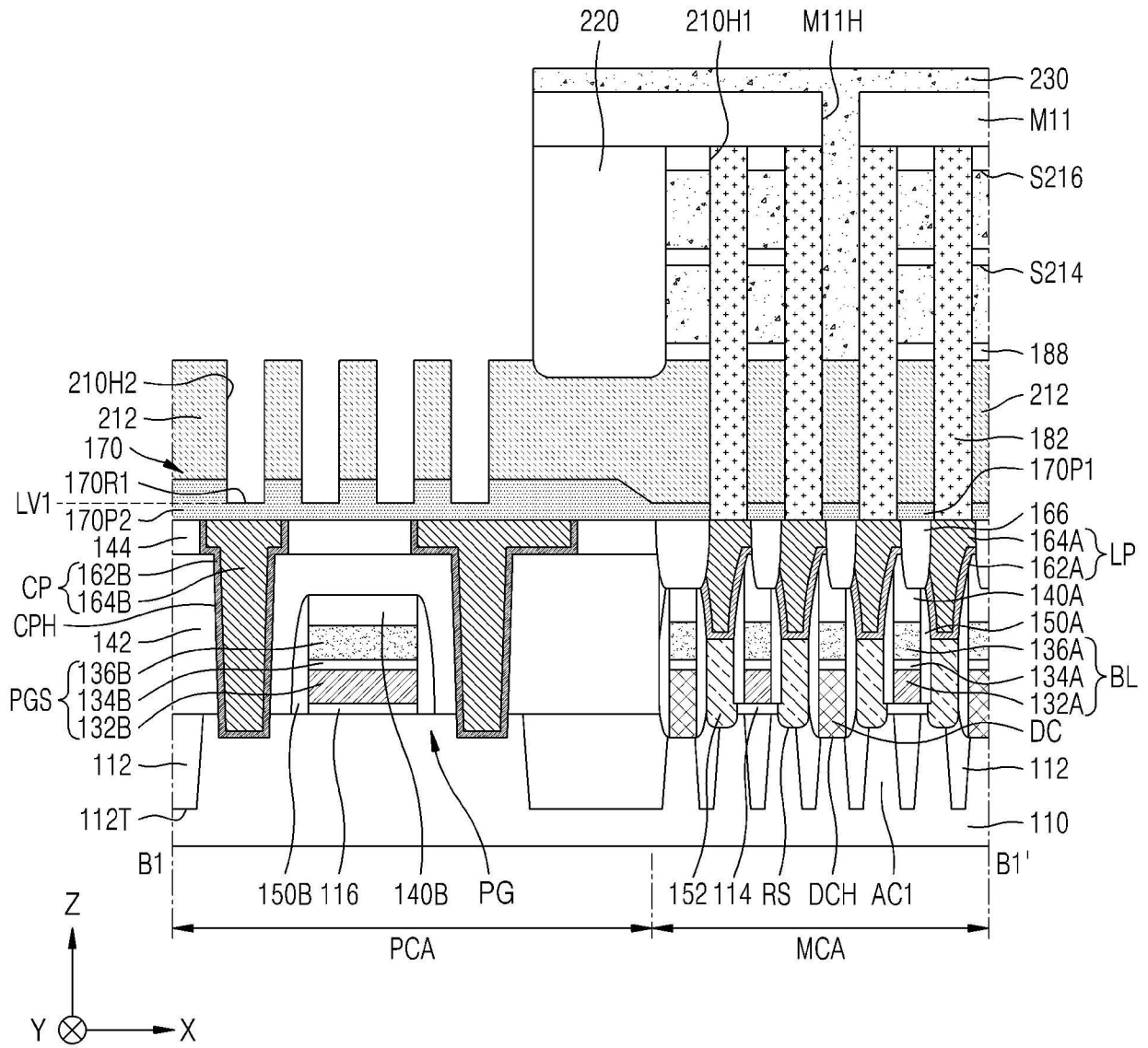
【圖17】



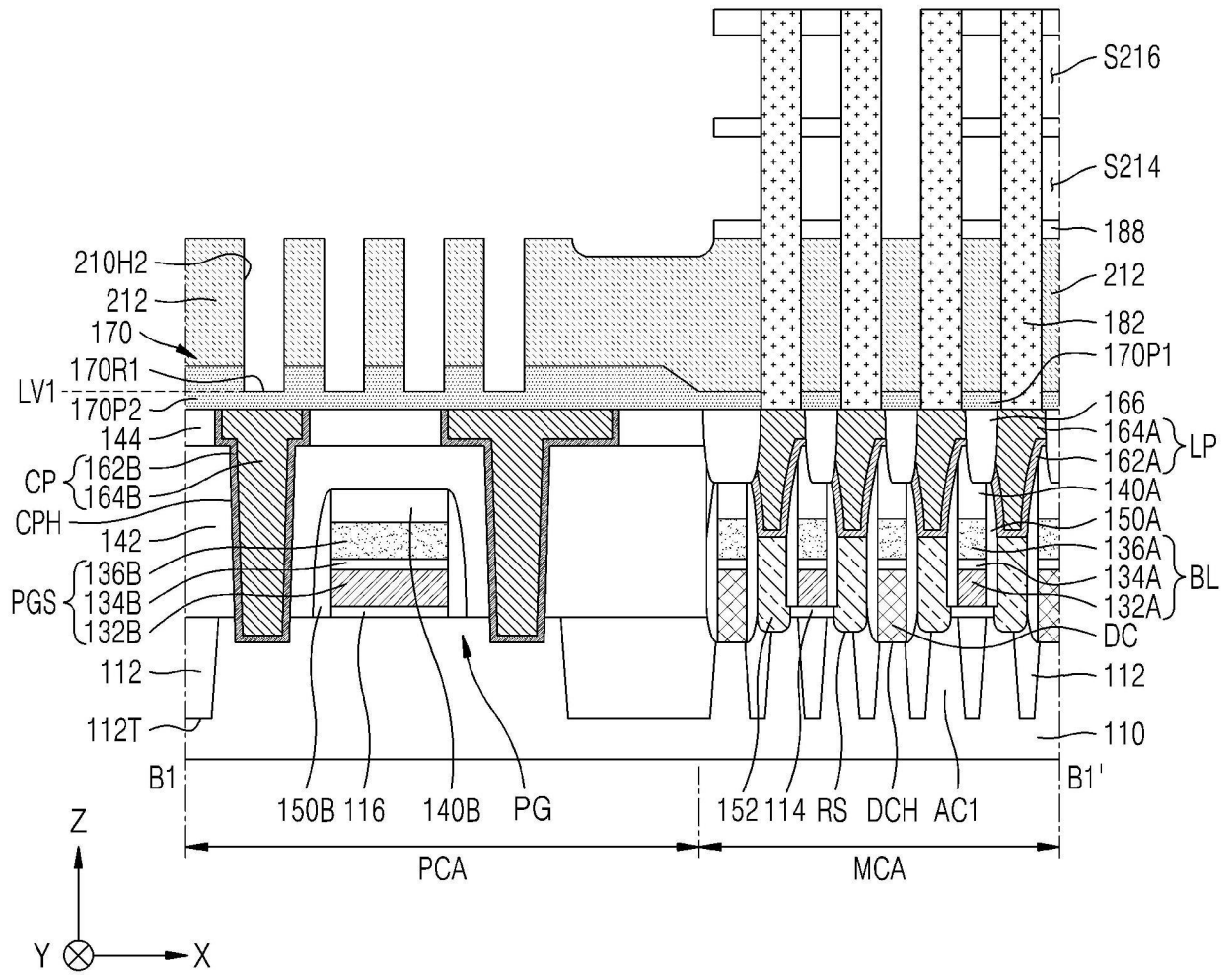
【圖18】



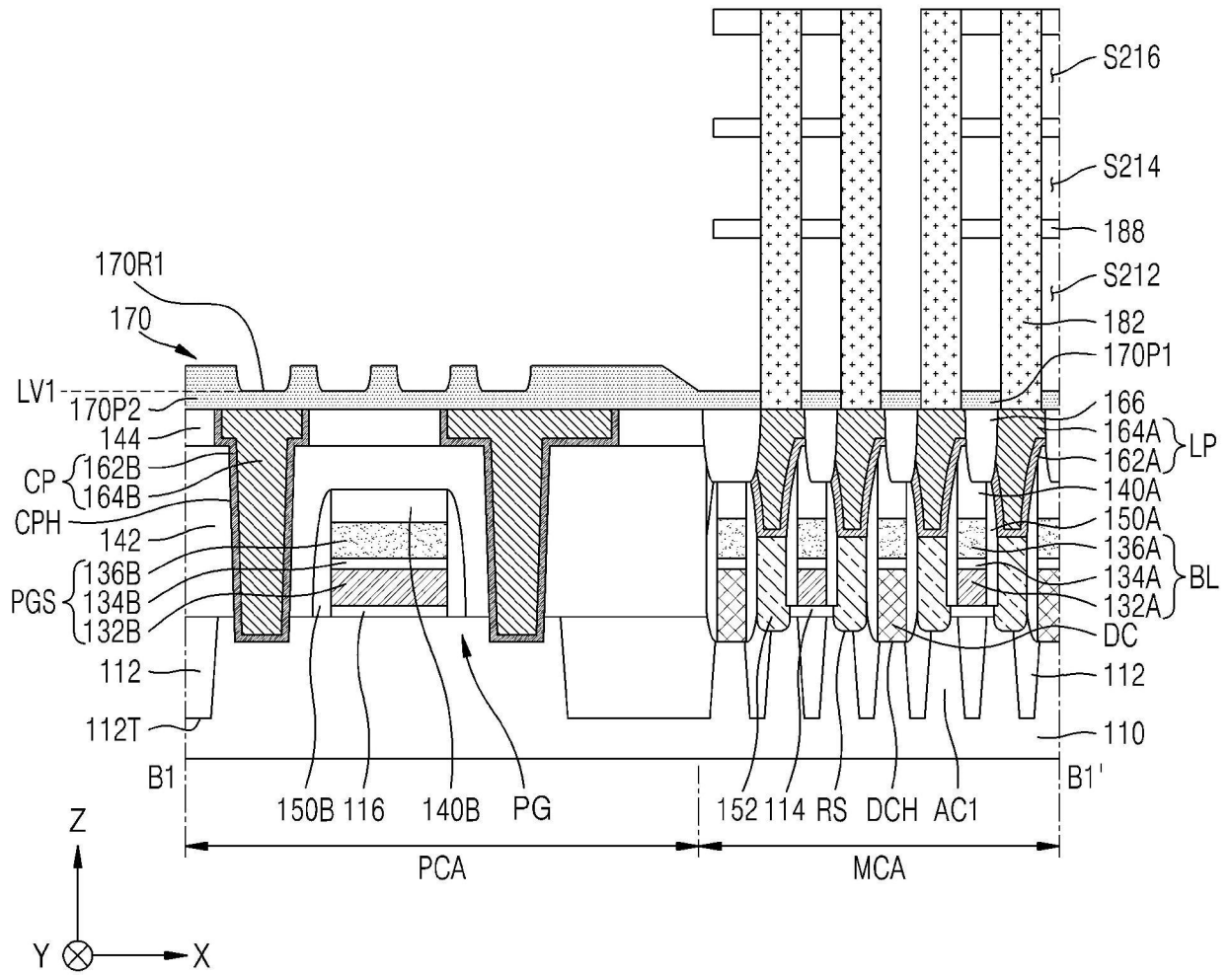
【圖19】



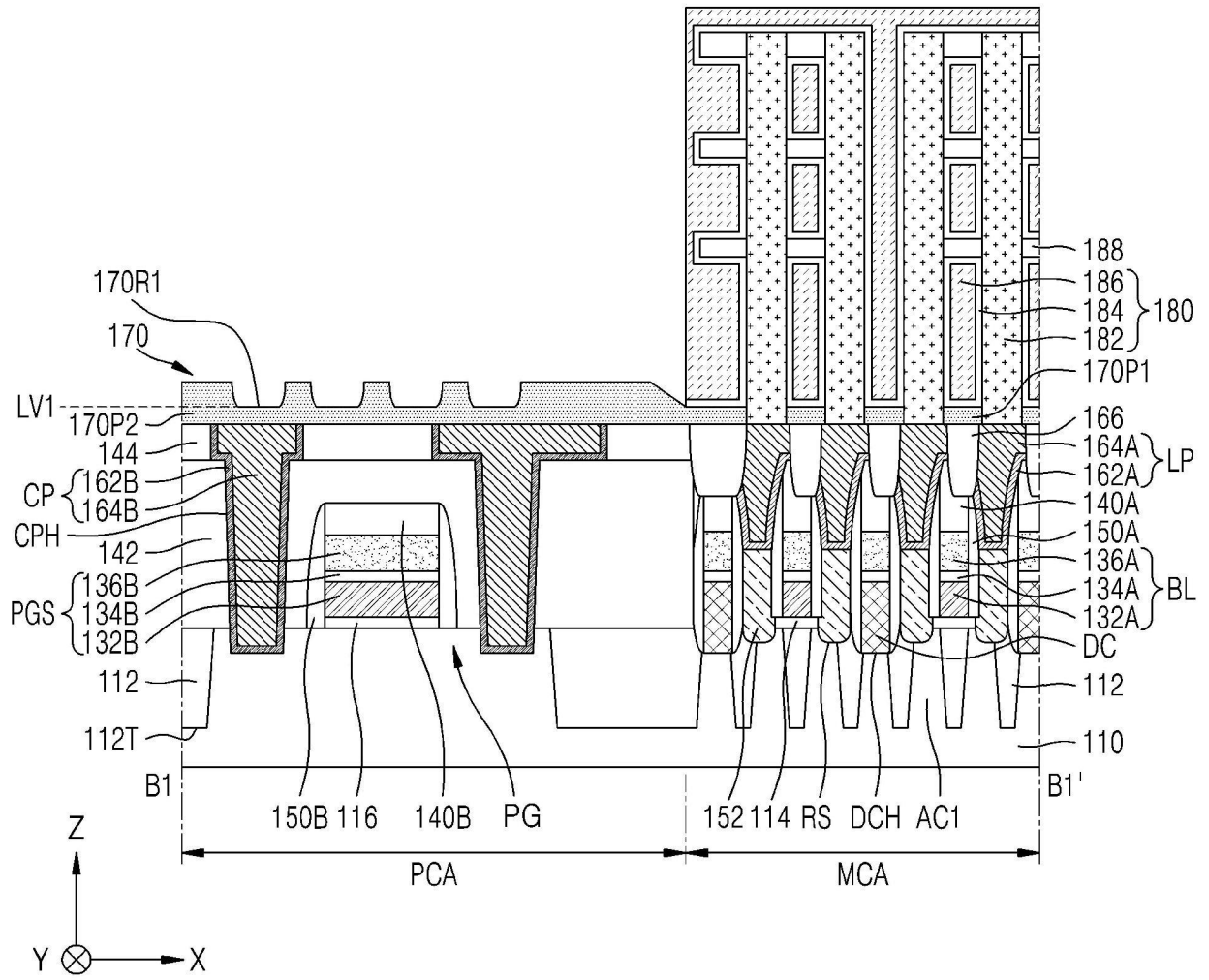
【圖20】



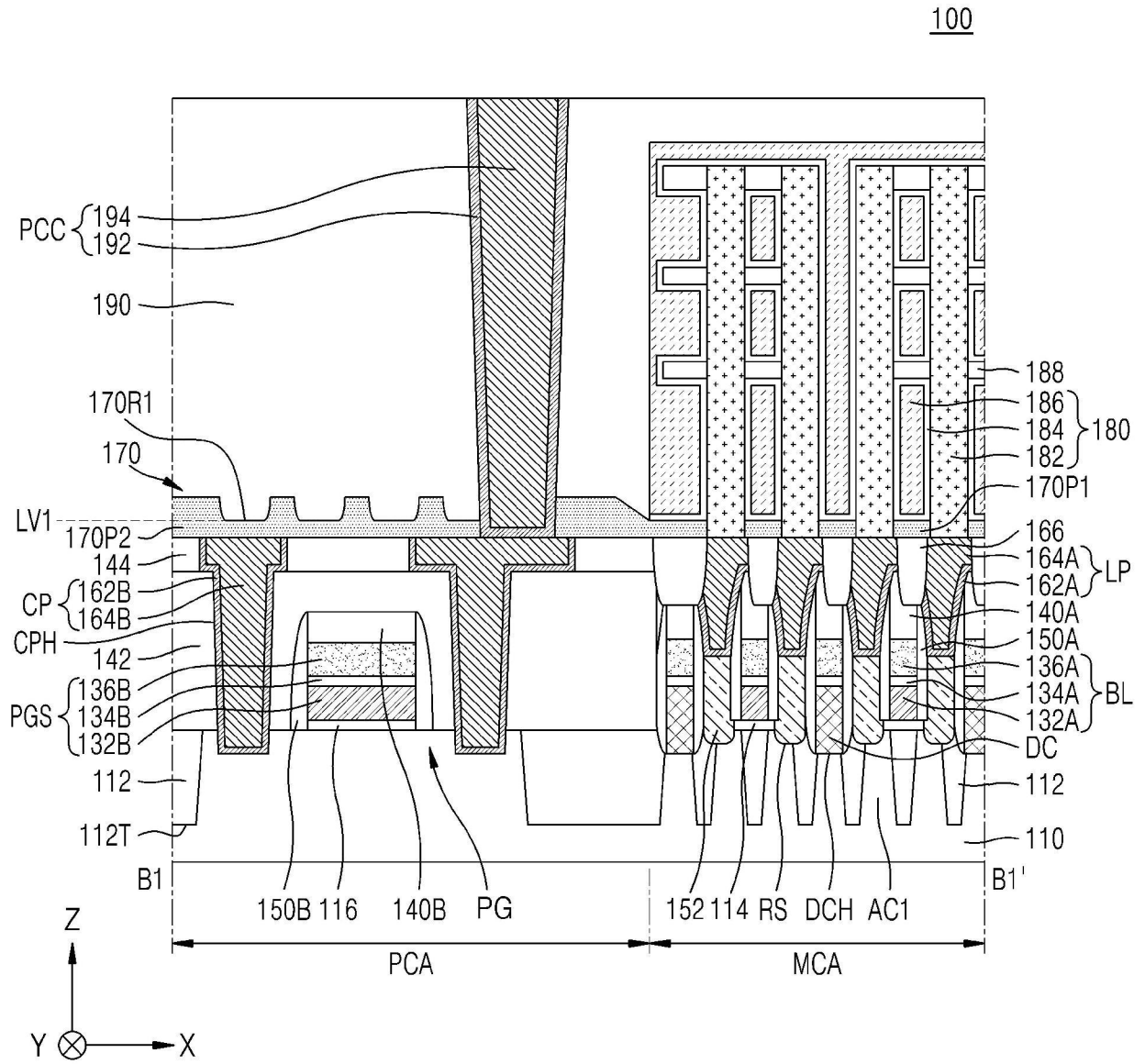
【圖21】



【圖22】

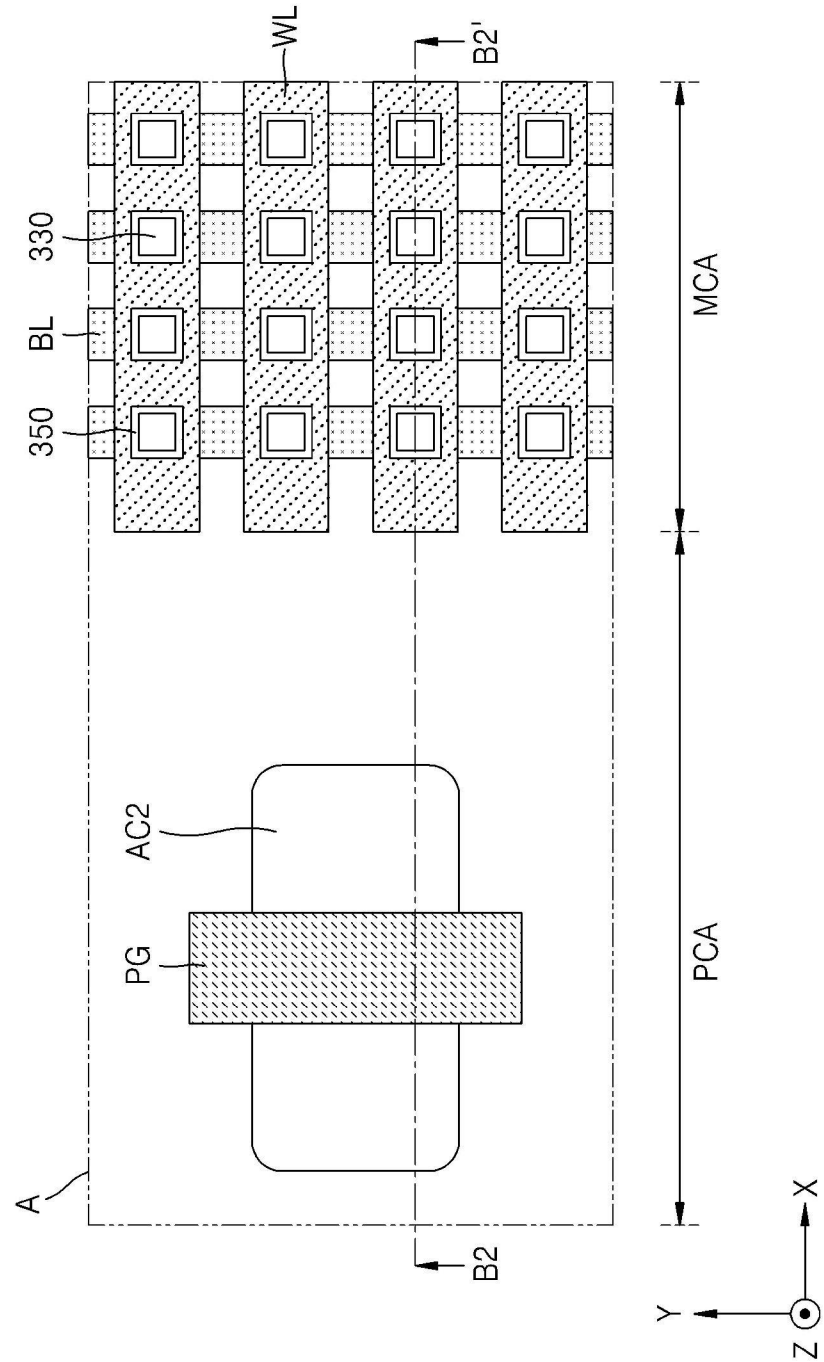


【圖23】

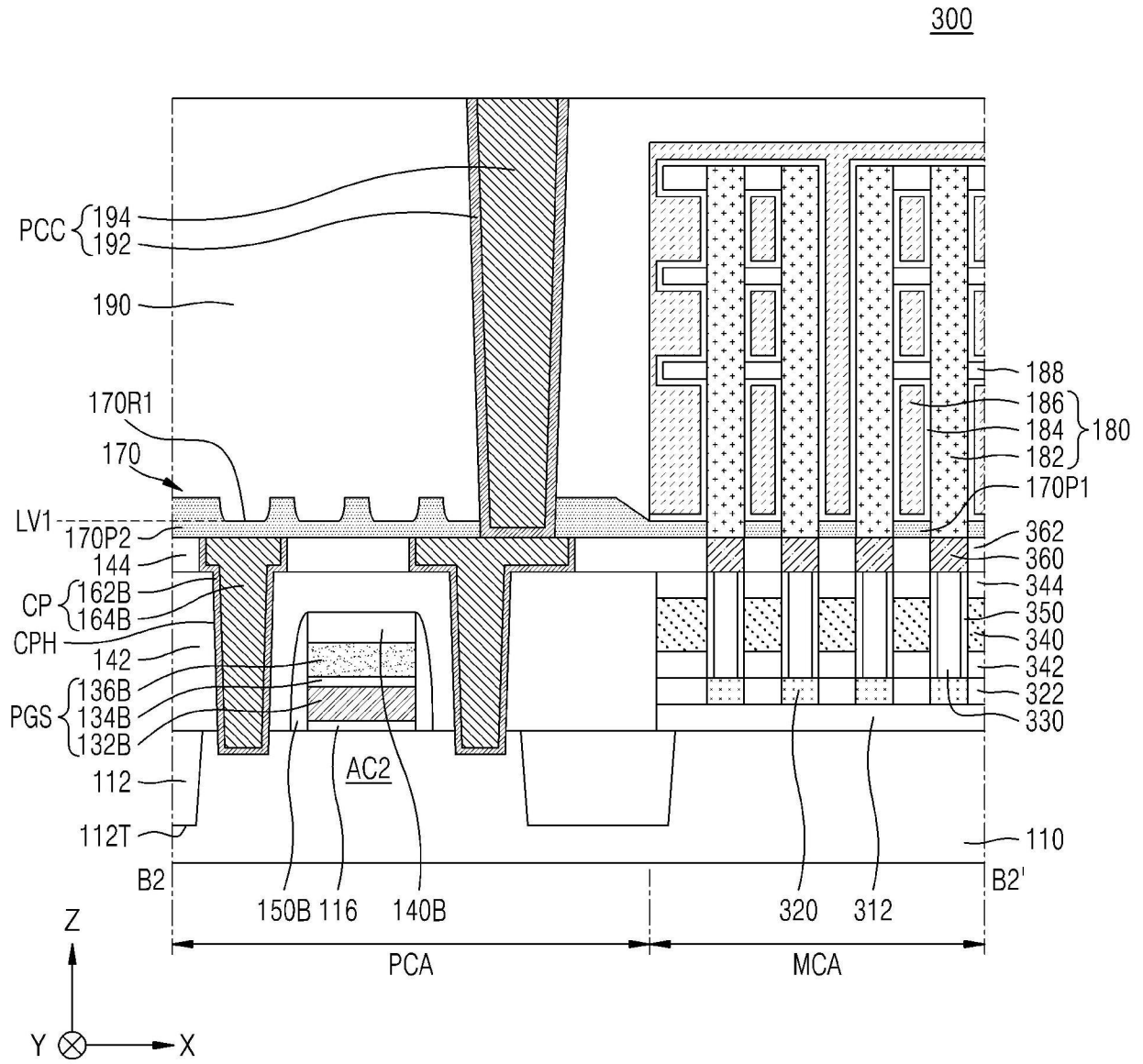


【圖24】

300



【圖25】



【圖26】