

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4425301号  
(P4425301)

(45) 発行日 平成22年3月3日(2010.3.3)

(24) 登録日 平成21年12月18日(2009.12.18)

(51) Int. Cl.	F I	
<b>G 1 1 C 29/56 (2006.01)</b>	G 1 1 C 29/00	6 5 2
<b>H O 1 L 21/66 (2006.01)</b>	H O 1 L 21/66	W
<b>G O 1 R 31/28 (2006.01)</b>	G O 1 R 31/28	B
<b>H O 1 L 21/8247 (2006.01)</b>	H O 1 L 27/10	4 3 4
<b>H O 1 L 27/115 (2006.01)</b>	H O 1 L 29/78	3 7 1
請求項の数 6 (全 19 頁) 最終頁に続く		

(21) 出願番号 特願2007-254362 (P2007-254362)  
 (22) 出願日 平成19年9月28日(2007.9.28)  
 (65) 公開番号 特開2009-87430 (P2009-87430A)  
 (43) 公開日 平成21年4月23日(2009.4.23)  
 審査請求日 平成21年3月16日(2009.3.16)

(73) 特許権者 308033711  
 OKIセミコンダクタ株式会社  
 東京都八王子市東浅川町550番地1  
 (74) 代理人 100079049  
 弁理士 中島 淳  
 (74) 代理人 100084995  
 弁理士 加藤 和詳  
 (74) 代理人 100085279  
 弁理士 西元 勝一  
 (74) 代理人 100099025  
 弁理士 福田 浩志  
 (72) 発明者 廣田 彰宏  
 東京都港区虎ノ門1丁目7番12号 沖電  
 気工業株式会社内

最終頁に続く

(54) 【発明の名称】 半導体検査装置及び半導体検査方法

(57) 【特許請求の範囲】

【請求項1】

浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査装置であって、

前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行手段と、

前記機能試験実行手段の実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御手段と、を有し、

前記機能試験実行手段は、前記電源供給制御手段による再電源供給後に、前記機能試験実行手段に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定することを特徴とする半導体検査装置。

【請求項2】

浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査

するための半導体検査装置であって、

前記装着部と前記デバイスのパッド又は端子との電氣的導通を判定する接触試験を、全ての前記パッド又は前記端子に対して行う接触試験実行手段と、

前記デバイスの入出力における直流電流特性の状態を検査する直流電流試験を、全てのセルに対して行う直流電流試験実行手段と、

前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行手段と、

前記接触試験実行手段、前記直流電流試験実行手段、及び前記機能試験実行手段の各実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御手段と、を有し、

前記機能試験実行手段は、前記電源供給制御手段による再電源供給後に、前記機能試験実行手段に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定することを特徴とする半導体検査装置。

【請求項3】

前記複数の通常セルを複数組に分類し、各組に1個の前記リファレンスセルを設け、前記機能試験実行手段は、各組毎に当該セルの機能試験を行うことを特徴とする請求項1又は請求項2に記載の半導体検査装置。

【請求項4】

前記所定時間経過後、かつ、再電源供給前に前記接触試験実行手段を実行することを特徴とする請求項2又は請求項3に記載の半導体検査装置。

【請求項5】

浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査方法であって、

前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行工程と、

前記機能試験実行工程の実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御工程と、

前記電源供給制御工程による再電源供給後に、前記機能試験実行工程に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定する判定工程と、

を有する半導体検査方法。

【請求項6】

浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査方法であって、

前記装着部と前記デバイスのパッド又は端子との電氣的導通を判定する接触試験を、全ての前記パッド又は前記端子に対して行う接触試験実行工程と、

前記デバイスの入出力における直流電流特性の状態を検査する直流電流試験を、全てのセルに対して行う直流電流試験実行工程と、

前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行工程と、

前記接触試験実行工程、前記直流電流試験実行工程、及び前記機能試験実行工程の各実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御工程と、

前記電源供給制御工程による再電源供給後に、前記機能試験実行工程に基づき、少なく

10

20

30

40

50

とも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定する判定工程と、

を有する半導体検査方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体検査装置及び半導体検査方法に係り、特に、不揮発性半導体メモリのスクリーニングに関する。

【背景技術】

【0002】

従来、半導体メモリのテスト方法では、メモリアレイ中に不良メモリセルがある場合、半導体メモリ内に設けたヒューズをブローすることにより予備のメモリアレイと置換するレーザーリペア工程のプリテストのテスト結果を半導体メモリに記憶し、以降の工程であるウェハテストにおいて、前記メモリに記憶されたテスト結果を読み出し、不要なテストを省略する。そのときの半導体メモリのテスト工程として、コンタクトテスト（Contact Test：接触試験）、DCテスト（Direct Current Test：直流電流試験）、FCテスト（Function Test：機能試験）の順番で行われ、半導体メモリの良否判定が行われている構成が提案されている（特許文献1参照）。

【特許文献1】特開平08-023016号公報

【発明の開示】

【発明が解決しようとする課題】

【0003】

しかしながら、特許文献1のような半導体メモリのテスト工程では、必ずしも良否を正確に判定できるわけではない。

【0004】

本願発明は、上記事実を考慮し、半導体メモリの良否を確実に判定することができる半導体検査装置及び半導体検査方法を得ることが目的である。

【課題を解決するための手段】

【0005】

請求項1に記載の発明は、浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査装置であって、前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行手段と、前記機能試験実行手段の実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御手段と、を有し、前記機能試験実行手段は、前記電源供給制御手段による再電源供給後に、前記機能試験実行手段に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定することを特徴としている。

【0006】

請求項2に記載の発明は、浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査装置であって、前記装着部と前記デバイスのパッド又は端子との電氣的導通を判定する接触試験を、全ての前記パッド又は前記端子に対して行う接触試験実行手段と、前記デバイスの入出力における直流電流特性の状態を検査する直流電流試験を、全てのセルに対して行う直流電流試験実行手段と、前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの

10

20

30

40

50

機能試験を行う機能試験実行手段と、前記接触試験実行手段、前記直流電流試験実行手段、及び前記機能試験実行手段の各実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御手段と、を有し、前記機能試験実行手段は、前記電源供給制御手段による再電源供給後に、前記機能試験実行手段に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定することを特徴としている。

【0007】

請求項3に記載の発明は、請求項1又は請求項2に記載の発明において、前記複数の通常セルを複数組に分類し、各組に1個の前記リファレンスセルを設け、前記機能試験実行手段は、各組毎に当該セルの機能試験を行うことを特徴としている。

10

【0008】

請求項4に記載の発明は、請求項2又は請求項3に記載の発明において、前記所定時間経過後、かつ、再電源供給前に前記接触試験実行手段を実行することを特徴としている。

【0013】

請求項5に記載の発明は、浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査方法であって、前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行工程と、前記機能試験実行工程の実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御工程と、前記電源供給制御工程による再電源供給後に、前記機能試験実行工程に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定する判定工程と、を有することを特徴としている。

20

【0014】

請求項6に記載の発明は、浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有した複数の通常セルと、前記通常セルと同一構造かつ同一機能とされ、前記通常セル動作状態の基準対象となるリファレンスセルと、を備えたデバイスを、被検査対象として装着部へ装着することで当該デバイスへ電源供給すると共に、前記デバイスの動作状態を検査するための半導体検査方法であって、前記装着部と前記デバイスのパッド又は端子との電氣的導通を判定する接触試験を、全ての前記パッド又は前記端子に対して行う接触試験実行工程と、前記デバイスの入出力における直流電流特性の状態を検査する直流電流試験を、全てのセルに対して行う直流電流試験実行工程と、前記通常セルを対象として、擬似的に動作させて、前記リファレンスセルを基準とした当該セルの機能試験を行う機能試験実行工程と、前記接触試験実行工程、前記直流電流試験実行工程、及び前記機能試験実行工程の各実行終了後、前記装着部から前記デバイスへの前記電源供給を停止させ、かつ、所定時間後に再び電源供給するように制御する電源供給制御工程と、前記電源供給制御工程による再電源供給後に、前記機能試験実行工程に基づき、少なくとも1回の前記機能試験を行うことで前記リファレンスセルの動作の良否を判定する判定工程と、を有することを特徴としている。

30

40

【発明の効果】

【0018】

以上説明したように、本願発明によれば、半導体メモリの良否を確実に判定することができるという効果が得られる。

【発明を実施するための最良の形態】

【0019】

(本願発明の第1実施形態)

図1は、本願発明の第1実施形態におけるデバイスである不揮発性半導体メモリ100の構成図である。

50

## 【0020】

デバイスである不揮発性半導体メモリ100は、ワンタイムPROM(One Time Programmable Read Only Memory)とも呼ばれ、以下、OTP100と称する。

## 【0021】

OTP100は、紫外線消去型EPROM(UV-EPROM:Ultra Violet-Erasable Programmable Read Only Memory)のことであり、以下、EPROMと称する)を紫外線が透過しないプラスチックパッケージに封止(樹脂封止)したものである。また、OTP100は、EPROMのように紫外線照射により記憶内容を消去することができないため、書き込み回数が1回に限定されるが、プラスチックパッケージを使用することによって、他のEPROMと比較して非常に安価である。

10

## 【0022】

なお、この不揮発性半導体メモリ100は、OTP100として説明するが、EEPROM(Electric Erasable Programmable Read Only Memory)、又はフラッシュメモリであってもよい。また、EPROMでは、EPROMイレーサを用いて全てのデータを一括消去し、PROMライターでもう一度データを書き込むが、EEPROMでは、ワード線及びビット線を用いて任意の1ビットを指定して電氣的にデータの消去及び書き込みをするものである。そして、フラッシュメモリでは、データの消去は所定バイトなどのブロック単位でしか行えないが、書き込みは1ビット単位で可能である。

20

## 【0023】

OTP100は、メモリセルアレイ110、カラムスイッチ群120、ディテクタ130、及びリファレンスディテクタ140で構成されている。

## 【0024】

メモリセルアレイ110は、カラムスイッチ群120と接続されており、カラムスイッチ群120は、ディテクタ130及びリファレンスディテクタ140と接続されている。

## 【0025】

メモリセルアレイ110では、選択ワードライン(以下、選択WLと称する)112、通常セルトランジスタ114、及びリファレンスセルトランジスタ116で構成されている。なお、通常セルトランジスタ114及びリファレンスセルトランジスタ116は、浮遊ゲートと制御ゲートによって電荷を蓄積することで情報を記憶するメモリ機能を有しており、同一構造かつ同一機能を持っている。

30

## 【0026】

選択WL112には、リファレンスセルトランジスタ116及び通常セルトランジスタ114の制御ゲートが接続されており、共用されている。なお、リファレンスセルトランジスタ116は選択WL112に1つ接続されている場合もあれば、複数接続されている場合もある。また、通常セルトランジスタ114は、選択WL112に複数接続されている。さらに、このメモリアレイ110には、選択WL112が複数存在して構成されており、その選択WL112の本数、選択WL112に接続されている通常セルトランジスタ114の量によってメモリアレイ110の容量が決まる。

40

## 【0027】

通常セルトランジスタ114の一方にはセルドレイン114dが接続されており、ドレイン電圧が供給されるようになっている。また、リファレンスセルトランジスタ116でも、通常セルトランジスタ114と同様に、リファレンスセルトランジスタ116の一方にセルドレイン116dが接続されており、ドレイン電圧が供給されるようになっている。

## 【0028】

さらに、通常セルの他方には、ビット線114bが接続されており、通常セル電流I<sub>cell</sub>が流れるようになっている。また、リファレンスセルトランジスタ116でも、リ

50

ファレンスセルトランジスタ 116 の他方にリファレンスビット線 116 b が接続されており、リファレンスセル電流  $I_{ref}$  が流れるようになっている。

【0029】

さらに、ビット線 114 b は、カラムスイッチ群 120 のカラムスイッチトランジスタ 124 を介し、ディテクタ 130 の分圧抵抗  $R_a$  及び分圧抵抗  $R_b$  の間（ディテクタ出力 DO）に接続されている。また、ビット線 116 b は、カラムスイッチ群 120 のカラムスイッチトランジスタ 126 を介し、リファレンスディテクタ 140 の分圧抵抗  $R_a/2$  及び分圧抵抗  $R_b/2$  の間（リファレンスディテクタ出力 RDO）に接続されている。

【0030】

図 1 を参照して、OTP 100 の読み出し動作を説明する。

10

【0031】

図 1 は、OTP 100 の読み出し時の回路図を簡略化したものである。

【0032】

メモリセルアレイ 110 内の 1 つの通常セルトランジスタ 114 はセルドレイン 114 d からドレイン電圧を供給されている。また、リファレンスセルトランジスタ 116 はセルドレイン 116 d からドレイン電圧を供給されている。

【0033】

通常セルトランジスタ 114 が選択される際、選択 WL 112 が立ち上がり、かつカラムスイッチ群 120 内でビット線 114 b に接続されているカラムスイッチトランジスタ 124 がカラムアドレスにより選択（ゲート 124 g に電圧が印加）されると、セルドレイン 114 d からビット線 114 b を介してディテクタ 130 に通常セル電流  $I_{cell}$  が流れ込む。例えば、選択 WL 112 が立ち上がる際には、選択 WL 112 に 3.6 V の電圧をかけ、セルドレイン 114 d には 1.0 V の電圧がかかり、ビット線 114 b を介してディテクタ 130 に通常セル電流  $I_{cell}$  が流れ込む。

20

【0034】

ディテクタ 130 は、図 1 に示しているような等価回路によって簡略化されており、ディテクタ出力 DO の電圧は、 $R_a (VCC / (R_a + R_b) + I_{cell})$  と表すことができる。

【0035】

一方で、リファレンスセルトランジスタ 116 も選択 WL 112 が立ち上がることでリファレンスビット線 116 b を介してリファレンスディテクタ 140 にリファレンスセル電流  $I_{ref}$  が流れ込む。このとき、リファレンスビット線 116 b に接続されているリファレンスカラムスイッチトランジスタ 126 のゲート 126 g は電源 VCC に接続されており、カラムアドレスによらずリファレンスセルトランジスタ 116 はリファレンスセル電流  $I_{ref}$  を流す。

30

【0036】

例えば、通常電圧 VCC が 3.3 V（例えば、規格は、 $3.3 V \pm 0.3 V$ ）であり、カラムスイッチトランジスタ 124 及びリファレンスカラムスイッチトランジスタ 126 のそれぞれのトランジスタには通常電圧 VCC の 3.3 V がゲート 124 g、126 g に印加されてオン状態（アクティブ状態）になる。なお、リファレンスカラムスイッチトランジスタ 126 のゲート 126 g には、ノーマリーオンの状態（常時オン状態）であり、常時 3.3 V の電圧がかかる。

40

【0037】

リファレンスカラムスイッチトランジスタ 126 のゲート 126 g が電源 VCC に接続されている理由は、リファレンスセルトランジスタ 116 から流れるリファレンスセル電流  $I_{ref}$  と、通常セルトランジスタ 114 から流れる通常セル電流  $I_{cell}$  と比較するためである。そのため、カラムアドレスによらず、常に電流を流す必要があり、また、通常セルトランジスタ 114 の電流経路と差異が生じないように、リファレンスカラムスイッチトランジスタ 126 を介する必要があるからである。

【0038】

50

リファレンスセル電流  $I_{ref}$  も通常セル電流  $I_{cell}$  と同様にリファレンスディテクタ 140 へ流れ込むが、リファレンスディテクタ 140 では、ディテクタ 130 と比較して、電源間の抵抗が  $1/2$  になっており、リファレンスディテクタ出力  $RDO$  は、 $R_a (V_{CC} / (R_a + R_b) + I_{ref} / 2)$  となる。

【0039】

OTP100 の通常セルトランジスタ 114 に蓄積された電荷により、“0”及び“1”は、上記のリファレンスディテクタ出力  $RDO$  とディテクタ出力  $DO$  を比較することで判定している。

【0040】

通常セルトランジスタ 114 が“0”（書き込み状態）の場合、選択  $WL112$  の電圧レベルよりも通常セルトランジスタ 114 の閾値電圧  $V_t$  が高く、通常セル電流  $I_{cell}$  が流れない。このとき、 $DO - RDO = -R_a (I_{ref} / 2)$  となる。なお、書き込み状態にて、データ“0”を記録する場合、通常セルトランジスタ 114 のドレイン及びゲートに高電圧をかけて熱電子が浮遊ゲート内に注入される。また、読み出し状態にて、データ“0”を読み出す場合、通常セルトランジスタ 114 のゲートに電圧をかけても浮遊ゲート内の電子に邪魔されてトランジスタがオンにならず、ドレイン・ソース間に電流が流れない。

【0041】

通常セルトランジスタ 114 が、“1”（ブランク状態）の場合、選択  $WL112$  の電圧レベルよりも通常セルトランジスタ 114 の閾値電圧  $V_t$  が低く、通常セル電流  $I_{cell}$  が流れる。なお、ブランク状態にて、データ“1”になる場合、通常セルトランジスタ 114 の浮遊ゲート内には電子が放出されている。例えば、UV-EPROM の場合、紫外線照射により浮遊ゲート内に閉じ込められた電子を放出し、データは消去（“1”になる）される。同様に EEPROM の場合も電氣的にデータは消去（“1”になる）される。また、読み出し状態にて、データ“1”を読み出す場合、通常セルトランジスタ 114 のゲートに電圧をかけると、トランジスタがオンになり、ドレイン・ソース間に電流が流れる。

【0042】

従って、このとき、通常セルトランジスタ 114 とリファレンスセルトランジスタ 116 の閾値電圧  $V_t$  は同等であり、 $I_{cell} = I_{ref}$  となるため、 $DO - RDO = R_a (I_{ref} / 2)$  となる。

【0043】

ところで、図 6 は、従来技術でのウェハレベルのテスト工程 600 を示している。なお、図 6 のテスト工程 600 は、プローブカードを用いて、ウェハレベルの OTP100 をテストする場合を示している。

【0044】

OTP100 のテスト工程では、ステップ 610 のコンタクトテスト、ステップ 620 の DC テスト、ステップ 630 の FC テスト（ファンクションテスト）の 3 工程に大別される。また、ステップ 630 の FC テストは、さらに、ステップ 630 a の“1”読み出しテスト、ステップ 630 b の“0”書き込み、ステップ 630 c の“0”及び“1”読み出しテストの 3 工程からなる。

【0045】

コンタクトテストは、接触試験のことであり、OTP100 等の実際のデバイスである DUT (Device Under Test: 被試験デバイス) のパッド（又は端子）と半導体試験装置（以下、LSI テスタと呼ぶ）の検査用端子が接触していることを試験する。詳細には、ウェハのコンタクトテストの場合は、パッドと LSI テスタの検査用端子との接触試験を実行し、プラスチックパッケージ又はセラミックパッケージ等のパッケージにされた IC (集積回路: Integrated Circuit) のコンタクトテストの場合は、IC の端子と LSI テスタの検査用端子の接触試験を実行する。さらに、通常セル及び通常セルの基準対象となるリファレンスセルを備えた DUT を被検査対象と

10

20

30

40

50

してLSIテストの装着部（プローブカード又は検査用ボードを介する）へ装着して検査を行う。なお、ICの端子がチップ内部のパッドと接続されていないNC（Non Connect）端子がある場合、NC端子のコンタクトテストはしない。

【0046】

前記デバイスの入出力における直流電流特性の状態を検査する直流電流試験であるDCテストは、DCパラメトリックテストとも言い、直流電流特性を測定する。例えば、DCテストには、入力リークテスト、出力リークテスト、電源電流テスト、静止電源電流テスト、入力電流テスト、及び出力電流テスト等がある。

【0047】

ファンクションテスト（以下、FCテストと称する）は、OTP100（デバイス）の検査する対象のセルに対し、擬似的に動作させて対象のセルの機能試験をする（実動作条件での機能試験を行う）ことを意味している。また、詳細には、FCテストは機能試験又は実動作試験のことを指し、IC又はLSI（Large Scale Integrated circuit：大規模集積回路）等に搭載されている各回路ブロック毎（又は集積回路全体）の実動作における機能試験をする。

【0048】

OTP100では、“0”（書き込み状態）から“1”（ブランク状態）へ戻すには、UV（Ultra-Violet：紫外線）照射が必要であるため、一般的にステップ630aの“1”読み出しテストを実行してから、ステップ630bの“0”書き込み、最後にステップ630cの“0”及び“1”読み出しテストを実行している。なお、こ

【0049】

詳細には、初期状態がブランク状態であるので、そのブランク状態を検査する際、ステップ630aの“1”読み出しテストをまず実行する（デバイスが不良の場合、初期状態においてブランク状態の“1”ではない場合があるため）。次に、ステップ630bの固定パターンデータにおける“0”書き込みを実行する。最後に、ステップ630cの“0”及び“1”読み出しテストを実行する。なお、ステップ630bにおいて、固定パターンデータの“0”が正しく書き込まれない場合、又は固定パターンデータの“1”が誤って“0”に書き換えられてしまう場合があるためステップ630cの“0”及び“1”読み出しテストを実行する。また、ステップ630のFCテストはテスト時間が長いため、よりテスト時間の短いステップ610のコンタクトテスト、及びステップ620のDCテストをステップ630のFCテストの前に実行されている。

【0050】

また、パッケージにされた状態のOTP100の場合の説明は、図7を参照して説明する。図7は、従来技術でのパッケージされたテスト工程700を示している。なお、パッケージ状態のOTP100（1回書き込みしかできないEPROM）は、UV照射を用いて記憶されたデータを消去することはできない。

【0051】

ステップ710のコンタクトテストは、図6のステップ610のコンタクトテストと同様のテストを行い、ステップ720のDCテストは、図6のステップ620のDCテストと同様のテストを行う。

【0052】

ステップ730のFCテストは、基本的には、図6のステップ630のFCテストと同様のテストである。しかし、図6のステップ630のFCテストとは違い、固定パターンデータを用いるのではなく、ステップ730aの書き込みにおいて、予め用意されている特定のユーザデータを、OTP100の持つ複数の通常セルに書き込む処理を実行する。そして、ステップ730bの“0”及び“1”読み出しテストにおいて、書き込まれたユーザデータの“0”及び“1”を読み出して正しくユーザデータが書き込まれているか否かの判定を実行する。

10

20

30

40

50



## 【 0 0 5 3 】

しかし、上記テスト工程では、電源供給から試験開始までの時間に依存する、以下のよ  
うな不良をスクリーニングできない。

## 【 0 0 5 4 】

図 6 及び図 7 では、O T P 1 0 0 のテスト工程における電源供給タイミングも示してお  
り、ステップ 6 2 0 及びステップ 7 2 0 の D C テスト以降は電源が継続してオンとなっ  
ているか、又は試験後に一旦電源を落としても、次の試験を実行するために再度すぐに電源  
がオンとなる。このことから、ステップ 6 3 0 及びステップ 7 3 0 の F C テストでは、テ  
スト実行前から電源がオンになっている時間が長くなっている。

## 【 0 0 5 5 】

図 8 は、従来技術におけるリファレンスカラムスイッチトランジスタ 1 2 6 のゲート 1  
2 6 g の不具合の状態を示している。

## 【 0 0 5 6 】

図 1 のような回路構成の O T P 1 0 0 において、リファレンスカラムスイッチトランジ  
スタ 1 2 6 のゲートレベルに接続されている配線もしくは V i a ( ビア : 多層配線におい  
て、上層の配線と下層の配線を電氣的に繋ぐ接続領域 ) が、高抵抗もしくは断線している  
場合であるとする。

## 【 0 0 5 7 】

このような場合、図 8 ( a ) は電源供給直後のノーマリーオントランジスタであるリ  
ファレンスカラムスイッチトランジスタ 1 2 6 の状態を示している。このときには、配線又  
は V i a の高抵抗もしくは断線により、ゲートレベルが印加されず、トランジスタに電流  
が流れない。

## 【 0 0 5 8 】

図 8 ( b ) は電源供給したまましばらく放置していたときのノーマリーオントランジ  
スタであるリファレンスカラムスイッチトランジスタ 1 2 6 の状態を示している。このとき  
には、配線又は V i a の高抵抗もしくは断線が存在するが、電源供給後、時間経過と共に  
ゲートレベルが充電されるため、トランジスタがオン状態になり、トランジスタに電流が  
流れてしまう。

## 【 0 0 5 9 】

このため、図 6 及び図 7 の従来技術のテスト工程 6 0 0 、 7 0 0 でテストした場合、ゲ  
ート 1 2 6 g が電源に直結しているリファレンスカラムスイッチトランジスタ 1 2 6 では  
、 F C テスト 6 3 0 、 7 3 0 が実行されるまでに、ノーマリーオントランジスタであるリ  
ファレンスカラムスイッチトランジスタ 1 2 6 のゲート 1 2 6 g が充電され、不良となら  
ず、電流が流れてしまう可能性がある。

## 【 0 0 6 0 】

以下、本願発明の第 1 実施形態の作用を説明する。

## 【 0 0 6 1 】

図 2 は、本願発明の第 1 実施形態におけるウェハレベルの O T P 1 0 0 を検査するた  
めの第 1 のフローチャート 2 0 0 を示している。なお、第 1 のフローチャート 2 0 0 にお  
ける O T P 1 0 0 の検査は、プローブカードを用いて、ウェハレベルの O T P 1 0 0 をテ  
ストする場合を示している。

## 【 0 0 6 2 】

ステップ 2 1 0 では、コンタクトテストを行う。詳細には、 L S I テスタの検査端子と  
接続 ( 装着 ) されたプローブカードの検査端子である検査針と、 L S I テスタの装着部へ  
装着された被検査対象 ( デバイス ) であるウェハレベルの O T P 1 0 0 のパッドが接触さ  
れているかどうかのコンタクトテストを実行する。

## 【 0 0 6 3 】

ステップ 2 2 0 では、 D C テストを行う。詳細には、 L S I テスタからプローブカード  
を介してウェハレベルの O T P 1 0 0 に電源が供給され、 O T P 1 0 0 の D C テストが行  
われ、 O T P 1 0 0 の直流電流特性を測定する。

10

20

30

40

50

## 【 0 0 6 4 】

ステップ 2 3 0 では、F C テストを行う。詳細には、従来の F C テスト（図 6 のステップ 6 3 0 の F C テストと同様のテスト）が実行される。ステップ 2 3 0 a の初期状態の " 1 " 読み出しテスト、ステップ 2 3 0 b の固定パターンデータの " 0 " 書き込み、ステップ 2 3 0 c の固定パターンデータの " 0 " 及び " 1 " 読み出しテストが実行される。なお、ステップ 2 3 0 c において、再び " 1 " 読み出しテストを行う理由は、図 6 及び図 7 における従来の F C テスト 6 3 0 c、7 3 0 b のときと同じである。また、ステップ 2 3 0 a、2 3 0 b、2 3 0 c において、通常セルトランジスタ 1 1 4 の " 0 " 又は " 1 " は、通常セルのディテクタ出力 D O とリファレンスセルのリファレンスディテクタ出力 R D O とを比較することで判定しており、" 1 " 読み出しテスト、" 0 " 書き込み、" 0 " 及び " 1 " 読み出しテストが行われている。比較の方法は、ディテクタ出力 D O - リファレンスディテクタ出力 R D O の電圧値に基づいて判定されている。さらに、通常セルは、図 1 に図示されている通常セルトランジスタ 1 1 4、カラムスイッチ群 1 2 0 のカラムスイッチトランジスタ 1 2 4、及びディテクタ 1 3 0 を総称している。そして、リファレンスセルは、図 1 に図示されているリファレンスセルトランジスタ 1 1 6、カラムスイッチ群 1 2 0 のリファレンスカラムスイッチトランジスタ 1 2 6、及びリファレンスディテクタ 1 4 0 を総称している。

10

## 【 0 0 6 5 】

ステップ 2 4 0 では、電源 O F F する。詳細には、電荷がチャージされているかもしれないリファレンスカラムスイッチトランジスタ 1 2 6 のゲート 1 2 6 g の電荷を開放するため、ここで検査装置から O T P 1 0 0 に供給されていた電源を切断する。

20

## 【 0 0 6 6 】

ステップ 2 5 0 では、電源 O F F を所定時間維持する。詳細には、ステップ 2 4 0 に記載したように、リファレンスカラムスイッチトランジスタ 1 2 6 のゲート 1 2 6 g のチャージされている電荷を開放するために約数分間（具体的には、約 5 分から約 1 0 分の間）電源を落としておく。

## 【 0 0 6 7 】

ステップ 2 6 0 では、コンタクトテストを実行する。詳細には、これはステップ 2 1 0 と全く同様の操作を行う。なお、ここで、コンタクトテストを実行するのは、ステップ 2 3 0 の F C テストで長時間電源を供給し、L S I テスタと O T P 1 0 0 とのデータのやり取りを行っていたため、プローブカードの検査針や O T P 1 0 0 のパッドに熱が発生していた可能性がある。そのため、ステップ 2 3 0 の F C テスト終了後に電源を所定時間落とした場合、検査針またはパッドが熱膨張されていた状態から収縮されてコンタクト（接触）が外れる場合（コンタクトテストが通らなくなる可能性）があるのでもう一度コンタクトテストを行う。

30

## 【 0 0 6 8 】

ステップ 2 7 0 では、電源 O N する。詳細には、ステップ 2 8 0 以降のテストのために電源供給する。

## 【 0 0 6 9 】

ステップ 2 8 0 では、1 ビット分のセルの F C テストを実行する。詳細には、ステップ 2 8 0 a の 1 ビット分のセルの " 0 " 読み出しテストを実行する。そこで、リファレンスセルは、少なくとも選択 W L 1 1 2 に 1 つ以上存在し、複数の通常セルがそれぞれ対応して接続されている。例えば、選択 W L 1 1 2 に存在する 1 つのリファレンスセルは所定数の通常セルと接続されている場合、その通常セルのどれか 1 つと、対応するリファレンスセルの 1 つとを比較し、" 0 " 読み出しテストを実行する。このことを 1 ビット分のセルの " 0 " 読み出しテストを実行すると表現しており、通常セルの機能試験に基づき、少なくとも 1 回の機能試験を行うことでリファレンスセルの良否を判定している。なお、ステップ 2 8 0 の F C テスト（ステップ 2 8 0 a の F C テスト）では、全てのリファレンスセルそれぞれに対して、それぞれのリファレンスセルに対応する複数の通常セルの中で、1 つずつ " 0 " 読み出しテストをリファレンスセルの分だけ実行する。

40

50

## 【 0 0 7 0 】

そして、ステップ 2 8 0 で O T P 1 0 0 の良否判定を行い、テスト終了させて電源を切断する。

## 【 0 0 7 1 】

なお、リファレンスセルの良否に関して、このステップ 2 8 0 a の " 0 " の読み出しテストによって判定することができる。

## 【 0 0 7 2 】

従って、本願発明の第 1 実施形態によれば、ノーマリーオントランジスタであるリファレンスカラムスイッチトランジスタ 1 2 6 のゲートの断線又は高抵抗によるリファレンスビット線 1 1 6 b の不良をスクリーニングすることができる。

10

## 【 0 0 7 3 】

図 3 は、本願発明の第 1 実施形態におけるパッケージされた O T P 1 0 0 を検査するための第 2 のフローチャート 3 0 0 を示している。なお、第 2 のフローチャート 3 0 0 における O T P 1 0 0 の検査は、検査用ボードを用いて、パッケージにされた O T P 1 0 0 をテストする場合を示している。

## 【 0 0 7 4 】

ステップ 3 1 0 のコンタクトテストは、図 2 のステップ 2 1 0 のコンタクトテストと同様のテストである。詳細には、被検査対象が図 2 のステップ 2 1 0 の場合はウェハレベルの O T P 1 0 0 であり、図 3 のステップ 3 1 0 の場合はパッケージされた O T P 1 0 0 である点に違いがある。そこで、ステップ 3 1 0 のコンタクトテストでは、L S I テスタの検査端子と接続（装着）された検査用ボードの検査端子（I C ソケット）と、L S I テスタの装着部へ装着された検査用ボードの I C ソケットにセットされた O T P 1 0 0 （パッケージングされた I C ）の端子が接触されているかどうかのコンタクトテストを実行する。

20

## 【 0 0 7 5 】

ステップ 3 2 0 の D C テストは、図 2 のステップ 2 2 0 と同様の D C テストである。

## 【 0 0 7 6 】

ステップ 3 3 0 の F C テストと図 2 のステップ 2 3 0 の F C テストは、基本的には同じだが、パッケージにされた O T P 1 0 0 では、ステップ 3 3 0 a でユーザデータを書き込み、書き込まれたユーザデータが正しいかどうかをステップ 3 3 0 b の " 0 " 及び " 1 " の読み出しテストによって判定する。

30

## 【 0 0 7 7 】

ステップ 3 4 0 の電源 O F F は、図 2 のステップ 2 4 0 と同様の処理である。

## 【 0 0 7 8 】

ステップ 3 5 0 の電源 O F F 所定時間維持は、図 2 のステップ 2 5 0 と同様の処理である。

## 【 0 0 7 9 】

ステップ 3 6 0 のコンタクトテストは、ステップ 3 1 0 のコンタクトテストと同様のテストである。

## 【 0 0 8 0 】

ステップ 3 7 0 の電源 O N は、図 2 のステップ 2 7 0 と同様の処理である。

40

## 【 0 0 8 1 】

ステップ 3 8 0 の F C テストは、図 2 のステップ 2 8 0 の F C テストと同様の F C テストである（ステップ 3 8 0 a の F C テストも図 2 のステップ 2 8 0 a の F C テストと同様の F C テストである）。

## 【 0 0 8 2 】

そして、ステップ 3 8 0 で O T P 1 0 0 の良否判定を行い、テスト終了させて電源を切断する。

## 【 0 0 8 3 】

本願発明の第 1 実施形態によれば、リファレンスセルの良否に関して、このステップ 3

50

80によって判定することで、ノーマリーオントランジスタであるリファレンスカラムスイッチトランジスタ126のゲートの断線又は高抵抗によるリファレンスピット線116bの不良をスクリーニングすることができる。

【0084】

なお、ノーマリーオントランジスタであるリファレンスカラムスイッチトランジスタ126のゲートにチャージされた電荷を短時間で強制的に開放するような方法を用いて電源を落としている時間を短縮させてもよい。

(本願発明の第2実施形態)

以下、本願発明の第2実施形態の作用を説明する。

【0085】

図4は、本願発明の第2実施形態におけるウェハレベルのOTP100を検査するための第3のフローチャート400を示している。

【0086】

本願発明の第2実施形態におけるOTP100を検査するための第3のフローチャート400を示している図4は、リファレンスピット線116bに図8での説明でしたような不良がある場合のスクリーニング方法である。

【0087】

検査工程は、ステップ410のコンタクトテスト、ステップ420のFCテスト420、ステップ430のDCテストに大別されている。

【0088】

また、ステップ420のFCテストは、ステップ440のFCテスト及びステップ450のFCテストの2つの工程から成っている。

【0089】

詳細には、ステップ440のFCテストは、ステップ440aのFCテスト、ステップ440bのFCテスト、及びステップ440cのFCテストの3つの工程から成っている。そして、ステップ450のFCテストはステップ450aのFCテスト、ステップ450bのFCテスト、及びステップ450cのFCテストの3つの工程から成っている。

【0090】

ステップ410では、コンタクトテストを実行する。詳細には、図2のステップ210及びステップ260の工程と同様である。

【0091】

ステップ420では、FCテストを実行する。詳細には、ステップ420のFCテストでは、ステップ440のFCテスト、及びステップ450のFCテストを実行する。

【0092】

まず、ステップ440のFCテストでは、ステップ440aのFCテストでは、1ビット分のセルの初期状態の"1"読み出しテストを行い、次に、ステップ440bのFCテストでは、1ビット分のセルの固定パターンデータの"0"書き込みを行い、最後に、ステップ440cのFCテストでは、1ビット分のセルの固定パターンデータの"0"読み出しテストを行う。

【0093】

例えば、リファレンスセルは、少なくとも選択WL112に1つ以上存在し、複数の通常セルがそれぞれ対応して接続されている。そして、選択WL112に存在する1つのリファレンスセルは所定数の通常セルと接続されている場合、その通常セルのどれか1つと、対応するリファレンスセルの1つとを比較し、"1"読み出しテストを実行する。このことを1ビット分のセルの"1"読み出しテストを実行すると表現している。また、通常セルのどれか1つに"0"を書き込み、その"0"が書き込まれた通常セルと、対応するリファレンスセルの1つとを比較し、"0"読み出しテストを実行する。このことを1ビット分のセルの"0"読み出しテストを実行すると表現しており、通常セルの機能試験に基づき、少なくとも1回の機能試験を行うことでリファレンスセルの良否を判定している。

。

10

20

30

40

50

## 【 0 0 9 4 】

なお、ステップ 4 4 0 の F C テストでは、ステップ 4 4 0 a、4 4 0 b、4 4 0 c の F C テストの工程を全てのリファレンスセルに対して実行される。

## 【 0 0 9 5 】

そして、ステップ 4 5 0 の F C テストを実行する。ステップ 4 5 0 a の F C テストでは、ステップ 4 4 0 の F C テスト以外の残りの全ての通常セルに対して初期状態の " 1 " 読み出しテストを行う。次に、F C テスト 4 5 0 b の F C テストでは、ステップ 4 4 0 の F C テスト以外の残りの全ての通常セルに対して固定パターンデータの " 0 " 書き込みを行う。最後に、ステップ 4 5 0 c の F C テストでは、ステップ 4 4 0 の F C テスト以外の残りの全ての通常セルに対して固定パターンデータの " 0 " 及び " 1 " 読み出しテストを行う。なお、ステップ 4 5 0 の F C テストの " 0 " 及び " 1 " のデータは固定パターンデータを使用する。

10

## 【 0 0 9 6 】

ステップ 4 3 0 では、D C テストを行う。詳細には、ステップ 4 2 0 の F C テストに含まれる 6 工程 (ステップ 4 4 0 a、4 4 0 b、4 4 0 c、4 5 0 a、4 5 0 b、4 5 0 c) の終了後に実行される。

## 【 0 0 9 7 】

従って、本願発明の第 2 実施形態によれば、電源供給からステップ 4 4 0 c の 1 ビット分のセルの固定パターンデータの " 0 " 読み出しテスト開始までの時間を短縮し、リファレンスビット線不良のスクリーニングをすることができる。

20

## 【 0 0 9 8 】

図 5 は、本願発明の第 2 実施形態におけるパッケージされた O T P 1 0 0 を検査するための第 4 のフローチャート 5 0 0 を示している。なお、第 4 のフローチャート 5 0 0 における O T P 1 0 0 の検査は、検査用ボードを用いて、パッケージにされた O T P 1 0 0 をテストする場合を示している。

## 【 0 0 9 9 】

ステップ 5 1 0 のコンタクトテストは、図 4 のステップ 4 1 0 のコンタクトテストと同様のテストである。詳細には、被検査対象が図 4 のステップ 4 1 0 の場合はウェハレベルの O T P 1 0 0 であり、図 5 のステップ 5 1 0 の場合はパッケージされた O T P 1 0 0 である点に違いがある。そこで、ステップ 5 1 0 のコンタクトテストでは、L S I テスタの検査端子と接続 (装着) された検査用ボードに搭載されている I C ソケットと、L S I テスタの装着部へ装着された検査用ボードの I C ソケットにセットされた O T P 1 0 0 (パッケージングされた I C) の端子が接触されているかどうかのコンタクトテストを実行する。

30

## 【 0 1 0 0 】

ステップ 5 2 0 の F C テストと図 4 のステップ 4 2 0 の F C テストは、基本的には同じである。しかし、パッケージにされた O T P 1 0 0 を検査するにあたり、ステップ 5 2 0 の F C テストは、ステップ 5 4 0 の F C テスト及びステップ 5 5 0 の F C テストで構成されている。

## 【 0 1 0 1 】

ステップ 5 4 0 の F C テストにおいては、ステップ 5 4 0 a 及びステップ 5 4 0 b で構成されている。ステップ 5 4 0 a では、ユーザデータ内の 1 ビット分のセルの " 0 " を書き込み、ステップ 5 4 0 b では、リファレンスセルの良否を 1 ビットのセルの " 0 " 読み出しテストによって判定する。

40

## 【 0 1 0 2 】

ステップ 5 5 0 においては、ステップ 5 5 0 a 及びステップ 5 5 0 b で構成されている。ステップ 5 5 0 a では、ユーザデータ内の残りのセルの " 0 " の書き込みを行う。詳細には、テスト終了した以外の残りの全ての通常セルに対し、ステップ 5 4 0 a で書き込まれた以外のユーザデータ内の全データの " 0 " の書き込みを行う。ステップ 5 5 0 b では、ステップ 5 5 0 a で書き込まれたユーザデータが正しいか否かを " 0 " 及び " 1 " 読み

50

出しテストによって判定する。

【0103】

なお、ステップ540のFCテストでは、ステップ540bのFCテストの工程を全てのリファレンスセルに対して実行される。

【0104】

ステップ530のDCテストは、図4のステップ430と同様のDCテストである。

【0105】

なお、本願発明の第2実施形態によれば、機能試験に基づき、少なくとも1回の機能試験を行うことでリファレンスセルの動作の良否を判定することを優先して実行する。

【0106】

本願発明の第2実施形態によれば、電源供給からステップ540bの1ビット分のセルの"0"読み出しテスト開始までの時間を短縮し、リファレンスビット線不良のスクリーニングをすることができる。

【0107】

以下に、リファレンスビット線不良がスクリーニングできる理由を説明する。

【0108】

図8を用いて説明したように、電源供給直後であれば、リファレンスカラムスイッチトランジスタ126のゲートレベルは充電されておらず、リファレンスビット線116bにリファレンスセル電流Irefが流れない。

【0109】

従来技術の説明でしたように、この場合、通常セルトランジスタ114が"1"（ブランク状態）であれば、ディテクタ130とリファレンスディテクタ140の出力電圧の差は、 $DO - RDO = Ra (VCC / (Ra + Rb) + Icell) - Ra (VCC / (Ra + Rb) + Iref / 2) = Ra \times Iref > 0$ となり、読み出しテストはPASSとなる。しかし、通常セルトランジスタ114が"0"（書き込み状態）であれば、ディテクタ130とリファレンスディテクタ140の出力電圧の差は、 $DO - RDO = Ra (VCC / (Ra + Rb) + Icell) - Ra (VCC / (Ra + Rb) + Iref / 2) = 0$ となり、読み出しテストはFAILとなる。

【0110】

以上のことから、リファレンスカラムスイッチトランジスタ126のゲート126gの断線又は高抵抗によるリファレンスビット線116bの不良は"1"読み出しテストでは不良を検出できず、"0"読み出しテスト（ステップ440c及びステップ540bにおける1ビット分のセルの"0"読み出しテスト）で不良を検出できる。

【0111】

上記から、リファレンスビット線116bの不良のスクリーニング検出率を向上させるためには、図4及び図5に示したように、電源供給からステップ440c及びステップ540bの1ビット分のセルの"0"読み出しテスト開始までの時間を短くする必要がある。

【0112】

そのため、ステップ430及びステップ530のDCテストをステップ420及びステップ520のFCテストの後に実行し、さらに多くの時間を要しないようにステップ440bの1ビット分のセルの"0"書き込み（ステップ540aのユーザデータ内の1ビット分のセルの"0"書き込み）をし、ステップ440c及びステップ540bの1ビット分のセルの"0"読み出しテストを実行している。

【0113】

なお、1ビット分のセル（全てのリファレンスセルに対応する通常セルを1つずつ）のみのテストで上記のようなリファレンスビット線116の不良をスクリーニングできる理由は、図1のリファレンスカラムスイッチトランジスタ126はカラムアドレス及びロウアドレス（選択WL112）によらず、常にオンとなっており、どのようなアドレスが選択されても不良となるためである。

10

20

30

40

50

【 0 1 1 4 】

従って、本願発明の第 2 実施形態によれば、メモリセルアレイ 1 1 0 に対して最初にステップ 4 4 0 a の 1 ビット分のセルの " 1 " 読み出しテスト、ステップ 4 4 0 b の 1 ビット分のセルの " 0 " 書き込み、ステップ 4 4 0 c の 1 ビット分のセルの " 0 " 読み出しテストを実行することで、電源供給からステップ 4 4 0 c の 1 ビット分のセルの " 0 " 読み出しテスト開始までの時間を大幅に短縮できる。さらに、メモリセルアレイ 1 1 0 に対して最初にステップ 5 4 0 a のユーザデータ内の 1 ビット分のセルの " 0 " 書き込み、ステップ 5 4 0 b の 1 ビット分のセルの " 0 " 読み出しテストを実行することで、電源供給からステップ 5 4 0 b の 1 ビット分のセルの " 0 " 読み出しテスト開始までの時間を大幅に短縮できる。また、その結果、ノーマリーオントランジスタであるリファレンスカラムスイッチトランジスタ 1 2 6 のゲート 1 2 6 g の断線又は高抵抗によるリファレンスビット線 1 1 6 b の不良をスクリーニングすることができる。

10

【 図面の簡単な説明 】

【 0 1 1 5 】

【 図 1 】本願発明の第 1 実施形態におけるデバイスである不揮発性半導体メモリの構成図である。

【 図 2 】本願発明の第 1 実施形態におけるウェハレベルの O T P を検査するための第 1 のフローチャートを示している。

【 図 3 】本願発明の第 1 実施形態におけるパッケージされた O T P を検査するための第 2 のフローチャートを示している。

20

【 図 4 】本願発明の第 2 実施形態におけるウェハレベルの O T P を検査するための第 3 のフローチャートを示している。

【 図 5 】本願発明の第 2 実施形態におけるパッケージされた O T P を検査するための第 4 のフローチャートを示している。

【 図 6 】従来技術でのウェハレベルのテスト工程を示している。

【 図 7 】従来技術でのパッケージされたテスト工程を示している。

【 図 8 】従来技術におけるリファレンスカラムスイッチトランジスタのゲートの不具合の状態を示している。

【 符号の説明 】

【 0 1 1 6 】

- 1 0 0 O T P
- 1 1 0 メモリセルアレイ
- 1 1 4 通常セルトランジスタ
- 1 1 6 リファレンスセルトランジスタ
- 1 2 4 カラムスイッチトランジスタ
- 1 2 6 リファレンスカラムスイッチトランジスタ
- 1 3 0 ディテクタ
- 1 4 0 リファレンスディテクタ
- D O ディテクタ出力
- R D O リファレンスディテクタ出力
- 2 1 0、2 6 0、4 1 0、3 1 0、3 6 0、5 1 0 コンタクトテスト（接触試験  
実行手段、接触試験実行工程）
- 2 2 0、4 3 0、3 2 0、5 3 0 D C テスト（直流電流試験実行手段、直流電流  
試験実行工程）
- 2 3 0、2 3 0 a、2 3 0 b、2 3 0 c、4 4 0、4 4 0 a、4 4 0 b、4 4 0 c、  
3 3 0、3 3 0 a、3 3 0 b、5 4 0、5 4 0 a、5 4 0 b F C テスト（機能試験実  
行手段、機能試験実行工程）
- 2 4 0、3 4 0 電源 O F F（電源供給制御手段、電源供給制御工程）
- 2 5 0、3 5 0 電源 O F F 所定時間維持（電供給源制御手段、電源供給制御工程  
）

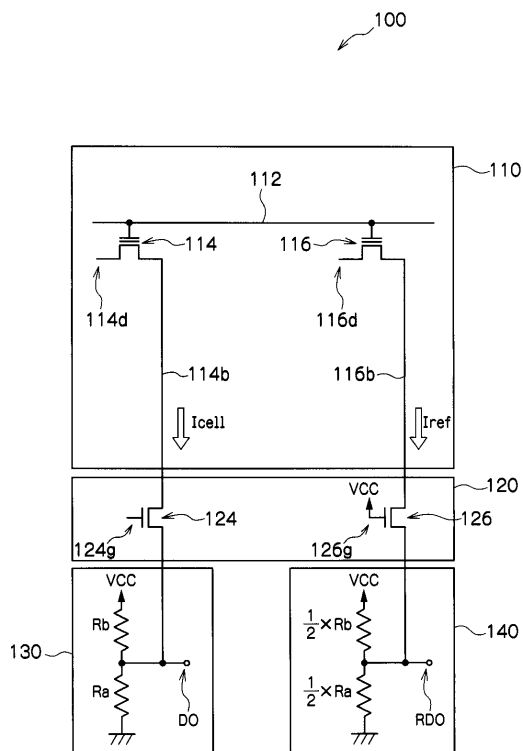
30

40

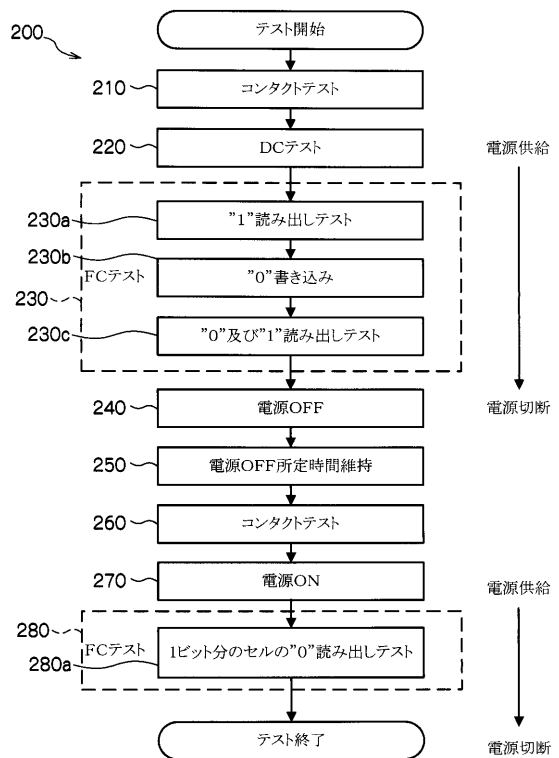
50

- 270、370 電源ON（電源供給制御手段、電源供給制御工程）
- 280、280a、380、380a、450、450a、450b、450c、550、550a FCテスト（機能試験実行手段、判定工程、判定優先実行工程）
- 420、520 FCテスト（機能試験実行手段、機能試験実行工程、判定工程、判定優先実行工程）

【図1】

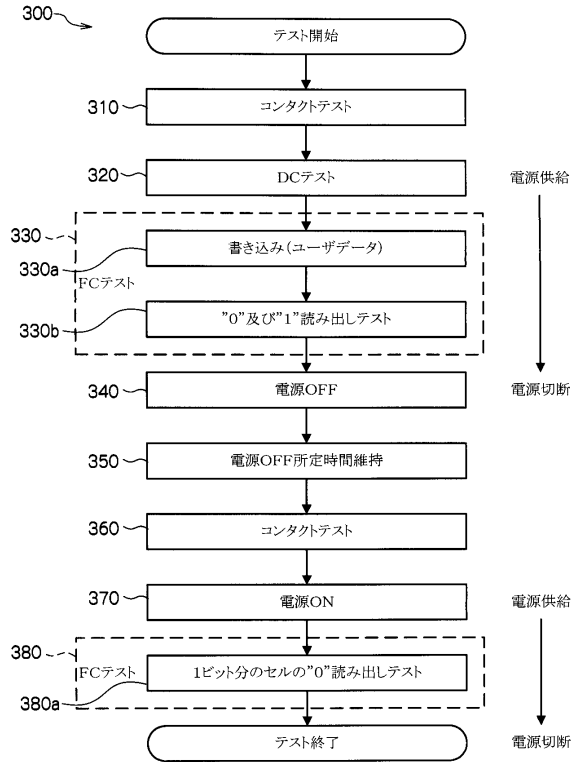


【図2】

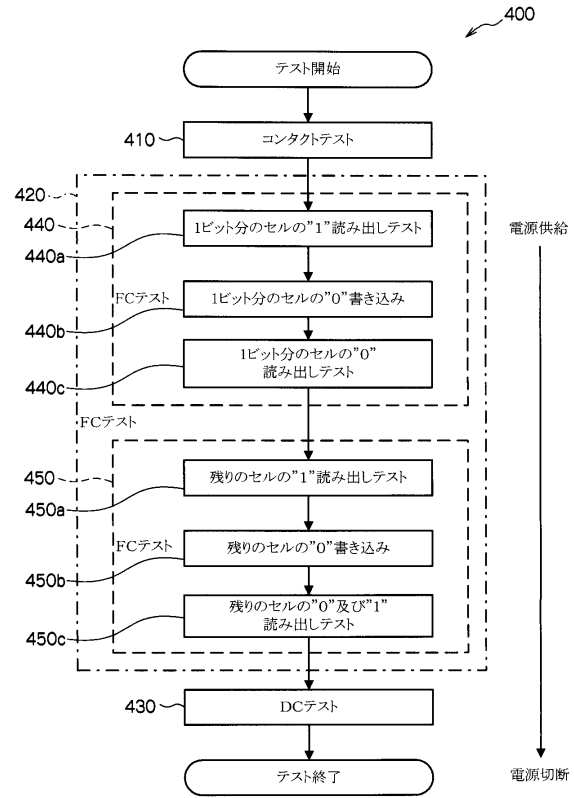




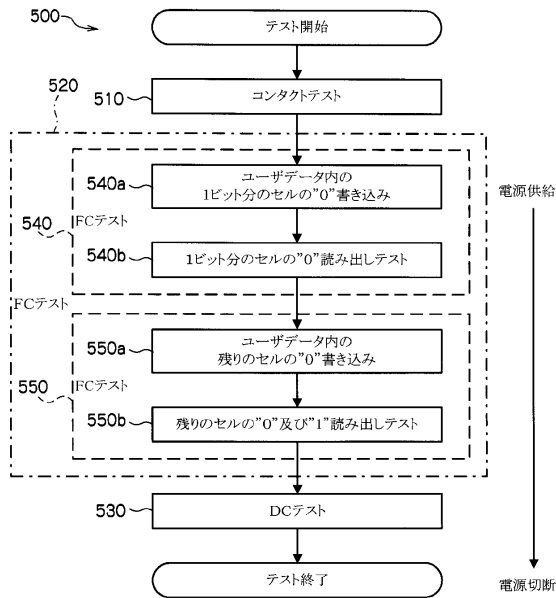
【図3】



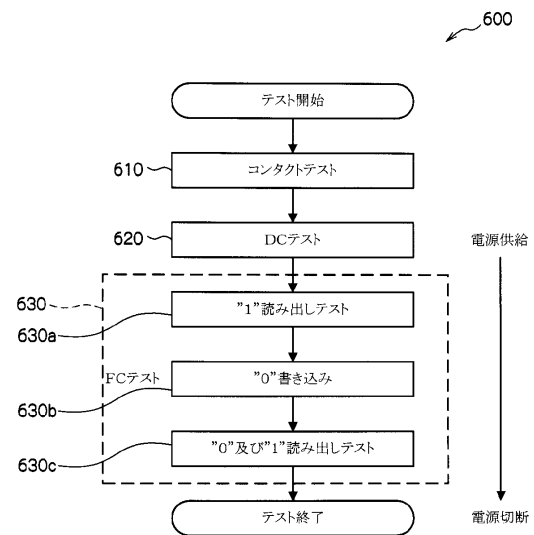
【図4】



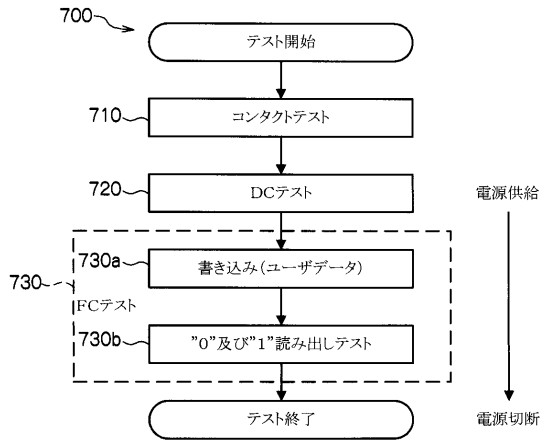
【図5】



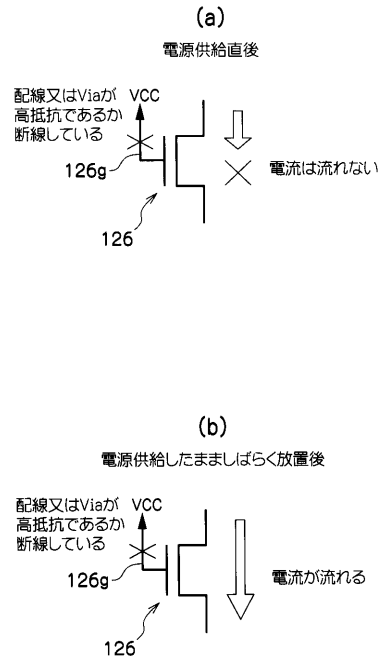
【図6】



【図7】



【図8】



---

フロントページの続き

(51)Int.Cl.		F I			
<i>H 0 1 L 29/788 (2006.01)</i>		G 1 1 C	17/00	6 0 1 Z	
<i>H 0 1 L 29/792 (2006.01)</i>		G 1 1 C	17/00	6 3 4 E	
<i>G 1 1 C 16/02 (2006.01)</i>					
<i>G 1 1 C 16/06 (2006.01)</i>					

審査官 小林 紀和

(56)参考文献 特開2004-062922(JP,A)  
特開2005-285281(JP,A)  
特開平05-136361(JP,A)

(58)調査した分野(Int.Cl., DB名)  
G 1 1 C 2 9 / 5 6