



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I470699 B

(45)公告日：中華民國 104 (2015) 年 01 月 21 日

(21)申請案號：100146842

(22)申請日：中華民國 100 (2011) 年 12 月 16 日

(51)Int. Cl. : H01L21/336 (2006.01)

H01L29/78 (2006.01)

(71)申請人：茂達電子股份有限公司 (中華民國) ANPEC ELECTRONICS CORPORATION  
(TW)

新竹市新竹科學工業園區篤行一路 6 號

(72)發明人：林永發 LIN, YUNG FA (TW)；徐守一 HSU, SHOU YI (TW)；吳孟韋 WU, MENG WEI (TW)；張家豪 CHANG, CHIA HAO (TW)

(74)代理人：吳豐任；戴俊彥

(56)參考文獻：

TW M409532

TW 201010058A

US 2008/0160702A1

US 2011/0049614A1

US 2011/0053326A1

審查人員：許志豪

申請專利範圍項數：20 項 圖式數：15 共 32 頁

(54)名稱

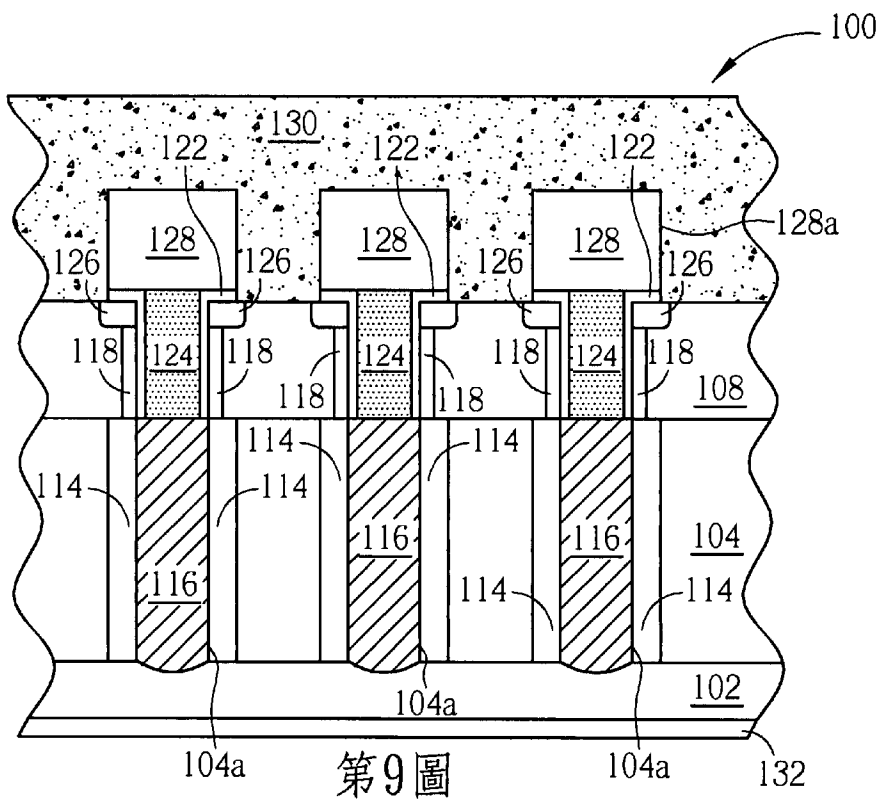
具有超級介面之溝槽型功率電晶體元件及其製作方法

TRENCH TYPE POWER TRANSISTOR DEVICE WITH SUPER JUNCTION AND  
MANUFACTURING METHOD THEREOF

(57)摘要

本發明提供一種具有超級介面之溝槽型功率電晶體元件之製作方法。首先，提供一具有一第一導電類型之基底。然後，於基底上形成一具有一第二導電類型之磊晶層。接著，於磊晶層中形成一穿孔，貫穿磊晶層。隨後，於穿孔之二側的磊晶層中分別形成二具有第一導電類型之汲極摻雜區，且汲極摻雜區從磊晶層之上表面延伸至與基底相接觸。

The present invention provides a manufacturing method of a trench type power transistor device with super junction. First, a substrate having a first conductive type is provided, and then an epitaxial layer having a second conductive type is formed on the substrate. Next, a through hole is formed in the epitaxial layer, and the through hole penetrates through the epitaxial layer. Thereafter, two doped drain regions having the first conductive type are formed in the epitaxial layer at two sides of the through hole, respectively, and the doped drain regions extend from a top surface of the epitaxial layer to be in contact with the substrate.



第9圖

- 100 . . . 溝槽型功率電晶體元件
- 102 . . . 基底
- 104 . . . 磊晶層
- 104a . . . 穿孔
- 108 . . . 井區
- 114 . . . 汲極摻雜區
- 116 . . . 絕緣層
- 118 . . . 通道摻雜區
- 122 . . . 閘極絕緣層
- 124 . . . 閘極導電層
- 126 . . . 源極摻雜區
- 128 . . . 介電層
- 128a . . . 接觸洞
- 130 . . . 源極金屬層
- 132 . . . 汲極金屬層

## 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：

100146842

(2006.01)

※ 申請日：

2006.01.18

※IPC 分類：

H01L 21/336

H01L 29/78

(2006.01)

一、發明名稱：(中文/英文)

具有超級介面之溝槽型功率電晶體元件及其製作方法/TRENCH TYPE  
POWER TRANSISTOR DEVICE WITH SUPER JUNCTION AND  
MANUFACTURING METHOD THEREOF

二、中文發明摘要：

本發明提供一種具有超級介面之溝槽型功率電晶體元件之製作方法。首先，提供一具有一第一導電類型之基底。然後，於基底上形成一具有一第二導電類型之磊晶層。接著，於磊晶層中形成一穿孔，貫穿磊晶層。隨後，於穿孔之二側的磊晶層中分別形成二具有第一導電類型之汲極摻雜區，且汲極摻雜區從磊晶層之上表面延伸至與基底相接觸。

三、英文發明摘要：

The present invention provides a manufacturing method of a trench type power transistor device with super junction. First, a substrate having a first conductive type is provided, and then an epitaxial layer having a second conductive type is formed on the substrate. Next, a through hole is formed in the epitaxial layer, and the through hole penetrates through the epitaxial layer. Thereafter, two doped drain regions having the first conductive type are formed in the epitaxial layer

at two sides of the through hole, respectively, and the doped drain regions extend from a top surface of the epitaxial layer to be in contact with the substrate.

#### 四、指定代表圖：

(一)本案指定代表圖為：第(9)圖。

(二)本代表圖之元件符號簡單說明：

100	溝槽型功率電晶體元件	102	基底
104	磊晶層	104a	穿孔
108	井區	114	汲極摻雜區
116	絕緣層	118	通道摻雜區
122	閘極絕緣層	124	閘極導電層
126	源極摻雜區	128	介電層
128a	接觸洞	130	源極金屬層
132	汲極金屬層		

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明係關於一種溝槽型功率電晶體元件及其製作方法，尤指一種具有超級介面之溝槽型功率電晶體元件及其製作方法。

### 【先前技術】

在功率電晶體元件中，汲極與源極間導通電阻  $R_{DS(on)}$  的大小係與元件之功率消耗成正比，因此降低導通電阻  $R_{DS(on)}$  的大小可減少功率電晶體元件所消耗之功率。於導通電阻  $R_{DS(on)}$  中，用於耐壓之磊晶層所造成之電阻值所佔的比例係為最高。雖然增加磊晶層中導電物質之摻雜濃度可降低磊晶層之電阻值，但磊晶層的作用係為用於承受高電壓。若增加摻雜濃度會降低磊晶層之崩潰電壓，因而降低功率電晶體元件之耐壓能力。

為了維持或提升功率電晶體元件之耐壓能力，並降低磊晶層之電阻值，目前已發展出一種具有超級介面(super junction)之功率電晶體元件，以兼具高耐壓能力以及低導通電阻。於習知功率電晶體元件中，基底上係形成有沿著水平方向交替設置 P 型磊晶層與 N 型磊晶層，使 P 型磊晶層與 N 型磊晶層形成複數個 PN 接面，彼此平行且垂直於基底表面。習知製作功率電晶體元件之方法係利用蝕刻製程於 N 型磊晶層中形成複數個深溝槽，然後於深溝槽中填入 P 型磊晶層。然而，深溝槽之深寬比具有一定大小，且習知之蝕刻製程所製

作出之溝槽的深寬比有一定的限制，因此P型磊晶層亦不易完整填充於溝槽中，而容易於其中產生空隙，使超級介面有缺陷。

有鑑於此，提供一種具有超級介面之功率電晶體元件及其製作方法，來避免形成有缺陷之超級介面實為業界努力之目標。

### 【發明內容】

本發明之主要目的在於提供一種具有超級介面之溝槽型功率電晶體元件及其製作方法，以避免形成有缺陷之超級介面。

為達上述之目的，本發明提供一種具有超級介面之溝槽型功率電晶體元件之製作方法。首先，提供一基底，且基底具有一第一導電類型。然後，於基底上形成一磊晶層，且磊晶層具有不同於第一導電類型之一第二導電類型。接著，於磊晶層中形成至少一穿孔，貫穿磊晶層。隨後，於穿孔之二側的磊晶層中分別形成二汲極摻雜區，且汲極摻雜區從磊晶層之上表面延伸至與基底相接觸，其中汲極摻雜區具有第一導電類型。接著，於穿孔中填入一絕緣層，且絕緣層之上表面低於磊晶層之上表面。然後，於絕緣層上之穿孔之各側的磊晶層中分別形成一通道摻雜區，使位於絕緣層上之穿孔之各側的各汲極摻雜區轉變為各通道摻雜區，其中通道摻雜區具有第二導電類型。隨後，於絕緣層上之穿孔中形成一閘極結構。然後，於穿孔之各側的磊晶層中分別形成一源極摻雜區，且源極摻雜區具有第一導電類型。

為達上述之目的，本發明提供另一種具有超級介面之溝槽型功率電晶體元件之製作方法。首先，提供一基底，且基底具有一第一導電類型。然後，於基底上形成一第一磊晶層，且第一磊晶層具有不同於第一導電類型之一第二導電類型。接著，於第一磊晶層中形成至少一第一穿孔，貫穿第一磊晶層。其後，於第一穿孔之二側的第一磊晶層中分別形成二汲極摻雜區，且汲極摻雜區從第一磊晶層之上表面延伸至與基底相接觸，其中汲極摻雜區具有第一導電類型。之後，於第一穿孔中填滿一絕緣層。接著，於第一磊晶層與絕緣層上形成一第二磊晶層，且第二磊晶層具有第二導電類型。然後，於第二磊晶層中形成至少一第二穿孔，曝露出絕緣層。接著，於第二穿孔中形成一閘極結構。隨後，於第二穿孔之二側的第二磊晶層中分別形成二源極摻雜區，且源極摻雜區具有第一導電類型。

為達上述之目的，本發明提供一種具有超級介面之溝槽型功率電晶體元件，包括一基底、一第一磊晶層、至少二汲極摻雜區、一絕緣層、至少二通道摻雜區、一閘極結構以及至少二源極摻雜區。基底具有一第一導電類型。第一磊晶層設於基底上，且具有至少一穿孔，其中第一磊晶層具有不同於第一導電類型之一第二導電類型。汲極摻雜區設於穿孔二側之第一磊晶層中，且與基底相接觸，其中汲極摻雜區具有第一導電類型。絕緣層設於穿孔中，且絕緣層之上表面低於第一磊晶層之上表面。通道摻雜區分別設於汲極摻雜區上之第一磊晶層中，並分別與汲極摻雜區相接觸，其中通道摻雜區具有第二導電類型。閘極結構設於絕緣層上之穿孔中。源極摻雜區分



別設於穿孔二側之第一磊晶層中，並分別與通道摻雜區相接觸，其中源極摻雜區具有第一導電類型。

為達上述之目的，本發明提供另一種具有超級介面之溝槽型功率電晶體元件，包括一基底、一第一磊晶層、至少二汲極摻雜區、一絕緣層、一第二磊晶層、一閘極結構以及至少二源極摻雜區。基底具有一第一導電類型。第一磊晶層設於基底上，且具有至少一第一穿孔，其中第一磊晶層具有不同於第一導電類型之一第二導電類型。汲極摻雜區設於第一穿孔二側之第一磊晶層中，且各汲極摻雜區從第一磊晶層之上表面延伸至與基底相接觸，其中汲極摻雜區具有第一導電類型。絕緣層填滿第一穿孔。第二磊晶層設於第一磊晶層上，並與汲極摻雜區相接觸，且第二磊晶層具有至少一第二穿孔，設於絕緣層上，其中第二磊晶層具有第二導電類型。閘極結構設於絕緣層上之第二穿孔中。源極摻雜區分別設於第二穿孔二側之第二磊晶層中，其中源極摻雜區具有第一導電類型。

本發明利用斜角度離子佈植製程或氣相摻雜製程於磊晶層中形成汲極摻雜區，使所形成之超級介面具有平整性。藉此，可避免在直接於磊晶層之穿孔中填入另一磊晶層之情況下因所填入之磊晶層產生空隙而造成超級介面有缺陷。

#### 【實施方式】

請參考第 1 圖至第 9 圖，第 1 圖至第 9 圖，第 1 圖至第 9 圖為本

發明一第一較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖，其中第 9 圖為本發明第一較佳實施例之具有超級介面之溝槽型功率電晶體元件之剖面示意圖。如第 1 圖所示，首先提供一基底 102，例如：矽晶圓，且基底 102 具有一第一導電類型。然後，利用一磊晶製程，例如：物理氣相沉積製程或化學氣相沉積製程，於基底 102 上形成一磊晶層 104，且磊晶層 104 具有不同於第一導電類型之一第二導電類型。隨後，於磊晶層 104 上形成一襯墊層 106。然後，利用一第二導電類型之離子佈植製程與一熱趨入製程，於磊晶層 104 中形成一井區 108，且井區 108 具有第二導電類型。並且，本實施例之第一導電類型與第二導電類型分別為 N 型與 P 型，但不限於此，亦可互換。於本發明之其他實施例中，襯墊層 106 亦可選擇性地未形成於磊晶層 104 上，且井區 108 亦可選擇性地未形成於磊晶層 104 中。

如第 2 圖所示，進行一沉積製程，於襯墊層 106 上形成一第一硬遮罩層 110，例如：氮化矽。然後，進行另一沉積製程，於第一硬遮罩層 110 上形成一第二硬遮罩層 112，例如：氧化矽。接著，圖案化第二硬遮罩層 112、第一硬遮罩層 110 以及襯墊層 106，以形成一開口，曝露出 P 型磊晶層 104。然後，以第二硬遮罩層 112 為遮罩，進行一蝕刻製程，於 P 型磊晶層 104 中形成複數個穿孔 104a，分別貫穿 P 型磊晶層 104，且曝露出 N 型基底 102。各穿孔 104a 可進一步延伸至 N 型基底 102，但不限於此。此外，本發明之穿孔 104a 之數量不限為複數個，亦可僅為單一個。

103年9月9日修正頁(本)  
對條

如第3圖所示，接著，於各穿孔104a之二側的P型磊晶層104與P型井區108中分別植入複數個N型離子。於本實施例中，於P型磊晶層104與P型井區108中植入N型離子之步驟可利用一N型斜角度離子佈植製程(tilt angle ion implantation process)或一N型氣相摻雜製程(vapor phase doping process)，但不限於此。然後，進行一熱趨入製程，於各穿孔104a之二側的P型磊晶層104與P型井區108中分別形成二N型汲極摻雜區114，且N型汲極摻雜區114從P型磊晶層104之上表面延伸至與N型基底102相接觸。藉此，N型汲極摻雜區114可與P型磊晶層104相接觸而形成一PN界面，亦即超級介面，從P型磊晶層104延伸至N型基底102，且PN界面係約略垂直N型基底102。隨後，進行另一沉積製程，於第二硬遮罩層112上形成一絕緣材料層113，例如：氧化矽，且絕緣材料層113填滿於各穿孔104a中。值得注意的是，本實施例利用斜角度離子佈植製程或氣相摻雜製程將N型離子植入P型磊晶層104中，然後在藉由熱趨入製程擴散N型離子而形成N型汲極摻雜區114，使所形成之超級介面具有平整性，進而避免在直接於穿孔104a中填入N型磊晶層之情況下因N型磊晶層產生空隙而造成超級介面有缺陷。

如第4圖所示，然後，移除位於各穿孔104a外之絕緣材料層113與第二硬遮罩層112。由於本實施例之絕緣材料層113與第二硬遮罩層112係由相同材料所構成，因此移除位於各穿孔104a外之絕緣

103年9月9日修正頁(本)  
劃線

103年9月9日修正替換頁

材料層與第二硬遮罩層 112 之步驟可利用進行一研磨製程來完成，但本發明不以此為限。接著，進行另一蝕刻製程，移除各穿孔 104a 中之部分絕緣材料層 113，以形成一絕緣層 116，且絕緣層 116 之上表面低於 P 型磊晶層 104 之上表面。並且，P 型井區 108 之底部約略與絕緣層 116 之上表面位於同一平面，但不限於此。

如第 5 圖所示，接著，於絕緣層 116 上之各穿孔 104a 之各側的 P 型井區 108 中植入複數個 P 型離子。於本實施例中，於 P 型井區 108 中植入 P 型離子之步驟可利用一 P 型斜角度離子佈植製程或一 P 型氣相摻雜製程，但不限於此。然後，進行一熱趨入製程，於絕緣層 116 上之各穿孔 104a 之各側的 P 型井區 108 中形成一 P 型通道摻雜區 118，且此 P 型通道摻雜區 118 係利用前述之 P 型摻雜轉變絕緣層 116 上之各穿孔 104a 之各 N 型汲極摻雜區 114，使各 P 型通道摻雜區 118 分別與其下方之各 N 型汲極摻雜區 114 相接觸。隨後，移除第一硬遮罩層 110 以及襯墊層 106，以曝露出 P 型磊晶層 104 之上表面。本實施例之 P 型通道摻雜區 118 可作為溝槽型功率電晶體元件 100 之通道區。於本發明之其他實施例中，植入 N 型離子之步驟與形成絕緣層之 116 步驟之間並不需進行熱趨入製程，且 N 型汲極摻雜區 114 可與 P 型通道摻雜區 118 利用同一熱趨入製程來形成。

如第 6 圖所示，接下來，於絕緣層 116 上之各穿孔 104a 中形成一閘極結構 120。並且，閘極結構 120 包括一閘極絕緣層 122 與一

閘極導電層 124，且閘極絕緣層 122 設於閘極導電層 124 與 P 型井區 108 之間。於本實施例中，形成閘極結構 120 之步驟可先進行一熱氧化製程，於曝露出之 P 型井區 108 之上表面以及絕緣層 116 上之各穿孔 104a 之側壁上形成一閘極絕緣層 122。然後，進行另一沉積製程，於閘極絕緣層 122 上形成一閘極導電層 124，例如：多晶矽，且閘極導電層 124 填滿絕緣層 116 上之各穿孔 104a。接著，進行一研磨製程以及一回蝕刻製程，移除位於各穿孔 104a 外之閘極導電層 124，以於各穿孔 104a 中形成閘極結構 120。本實施例之閘極導電層 124 係作為溝槽型功率電晶體元件之閘極。

如第 7 圖所示，然後，進行一微影製程及一 N 型離子佈植製程，於閘極導電層 124 之周圍 P 型通道摻雜區 118 之上方形形成一 N 型摻雜區，然後，再經由一熱趨入製程以於各 P 型通道摻雜區 118 上形成一 N 型源極摻雜區 126，作為溝槽型功率電晶體元件之源極，且各 N 型源極摻雜區 126 與各 P 型通道摻雜區 118 相接觸。

如第 8 圖所示，接著，於閘極絕緣層 122 以及閘極導電層 124 上覆蓋一介電層 128。接著，進行一微影暨蝕刻製程，於介電層 128 與閘極絕緣層 122 中形成複數個接觸洞 128a，以暴露出 P 型磊晶層 104 以及 N 型源極摻雜區 126。於本發明之其他實施例中，於形成接觸洞 128a 之後，另可進行另一 P 型離子佈植製程與另一熱趨入製程，於各接觸洞 128a 所曝露之 P 型磊晶層 104 中形成一 P 型接觸摻雜區，以降低接觸電阻，且 P 型接觸摻雜區與 N 型源極摻雜區 126

與 P 型井區 108 相接觸。

如第 9 圖所示，隨後，於介電層 128 上與接觸洞 128a 中形成一源極金屬層 130。並且，於 N 型基底 102 下形成一汲極金屬層 132。於本實施例中，形成源極金屬層 130 與汲極金屬層 132 之步驟可包含進行電漿濺鍍或電子束沉積等製程，且源極金屬層 130 可包括鈦、氮化鈦、鋁、鎢等金屬或金屬化合物，但不限於此。至此已完成本實施例之溝槽型功率電晶體元件 100。於本發明之其他實施例中，於形成源極金屬層 130 之前亦可先於接觸洞 128a 中形成接觸插塞，或先於接觸洞 128a 底部之 P 型井區 108 上形成一阻障層。

本發明之溝槽型功率電晶體元件及其製作方法並不以上述實施例為限。下文將繼續揭示本發明之其它實施例或變化形，然為了簡化說明並突顯各實施例或變化形之間的差異，下文中使用相同標號標注相同元件，並不再對重覆部分作贅述。

請參考第 10 圖與第 11 圖，且一併參考第 1 圖至第 4 圖以及第 5 圖至第 9 圖。第 10 圖與第 11 圖為本發明一第二較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖。為了方便說明起見，與第一實施例相同之部分元件將使用相同標號標註。如第 1 圖至第 4 圖所示，本實施例之製作方法於形成絕緣層之前的步驟係與第一實施例相同，因此在此不再贅述。如第 10 圖所示，相較於第一實施例，本實施例之製作方法係於形成絕緣

層之步驟之後另進行一熱氧化製程，以於絕緣層 116 上之各穿孔 104a 之二側壁上分別形成二氧化層 134，並且在熱氧化製程中被曝露出之各 N 型汲極摻雜區 114 的矽會與氧反應，因此鄰近各穿孔 104a 之各 N 型汲極摻雜區 114 之一部分轉變為各氧化層 134 之一部分。然後，如第 11 圖所示，進行一濕式蝕刻製程，以移除氧化層 134。值得注意的是，由於 N 型汲極摻雜區 114 係藉由植入 N 型離子與熱趨入製程所形成，因此在接近各穿孔 104a 之側壁的 N 型汲極摻雜區 114 會具有較高之摻雜濃度。本實施例係利用熱氧化製程將具有較高摻雜濃度之 N 型汲極摻雜區 114 轉變為氧化層 134，接著利用蝕刻製程移除氧化層 134，以移除具有較高摻雜濃度之 N 型汲極摻雜區 114，藉此在後續形成 P 型通道摻雜區 118 之步驟中，可避免為了中和較高濃度之 N 型汲極摻雜區 114 而調高佈植 P 型離子之濃度，進而可有效控制 P 型通道摻雜區 118 之摻雜濃度。如第 5 圖至第 9 圖所示，由於本實施例之製作方法中形成 P 型通道摻雜區 118 之後的步驟係與第一實施例之製作方法相同，且所完成之功率電晶體元件 100 之結構亦相同，如第 9 圖所示，因此不再在此贅述。

請參考第 12 圖至第 15 圖，第 12 圖與第 15 圖為本發明一第三較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖，其中第 15 圖為本發明第三較佳實施例之具有超級介面之溝槽型功率電晶體元件之剖面示意圖。如第 12 圖所示，相較於第一實施

例，本實施例之製作方法於提供 N 型基底 102 之後，於 N 型基底 102 上形成一 P 型第一磊晶層 202，並於 P 型第一磊晶層 202 上形成一第一硬遮罩層 204。然後，圖案化第一硬遮罩層 204，以曝露出 P 型第一磊晶層 202。接著，以第一硬遮罩層 204 為遮罩，蝕刻 P 型第一磊晶層 202，以於 P 型第一磊晶層 202 中形成複數個第一穿孔 202a，分別貫穿 P 型第一磊晶層 202。

如第 13 圖所示，接著，於各第一穿孔 202a 之二側的 P 型第一磊晶層 202 中分別植入複數個 N 型離子。於本實施例中，於 P 型第一磊晶層 202 中植入 N 型離子之步驟可利用一 N 型斜角度離子佈植製程或一 N 型氣相摻雜製程，但不限於此。然後，進行一熱趨入製程，於各第一穿孔 202a 之二側的 P 型第一磊晶層 202 中分別形成二 N 型汲極摻雜區 114，且 N 型汲極摻雜區 114 從 P 型第一磊晶層 202 之上表面延伸至與 N 型基底 102 相接觸。藉此，N 型汲極摻雜區 114 可與 P 型第一磊晶層 202 相接觸而形成一 PN 接面，亦即超級介面，從 P 型第一磊晶層 202 延伸至 N 型基底 102，且 PN 接面係約略垂直 N 型基底 102。接著，於第一硬遮罩層 204 上形成一絕緣材料層 206，例如：氧化矽，且絕緣材料層 206 填滿於各第一穿孔 202a 中。

如第 14 圖所示，然後，移除位於各第一穿孔 202a 外之絕緣材料層 206 與第一硬遮罩層 204，以曝露出 P 型第一磊晶層 202，並於各第一穿孔 202a 中填滿絕緣層 208。由於本實施例之絕緣材料層 206 與第一硬遮罩層 204 係由相同材料所構成，因此移除位於各第一穿



孔 202a 外之絕緣材料層 206 與第一硬遮罩層 204 之步驟可利用進行一研磨製程來完成，但本發明不以此為限。接著，於絕緣層 208 與 P 型第一磊晶層 202 上形成一 P 型第二磊晶層 210。然後，於 P 型第二磊晶層 210 上形成一第二硬遮罩層 212，並圖案化第二硬遮罩層 212。隨後，以第二硬遮罩層 212 為遮罩，於 P 型第二磊晶層 210 中形成複數個第二穿孔 210a，分別對應各第一穿孔 202a，以曝露出絕緣層 208。接著，於各第二穿孔 210a 之二側的 P 型第二磊晶層 210 中分別植入複數個 P 型離子。於本實施例中，於 P 型第二磊晶層 210 中植入 P 型離子之步驟可利用一 P 型斜角度離子佈植製程或一 P 型氣相摻雜製程，但不限於此。然後，進行一熱趨入製程，於各第二穿孔 210a 之二側的 P 型第二磊晶層 210 中分別形成二 P 型通道摻雜區 118，且各 P 型通道摻雜區 118 從 P 型第二磊晶層 210 之上表面延伸至與各 N 型汲極摻雜區 114 相接觸。於本發明之其他實施例中，植入 N 型離子之步驟與形成絕緣層 208 之步驟之間並不需進行熱趨入製程，且 N 型汲極摻雜區 114 可與 P 型通道摻雜區 118 於同一熱趨入製程中同時形成。

如第 15 圖所示，接下來，移除第二硬遮罩層 212，以曝露出 P 型第二磊晶層 210 之上表面。隨後，於各第二穿孔 210a 中形成一閘極結構 120，其中閘極結構 120 包括一閘極絕緣層 122 與一閘極導電層 124，且閘極絕緣層 122 設於閘極導電層 124 與 P 型第二磊晶層 210 之間，並延伸至 P 型第二磊晶層 210 上。然後，於各第二穿孔 210a 之二側的 P 型第二磊晶層 210 中分別形成二 N 型源極摻雜

103年9月9日修正  
劃線頁(本)

103年9月9日修正替換頁

區 126。藉此，各 P 型通道摻雜區 118 位於各 N 型源極摻雜區 126 與各 N 型汲極摻雜區 114 之間。由於後續步驟與第一實施例相同，在此不再贅述。藉此，可完成本實施例之溝槽型功率電晶體元件 200。此外，本發明之第一穿孔 202a 與第二穿孔 210a 之數量不限分別為複數個，亦可分別僅為單一個。

值得注意的是，本實施例之製作方法利用斜角度離子佈植製程或氣相摻雜製程先於 P 型第一磊晶層 202 中形成 N 型汲極摻雜區 114，使所形成之超級介面具有平整性。藉此，可避免在直接於第一穿孔 202a 中填入 N 型磊晶層之情況下因 N 型磊晶層產生空隙而造成超級介面有缺陷。

綜上所述，本發明利用斜角度離子佈植製程或氣相摻雜製程於磊晶層中形成汲極摻雜區，使所形成之超級介面具有平整性。藉此，可避免在直接於磊晶層之穿孔中填入另一磊晶層之情況下因所填入之磊晶層產生空隙而造成超級介面有缺陷。

以上所述僅為本發明之較佳實施例，凡依本發明申請專利範圍所做之均等變化與修飾，皆應屬本發明之涵蓋範圍。

### 【圖式簡單說明】

第 1 圖至第 9 圖為本發明一第一較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖。

第 10 圖與第 11 圖為本發明一第二較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖。

第 12 圖與第 15 圖為本發明一第三較佳實施例之具有超級介面之溝槽型功率電晶體元件之製作方法示意圖。

### 【主要元件符號說明】

100	溝槽型功率電晶體元件	102	基底
104	磊晶層	104a	穿孔
106	襯墊層	108	井區
110	第一硬遮罩層	112	第二硬遮罩層
113	絕緣材料層	114	汲極摻雜區
116	絕緣層	118	通道摻雜區
120	閘極結構	122	閘極絕緣層
124	閘極導電層	126	源極摻雜區
128	介電層	128a	接觸洞
130	源極金屬層	132	汲極金屬層
134	氧化層	200	溝槽型功率電晶體元件
202	第一磊晶層	202a	第一穿孔
204	第一硬遮罩層	206	絕緣材料層
208'	絕緣層	210	第二磊晶層
210a	第二穿孔		

修正頁(本)  
103年9月9日  
對線

103年9月9日修正替換頁

## 七、申請專利範圍：

1. 一種具有超級介面之溝槽型功率電晶體元件之製作方法，包括：  
提供一基底，且該基底具有一第一導電類型；  
於該基底上形成一磊晶層，且該磊晶層具有不同於該第一導電類型之一第二導電類型；  
於該磊晶層中形成至少一穿孔，貫穿該磊晶層；  
於該穿孔之二側的該磊晶層中分別形成二汲極摻雜區，且該等汲極摻雜區從該磊晶層之上表面延伸至與該基底相接觸，其中該等汲極摻雜區具有該第一導電類型；  
於該穿孔中填入一絕緣層，且該絕緣層之上表面低於該磊晶層之上表面；  
於該絕緣層上之該穿孔之各該側的該磊晶層中分別形成一通道摻雜區，其中該等通道摻雜區具有該第二導電類型；  
於該絕緣層上之該穿孔中形成一閘極結構；以及  
於各該通道摻雜區上分別形成一源極摻雜區，且該等源極摻雜區具有該第一導電類型。
2. 如請求項1所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該磊晶層之步驟與形成該穿孔之步驟之間，該製作方法另包括：  
於該磊晶層上依序形成一第一硬遮罩層以及一第二硬遮罩層；以及  
圖案化該第二硬遮罩層以及該第一硬遮罩層，以曝露出該磊晶

層。

3. 如請求項2所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該磊晶層之步驟與形成該第一硬遮罩層之步驟之間，該製作方法另包括：

於該磊晶層上形成一襯墊層；以及

於該磊晶層中形成一井區，且該井區具有該第二導電類型。

4. 如請求項2所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該絕緣層之步驟包括：

於該第二硬遮罩層上形成一絕緣材料層，且該絕緣材料層填滿該穿孔；

進行一研磨製程，移除位於該穿孔外之該絕緣材料層與該第二硬遮罩層；以及

進行一蝕刻製程，移除該穿孔中之部分該絕緣材料層，以形成該絕緣層。

5. 如請求項1所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該等汲極摻雜區之步驟包括一斜角度離子佈植製程或一氣相摻雜製程。

6. 如請求項1所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中於形成該絕緣層之步驟與形成該等通道摻雜區之步驟

之間，該製作方法另包括：

於該絕緣層上之該穿孔之二側壁上分別形成二氧化層，其中鄰近

該穿孔之各該汲極摻雜區之一部分轉變為各該氧化層之一部

分；以及

進行一濕式蝕刻製程，移除該等氧化層。

7. 如請求項1所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該等通道摻雜區之步驟包括一斜角度離子佈植製程或一氣相摻雜製程。

8. 如請求項1所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中於形成該等通道摻雜區之步驟與形成該閘極結構之步驟之間，該製作方法另包括移除該第一硬遮罩層以及該襯墊層。

9. 一種具有超級介面之溝槽型功率電晶體元件之製作方法，包括：

提供一基底，且該基底具有一第一導電類型；

於該基底上形成一第一磊晶層，且該第一磊晶層具有不同於該第

一導電類型之一第二導電類型；

於該第一磊晶層中形成至少一第一穿孔，貫穿該第一磊晶層；

於該第一穿孔之二側的該第一磊晶層中分別形成二汲極摻雜

區，且該等汲極摻雜區從該第一磊晶層之上表面延伸至與該基

底相接觸，其中該等汲極摻雜區具有該第一導電類型；

於該第一穿孔中填滿一絕緣層；

- 於該第一磊晶層與該絕緣層上形成一第二磊晶層，且該第二磊晶層具有該第二導電類型；
- 於該第二磊晶層中形成至少一第二穿孔，曝露出該絕緣層；
- 於該第二穿孔中形成一閘極結構；以及
- 於該第二穿孔之二側的該第二磊晶層中分別形成二源極摻雜區，且該等源極摻雜區具有該第一導電類型。
10. 如請求項 9 所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該第一磊晶層之步驟與形成該第一穿孔之步驟之間，該製作方法另包括：
- 於該第一磊晶層上形成一硬遮罩層；以及
- 圖案化該硬遮罩層，以曝露出該第一磊晶層。
11. 如請求項 10 所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該絕緣層之步驟包括：
- 於該硬遮罩層上形成一絕緣材料層，且該絕緣材料層填滿該第一穿孔；以及
- 移除位於該第一穿孔外之該絕緣材料層與該硬遮罩層，以於該第一穿孔中形成該絕緣層。
12. 如請求項 9 所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該等汲極摻雜區之步驟包括一斜角度離子佈植製程或一氣相摻雜製程。

13. 如請求項 9 所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中於形成該第二穿孔之步驟與形成該閘極結構之步驟之間，該製作方法另包括於該第二穿孔之各該側之該第二磊晶層中分別形成一通道摻雜區。
14. 如請求項 13 所述之具有超級介面之溝槽型功率電晶體元件之製作方法，其中形成該等通道摻雜區之步驟包括一斜角度離子佈植製程或一氣相摻雜製程。
15. 一種具有超級介面之溝槽型功率電晶體元件，包括：
- 一基底，具有一第一導電類型；
  - 一第一磊晶層，設於該基底上，且具有至少一穿孔，其中該第一磊晶層具有不同於該第一導電類型之一第二導電類型；
  - 至少二汲極摻雜區，設於該穿孔二側之該第一磊晶層中，且與該基底相接觸，其中該等汲極摻雜區具有該第一導電類型，該等汲極摻雜區與該第一磊晶層相接觸；
  - 一絕緣層，設於該穿孔中，且該絕緣層之上表面低於該第一磊晶層之上表面；
  - 至少二通道摻雜區，分別設於該等汲極摻雜區上之該第一磊晶層中，並分別與該等汲極摻雜區相接觸，其中該等通道摻雜區具有該第二導電類型；
  - 一閘極結構，設於該絕緣層上之該穿孔中；以及



至少二源極摻雜區，分別設於該穿孔之該等側之該第一磊晶層中，並分別與該等通道摻雜區相接觸，其中該等源極摻雜區具有該第一導電類型。

16. 如請求項 15 所述之具有超級介面之溝槽型功率電晶體元件，另包括一井區，設於該絕緣層上之該第一磊晶層中，且具有該第二導電類型，其中該等通道摻雜區與該等源極摻雜區設於該井區中。

17. 如請求項 15 所述之具有超級介面之溝槽型功率電晶體元件，其中該閘極結構包括一閘極導電層與一閘極絕緣層，且該閘極絕緣層設於該閘極導電層與該第一磊晶層之間。

18. 一種具有超級介面之溝槽型功率電晶體元件，包括：

一基底，具有一第一導電類型；

一第一磊晶層，設於該基底上，且具有至少一第一穿孔，其中該第一磊晶層具有不同於該第一導電類型之一第二導電類型；

至少二汲極摻雜區，設於該第一穿孔二側之該第一磊晶層中，且各該汲極摻雜區從該第一磊晶層之上表面延伸至與該基底相接觸，其中該等汲極摻雜區具有該第一導電類型，該等汲極摻雜區與該第一磊晶層相接觸；

一絕緣層，填滿該第一穿孔；

一第二磊晶層，設於該第一磊晶層上，並與該等汲極摻雜區相接觸，且該第二磊晶層具有至少一第二穿孔，設於該絕緣層上，

其中該第二磊晶層具有該第二導電類型；

一閘極結構，設於該絕緣層上之該第二穿孔中；以及

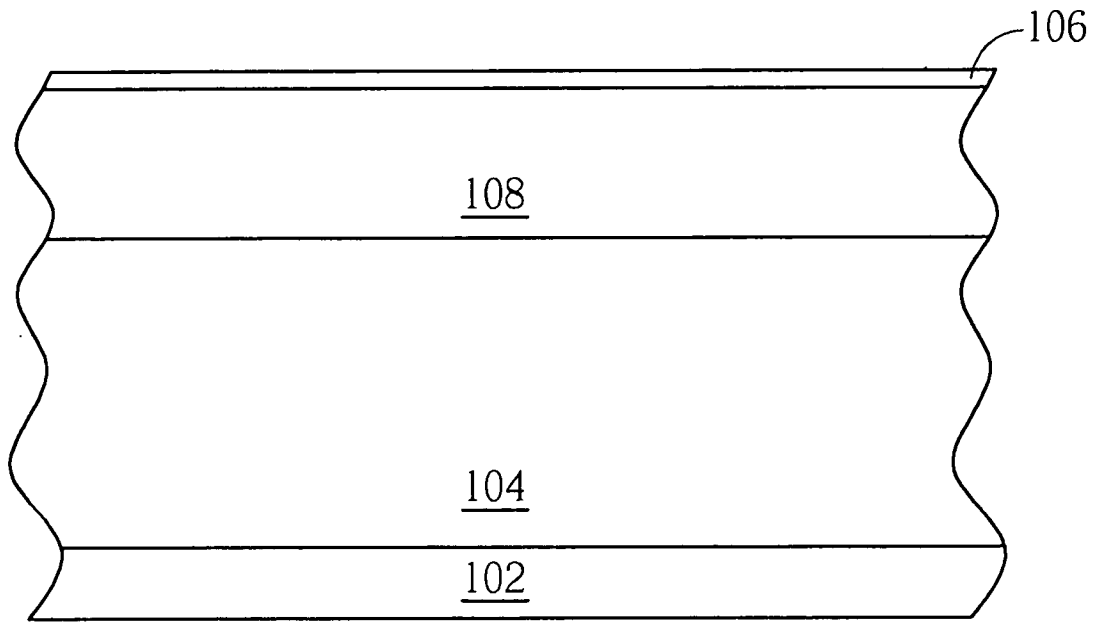
至少二源極摻雜區，分別設於該第二穿孔二側之該第二磊晶層

中，其中該等源極摻雜區具有該第一導電類型。

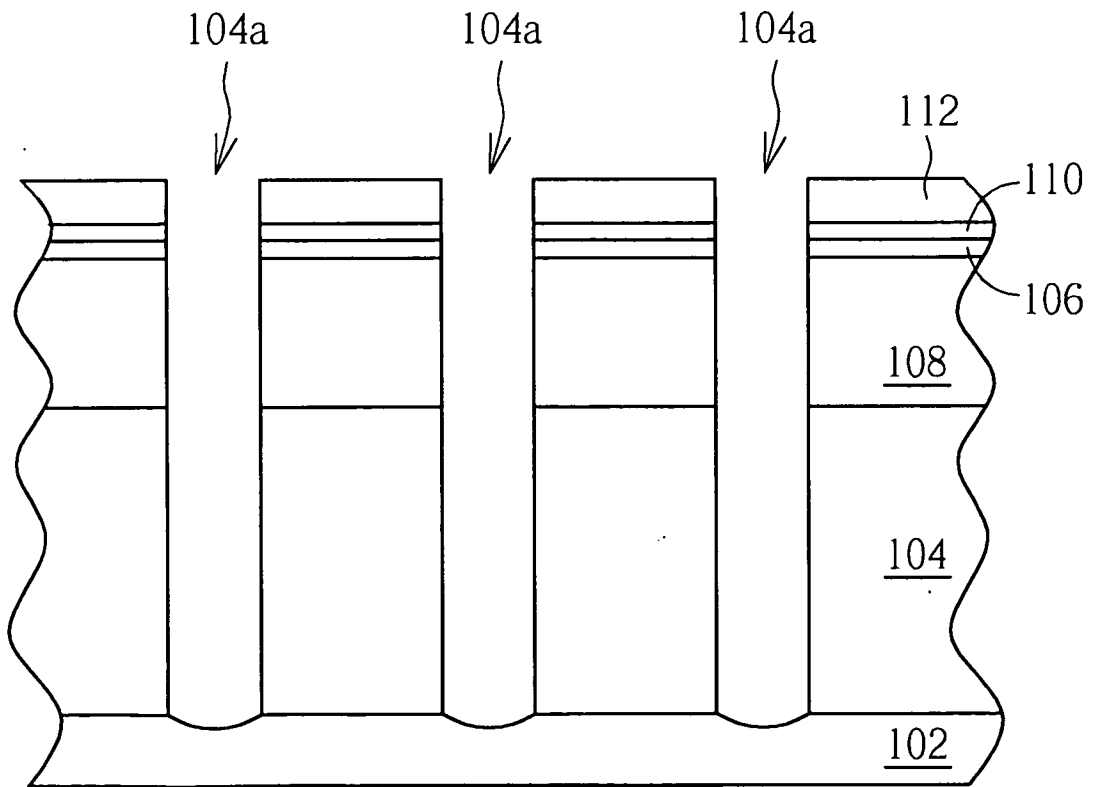
19. 如請求項 18 所述之具有超級介面之溝槽型功率電晶體元件，其中該閘極結構包括一閘極導電層與一閘極絕緣層，且該閘極絕緣層設於該閘極導電層與該第二磊晶層之間。

20. 如請求項 18 所述之具有超級介面之溝槽型功率電晶體元件，另包括至少二通道摻雜區，分別設於各該汲極摻雜區與各該源極摻雜區之間的該第二磊晶層中，其中該等通道摻雜區具有該第二導電類型。

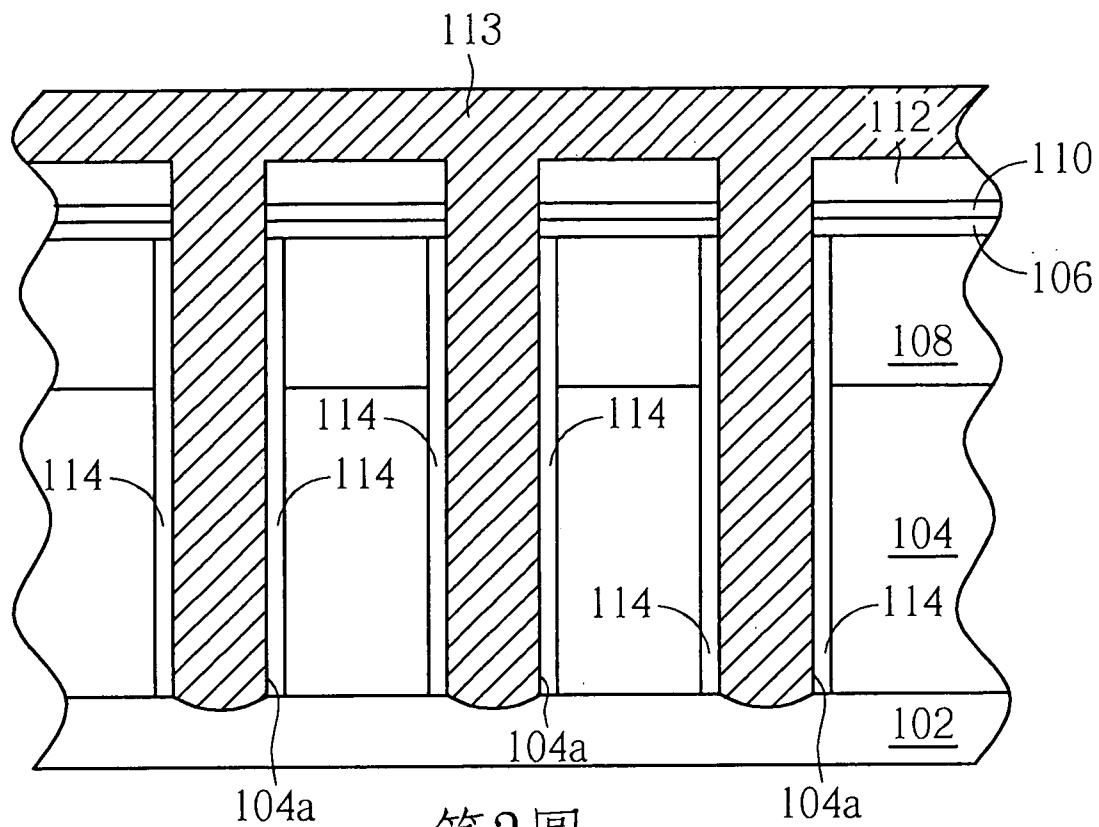
八、圖式：



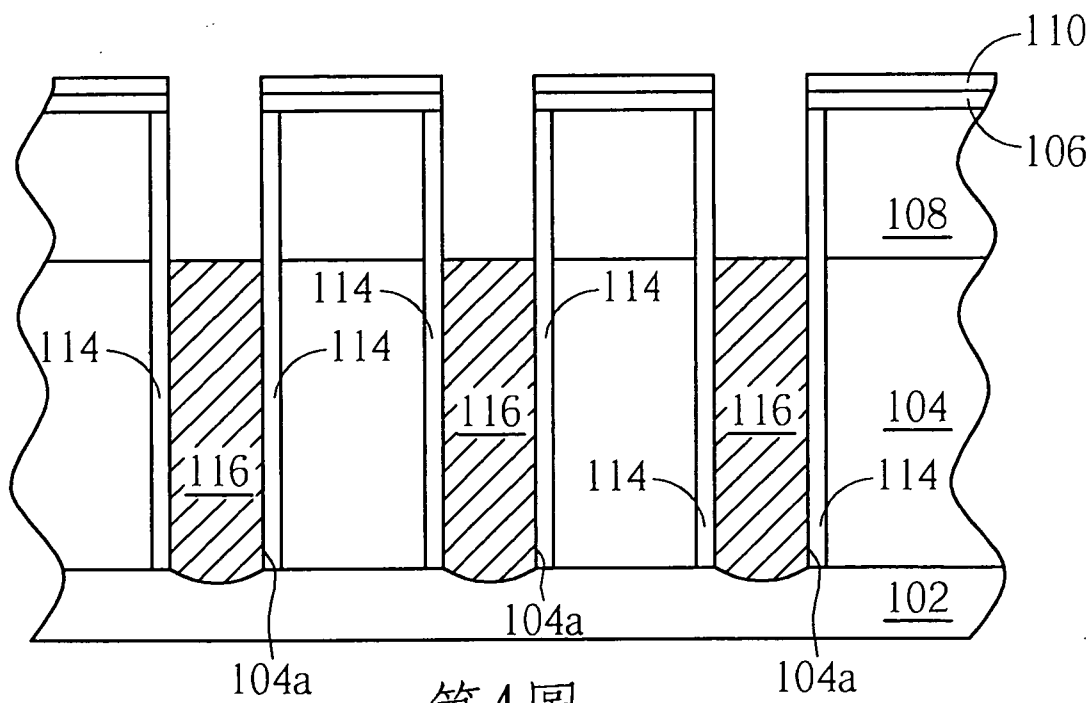
第1圖



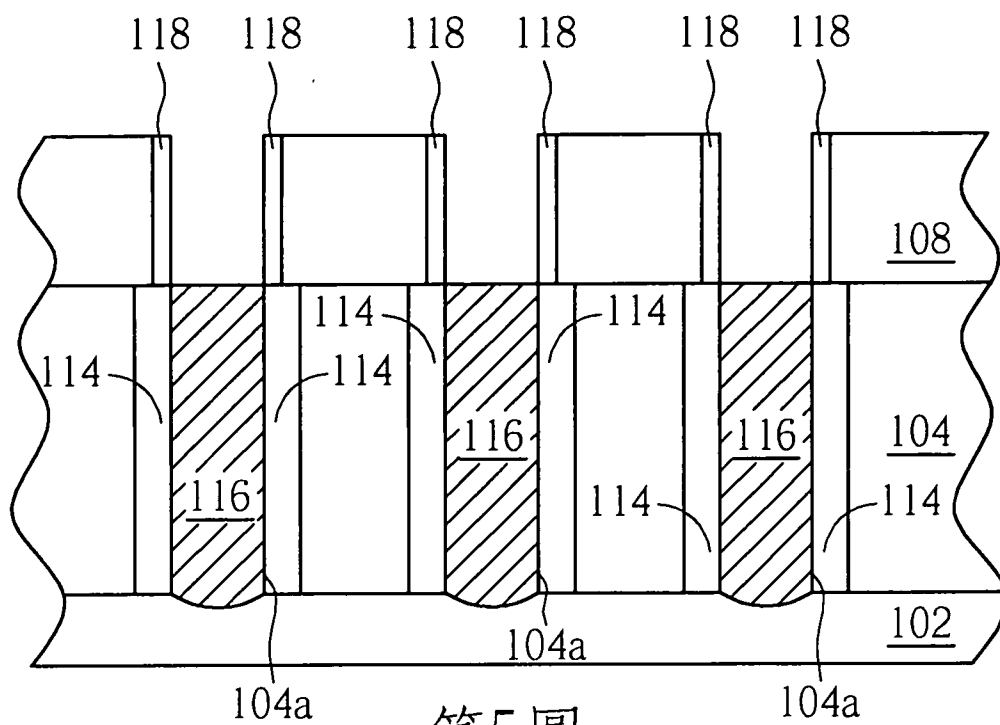
第2圖



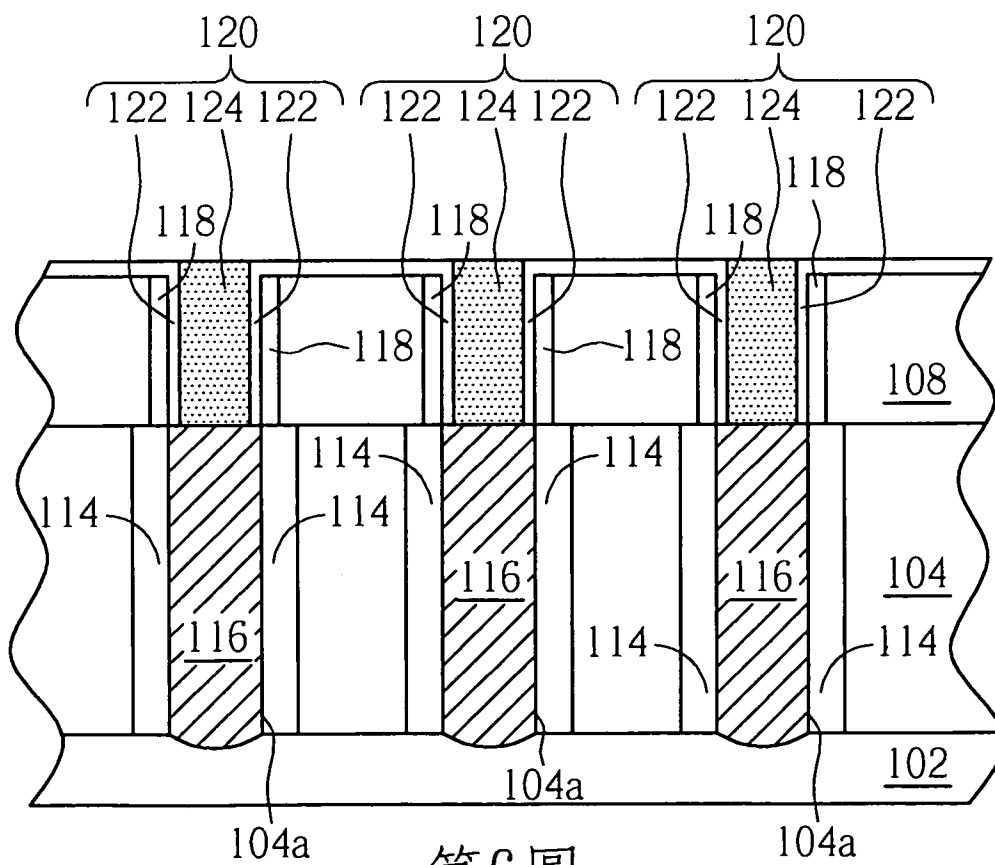
第3圖



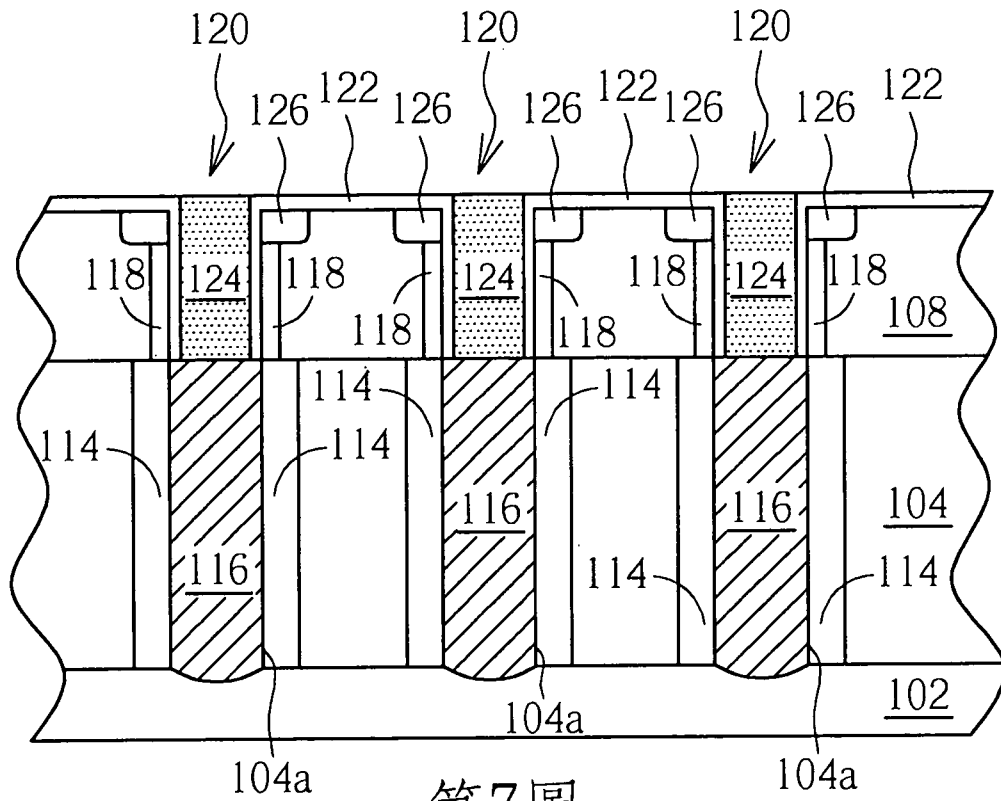
第4圖



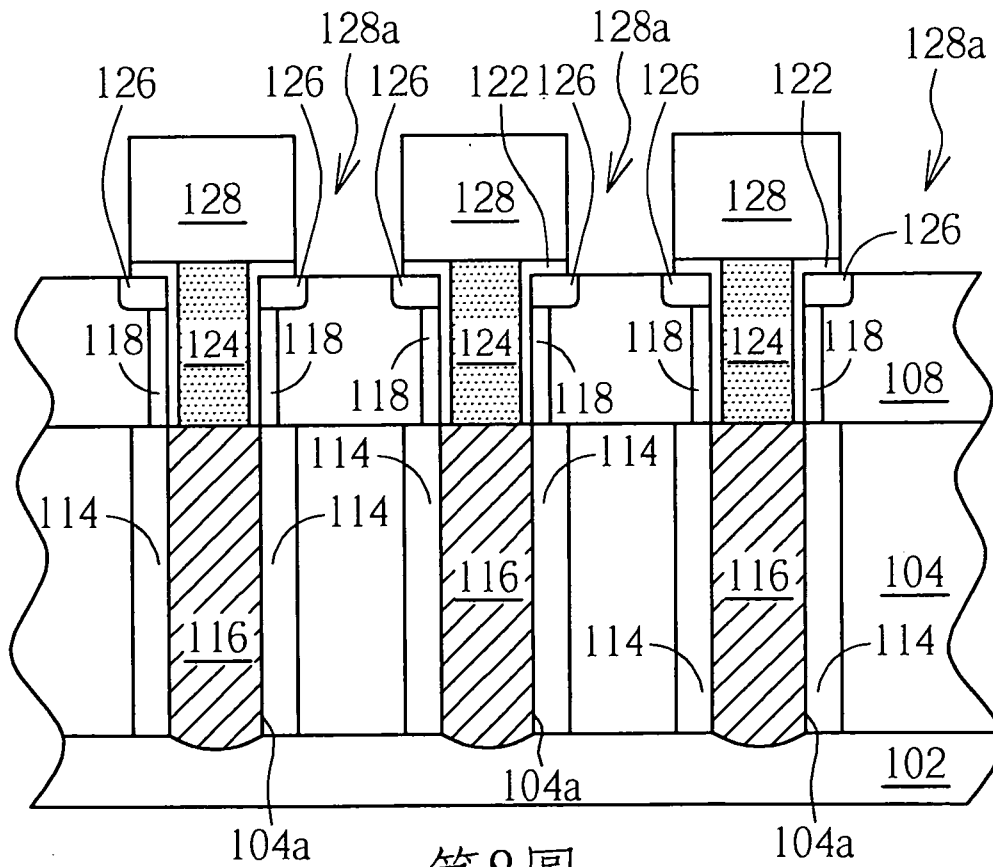
第5圖



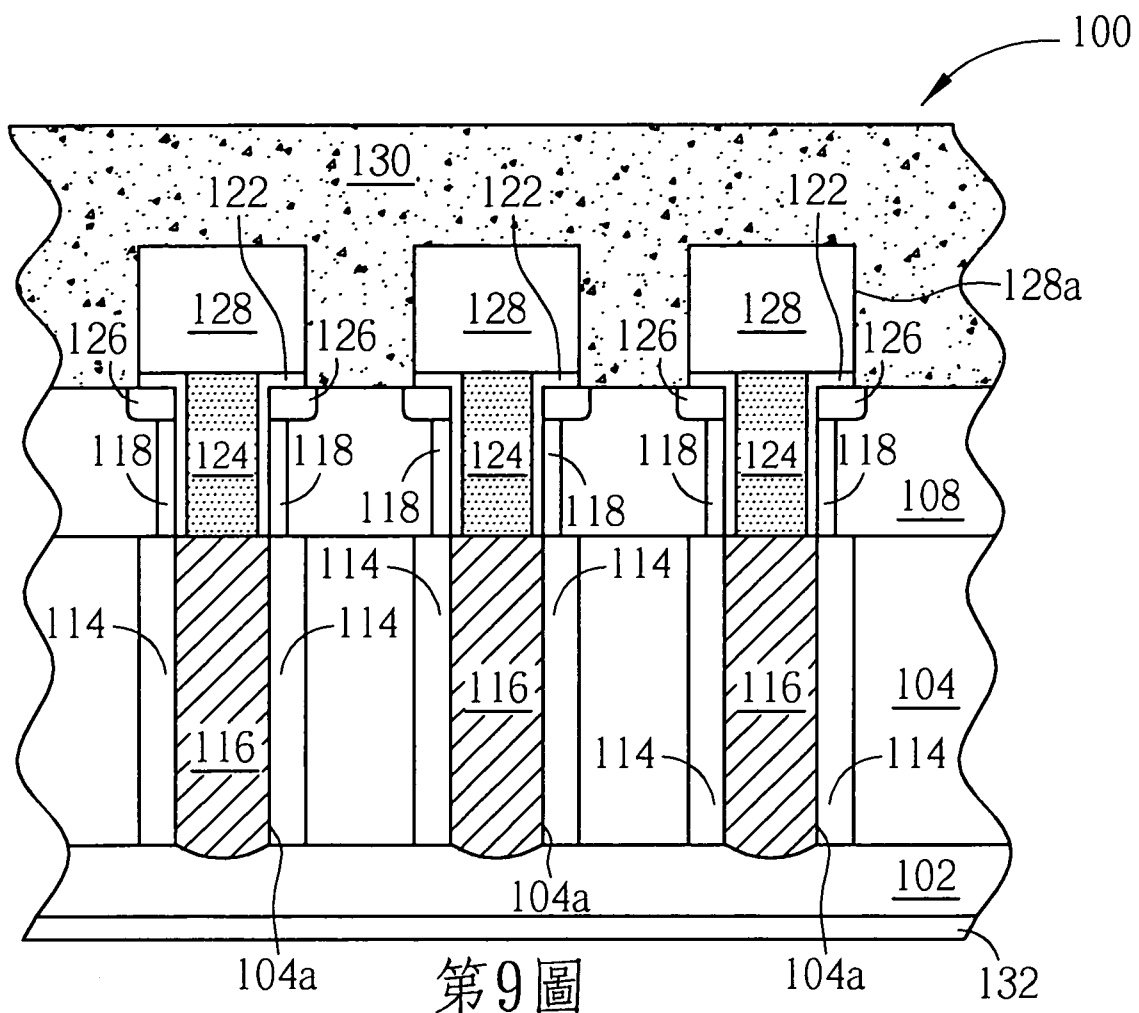
第6圖



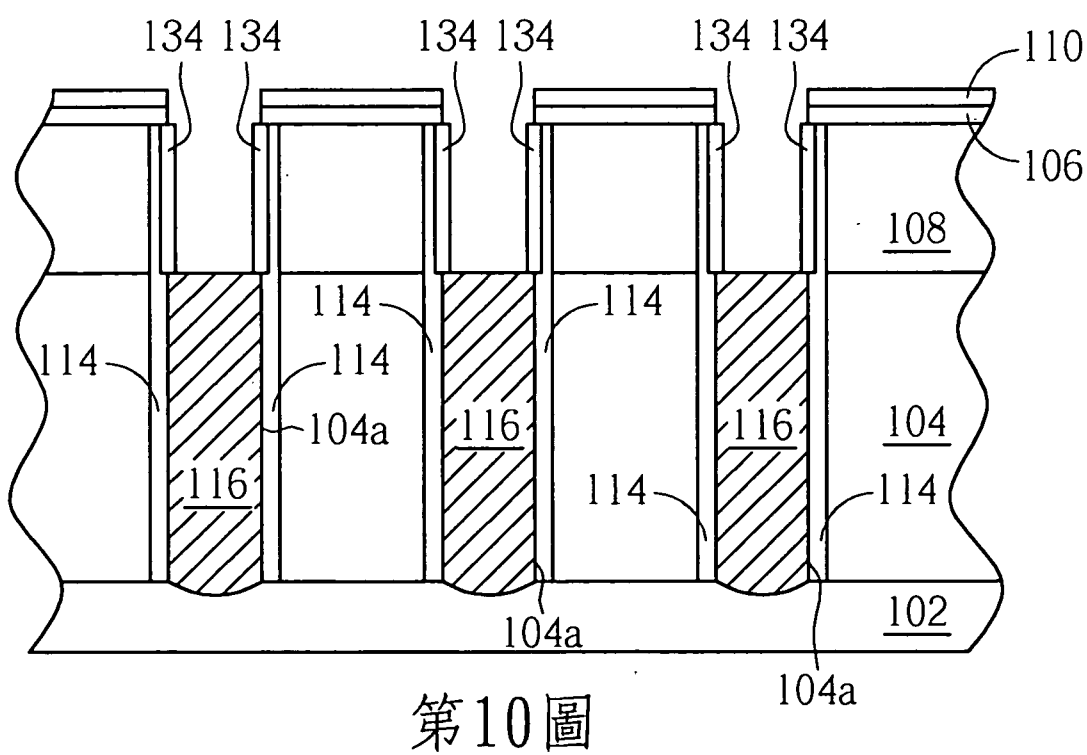
第7圖



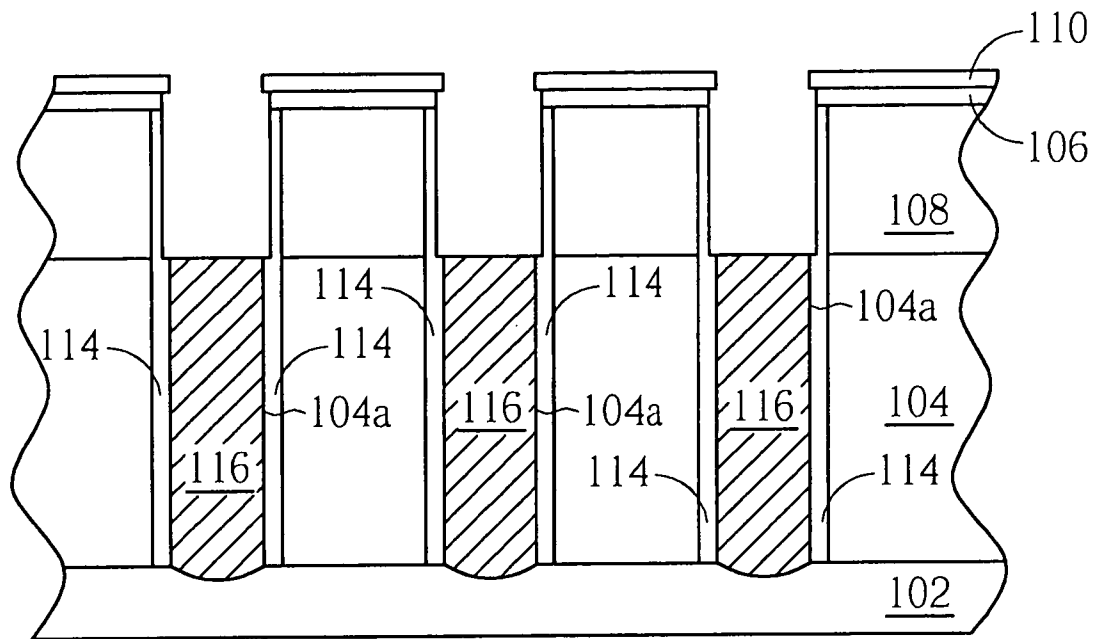
第8圖



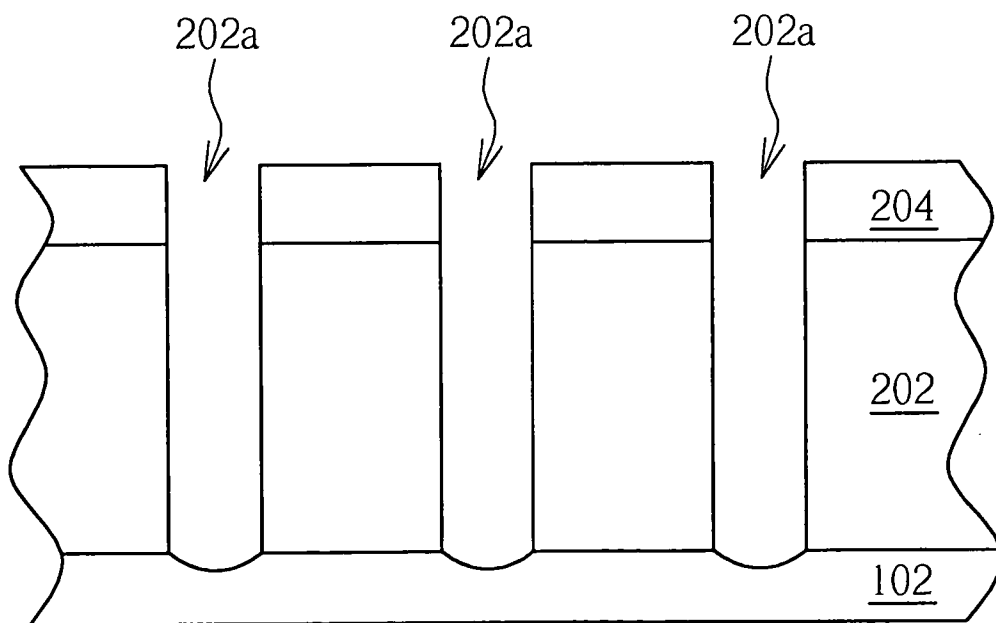
第9圖



第10圖

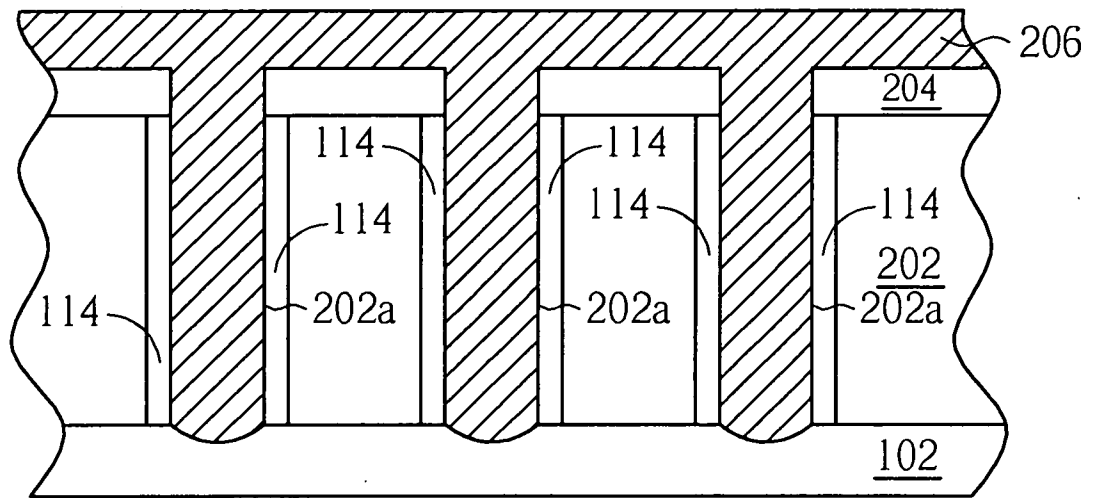


第11圖

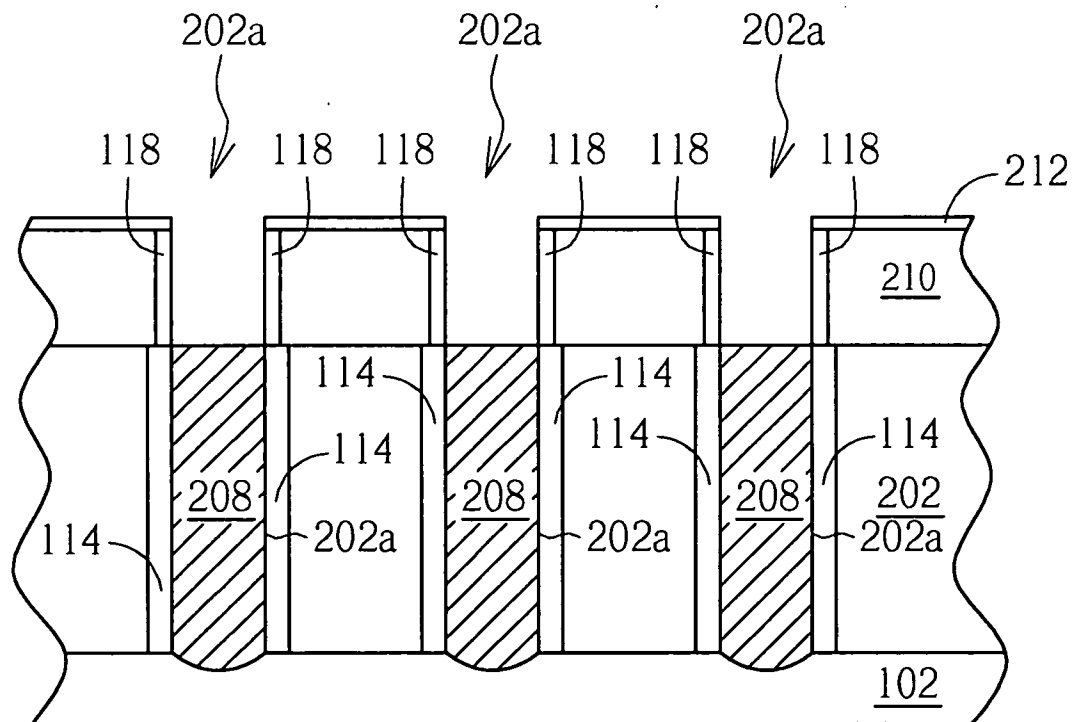


第12圖

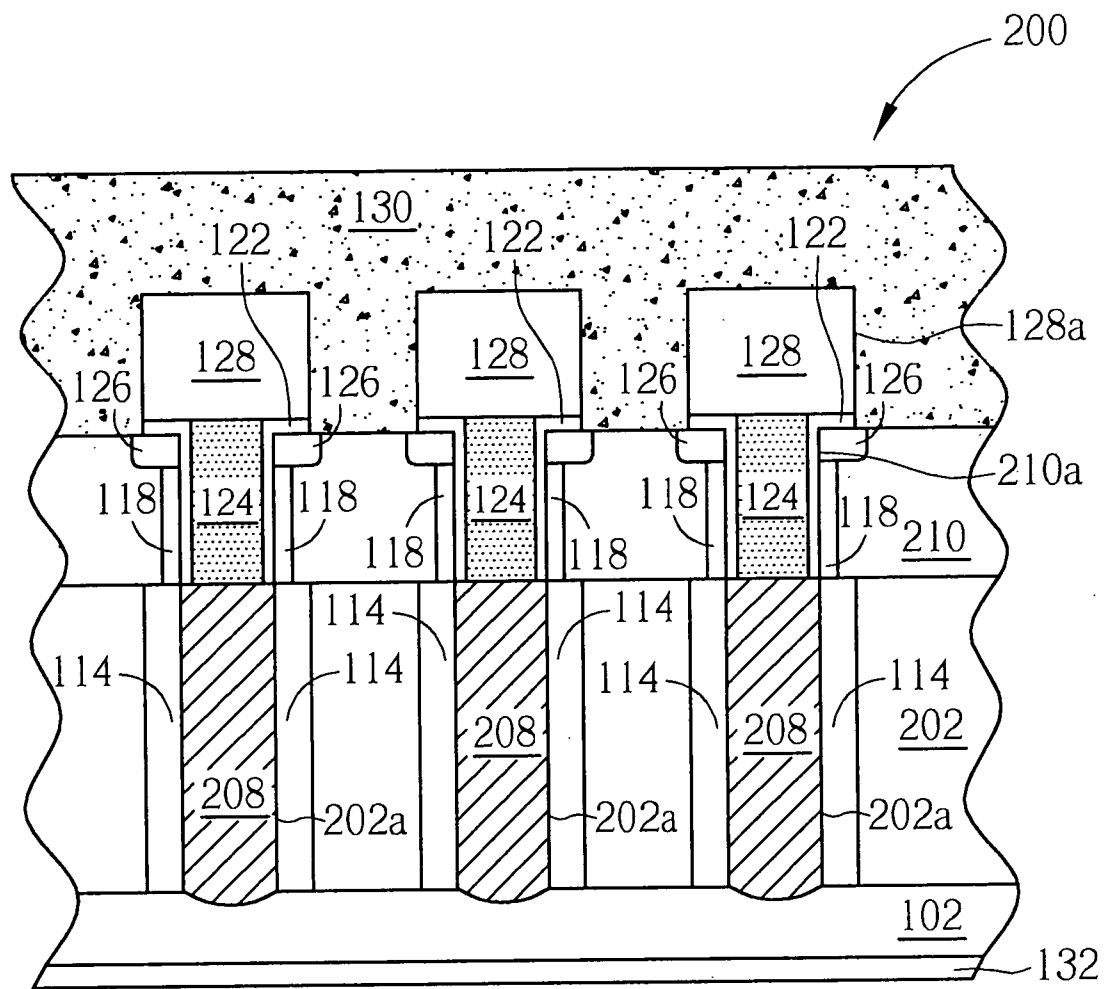




第13圖



第14圖



第15圖