

(12) 发明专利申请

(10) 申请公布号 CN 102855195 A

(43) 申请公布日 2013. 01. 02

(21) 申请号 201110182321. 4

(22) 申请日 2011. 06. 30

(71) 申请人 重庆重邮信科通信技术有限公司
地址 400065 重庆市南岸区黄桷垭堡上园 1 号

(72) 发明人 高峰 王明耀

(74) 专利代理机构 北京集佳知识产权代理有限公司 11227

代理人 逯长明

(51) Int. Cl.

G06F 12/06 (2006. 01)

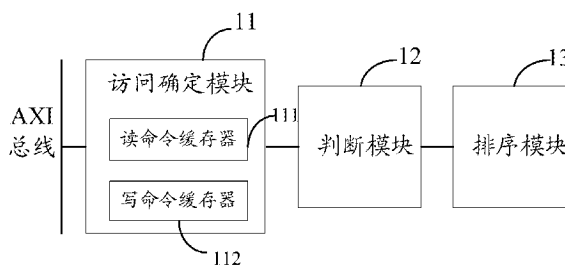
权利要求书 3 页 说明书 12 页 附图 9 页

(54) 发明名称

第二代低功耗双倍速率存储控制器及访问命令处理方法

(57) 摘要

本申请公开了一种 LPDDR2 存储控制器和访问命令处理方法。一种 LPDDR2 存储控制器包括：访问确定模块、判断模块和排序模块。排序模块在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同，且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时，将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后，同时，将原本排在该访问命令后的其他访问命令后移，即将访问相同块 bank 和行 row 的访问命令互相排列在相邻位置，进而在读取访问命令时，依据排序读取，减少关闭块 bank，以及打开块 bank 和行 row 时间，提高 LPDDR2 存储控制器访问效率。



1. 一种第二代低功耗双倍速率 LPDDR2 存储控制器,其特征在于,包括:

访问确定模块,用于从总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row;

判断模块,用于判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同;

排序模块,用于在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同,且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时,将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移;否则,将当前选择的访问命令排在已排序的所有访问命令之后。

2. 根据权利要求 1 所述的 LPDDR2 存储控制器,其特征在于,还包括:

计数器,用于记录访问命令的阻塞时间;

阻塞时间判定模块,用于判断访问命令对应的阻塞时间是否达到预设阈值;

置顶模块,用于在阻塞时间判定模块判断访问命令对应的阻塞时间达到预设阈值时,将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移。

3. 根据权利要求 1 所述的 LPDDR2 存储控制器,其特征在于,还包括:

写数据缓存模块,用于存储从总线接收的数据;

访问命令输出控制模块,用于按照所述排序模块对访问命令的排列顺序依次从访问确定模块中读取访问命令,发送给 LPDDR2 主状态机执行;

写数据输出控制模块,用于在访问命令输出控制模块读取的是写命令时,将写数据缓存模块存储的与写命令对应的数据读出并发送至 LPDDR2 主状态机;

读数据输出控制模块,用于在访问命令输出控制模块读取的是读命令时,将 LPDDR2 主状态机执行该读命令所返回的数据发送至总线。

4. 根据权利要求 3 所述的 LPDDR2 存储控制器,其特征在于,所述写数据输出控制模块包括:

写数据存储位置分配单元,用于为各写命令在所述写数据缓存模块中分配存储区,所述存储区用于缓存与所述写命令对应的数据;

位置保存单元,用于保存所述各写命令对应的存储区位置;

数据输出单元,用于在访问命令输出控制模块读取的是写命令时,获取写命令对应的存储区位置,依据存储区位置获取所述写命令对应的数据并发送至 LPDDR2 主状态机。

5. 根据权利要求 3 所述的 LPDDR2 存储控制器,其特征在于,LPDDR2 存储控制器内置有用来标识从总线接收的读命令对应的读命令顺序编号的读命令顺序计数器,所述读命令顺序编号表明从总线接收的读命令的实际顺序。

6. 根据权利要求 5 所述的 LPDDR2 存储控制器,其特征在于,所述读数据输出控制模块包括:

编号保存单元,用于保存各读命令对应的读命令顺序编号;

读数据缓存单元,用于接收 LPDDR2 主状态机执行所述访问命令输出控制模块读取的读命令返回的数据,并获取该读命令对应的读命令顺序编号,缓存所述返回的数据和该返

回数据对应的读命令顺序编号；

读数据输出单元,用于依据从总线接收读命令的顺序获取编号保存单元中保存的读命令顺序编号,当所述读数据缓存单元中缓存有所述读数据输出单元获取到的读命令顺序编号时,将该读命令顺序编号对应的返回数据发送至总线,以及当读数据缓存单元中未缓存有读数据输出单元获取到的读命令顺序编号时,等待读数据缓存单元接收到并缓存该读命令顺序编号对应的返回数据后发送返回数据至总线。

7. 根据权利要求 1 至 6 任意一项所述的 LPDDR2 存储控制器,其特征在于,所述访问确定模块包括:

读命令缓存器;

写命令缓存器;

命令访问阈值寄存器,用于设置连续选择读命令的最大选择次数以及连续选择写命令的最大选择次数;

命令选择次数计数器,用于对连续选择读命令的次数进行计数以及连续选择写命令的次数进行计数;

命令选择单元,用于在所述读命令缓冲器非空和 / 或连续选择读命令的次数未达到最大选择次数时从所述读命令缓冲器中选择命令,以及在所述写命令缓冲器非空和 / 或连续选择写命令的次数未达到最大选择次数时从所述写命令缓冲器中选择命令;

命令选择切换单元,用于在连续选择读命令的次数达到最大选择次数和 / 或读命令缓冲器为空时控制所述命令选择单元从所述写命令缓冲器中选择命令,以及在在连续选择写命令的次数达到最大选择次数和 / 或写命令缓冲器为空时控制所述命令选择单元从所述读命令缓冲器中选择命令。

8. 一种访问命令处理方法,其特征在于,包括:

从总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row;

判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同;

在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同,且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时,将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移。

9. 根据权利要求 8 所述的访问命令处理方法,其特征在于,还包括:

在当前选择的访问命令访问的块 bank 与已排序的所有访问命令访问的块 bank 不同和 / 或当前选择的访问命令访问的行 row 与已排序的所有访问命令访问的行 row 不同时,将当前选择的访问命令排在已排序的所有访问命令之后。

10. 根据权利要求 8 或 9 所述的访问命令处理方法,其特征在于,在确定当前选择的访问命令访问的块 bank 和行 row 之后,判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及所选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同之前还包括:

判断缓存的所有访问命令对应的阻塞时间是否达到预设阈值;

当任意一个访问命令对应的阻塞时间达到预设阈值时,将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移;

当所有访问命令对应的阻塞时间均未达到预设阈值时,执行判断当前选择的访问命令访问的块bank与已排序的访问命令访问的块bank,以及所选择的访问命令访问的行row与已排序的访问命令访问的行row是否相同。

11. 根据权利要求9所述的访问命令处理方法,其特征在于,保存各读命令对应的读命令顺序编号;

所述方法还包括:

读取已排序的读命令,发送所述读命令给LPDDR2主状态机执行;

接收LPDDR2主状态机执行读命令返回的数据,并获取该读命令对应的读命令顺序编号,缓存所述返回的数据和该返回数据对应的读命令顺序编号;

依据从总线接收读命令的顺序,获取所保存的读命令顺序编号,当缓存的读命令顺序编号与获取到的读命令顺序编号匹配时,将该读命令顺序编号对应的返回数据发送至总线;

当缓存的读命令顺序编号与获取到的读命令顺序编号不匹配时,返回执行读取已排序的读命令,发送所述读命令给LPDDR2主状态机执行。

第二代低功耗双倍速率存储控制器及访问命令处理方法

技术领域

[0001] 本申请涉及网络数据存储技术领域,特别是涉及第二代低功耗双倍速率存储控制器及访问命令处理方法。

背景技术

[0002] LPDDR2(Low Power Double Data Rate 2,第二代低功耗双倍速率)存储控制器是最新一代移动设备的内存控制器,普遍应用于最新的通讯领域基带 SOC(System on Chip,片上系统)芯片当中。

[0003] LPDDR2 存储控制器用于从 AXI(Advanced Extensible Intergace,高级可扩展接口)总线接收数据和将 LPDDR2 存储器中的数据发送至 AXI 总线。其具体步骤为:

[0004] 步骤一:控制器接收并解析访问命令,获取访问地址,确定当前访问的块 bank 和行 row;

[0005] 步骤二:判断当前访问的块 bank 和行 row 与上一次访问的块 bank 和行 row 是否相同,如果当前访问的块 bank 与上一次访问的块 bank 不同或者和当前访问的行 row 与上一次访问的行 row 不同,执行步骤三,如果当前访问的块 bank 和行 row 与上一次访问的块 bank 和行 row 相同,执行步骤五;其中:块 bank 为 LPDDR2 中大分块数据存储单元,行 row 为 LPDDR2 中小分块数据存储单元。

[0006] 步骤三:使用 LPDDR2 的预充电命令 precharge 关闭上一次访问的块 bank;

[0007] 步骤四:使用 LPDDR2 的激活命令 Active 打开当前访问的块 bank 和行 row,执行步骤五;

[0008] 步骤五:进行数据的读或者写。

[0009] LPDDR2 存储控制器通过执行上述步骤可以实现数据的通信,然而,上述 LPDDR2 存储控制器执行步骤可以看出:当前访问的块 bank 与上一次访问的块 bank 不同或者和当前访问的行 row 与上一次访问的行 row 不同时,则需要执行预充电命令 precharge 关闭上一次访问的块 bank,再执行激活命令 Active 打开当前访问的块 bank 和行 row,才可进行数据的读或者写。这种反复执行预充电命令 precharge 关闭块 bank,激活命令 Active 打开块 bank 和行 row,消耗了不必要的时间,降低了 LPDDR2 存储控制器的访问效率。

发明内容

[0010] 有鉴于此,本申请实施例公开一种 LPDDR2 存储控制器及访问命令处理方法,以减少 LPDDR2 存储控制器反复执行预充电命令 precharge 关闭块 bank,激活命令 Active 打开块 bank 和行 row 的次数,降低时间消耗,提高访问效率。技术方案如下:

[0011] 基于本申请的一方面,公开了一种第二代低功耗双倍速率 LPDDR2 存储控制器,包括:

[0012] 访问确定模块,用于从总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row;

[0013] 判断模块,用于判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同;

[0014] 排序模块,用于在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同,且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时,将当前选择的访问命令排在其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移;否则,将当前选择的访问命令排在已排序的所有访问命令之后。

[0015] 优选地,还包括:

[0016] 计数器,用于记录访问命令的阻塞时间;

[0017] 阻塞时间判定模块,用于判断访问命令对应的阻塞时间是否达到预设阈值;

[0018] 置顶模块,用于在阻塞时间判定模块判断访问命令对应的阻塞时间达到预设阈值时,将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移。

[0019] 优选地,还包括:

[0020] 写数据缓存模块,用于存储从总线接收的数据;

[0021] 访问命令输出控制模块,用于按照所述排序模块对访问命令的排列顺序依次从访问确定模块中读取访问命令,发送给 LPDDR2 主状态机执行;

[0022] 写数据输出控制模块,用于在访问命令输出控制模块读取的是写命令时,将写数据缓存模块存储的与写命令对应的数据读出并发送至 LPDDR2 主状态机;

[0023] 读数据输出控制模块,用于在访问命令输出控制模块读取的是读命令时,将 LPDDR2 主状态机执行该读命令所返回的数据发送至总线。

[0024] 优选地,所述写数据输出控制模块包括:

[0025] 写数据存储位置分配单元,用于为各写命令在所述写数据缓存模块中分配存储区,所述存储区用于缓存与所述写命令对应的数据;

[0026] 位置保存单元,用于保存所述各写命令对应的存储区位置;

[0027] 数据输出单元,用于在访问命令输出控制模块读取的是写命令时,获取写命令对应的存储区位置,依据存储区位置获取所述写命令对应的数据并发送至 LPDDR2 主状态机。

[0028] 优选地,LPDDR2 存储控制器内置有用来标识从总线接收的读命令对应的读命令顺序编号的读命令顺序计数器,所述读命令顺序编号表明从总线接收的读命令的实际顺序。

[0029] 优选地,所述读数据输出控制模块包括:

[0030] 编号保存单元,用于保存各读命令对应的读命令顺序编号;

[0031] 读数据缓存单元,用于接收 LPDDR2 主状态机执行所述访问命令输出控制模块读取的读命令返回的数据,并获取该读命令对应的读命令顺序编号,缓存所述返回的数据和该返回数据对应的读命令顺序编号;

[0032] 读数据输出单元,用于依据从总线接收读命令的顺序获取编号保存单元中保存的读命令顺序编号,当所述读数据缓存单元中缓存有所述读数据输出单元获取到的读命令顺序编号时,将该读命令顺序编号对应的返回数据发送至总线,以及当读数据缓存单元中未缓存有读数据输出单元获取到的读命令顺序编号时,等待读数据缓存单元接收到并缓存该读命令顺序编号对应的返回数据后发送返回数据至总线。

- [0033] 优选地,所述访问确定模块包括:
- [0034] 读命令缓存器;
- [0035] 写命令缓存器;
- [0036] 命令访问阈值寄存器,用于设置连续选择读命令的最大选择次数以及连续选择写命令的最大选择次数;
- [0037] 命令选择次数计数器,用于对连续选择读命令的次数进行计数以及连续选择写命令的次数进行计数;
- [0038] 命令选择单元,用于在所述读命令缓冲器非空和 / 或连续选择读命令的次数未达到最大选择次数时从所述读命令缓冲器中选择命令,以及在所述写命令缓冲器非空和 / 或连续选择写命令的次数未达到最大选择次数时从所述写命令缓冲器中选择命令;
- [0039] 命令选择切换单元,用于在连续选择读命令的次数达到最大选择次数和 / 或读命令缓冲器为空时控制所述命令选择单元从所述写命令缓冲器中选择命令,以及在在连续选择写命令的次数达到最大选择次数和 / 或写命令缓冲器为空时控制所述命令选择单元从所述读命令缓冲器中选择命令。
- [0040] 基于本申请的另一方面,还公开了一种访问命令处理方法,包括:
- [0041] 从总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row;
- [0042] 判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同;
- [0043] 在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同,且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时,将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移。
- [0044] 优选地,还包括:
- [0045] 在当前选择的访问命令访问的块 bank 与已排序的所有访问命令访问的块 bank 不同和 / 或当前选择的访问命令访问的行 row 与已排序的所有访问命令访问的行 row 不同时,将当前选择的访问命令排在已排序的所有访问命令之后。
- [0046] 优选地,在确定当前选择的访问命令访问的块 bank 和行 row 之后,判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及所选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同之前还包括:
- [0047] 判断缓存的所有访问命令对应的阻塞时间是否达到预设阈值;
- [0048] 当任意一个访问命令对应的阻塞时间达到预设阈值时,将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移;
- [0049] 当所有访问命令对应的阻塞时间均未达到预设阈值时,执行判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及所选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同。
- [0050] 优选地,保存各读命令对应的读命令顺序编号;
- [0051] 所述方法还包括:
- [0052] 读取已排序的读命令,发送所述读命令给 LPDDR2 主状态机执行;

[0053] 接收 LPDDR2 主状态机执行读命令返回的数据,并获取该读命令对应的读命令顺序编号,缓存所述返回的数据和该返回数据对应的读命令顺序编号;

[0054] 依据从总线接收读命令的顺序,获取所保存的读命令顺序编号,当缓存的读命令顺序编号与获取到的读命令顺序编号匹配时,将该读命令顺序编号对应的返回数据发送至总线;

[0055] 当缓存的读命令顺序编号与获取到的读命令顺序编号不匹配时,返回执行读取已排序的读命令,发送所述读命令给 LPDDR2 主状态机执行。

[0056] 应用上述技术方案,解析当前所选择的访问命令,确定当前选择的访问命令访问的块 bank 和行 row,如果当前选择的访问命令访问的块 bank 和行 row 与已排序的访问命令访问的块 bank 和行 row,则将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,即将访问相同块 bank 和行 row 的访问命令互相排列在相邻位置,进而在读取访问命令时,依据排序读取,减少关闭块 bank,以及打开块 bank 和行 row 时间,提高 LPDDR2 存储控制器访问效率。

附图说明

[0057] 为了更清楚地说明本申请实施例或现有技术中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本申请中记载的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动的前提下,还可以根据这些附图获得其他的附图。

[0058] 图 1 为本申请实施例公开的 LPDDR2 存储控制器的一种结构示意图;

[0059] 图 2 为缓存器中命令排列的一种示意图;

[0060] 图 3 为缓存器中命令排列的另一种示意图;

[0061] 图 4 为缓存器中命令排列的再一种示意图;

[0062] 图 5 为访问命令的格式的一种示意图;

[0063] 图 6 为本申请实施例公开的 LPDDR2 存储控制器中访问确定模块的结构示意图;

[0064] 图 7 为本申请实施例公开的 LPDDR2 存储控制器的另一种结构示意图;

[0065] 图 8 为缓存器中命令排列的再一种示意图;

[0066] 图 9 为访问命令的格式的另一种示意图;

[0067] 图 10 为本申请实施例公开的 LPDDR2 存储控制器的再一种结构示意图;

[0068] 图 11 为本申请实施例公开的 LPDDR2 存储控制器中写数据输出控制模块的结构示意图;

[0069] 图 12 为本申请实施例公开的 LPDDR2 存储控制器中读数据输出控制模块的结构示意图;

[0070] 图 13 为本申请实施例公开的访问命令处理方法的一种流程图;

[0071] 图 14 为本申请实施例公开的访问命令处理方法的另一种流程图;

[0072] 图 15 为本申请实施例公开的访问命令处理方法中读取数据的流程图。

具体实施方式

[0073] 为使本申请的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实

施方式对本申请作进一步详细的说明。本申请实施例公开的 LPDDR2 控制器和访问命令处理方法适用于从各种总线接收访问命令处理,下面各实施例将以 AXI 总线为例,对本申请实施例公开的 LPDDR2 控制器和访问命令处理方法进行说明。

[0074] 一个实施例

[0075] 发明人经过研究发现,现有 LPDDR2 存储控制器在访问块 bank 和行 row 时,当前访问的块 bank 与上一次访问的块 bank 不同或者和当前访问的行 row 与上一次访问的行 row 不同时,则需要执行预充电命令 precharge 关闭上一次访问的块 bank,再执行激活命令 Active 打开当前访问的块 bank 和行 row,才可进行数据的读或者写。这种反复关闭块 bank,打开块 bank 和行 row,消耗了不必要的时间,降低了 LPDDR2 存储控制器的访问效率。

[0076] 为了解决上述问题,本申请公开一种 LPDDR2 存储控制器,将访问相同块 bank 和行 row 的多个访问命令排列在相邻位置,进而在读取访问命令时,依据排序读取,减少关闭块 bank,以及打开块 bank 和行 row 时间,提高 LPDDR2 存储控制器访问效率。结构示意图如图 1 所示,包括:访问确定模块 11、判断模块 12 和排序模块 13。其中:

[0077] 访问确定模块 11,用于从 AXI 总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row。

[0078] LPDDR2 存储控制器接收到的访问命令包括写命令和读命令,其中:写命令和读命令都是 AXI 总线上的模块发送给 AXI 总线的,由 AXI 总线传输给 LPDDR2 存储控制器,进而由 LPDDR2 存储控制器发送给 LPDDR2 主状态机执行。LPDDR2 主状态机执行写命令将 AXI 总线上的数据写入 LPDDR2 存储器对应的地址,LPDDR2 主状态机执行读命令为从 LPDDR2 存储器对应的地址获取数据,进一步发送至 AXI 总线。

[0079] 上述访问确定模块 11 可以使用两个缓存器分别缓存读命令和写命令,也可以使用一个缓冲器来缓存读命令和写命令。本申请优选使用两个缓冲器来分别缓存读命令和写命令,访问确定模块 11 包括读命令缓存器 111 和写命令缓存器 112,其中读命令缓存器 111 用于缓存读命令,写命令缓存器 112 用于缓存写命令。缓存器深度设定为 8,即可以缓存的访问命令的个数为 8。

[0080] 上述读命令或者写命令指定要访问的块 bank 和行 row,可以通过解析访问命令,获知访问地址,则可以确定当前选择的访问命令访问的块 bank 和行 row。

[0081] 判断模块 12,用于判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同。

[0082] 已排序的访问命令为已经被排序的所有访问命令访问。如:访问确定模块 11 接收到读命令,则已排序的访问命令为已排序的所有访问命令。

[0083] 由于当前选择访问命令可以与已排序的所有命令进行对比,相对于只能与上一次缓存的命令进行对比,可以更有效地节省时间,提高访问效率。

[0084] 排列模块 13,用于在当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank 相同,且当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 相同时,将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移。其中:该访问命令为与当前选择的访问命令访问相同块 bank 和行 row 的已排序的访问命令。否则,将当前选择的访问命令排在已排序

的所有访问命令之后。

[0085] 上述命令排列方式为命令重排。请参阅图 2 和图 3,图 2 和图 3 为缓存器中命令排列的两种示意图。其中:图 2 中当前选择的访问命令 4 与命令 3 访问相同的块 bank 和行 row,经过判断模块 12 判断后,由排序模块 13 将命令 4 排在命令 3 后,其他访问命令排序不变。图 3 中当前选择的访问命令 4 与命令 1 访问相同的块 bank 和行 row,经过判断模块 12 判断后,由排序模块 13 将命令 4 排在命令 1 后,命令 2 和命令 3 分别向后移动一位。

[0086] 图 2 和图 3 表示了缓存器如何对命令进行重排。前已述及,本申请中缓存器深度优选为 8,即使用本申请公开的方法可以对 8 个访问命令进行重排,也就是说缓存器的深度直接决定了命令重排的处理能力。当缓存器的深度越大,表明缓存器可以对更多的访问命令进行重排,进而访问效率的提高程度越高。当缓存器的深度越小,表明缓存器进行重排的访问命令少,进而访问效率的提高程度低。

[0087] 图 4 是缓存器中命令排列示意图,该示意图表明了当前选择的访问命令访问的块 bank 与已排序的所有访问命令访问的块 bank 不同和 / 或当前选择的访问命令访问的行 row 与已排序的所有访问命令访问的行 row 不同时,访问命令的排序,即将当前选择的访问命令排在已排序的所有访问命令之后。

[0088] 缓存器缓存的访问命令格式如图 5 所示,包括:命令访问地址、数据长度、数据格式、访问类型、命令编号、FIFO 编号和命令有效性。其中:命令访问地址为要访问的块 bank 和行 row 的地址。访问类型表明该访问命令是写命令还是读命令。命令编号为从 AXI 总线接收命令的实际顺序。FIFO 编号意义为当访问类型为写命令时,FIFO 编号为写数据写入对应的存储区位置;当访问类型为读命令时,FIFO 编号为命令次序编号,与命令编号相同。命令有效性表明该命令为有效命令。

[0089] 上述访问确定模块 11 的结构示意图请参阅图 6,包括:读命令缓存器 111、写命令缓存器 112、命令访问阈值寄存器 113、命令选择次数计数器 114、命令选择单元 115 和命令选择切换单元 116。其中:

[0090] 读命令缓存器 111 缓存读命令。写命令缓存器 112 缓存写命令。

[0091] 命令访问阈值寄存器 113,用于设置连续选择读命令的最大选择次数以及连续选择写命令的最大选择次数。命令访问阈值寄存器 113 可以为一个 8bit 寄存器,低 4bit 表示连续选择写命令的最大选择次数,高 4bit 表示连续选择读命令的最大选择次数。命令访问阈值寄存器 113 之所以设定最大选择次数,是为了保证命令的及时获取和重排,有效利用网络带宽,避免处理同一类型命令时间过长,导致 AXI 总线上用于发送另一类型命令的通道阻塞。

[0092] 命令选择次数计数器 114,用于对连续选择读命令的次数进行计数以及连续选择写命令的次数进行计数。

[0093] 命令选择单元 115,用于在读命令缓冲器 111 非空和 / 或连续选择读命令的次数未达到最大选择次数时从所述读命令缓冲器 111 中选择命令,以及在写命令缓冲器 112 非空和 / 或连续选择写命令的次数未达到最大选择次数时从所述写命令缓冲器 112 中选择命令。

[0094] 命令选择切换单元 116,用于在连续选择读命令的次数达到最大选择次数和 / 或读命令缓冲器 111 为空时控制所述命令选择单元 115 从所述写命令缓冲器 112 中选择命

令,以及在在连续选择写命令的次数达到最大选择次数和 / 或写命令缓冲器 112 为空时控制所述命令选择单元 115 从所述读命令缓冲器 111 中选择命令。

[0095] 应用上述技术方案,访问确定模块 11 解析当前选择的访问命令,确定当前选择的访问命令访问的块 bank 和行 row,排列模块 13 在判断模块 12 判断当前选择的访问命令访问的块 bank 和行 row 与已排序的访问命令访问的块 bank 和行 row 相同时,将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,即将访问相同块 bank 和行 row 的访问命令互相排列在相邻位置,进而在读取访问命令时,依据排序读取,减少关闭块 bank,以及打开块 bank 和行 row 时间,提高 LPDDR2 存储控制器访问效率。

[0096] 另一个实施例

[0097] 上述装置实施例通过排列模块 13 对访问命令的排列,避免了块 bank 的重复关闭和打开,以及行 row 的重复打开,节省了时间,提高访问效率。但是,上述排列模块 13 对访问命令的排列不可避免的将不访问相同块 bank 和行 row 的访问命令排在缓存器的后面,进而有可能造成缓存器内命令阻塞的情况。

[0098] 为了解决上述问题,本申请实施例公开的 LPDDR2 存储控制器还可以设置与缓存器深度对应个数的计数器。每个计数器对应一个命令,用于在命令向后移动时,将计数器计算的阻塞时间加 1。其中:阻塞时间为该命令延迟处理时间。在判断模块 12 对当前选择的访问命令访问的块 bank 和行 row 以及已排序的访问命令访问的块 bank 和行 row 进行判断之前,首先对阻塞时间进行判断,当阻塞时间达到预设阈值时,将该阻塞时间对应的命令放在缓存器所用 FIFO 队列顶端,优先处理该命令。

[0099] 请参阅图 7,图 7 是本申请实施例公开的 LPDDR2 存储控制器的另一种结构示意图,在图 1 所示的结构示意图基础上,增加计数器 14、阻塞时间判定模块 15 和置顶模块 16。其中:

[0100] 计数器 14,用于记录访问命令的阻塞时间。

[0101] 阻塞时间判定模块 15,用于判断访问命令对应的阻塞时间是否达到预设阈值,如判断读命令缓存器 111 中的所有读命令对应的阻塞时间是否达到预设阈值。

[0102] 置顶模块 16,用于在阻塞时间判定模块 15 判断访问命令对应的阻塞时间达到预设阈值时,将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移,如图 8 所示。图 8 为缓存器中命令排列的再一种示意图。其中:命令 7 的阻塞时间经过判断达到预设阈值,则命令 7 被排在首位,即排在缓存器中用于存储该命令的 FIFO 队列顶端。

[0103] 当阻塞时间达到预设阈值的访问命令多于两个时,可以依据阻塞时间的大小对访问命令进行排序。如当阻塞时间达到预设阈值的访问命令个数为四个时,将阻塞时间最大的访问命令排在首位,将阻塞时间最小的访问命令排在第四位,将其他两个访问命令按照阻塞时间的大小排列,时间较大的排在第二位,较小的排在第三位。

[0104] 本申请实施例公开的 LPDDR2 存储控制器可以在读命令缓存器 111 和写命令缓存器 112 中缓存访问命令并缓存已排序的所有访问命令,也可以在读命令缓存器 111 和写命令缓存器 112 中缓存访问命令,将已排序的所有访问命令在另一个缓存器缓存。阻塞时间判定模块 15 需要对缓存有已排序的所有访问命令的缓存器中访问命令的阻塞时间。

[0105] 当阻塞时间判定模块 15 判断访问命令对应的阻塞时间未达到预设阈值时,由判断模块 12 判断当前选择的访问命令访问的块 bank 和行 row 与已排序的访问命令访问的块

bank 和行 row。

[0106] 上述预设阈值与操作实时性相关。当操作实时性高时,预设阈值小,当操作实时性低时,预设阈值大。

[0107] 本申请实施例中缓存器缓存的访问命令格式如图 9 所示,在图 5 所示的基础上增加了命令阻塞时间、立即输出使能位和命令优先级。其中:命令阻塞时间为计数器记录的该命令的延迟时间。立即输出使能位和命令优先级表明该命令的阻塞时间达到预设阈值,需要将命令放在首位处理。

[0108] 应用上述技术方案,在保证节省时间和提高访问效率的同时,进一步避免了命令阻塞情况的发生。

[0109] 再一个实施例

[0110] 上述两个实施例通过对当前选择的访问命令访问的块 bank 和行 row 与已排序的访问命令访问的块 bank 和行 row 进行判断,依据判断结果处理访问命令的排序。LPDDR2 存储控制器除了对访问命令进行处理,还需要进行数据的读写操作。LPDDR2 存储控制器可以在图 1 或者图 7 所示的 LPDDR2 存储控制器的基础上增加其他模块,实现对数据的读写,如图 10 所示。图 10 是在图 1 所示的 LPDDR2 存储控制器的基础上增加写数据缓存模块 17、访问命令输出控制模块 18、写数据输出控制模块 19 和读数据输出控制模块 20。其中:

[0111] 写数据缓存模块 17,用于存储从 AXI 总线接收的数据,该数据是通过 AXI 总线上的单独通道传输。当 AXI 总线每接收一个写命令时,写数据缓存模块 17 在其内部为该写命令对应的写数据分配一个存储区,并将存储区编号发送至访问确定模块 11 缓存的写命令中,即写命令中的 FIFO 编号。

[0112] 从 AXI 总线接收的数据可以与写命令一同传输,也单独传输。当写数据缓存模块 17 接收到从 AXI 总线接收的数据,则会将该数据存储到为其分配的存储区中。

[0113] 访问命令输出控制模块 18,用于按照所述排序模块对访问命令的排列顺序依次从读命令缓存器 111 或写命令缓存器 112 中,即访问确定模块 11 中读取访问命令。

[0114] 写数据输出控制模块 19,用于在访问命令输出控制模块 18 读取的是写命令时,将写数据缓存模块 17 存储的与写命令对应的数据读出并发送至 LPDDR2 主状态机。读数据输出控制模块 20,用于在访问命令输出控制模块 18 读取的是读命令时,将 LPDDR2 主状态机执行该读命令所返回的数据发送至 AXI 总线。

[0115] 上述 LPDDR2 存储控制器中的排序模块 13 对访问命令排序后,使得缓存器中缓存的命令与实际 AXI 总线接收上的命令顺序不一致,进而导致命令与数据不对应。

[0116] 为了避免该问题,上述写数据输出控制模块 19 将为各写命令在写数据缓存模块分配的存储区位置进行保存,在访问命令输出控制模块读取的是写命令时,获取写命令对应的存储区位置,依据存储区位置获取写命令对应的的数据并发送至 LPDDR2 主状态机。写数据输出控制模块 19 的结构示意图请参阅图 11,包括:写数据存储位置分配单元 191、位置获取单元 192 和数据输出单元 193。

[0117] 写数据存储位置分配单元 191,用于为各写命令在写数据缓存模块 17 中分配存储区,所述存储区用于缓存与所述写命令对应的数据。

[0118] 位置获取单元 192,用于保存所述各写命令对应的存储区位置。

[0119] 数据输出单元 193,用于在访问命令输出控制模块 18 读取的是写命令时,获取写

命令对应的存储区位置,依据存储区位置获取所述写命令对应的数据并发送至 LPDDR2 主状态机,保证了写命令与发送至 LPDDR2 主状态机中的数据是一一对应的。

[0120] 上述图 11 所示的写数据输出控制模块 19 结合写命令和存储区位置发送数据,保证写命令与数据能够一一对应,进一步保证写入 LPDDR2 主状态机的数据与 AXI 总线实际发送的数据一致。

[0121] 同样,经过本申请实施例公开的 LPDDR2 存储控制器处理后读命令对于 AXI master 端是乱序访问,如后发出的读命令优先返回数据,进而使 AXI 总线上接收到的数据与从 LPDDR2 主状态机输出的数据不一致,因此,需要将接收读命令的顺序与 LPDDR2 主状态机输出的数据顺序保持一致。

[0122] LPDDR2 存储控制器内置一个 4bit 宽度的读命令顺序计数器,用来标识从 AXI 总线接收的读命令顺序编号,并将该读命令顺序编号写入与其对应的读命令中的命令编号和 FIFO 编号字段中。其中:读命令顺序编号表明从总线接收的读命令的实际顺序。读数据输出控制模块 20 依据该读命令顺序编号对 LPDDR2 主状态机执行与读命令顺序编号对应的读命令返回的数据发送至 AXI 总线。

[0123] 上述读数据输出控制模块 20 结构示意图请参阅图 12,包括:编号保存单元 201、读数据缓存单元 202 和读数据输出单元 203。其中:

[0124] 编号保存单元 201,用于保存各读命令对应的读命令顺序编号。

[0125] 读数据缓存单元 202,用于接收 LPDDR2 主状态机执行所述访问命令输出控制模块 18 读取的读命令返回的数据,并获取该读命令对应的读命令顺序编号,缓存所述返回的数据和该返回数据对应的读命令顺序编号。

[0126] 读数据输出单元 203,用于依据从总线接收读命令的顺序获取编号保存单元 201 中保存的读命令顺序编号,当读数据缓存单元 202 与读数据输出单元 203 获取到的读命令顺序编号匹配时,将该读命令顺序编号对应的返回数据发送至 AXI 总线,以及当读数据缓存单元 202 与读数据输出单元 203 获取到的读命令顺序编号不匹配时,等待读数据缓存单元 202 接收到并缓存该读命令顺序编号对应的返回数据后发送返回数据至 AXI 总线。

[0127] 需要说明的是:读数据输出单元 203 每次依据从总线接收读命令的顺序获取一个读命令顺序编号,在获取的读命令顺序编号对应的返回数据发送至 AXI 总线后,再依据从总线接收读命令的顺序获取下一个读命令顺序编号,以保证发送至 AXI 总线的数据的顺序与接收到的读命令的顺序一致。

[0128] 读数据缓存单元 202 与读数据输出单元 203 获取到的读命令顺序编号不匹配时,读数据输出单元 203 需要等待读数据缓存单元 202 接收到并缓存该读命令顺序编号对应的返回数据后发送返回数据至 AXI 总线后,再获取编号保存单元 201 中保存的下一个读命令顺序编号。

[0129] 与上述装置实施例相对应,本申请基于上述 LPDDR2 存储控制器,还公开一种访问命令处理方法,流程图如图 13 所示,包括:

[0130] S101:从 AXI 总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,确定当前选择的访问命令访问的块 bank 和行 row。

[0131] LPDDR2 存储控制器接收到的访问命令包括写命令和读命令,其中:写命令和读命令都是 AXI 总线上的模块发送给 AXI 总线的,由 AXI 总线传输给 LPDDR2 存储控制器,进而

由 LPDDR2 存储控制器发送给 LPDDR2 主状态机执行。LPDDR2 主状态机执行写命令将 AXI 总线上的数据写入 LPDDR2 存储器对应的地址,LPDDR2 主状态机执行读命令为从 LPDDR2 存储器对应的地址获取数据,进一步发送至 AXI 总线。

[0132] 上述读命令或者写命令指定要访问的块 bank 和行 row,可以通过解析访问命令,获知访问地址,则可以确定当前选择的访问命令访问的块 bank 和行 row。

[0133] 上述对访问命令的选择的具体过程请参阅装置实施例中访问确定模块 11 的描述,对此不再加以介绍。

[0134] S102:判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同,如果访问的块 bank 和行 row 相同,执行步骤 S103;否则,执行步骤 S104。

[0135] 已排序的访问命令为已经被排序的所有访问命令访问。如:LPDDR2 存储控制器中访问确定模块 11 接收到读命令,则已排序的访问命令为已排序的所有访问命令。

[0136] 由于当前选择访问命令可以与已排序的所有命令进行对比,相对于只能与上一次缓存的命令进行对比,可以更有效地节省时间,提高访问效率。

[0137] S103:将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移。该访问命令为与当前访问命令访问相同块 bank 和行 row 的已排序的访问命令。

[0138] S104:将当前访问命令排在已排序的所有访问命令之后。

[0139] 缓存器中命令排序示意图请参阅图 2 至图 4,缓存器缓存的访问命令格式请参阅图 5,对此不再加以阐述。

[0140] 应用上述技术方案,解析当前选择的访问命令,确定当前选择的访问命令访问的块 bank 和行 row,在当前选择的访问命令访问的块 bank 和行 row 与已排序的访问命令访问的块 bank 和行 row 相同时,则将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,即将访问相同块 bank 和行 row 的访问命令互相排列在相邻位置,进而在读取访问命令时,依据排序读取,减少关闭块 bank,以及打开块 bank 和行 row 时间,提高 LPDDR2 存储控制器访问效率。

[0141] 再一个实施例

[0142] 上述方法实施例通过将访问命令重排避免了块 bank 的重复关闭和打开,以及行 row 的重复打开,节省了时间,提高访问效率。但是,上述方法不可避免的将不访问相同块 bank 和行 row 的访问命令排在缓存器的后面,进而有可能造成缓存器内命令阻塞的情况。

[0143] 为了解决上述问题,本申请公开的 LPDDR2 存储控制器增加了计数器 14。每个计数器 14 对应一个命令,用于在命令向后移动时,将计数器 10 计算的阻塞时间加 1。其中:阻塞时间为该命令延迟处理时间。在对当前选择的访问命令访问的块 bank 和行 row 以及已排序的访问命令访问的块 bank 和行 row 进行判断之前,首先对阻塞时间进行判断,当阻塞时间达到预设阈值时,将该阻塞时间对应的命令放在缓存器所用 FIFO 队列顶端,优先处理该命令。

[0144] 方法流程图请参阅图 14,图 14 是本申请实施例公开的访问命令处理方法的流程图,在图 13 所示的流程图基础上,增加对阻塞时间的判定,包括:

[0145] S701:从 AXI 总线接收访问命令并缓存,选择已缓存且未排序的访问命令并解析,

确定当前选择的访问命令访问的块 bank 和行 row。

[0146] S702 :判断访问命令对应的阻塞时间是否达到预设阈值,如果是,执行步骤 S703, 如果不是,执行步骤 S704。

[0147] 预设阈值与操作实时性相关。当操作实时性高时,预设阈值小,当操作实时性低时,预设阈值大。

[0148] S703 :将阻塞时间达到预设阈值的访问命令排在首位,并将其他访问命令后移,如图 8 所示。图 8 为缓存器中命令排列的再一种示意图。其中 :命令 7 的阻塞时间经过判断达到预设阈值,则命令 7 被排在首位,即排在缓存器中用于存储该命令的 FIFO 队列顶端。

[0149] 当阻塞时间达到预设阈值的访问命令多于两个时,可以依据阻塞时间的大小对访问命令进行排序。如当阻塞时间达到预设阈值的访问命令个数为四个时,将阻塞时间最大的访问命令排在首位,将阻塞时间最小的访问命令排在第四位,将其他两个访问命令按照阻塞时间的大小排列,时间较大的排在第二位,较小的排在第三位。

[0150] 本申请实施例公开的 LPDDR2 存储控制器可以在读命令缓存器 111 和写命令缓存器 112 中缓存访问命令并缓存已排序的所有访问命令,也可以在读命令缓存器 111 和写命令缓存器 112 中缓存访问命令,将已排序的所有访问命令在另一个缓存器缓存。阻塞时间判定模块 15 需要对缓存有已排序的所有访问命令的缓存器中访问命令的阻塞时间。

[0151] S704 :判断当前选择的访问命令访问的块 bank 与已排序的访问命令访问的块 bank,以及当前选择的访问命令访问的行 row 与已排序的访问命令访问的行 row 是否相同,如果访问的块 bank 和行 row 相同,执行步骤 S705 ;如果访问的块 bank 不同和 / 或行 row 不同,执行步骤 S706。

[0152] S705 :将当前选择的访问命令排在与其访问相同块 bank 和行 row 的访问命令后,同时,将原本排在该访问命令后的其他访问命令后移,并将其他访问命令对应的计数器记录的阻塞时间加 1。该访问命令为与当前访问命令访问相同块 bank 和行 row 的已排序的访问命令。

[0153] S706 :将当前访问命令排在已排序的所有访问命令之后。

[0154] 本申请实施例中缓存器缓存的访问命令格式如图 9 所示,在图 5 所示的基础上增加了、命令阻塞时间、立即输出使能位和命令优先级。其中 :命令阻塞时间为计数器记录的该命令的延迟时间。立即输出使能位和命令优先级表明该命令的阻塞时间达到预设阈值,需要将命令放在首位处理。

[0155] 步骤 S704 至步骤 S706 的说明可以参阅步骤 S102 至步骤 S104,对此不再加以阐述。

[0156] 应用上述技术方案,在保证节省时间和提高访问效率的同时,进一步避免了命令阻塞情况的发生。

[0157] 上述方法实施例在对读命令重新排序后,重排后的读命令对于 AXI master 端是乱序访问,如后发出的读命令优先返回数据,进而使 AXI 总线上接收到的数据与从 LPDDR2 主状态机输出的数据不一致,因此,需要将接收读命令的顺序与 LPDDR2 主状态机输出的数据顺序保持一致。本申请实施例公开的访问命令处理方法实时保存各读命令对应的读命令顺序编号,其中 :读命令顺序编号表明从 AXI 总线接收的读命令的实际顺序。在从总线接收读命令的同时,LPDDR2 主状态机执行接收到的读命令读取 LPDDR2 存储器内的数据的流程图

请参阅图 15, 包括:

[0158] S801: 读取已排序的读命令, 发送读命令给 LPDDR2 主状态机执行。

[0159] S802: 接收 LPDDR2 主状态机执行读命令返回的数据, 并获取该读命令对应的读命令顺序编号, 缓存返回的数据和该返回数据对应的读命令顺序编号。

[0160] S803: 依据从总线接收读命令的顺序, 获取所保存的读命令顺序编号。

[0161] 步骤 S803 每次依据从总线接收读命令的顺序获取一个读命令顺序编号, 在获取的读命令顺序编号对应的返回数据发送至总线后, 再依据从总线接收读命令的顺序获取下一个读命令顺序编号, 以保证发送至总线的数据的顺序与接收到的读命令的顺序一致。步骤 S803 可以在步骤 S801 和 S802 之前进行, 也可以同时进行。

[0162] S804: 判断缓存的读命令顺序编号与获取到的读命令顺序编号是否匹配, 如果是, 执行步骤 S805, 否则, 返回执行步骤 S801。

[0163] S805: 将获取到的读命令顺序编号对应的返回数据发送至 AXI 总线。

[0164] 需要说明的是: 在返回执行步骤 S801 时, 需要在获取的读命令顺序编号与缓存的读命令顺序编号匹配, 且将数据发送至 AXI 总线后, 再由步骤 S803 获取所保存的下一个读命令顺序编号。

[0165] 在本文中, 诸如第一和第二等之类的关系术语仅仅用来将一个实体或者操作与另一个实体或操作区分开来, 而不一定要求或者暗示这些实体或操作之间存在任何这种实际的关系或者顺序。而且, 术语“包括”、“包含”或者其任何其他变体意在涵盖非排他性的包含, 从而使得包括一系列要素的过程、方法、物品或者设备不仅包括那些要素, 而且还包括没有明确列出的其他要素, 或者是还包括为这种过程、方法、物品或者设备所固有的要素。在没有更多限制的情况下, 由语句“包括一个……”限定的要素, 并不排除在包括所述要素的过程、方法、物品或者设备中还存在另外的相同要素。

[0166] 本说明书中的各个实施例均采用递进的方式描述, 各个实施例之间相同相似的部分互相参见即可, 每个实施例重点说明的都是与其他实施例的不同之处, 本领域普通技术人员在不付出创造性劳动的情况下, 即可以理解并实施。

[0167] 以上所述仅是本申请的具体实施方式, 应当指出, 对于本技术领域的普通技术人员来说, 在不脱离本申请原理的前提下, 还可以做出若干改进和润饰, 这些改进和润饰也应视为本申请的保护范围。

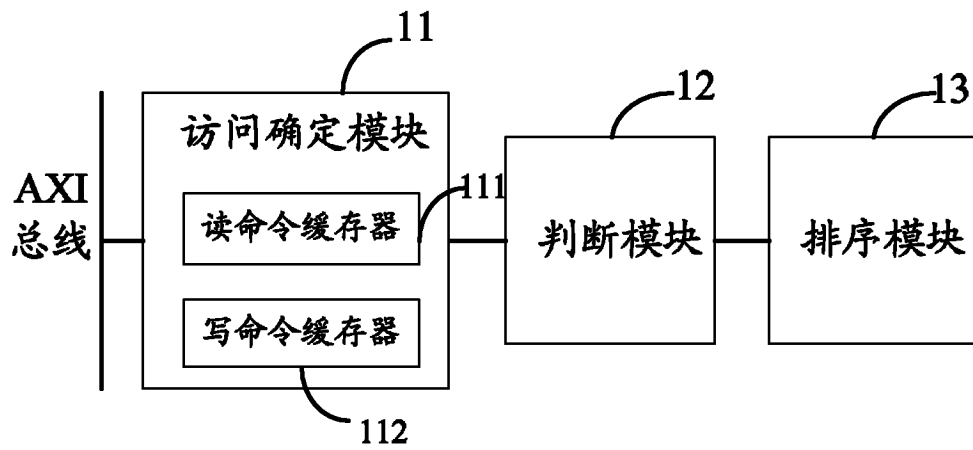


图 1

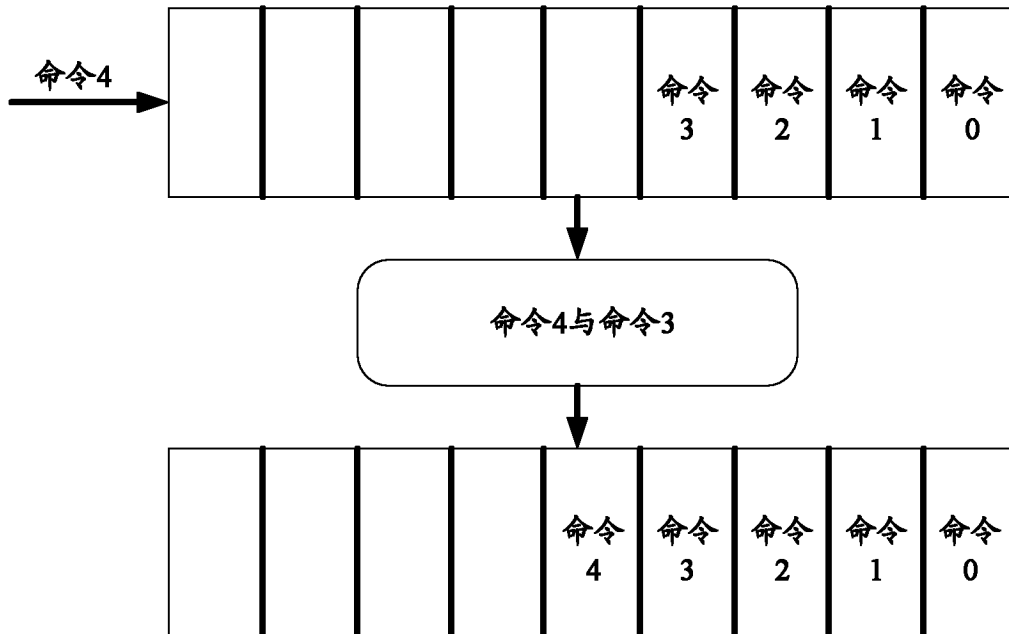


图 2

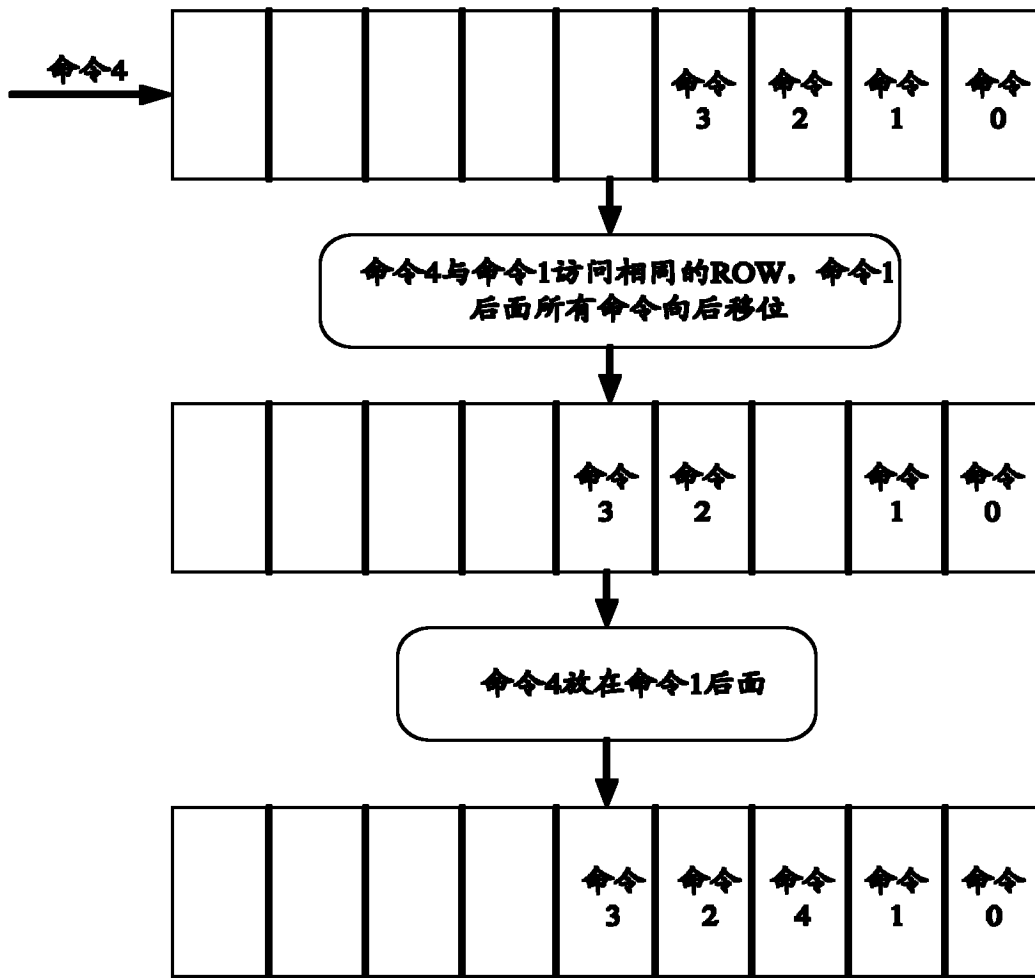


图 3

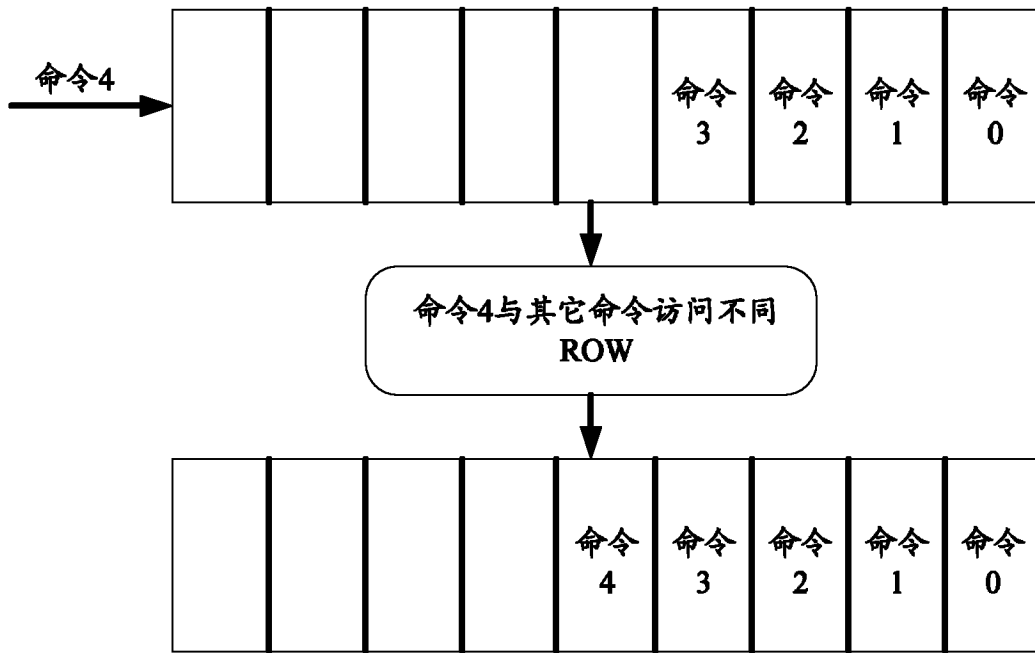


图 4

命令有效性	命令编号	FIFO 编号	访问类型	数据格式	数据长度	命令访问地址
-------	------	---------	------	------	------	--------

图 5

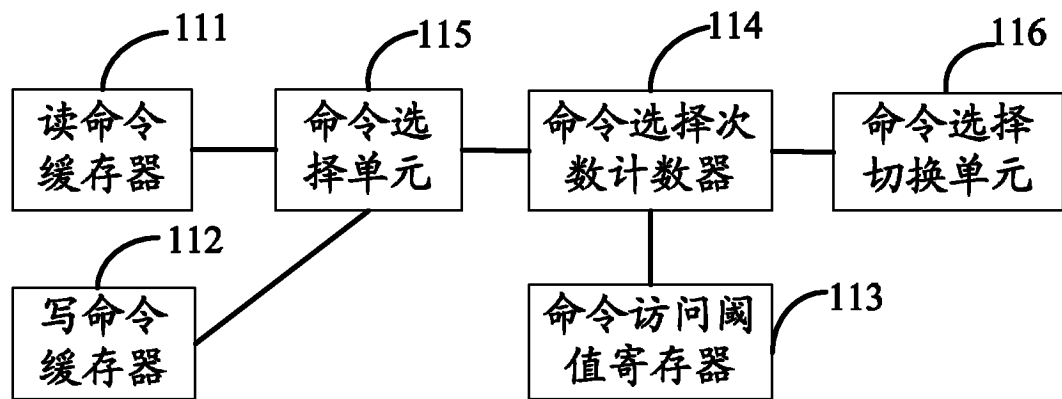


图 6

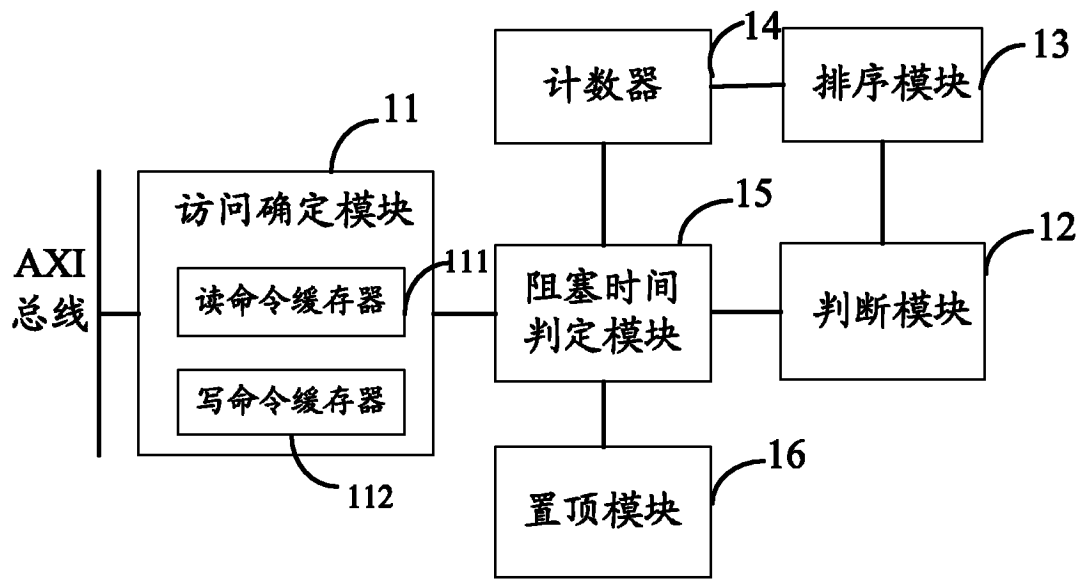


图 7

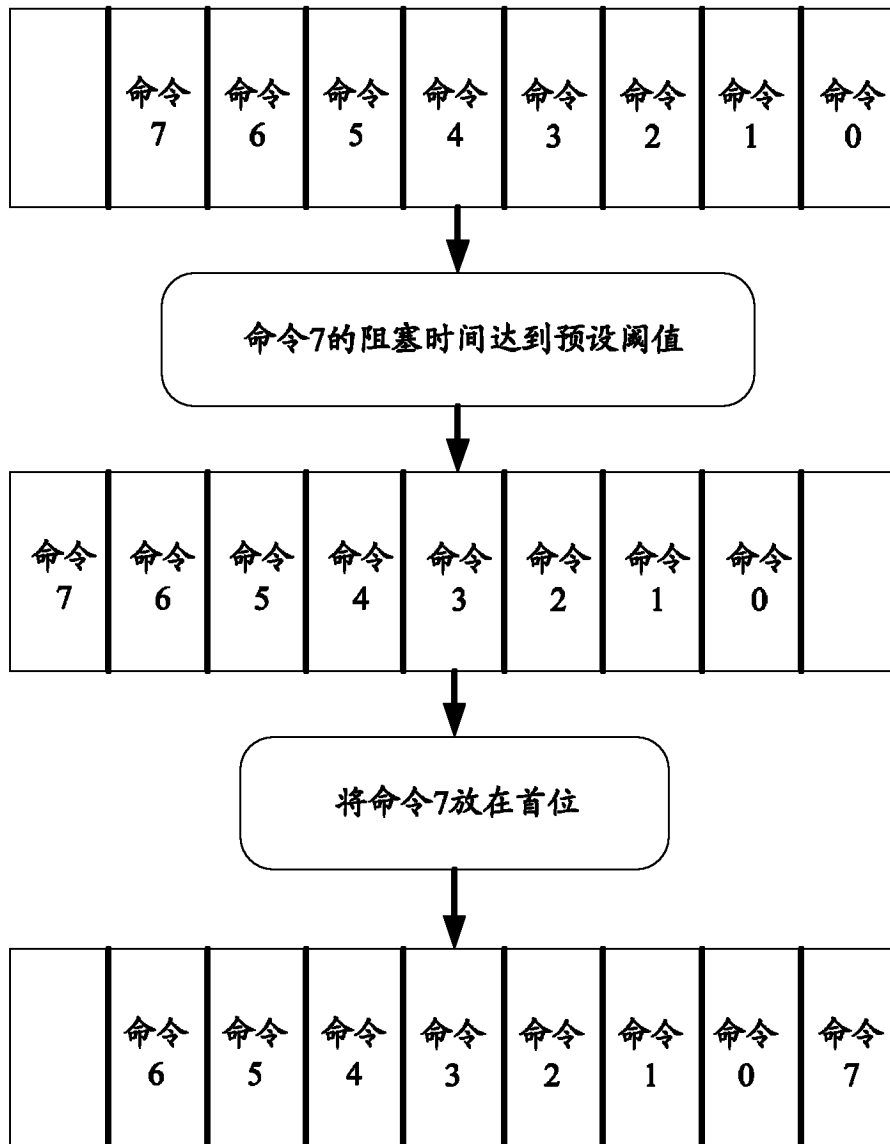


图 8

命令有效性	立即输出使能位	命令优先级	命令阻塞时间	命令编号	FIFO 编号	访问类型	数据格式	数据长度	命令访问地址
-------	---------	-------	--------	------	---------	------	------	------	--------

图 9

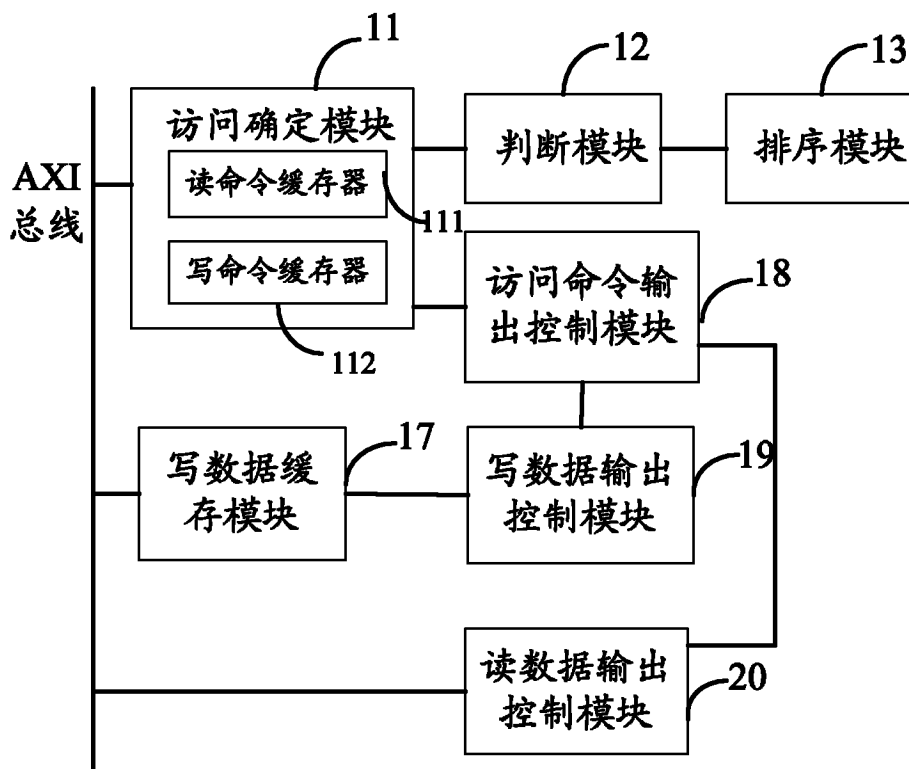


图 10

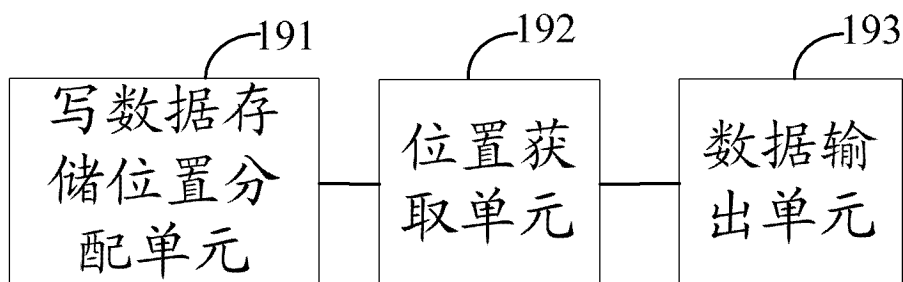


图 11

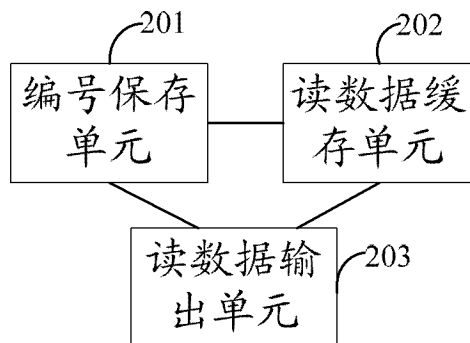


图 12

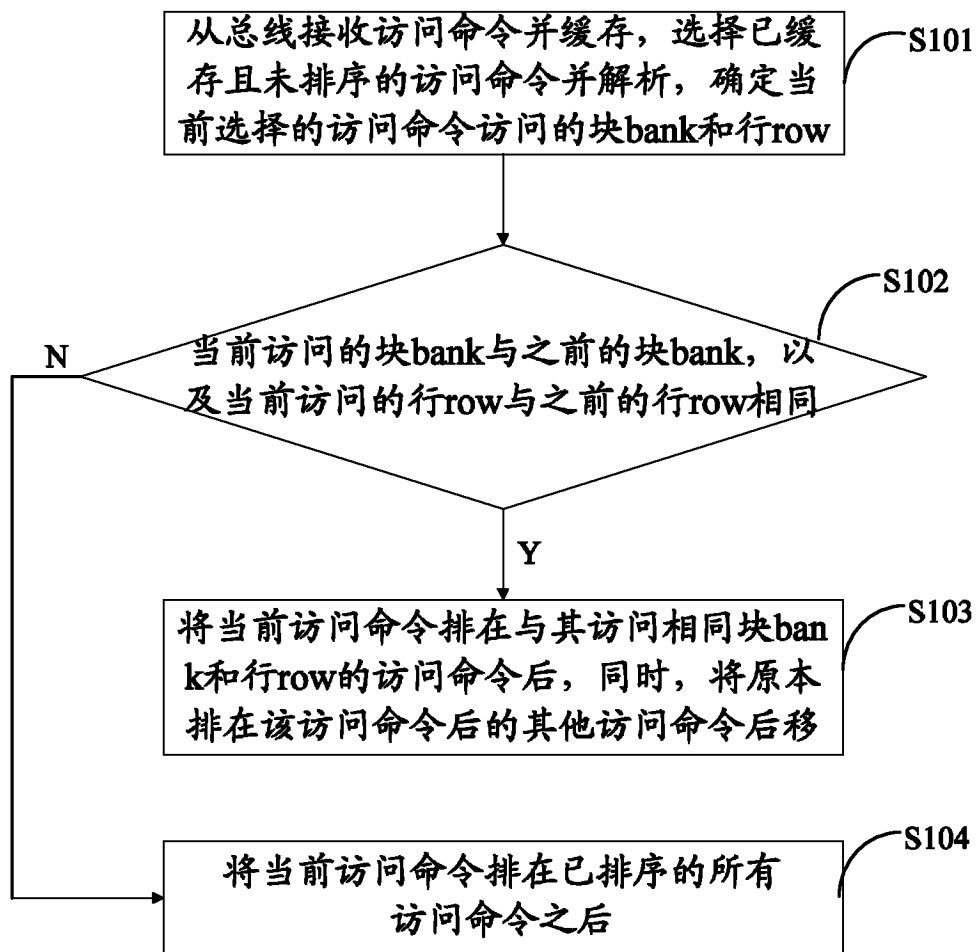


图 13

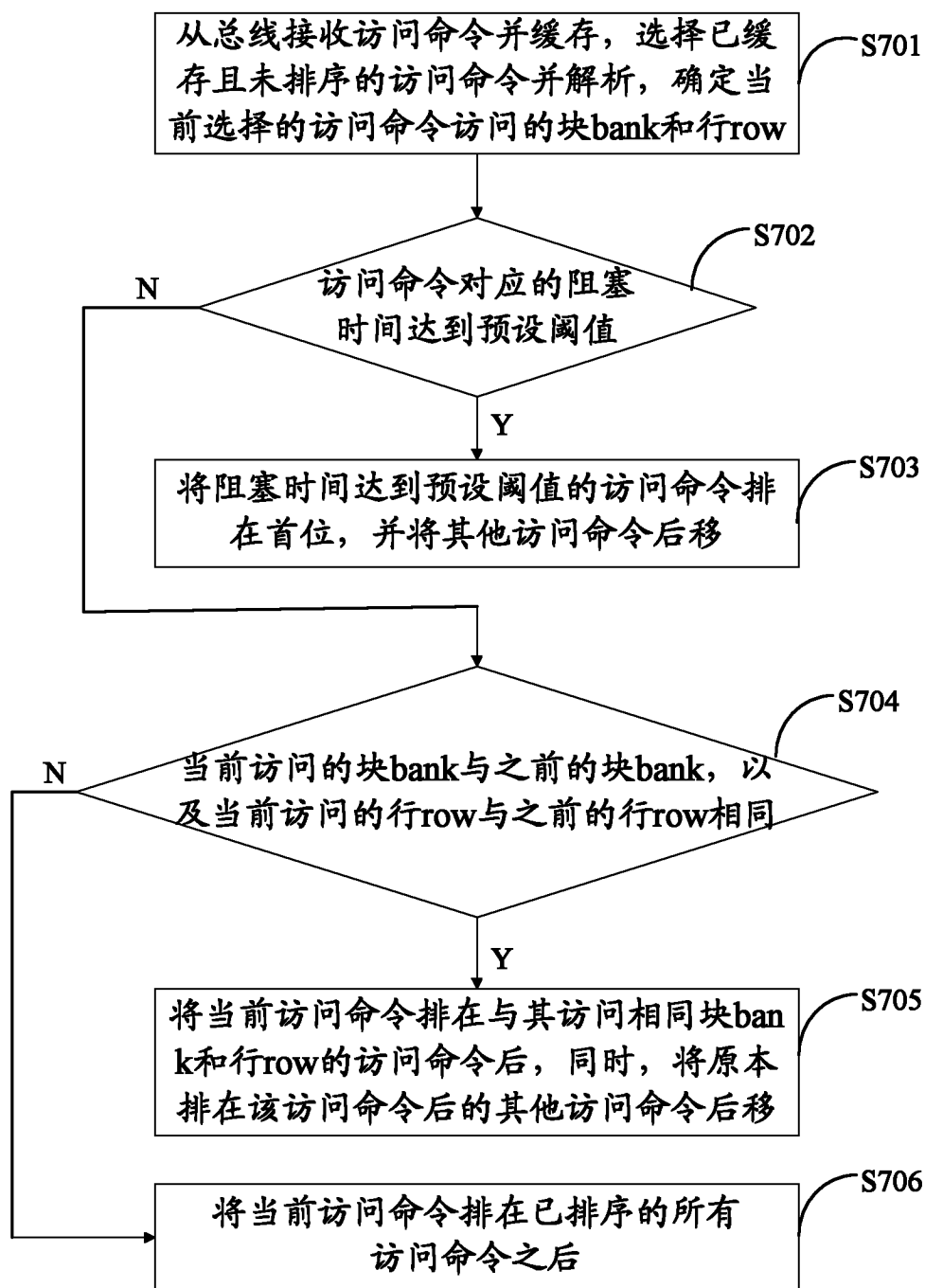


图 14

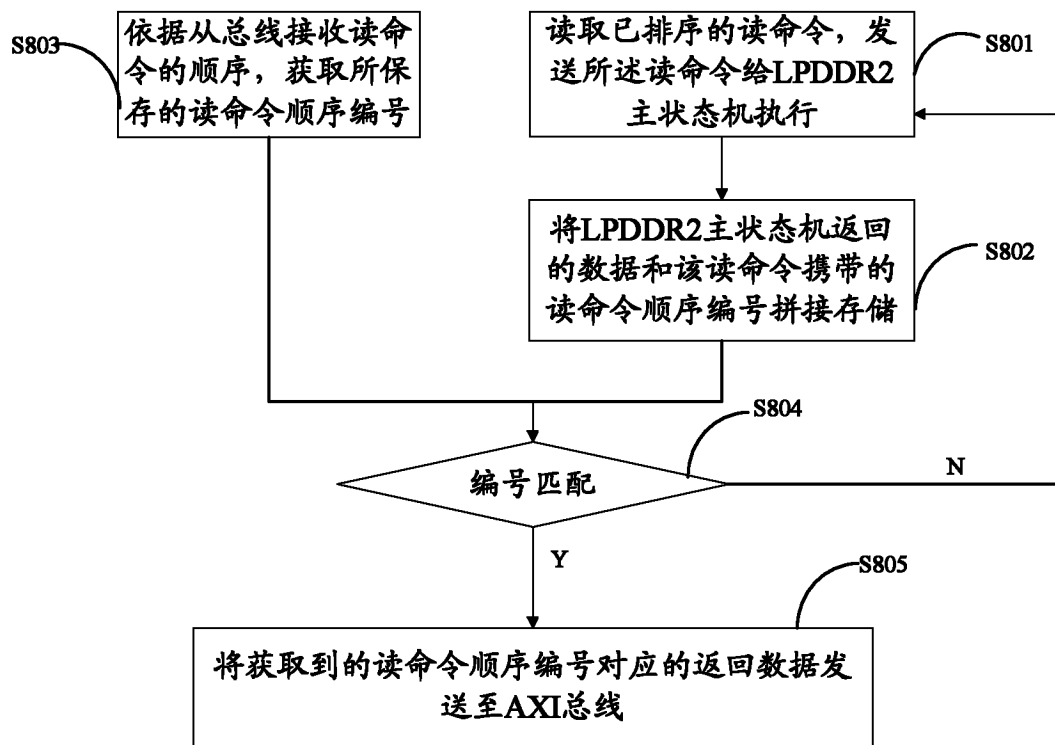


图 15