



(12)发明专利申请

(10)申请公布号 CN 106158017 A

(43)申请公布日 2016. 11. 23

(21)申请号 201610443316.7

(22)申请日 2016.06.20

(71)申请人 北京大学

地址 100871 北京市海淀区颐和园路5号

(72)发明人 黄鹏 康晋锋 李木 刘晓彦

(74)专利代理机构 中科专利商标代理有限责任
公司 11021

代理人 倪斌

(51) Int. Cl.

G11C 13/00(2006.01)

H03K 19/20(2006.01)

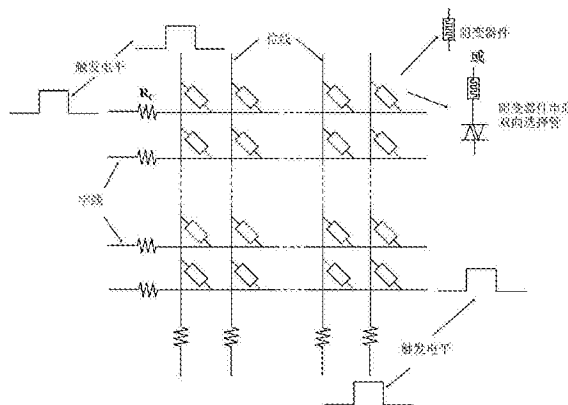
权利要求书2页 说明书6页 附图3页

(54)发明名称

基于电阻运算实现逻辑和算术运算的方法和
和设备

(57)摘要

本发明提出了一种阻变运算存储设备及其操作方法。所述阻变运算存储设备包括：第一方向延伸的多条字线；沿与第一方向交叉的第二方向延伸的多条位线；分别设置于各位线和各字线的交叉点处且与相应位线和相应字线连接的多个阻变运算存储子单元，每一个阻变运算存储子单元在高阻态和低阻态之间可切换并因此存储相应的数据；连接到每一条位线的位线基准单元，连接到每一条字线的一端和字线基准单元相连，以及控制器，将进行运算的触发电压信号与输入模块相连，通过电阻值高低不同的电阻态来表示输入变量，并且控制同一行或同一列的所述阻变运算存储子单元协同进行逻辑或算术运算，并且控制输出模块用于读取存储阵列的高低不同的电阻值来表示输出变量。



1. 一种阻变运算存储设备,包括:

沿第一方向延伸的多条字线;

沿与第一方向交叉的第二方向延伸的多条位线;

分别设置于各位线和各字线的交叉点处且与相应位线和相应字线连接的多个阻变运算存储子单元,每一个阻变运算存储子单元在高阻态和低阻态之间可切换并因此存储相应的数据;

连接到每一条位线的位线基准单元,位线基准单元的第一端连接到位线,而位线基准单元的另一端通过第一输入模块来选通不同的触发电平信号,每条位线的另外一端通过阻变运算存储子单元与每一条字线相连,并且每条位线的另外一端通过选择开关和输出模块相连接,

连接到每一条字线的字线基准单元相连,字线基准单元的第一端连接到字线,而字线基准单元的另一端通过第二输入模块来选通不同的触发电平信号,每条字线的另外一端通过阻变运算存储子单元与每一条位线相连,并且每条字线的另外一端通过选择开关和输出模块相连接;以及

控制器,将进行运算的触发电平信号与输入模块相连,通过电阻值高低不同的电阻态来表示输入变量,控制同一行或同一列的所述阻变运算存储子单元协同进行逻辑算术运算,控制输出模块用于与计算中的其他阻变运算存储子单元进行数据交换,并且读取存储阵列的高低不同的电阻值来进行逻辑变量输出。

2. 根据权利要求1所述的阻变运算存储设备,其中所述阻变运算存储子单元包括基于氧化物的阻变存储器RRAM、基于金属离子氧化还原的阻变存储器CBRAM、相变存储器PCM、磁阻存储器MRAM的至少一个,所述阻变运算存储子单元依赖于电阻变化进行信息存储和运算。

3. 根据权利要求1所述的阻变运算存储设备,其中所述阻变运算存储子单元是单独的阻变器件或者是阻变器件和双向选择器件串联的结构。

4. 根据权利要求1所述的阻变运算存储设备,其中所述基准单元的阻值是在阻变运算存储子单元的高阻态阻值和低阻态阻值之间。

5. 根据权利要求1所述的阻变运算存储设备,其中对于连接到同一位线的阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 V_{cc} ,在阻变运算输入存储子单元A的端口上施加触发电压 $V_{cc}/2$,并且在所述存储输出变量的运算存储子单元的端口上施加触发电压0,则在触发电平触发后的原来存储数据“B”的阻变运算存储子单元上的逻辑值实现了逻辑“蕴含”运算: $B' = \overline{A} + B$ 。

6. 根据权利要求5所述的阻变运算存储设备,其中当 $B=0$ 的时候,实现“非”的逻辑运算。

7. 根据权利要求1所述的阻变运算存储设备,其中对于连接到同一位线的阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 $V_{cc}/2$,在阻变运算输入存储子单元A的端口上施加触发电压 V_{cc} ,并且在阻变运算存储输出子单元B的端口上施加触发电压0,则在触发电平触发后的阻变运算存储输出子单元上的逻辑值实现了逻辑“或”运算: $B' = A+B$ 。

8. 根据权利要求7所述的阻变运算存储设备,其中当 $B=0$ 的时候,实现了“传输”逻辑。
9. 根据权利要求2至8中任一项所述的阻变运算存储设备,还包括对上述逻辑和算术运算进行逻辑级联或逻辑重构。
10. 根据权利要求1所述的阻变运算存储设备,其中采用电阻值作为逻辑门的输入输出物理变量。

基于电阻运算实现逻辑和算术运算的方法和设备

技术领域

[0001] 本公开一般地涉及半导体集成电路及其制造技术领域,更具体地,涉及一种可以在阻变器件交叉阵列中通过电阻传递实现逻辑和算术运算的方法及装置。

背景技术

[0002] 现代计算机技术是基于冯诺依曼体系架构和布尔代数逻辑。在冯诺依曼体系构架中运算部分和存储部分是分离的,数据通过总线在运算部分和存储部分之间进行交换。数据在总线上进行交换会消耗能量和降低计算效率,随着基于COMS技术的运算部分和存储部分的发展,数据在总线上的交换速度已经成为制约体系计算效率提高的瓶颈,同时数据通过总线交换过程的能耗造成体系的能耗增加。现代计算机中布尔代数逻辑运算是依靠电平信号触发和级联,运算部分中数据信号的传递一直需要保持触发电平信号和输入信号,造成较大的静态功耗。此外,现代计算机中的运算部分主要基于COMS电路,其逻辑功能由COMS单元的互联和组合方式确定,因此无法轻易进行功能重构,这会造成运算资源的闲置,无法最有效地利用运算资源。

[0003] 在当前大数据和物联网快速发展、移动设备广泛普及的时代背景下,传统的计算设备在能耗、速度等方面已逐渐难以满足人们的需求。为了突破现有计算体系架构的限制,提出了仿真人脑结构的神经网络计算体系和基于忆阻器的计算/存储为一体的架构。在神经网络计算体系中已经不遵守布尔代数逻辑,需要重新发展编程语言和相应的操作系统。基于忆阻器的计算体系仍然遵循布尔代数逻辑,但是在这种体系结构中存在新的技术挑战,无法实现逻辑信息的级联。

发明内容

[0004] 针对上述技术问题,本发明提供了一种在阻变器件中进行布尔代数逻辑运算的方法,以及基于这种方法的逻辑级联的运算/存储一体化的新型计算体系结构及其操作方法。

[0005] 本发明的目的是提供一种利用阻变器件(包括基于氧化物的阻变存储器RRAM、基于金属离子氧化还原的阻变存储器CBRAM、相变存储器PCM、磁阻存储器MRAM等依靠电阻变化进行信息存储的元器件)通过电阻传递实现布尔代数逻辑运算、数据存储和传递的方法及相应的体系结构。阻变器件的电阻值可以在两个不同的电阻值之间通过外加电压进行切换,称之为编程(program)/擦除(erase)(或者SET/RESET)。编程电压和擦除电压极性相反,存储的两个电阻值的高低阻态有明显的区别。在这种体系结构中,电阻值高低不同的电阻态作为信息的输入、输出以及计算和存储的变量,脉冲电压信号触发运算,并且脉冲电压信号的信号序列形式决定运算的类型。

[0006] 根据本发明的一个方面,提出了一种阻变运算存储设备,包括:

[0007] 沿第一方向延伸的多条字线;

[0008] 沿与第一方向交叉的第二方向延伸的多条位线;

[0009] 分别设置于各位线和各字线的交叉点处且与相应位线和相应字线连接的多个阻

变运算存储子单元,每一个阻变运算存储子单元在高阻态和低阻态之间可切换并因此存储相应的数据;

[0010] 连接到每一位线的位线基准单元,位线基准单元的第一端连接到位线,而位线基准单元的另一端通过第一输入模块来选通不同的触发电平信号,每条位线的另外一端通过阻变运算存储子单元与每一条字线相连,并且每条位线的另外一端通过选择开关和输出模块相连接,

[0011] 连接到每一条字线的字线基准单元相连,字线基准单元的第一端连接到字线,而字线基准单元的另一端通过第二输入模块来选通不同的触发电平信号,每条字线的另外一端通过阻变运算存储子单元与每一条位线相连,并且每条字线的另外一端通过选择开关和输出模块相连接;以及控制器,将进行运算的触发电平信号与输入模块相连;通过电阻值高低不同的电阻态来表示输入变量,控制同一行或同一列的所述阻变运算存储子单元协同进行逻辑算术运算,控制输出模块用于与计算中其他设备进行数据交换,并且读取存储阵列的高低不同的电阻值来进行逻辑变量输出。

[0012] 优选地,所述阻变运算存储子单元包括基于氧化物的阻变存储器RRAM、基于金属离子氧化还原的阻变存储器CBRAM、相变存储器PCM、磁阻存储器MRAM的至少一个,所述阻变运算存储子单元依赖于电阻变化进行信息存储和运算。

[0013] 优选地,所述阻变运算存储子单元是单独的阻变器件或者是阻变器件和双向选择器件串联的结构。

[0014] 优选地,所述基准单元的阻值是在阻变运算存储子单元的高阻态阻值和低阻态阻值之间。

[0015] 优选地,对于连接到同一位线的阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 V_{CC} ,在阻变运算输入存储子单元A的端口上施加触发电压 $V_{CC}/2$,并且在存储输出变量的运算存储输出子单元B的端口上施加触发电压0,则在触发电平触发后的阻变运算存储输出子单元上的逻辑值实现了“蕴含”逻辑运算: $B' = \overline{A} + B$ 。当 $B=0$ 的时候,实现“非”的逻辑运算。

[0016] 优选地,对于连接到同一位线的阻变运算存储子单元和辅助阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 V_{CC} ,在所述阻变运算存储输入子单元A的端口上施加触发电压0,并且在所述辅助阻变运算存储子单元的端口上施加触发电压 V_{CC} ,则在触发电平触发后的辅助阻变运算存储子单元上的逻辑值实现了逻辑“或”运算: $B' = A + B$ 。当 $B=0$ 的时候,实现了“传输”逻辑。

[0017] 优选地,对于连接到同一位线的阻变运算存储子单元和辅助阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 V_{CC} ,在所述阻变运算存储输入子单元A的端口上施加触发电压 $V_{CC}/2$,并且在所述阻变运算存储输出子单元B的端口上施加触发电压0,则在触发电平触发后的原来存储数据“B”的阻变运算存储子单元上的逻辑值实现了逻辑“蕴含”运算: $B' = \overline{A} + B$ 。当 $B=0$ 的时候,实现“非”的逻辑。

[0018] 优选地,对于连接到同一位线的阻变运算存储子单元中存储的数据“A”和“B”,当在与基准单元相连的第一输入单元的端口上施加的触发电压 $V_{CC}/2$,在阻变运算存储输入子

单元A的端口上施加触发电压 V_{CC} ,并且在阻变运算存储输出子单元B的端口上施加触发电压0,则在触发电平触发后的阻变运算输出存储子单元B上的逻辑值实现了逻辑“或”运算: $B' = A+B$ 。当 $B=0$ 的时候,实现了“传输”逻辑。

[0019] 还可以对对上述逻辑和算术运算进行逻辑级联或逻辑重构。

[0020] 这种体系结构中,电阻值高低不同的电阻态作为信息的输入、输出以及计算和存储的变量,脉冲电压信号触发运算,并且脉冲电压信号的信号序列形式决定运算的类型。阻变器件是非挥发型存储器,因此逻辑运算结果不需要触发电平维持,大大降低了运算的功耗。可以通过触发电平的控制实现同一组阻变器件完成不同的逻辑、算术运算任务,即实现逻辑功能重构,可以极大地提高硬件单元的利用效率。

附图说明

[0021] 通过以下参照附图对本公开实施例的描述,本公开的上述以及其他目的、特征和优点将更为清楚,在附图中:

[0022] 图1示出了由两个共位线阻变器件构成的基本逻辑单元;

[0023] 图2示出了由阻变器件组成的交叉阵列运算存储模块示意图;

[0024] 图3示出了基于阻变器件电阻运算的系统示意图;

[0025] 图4示出了由两个共字线阻变器件构成的基本逻辑单元;

[0026] 图5示出了在进行“ $AB+C$ ”运算逻辑时调用的电路示意图;以及

[0027] 图6示出了逻辑重构功能的示意图和相应的触发电平时序图。

具体实施方式

[0028] 以下,将参照附图来描述本公开的实施例。但是应该理解,这些描述只是示例性的,而并非要限制本公开的范围。此外,在以下说明中,省略了对公知结构和技术的描述,以避免不必要地混淆本公开的概念。

[0029] 在附图中示出了根据本公开实施例的各种结构示意图。这些图并非是按比例绘制的,其中为了清楚表达的目的,放大了某些细节,并且可能省略了某些细节。图中所示出的各种元件的形状以及它们之间的相对大小、位置关系仅是示例性的,实际中可能由于制造公差或技术限制而有所偏差,并且本领域技术人员根据实际所需可以另外设计具有不同形状、大小、相对位置的元件。

[0030] 在本公开的上下文中,当将一层/元件称作位于另一层/元件“上”时,该层/元件可以直接位于该另一层/元件上,或者它们之间可以存在居中层/元件。另外,如果在一种朝向中一层/元件位于另一层/元件“上”,那么当调转朝向时,该层/元件可以位于该另一层/元件“下”。

[0031] 本发明的目的是提供一种利用阻变器件(包括基于氧化物的阻变存储器RRAM,基于金属离子氧化还原的阻变存储器CBRAM、相变存储器PCM、磁阻存储器MRAM等依靠电阻变化进行信息存储的元器件)通过电阻传递实现布尔代数逻辑运算、数据存储和传递的方法及相应的体系结构。阻变器件的电阻值可以在两个不同的电阻值之间通过外加电压进行切换,称之为编程(program)/擦除(erase)(或者置位(SET)/复位)RESET编程电压和擦除的电压极性相反,存储的两个电阻值的高低阻态有明显的区别。在这种体系结构中,电阻值高

低不同的电阻态作为信息的输入、输出以及计算和存储的变量,脉冲电压信号触发运算以及其信号序列形式决定运算的类型。

[0032] 附图1所示的由两个阻变器件构成的逻辑运算单元,当在端口0、1和2上施加适合的触发电平,阻变器件A、B上的以电阻形式存储的数据信息值会进行逻辑运算,运算后的结果以电阻值的形式存储在阻变器件A或B上。这里,阻变器件A和B上的电阻值可以作为逻辑输入变量参与到运算中,并且参与运算的电阻值和运算后的作为输出逻辑变量的电阻逻辑值都是存储在参与运算的阻变器件中,无须进行在运算单元和存储单元之间进行信息数据传递,实现了使用同一单元实现数据运算和存储。阻变器件是非挥发型存储器,因此逻辑运算结果不需要触发电平维持,大大降低了运算的功耗。参与电阻逻辑运算单元不局限2个,可以通过触发电平的控制使多个电阻型存储的电阻值参与运算,运算后的电阻逻辑值存储在参与逻辑运算的阻变器件之一上,存储运算后电阻值的单元可以通过触发电平进行控制选择。存储第一次电阻运算结果的存储器可以通过触发电平的控制参与之后运算周期内的电阻逻辑运算从而实现逻辑运算的级联。进行运算的逻辑、算术类型(与,或,非,加,减等)通过触发电平的类型进行选择,这表明同一个电阻型存储单元可以参与不同的逻辑和算术运算,可以通过触发电平的控制实现同一组阻变器件完成不同的逻辑、算术运算任务,即实现逻辑功能重构,这样可以极大利用硬件单元。

[0033] 基于电阻运算和传递的原理,阻变器件可以制备如附图2所示的交叉阵列。在交叉阵列中包含多条互相平行的多条位线、相互平行的多条字线以及位于字线和位线之间的阻变运算存储子单元;阻变运算存储子单元可以是单个阻变器件也可以是一个阻变器件和双向选择器件串联的结构。字线和位线相互垂直,在交叉阵列同一行和同一列的阻变运算存储子单元可以直接构成运算单元,不同行不同列的子单元可以间接构成运算单元。每条位线的一端和具有固定电阻的基准单元 R_c 相连,固定电阻 R_c 的另外一端通过输入模块选通不同的触发电平信号。 R_c 的取值介于阻变器件存储的高阻值和低阻值之间,比如其为两者的几何平均值。每条位线的另外一端通过选择开关和输入输出模块相连接;每条字线的一端和固定电阻 R_c 相连,固定电阻 R_c 的另外一端通过输入模块选通不同的触发电平信号,每条字线的另外一端通过选择开关和输入输出模块相连。输出模块主要是读取存储阵列的电阻值转变成电压信号方便计算系统中的其他输出。

[0034] 阻变运算存储交叉阵列和输入模块、输出模块构成一个集信息数据运算和存储一体的模块,模块和模块之间通过寄存器进行数据交换。如附图3所示;模块的输入和输出分别和输入输出总线相连,地址总线上的数据和模块中的输入单元相连。运算控制发出进行运算的触发电平信号和模块中的输入模块相连;运算控制发出的控制信号和系统的每一个模块相连协调输入输出及运算。

[0035] 具体地,如图1所示,当在端口0上施加的触发电平0V,在端口1上施加触发电平 $V_{cc}/2$,端口2上施加触发电平 V_{cc} ,如果运算前,阻变器件A、B中都是存储低阻态 R_{on} ,则在触发电平施加过程中,加载在阻变器件A、B两端的电压为 $-V_{cc}/4$ 和 $V_{cc}/4$ 左右(端口3上电压为大的时候为负),无法改变阻变器件A、B中的电阻值;如果运算前的电阻型A、B中存储的为 R_{on} 和高阻态 R_{off} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为0和 $V_{cc}/2$ 左右,阻变器件A、B中的电阻值不会发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{on} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为 $-V_{cc}/2$ 和0左右,阻变器件A、B中的电阻值不会

发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{on} ,在触发电平施加过程中加载在A、B单元两端的电压为 $V_{cc}/2$ 和 V_{cc} 左右,电阻型存储B上的电阻值会发生翻转置为低阻态。如果 R_{off} 表示为0, R_{on} 表示为1;则在触发电平触发后单元B上的逻辑值可以用下式来描述:

$$[0036] \quad B' = \overline{A} + B \quad (1)$$

[0037] B' 表示运算后的B中存储的逻辑值,实现了“蕴含”逻辑运算。

[0038] 如果施加的触发电平为端口0置0,端口1置 $-V_{cc}/2$,端口2置 $V_{cc}/2$ 。如果运算前,阻变器件A、B中都是存储低阻态 R_{on} ,则在触发电平施加过程中,加载在阻变器件A、B两端的电压为 $-V_{cc}/2$ 和 $V_{cc}/2$ 左右,无法改变阻变器件A、B中的电阻值;如果运算前的阻变器件A、B中存储的为 R_{on} 和高阻态 R_{off} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为0和 V_{cc} 左右,阻变器件A中存储的电阻值不会发生改变,B中的电阻值会被从高阻态置入低阻态;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{on} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为 $-V_{cc}$ 和0左右,阻变器件A、B中的电阻值不会发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{off} ,在触发电平施加过程中加载在A、B单元两端的电压为 $-V_{cc}/2$ 和 $V_{cc}/2$ 左右,阻变器件A、B中的电阻值不会发生改变。在触发电平触发后单元B上的逻辑值可以用下式来描述:

$$[0039] \quad B' = A + B \quad (2),$$

[0040] 实现了“或”的逻辑操作。

[0041] 对于(1)式来说,当 $B=0$ 的时候,实现“非”的逻辑;对于(2)式来说,当 $B=0$ 的时候,实现了“传输”逻辑。对于任何复杂的逻辑运算或者算术运算都可以使用这些基本逻辑单元组合在附图2同一行中实现。

[0042] 对于图2中同一列不同行的阻变器件进行逻辑操作过程可以用图4来说明。图4示出了由两个共字线阻变器件构成的基本逻辑单元。在图4中,在端口0上施加触发电平 V_{cc} ,端口1上施加电平触发电平 $V_{cc}/2$,端口2施加触发电平信号0;如果运算前,阻变器件A、B中都是存储低阻态 R_{on} ,则在触发电平施加过程中,加载在阻变器件A、B两端的电压为 $-V_{cc}/4$ 和 $V_{cc}/4$ 左右(端口3上电势大,为正),无法改变阻变器件A、B中的电阻值;如果运算前的电阻型A、B中存储的为 R_{on} 和高阻态 R_{off} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为0和 $V_{cc}/2$ 左右,阻变器件A、B中存储的电阻值不会发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{on} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为 $-V_{cc}/2$ 和0左右,阻变器件A、B中的电阻值不会发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{off} ,在触发电平施加过程中加载在A、B单元两端的电压为 $V_{cc}/2$ 和 V_{cc} 左右,阻变器件A中的电阻值不会发生改变,B中存储的电阻会被置为低阻态;则在触发电平触发后单元B上的逻辑值可以用下式来描述:

$$[0043] \quad B' = \overline{A} + B \quad (3),$$

[0044] 实现了“蕴含”逻辑操作。

[0045] 对于图4中的结构,当在端口0上施加触发电平 $V_{cc}/2$,端口1上施加电平触发电平 V_{cc} ,端口2施加触发电平信号0。如果运算前,阻变器件A、B中都是存储 R_{on} ,则在触发电平施加过程中,加载在阻变器件A、B两端的电压为 $-V_{cc}/2$ 和 $V_{cc}/2$ 左右(端口3上电势大,为正),无法改变阻变器件A、B中的电阻值;如果运算前的电阻型A、B中存储的为 R_{on} 和 R_{off} ,在触发电平

施加过程中加载在阻变器件A、B两端的电压为0和 V_{cc} 左右,阻变器件A中存储的电阻值不会发生改变,存储在B中电阻值会被置为 R_{on} ;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{on} ,在触发电平施加过程中加载在阻变器件A、B两端的电压为 $-V_{cc}$ 和0左右,阻变器件A、B中的电阻值不会发生改变;如果运算前存储在A、B单元中的电阻为 R_{off} 和 R_{off} ,在触发电平施加过程中加载在A、B单元两端的电压为 $-V_{cc}/2$ 和 $V_{cc}/2$ 左右,阻变器件A、B中的电阻值不会发生改变;则在触发电平触发后单元B上的逻辑值可以用下式来描述:

$$[0046] \quad B' = A+B \quad (4)$$

[0047] 实现了“或”逻辑操作。对于图2中同一列(连接到同一位线)的阻变器件可以同通过组合(3)(4)式的逻辑实现了复杂的逻辑、算术运算。

[0048] 逻辑级联示例: $D=AB+C$

[0049] 参与此复杂逻辑运算的阻变器件一共有5个:三个输入A、B、C;一个输出D以及一个辅助单元Assist如附图5所示。运算之前把Assist和输出单元置为 $R_{off}(0)$,在第一个运算周期中,端口2上施加的触发电平信号为 $V_{cc}/2$,端口4上施加的触发电平信号为 V_{cc} ,端口0置零,其他端口为悬浮,所以在第一个子运算周期后Assist中的逻辑值为 \overline{B} ,第二运算周期中端口1上施加的触发电平为 $V_{cc}/2$,端口4上施加的触发电平信号为 V_{cc} ,端口0置零,其他端口为悬浮,第二个子运算周期后Assist中的逻辑值为 $\overline{A}+\overline{B}$;第三个运算周期当中端口4的触发电平为 $V_{cc}/2$,端口5上触发电平为 V_{cc} ,端口0上置为0,其他端口悬浮;运算后D上的逻辑值为AB;第四子运算周期当中端口5的触发电平为 V_{cc} ,端口0上置为 $V_{cc}/2$,端口3上置触发电平0,其他端口悬浮,运算后D中的逻辑值为AB+C,运算任务完成。

[0050] 逻辑重构示例:

[0051] 如附图6所示,在第一运算周期中使用A、B、C三个阻变器件完成了逻辑运算 $C=AB$ 并将逻辑运算的结果存储在C当中,在之后的运算当中如果用户需要再输入两个逻辑值并做与非的逻辑操作,只需要在运算之前把A、B、C当中的逻辑值首先置为0,然后写入用户指定的逻辑值于A、B单元中;再在下一个运算单元中对A、B、C三个单元施加适合的触发电平即可完成 $C=\overline{AB}$ 的逻辑运算并将结果存储在C单元中。

[0052] 在根据本发明的上述阻变运算存储设备中,采用电阻值作为逻辑门的输入输出物理变量。采用电阻值作为逻辑门的输入输出物理变量,电阻值高低不同的电阻态作为信息的输入、输出以及计算和存储的变量,脉冲电压信号触发运算,并且脉冲电压信号的信号序列形式决定运算的类型。阻变器件是非挥发型存储器,因此逻辑运算结果不需要触发电平维持,大大降低了运算的功耗。可以通过触发电平的控制实现同一组阻变器件完成不同的逻辑、算术运算任务,即实现逻辑功能重构,可以极大地提高硬件单元的利用效率。

[0053] 尽管已经参考本发明的典型实施例,具体示出和描述了本发明,但本领域普通技术人员应当理解,在不脱离所附权利要求所限定的本发明的精神和范围的情况下,可以对这些实施例进行形式和细节上的多种改变。

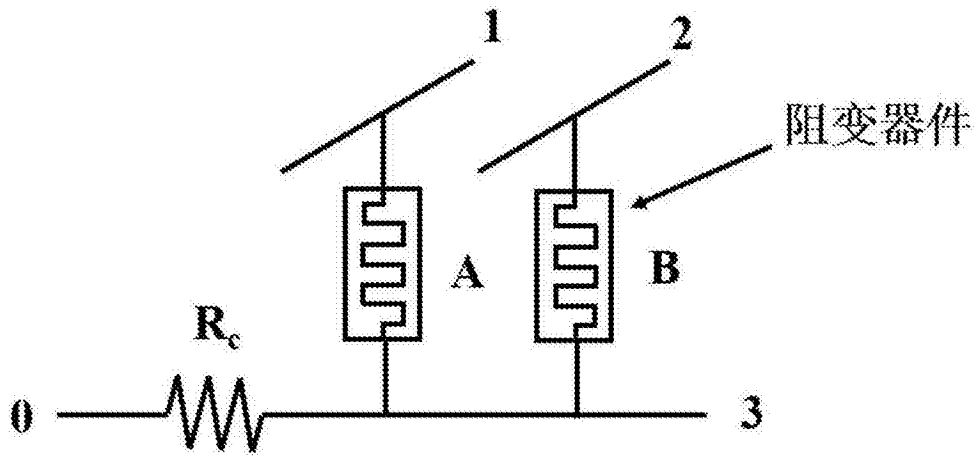


图1

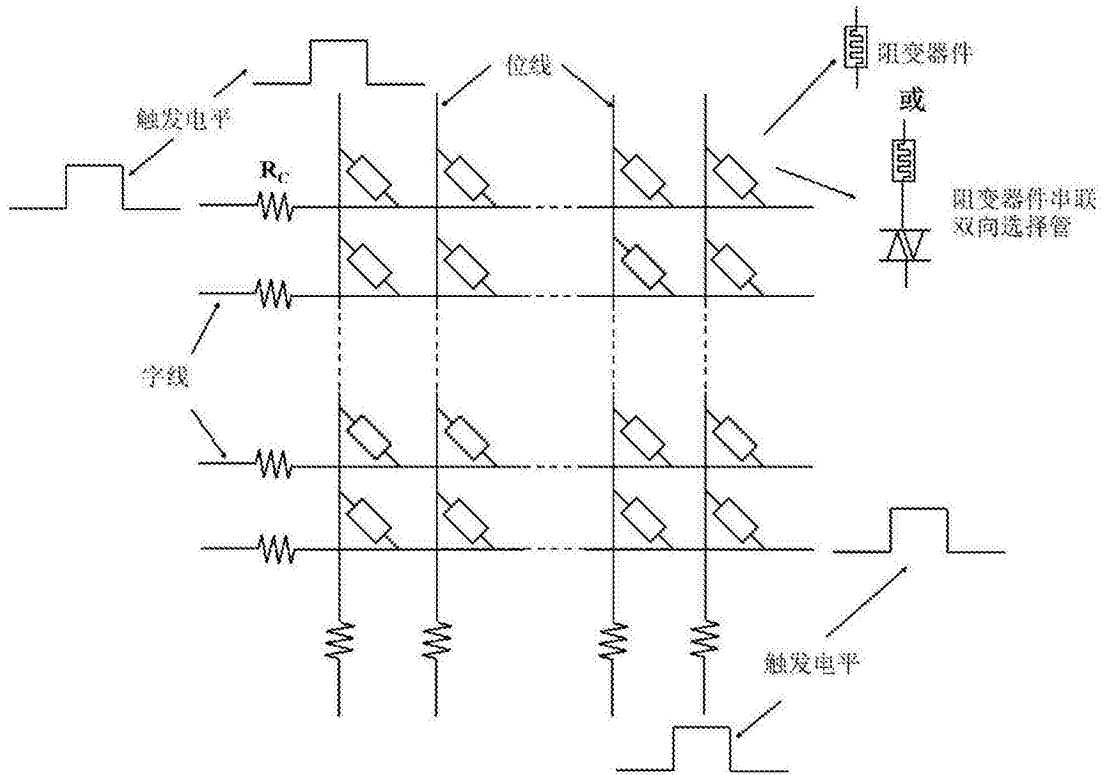


图2

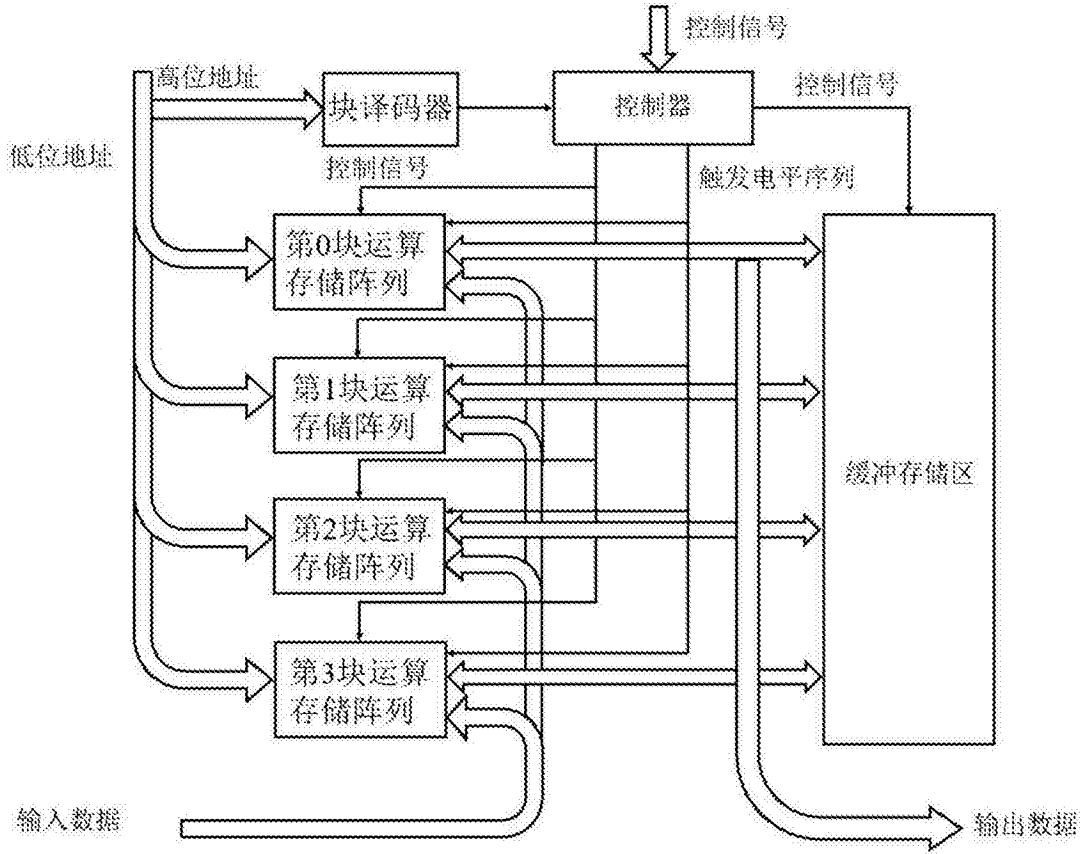


图3

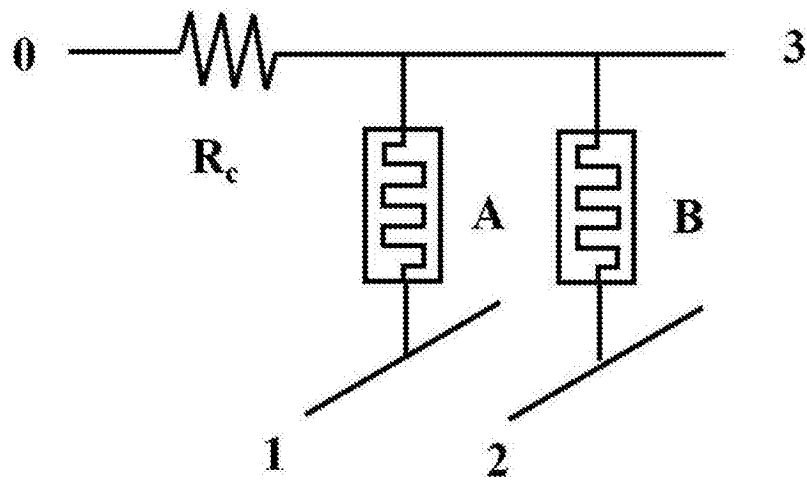


图4

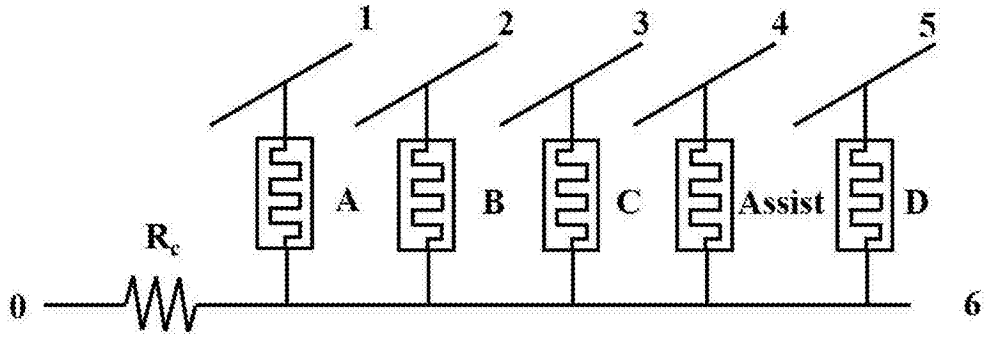


图5

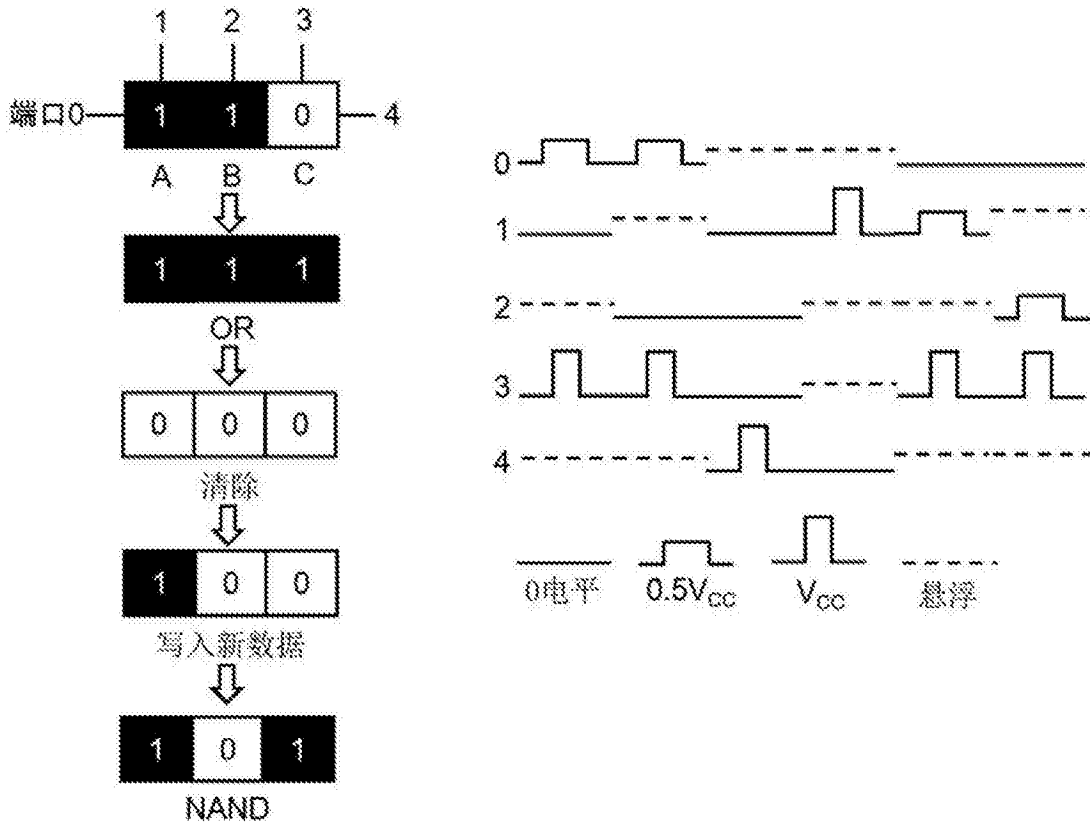


图6