

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5019436号
(P5019436)

(45) 発行日 平成24年9月5日(2012.9.5)

(24) 登録日 平成24年6月22日(2012.6.22)

(51) Int.Cl.

F I

HO 1 L 27/088 (2006.01)	HO 1 L 27/08	1 O 2 A
HO 1 L 21/8234 (2006.01)	HO 1 L 27/06	3 1 1 C
HO 1 L 27/06 (2006.01)	HO 1 L 27/08	1 O 2 F
HO 1 L 27/08 (2006.01)	HO 1 L 27/08	3 3 1 E
HO 1 L 21/76 (2006.01)	HO 1 L 27/08	3 3 1 A

請求項の数 4 (全 18 頁) 最終頁に続く

(21) 出願番号 特願2007-41554 (P2007-41554)
 (22) 出願日 平成19年2月22日(2007.2.22)
 (65) 公開番号 特開2008-205322 (P2008-205322A)
 (43) 公開日 平成20年9月4日(2008.9.4)
 審査請求日 平成21年7月10日(2009.7.10)

(73) 特許権者 302062931
 ルネサスエレクトロニクス株式会社
 神奈川県川崎市中原区下沼部1753番地
 (74) 代理人 100089071
 弁理士 玉村 静世
 (72) 発明者 河原 尊之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 山岡 雅直
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内
 (72) 発明者 杉井 信之
 東京都国分寺市東恋ヶ窪一丁目280番地
 株式会社日立製作所 中央研究所内

最終頁に続く

(54) 【発明の名称】 半導体集積回路

(57) 【特許請求の範囲】

【請求項1】

第1半導体集積回路と、第2半導体集積回路とを有し、前記第1半導体集積回路と前記第2半導体集積回路が積層された半導体集積回路であって、

前記第1半導体集積回路及び前記第2半導体集積回路の夫々は、

各々が電氣的に分離されて第1絶縁膜上に形成されたSOI構造を有する部分空乏型の第1MOSトランジスタと完全空乏型の第2MOSトランジスタとを含み、

前記第1MOSトランジスタの前記第1絶縁膜の下に、前記第1MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第1半導体領域を有し、

前記第2MOSトランジスタの前記第1絶縁膜の下に、前記第2MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第2半導体領域を有し、

前記第1半導体領域及び前記第2半導体領域の下に配置された第2絶縁膜を有し、

前記第1MOSトランジスタは、チャネル形成用の第3半導体領域に過剰のキャリアを蓄積した第1の状態と、前記過剰のキャリアが前記第3半導体領域から減少された第2の状態とによって情報を保持する記憶素子を形成し、

前記第2MOSトランジスタは、論理回路を形成する半導体集積回路。

【請求項2】

前記第1半導体集積回路上の配線を用いた第1巻き線と、前記第2半導体集積回路上の配線を用いた第2巻き線とを有し、

前記第1半導体集積回路と前記第2半導体集積回路は、前記第1巻き線と前記第2巻き

10

20

線により電磁的に結合される請求項 1 記載の半導体集積回路。

【請求項 3】

前記第 1 半導体集積回路上に設けられた第 1 電極と、前記第 2 半導体集積回路上に前記第 1 電極に対向して設けられた第 2 電極とを有し、

前記第 1 半導体集積回路と前記第 2 半導体集積回路は、前記第 1 電極と前記第 2 電極により容量結合される請求項 1 記載の半導体集積回路。

【請求項 4】

前記第 1 半導体集積回路上に設けられた発光素子と、前記第 2 半導体集積回路上に設けられた受光素子とを有し、

前記第 1 半導体集積回路と前記第 2 半導体集積回路は、前記発光素子と前記受光素子を用いて光通信を行う請求項 1 記載の半導体集積回路。

10

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、半導体集積回路に係り、特に高集積メモリを備えた低電力プロセッサに適用して有効な技術に関する。

【背景技術】

【0002】

SOI (Silicon on Insulator) 構造を有する MOS (Metal - Oxide - Semiconductor) 型トランジスタは、絶縁膜上のシリコン層の膜厚が薄い完全空乏型トランジスタと、シリコン層の膜厚が厚い部分空乏型トランジスタとに分類される。特許文献 1 には、SOI 構造を有する完全空乏型トランジスタと部分空乏型トランジスタを 1 つの半導体基板上に混載した半導体集積回路装置が開示されている。特許文献 2 には、部分空乏型トランジスタを用いて、空乏化していない領域に MOS 型トランジスタの動作によるインパクトイオン化によって生じるキャリアを注入した状態と、このキャリアを MOS 型トランジスタのドレイン側の PN 接合を順バイアスにして取り去った状態とにより、2 値の情報を記憶できるメモリが開示されている。

20

【0003】

【特許文献 1】特開平 9 - 135030 号公報

【特許文献 2】特開 2003 - 68877 号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0004】

本発明者は、完全空乏型トランジスタで論理回路を形成し、部分空乏型トランジスタでメモリを形成し、これらの論理回路とメモリとを 1 つの半導体基板上に混載する手段について検討した。特許文献 1 では、高耐圧が必要な回路は部分空乏型トランジスタを用いて構成し、かつ低電力・高速化が必要な回路は完全空乏型トランジスタを用いて構成することが記載されているだけである。また、特許文献 2 には、部分空乏型トランジスタをメモリセルとして、閾値電圧の異なる 2 つの状態を生じさせる構成についての記載があるのみである。本発明者は、論理回路とメモリとを 1 つの半導体基板上に混載するとき、特許文

40

【0005】

本発明の目的は、動作モードに応じて速度、電力消費をコントロール可能とし、さらにリテンション特性を改善できる半導体集積回路を提供することにある。

【0006】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面から明らかになるであろう。

【課題を解決するための手段】

50

【 0 0 0 7 】

本願において開示される発明のうち代表的なものについて簡単に説明すれば下記のとおりである。

【 0 0 0 8 】

即ち、SOI構造を有する部分空乏型の第1MOSトランジスタは、絶縁膜の下に、ゲート端子とは独立に電圧が印加可能にされた第1半導体領域を有し、記憶素子を形成する。SOI構造を有する完全空乏型の第2MOSトランジスタは、絶縁膜の下に、ゲート端子とは独立に電圧が印加可能にされた第2半導体領域を有し、論理回路を形成する。これにより、第1半導体領域と第2半導体領域に印加する電圧を動作モードに応じてコントロールすれば、動作モードに応じて速度、電力消費をコントロール可能とし、さらにリテンション特性を改善できる。

10

【発明の効果】

【 0 0 0 9 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【 0 0 1 0 】

すなわち、動作モードに応じて速度、電力消費をコントロール可能とし、さらにリテンション特性を改善できる。

【発明を実施するための最良の形態】

【 0 0 1 1 】

20

1. 代表的な実施の形態

先ず、本願において開示される発明の代表的な実施の形態について概要を説明する。代表的な実施の形態についての概要説明で括弧を付して参照する図面の参照符号はそれが付された構成要素の概念に含まれるものを例示するに過ぎない。

【 0 0 1 2 】

〔1〕本発明の代表的な実施の形態に係る半導体集積回路は、各々が電気的に分離されて絶縁膜(3)上に形成されたSOI構造を有する部分空乏型の第1MOSトランジスタ(6)と完全空乏型の第2MOSトランジスタ(7, 8)とを含む。前記第1MOSトランジスタの前記絶縁膜の下に、前記第1MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第1半導体領域(14)を有する。前記第2MOSトランジスタの前記絶縁膜の下に、前記第2MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第2半導体領域(14A, 22)を有する。前記第1MOSトランジスタは、チャネル形成用の第3半導体領域(12)に過剰のキャリアを蓄積した第1の状態と、前記過剰のキャリアが前記第3半導体領域から減少された第2の状態とによって情報を保持する記憶素子(4)を形成する。前記第2トランジスタは、論理回路(5)を形成する。

30

【 0 0 1 3 】

上記より、第1MOSトランジスタでは、絶縁膜を介してチャネル形成用の第3半導体領域に対向する第1半導体領域に印加する電圧がコントロール可能とされるから、この電圧が動作モードに応じてコントロールされると、空乏化していない領域に保存されたキャリアの保存特性がコントロールされることになり、リテンション特性を改善できる。第2MOSトランジスタでは、絶縁膜を介してチャネル形成用の半導体領域に対向する第2半導体領域に印加する電圧がコントロール可能とされるから、この電圧が動作モードに応じてコントロールされて、閾値電圧が低くなると速度を速くでき、閾値電圧が高くなると電力消費を抑えることができる。これにより、第2MOSトランジスタでは、動作モードに応じて速度、電力消費がコントロール可能になる。

40

【 0 0 1 4 】

具体的な一つの形態として、第4半導体領域(16)と第5半導体領域(18)とを更に備える。第4半導体領域は、前記第1半導体領域と半導体基板(2)が同一の導電型であるときに、前記第1半導体領域と前記半導体基板の間に配置され、前記導電型とは異なる導電型の半導体領域である。第5半導体領域は、前記第4半導体領域と同一の導電型で

50

あり、前記第4半導体領域に電圧を印加するための半導体領域である。上記より、第1半導体領域と半導体基板との間に第4半導体領域を配置し、第5半導体領域を介して第4半導体領域に電圧を印加することで、第1半導体領域と第4半導体領域との間に逆バイアスをかけ、その結果、第1半導体領域と半導体基板とを電氣的に分離して、リーク電流の発生を防止できる。

【0015】

別の形態として、第6半導体領域(16A)と第7半導体領域(18A)とを更に備える。第6半導体領域は、前記第2半導体領域と前記半導体基板が同一の導電型であるときに、前記第2半導体領域と前記半導体基板の間に配置され、前記導電型とは異なる導電型の半導体領域である。第7半導体領域は、前記第6半導体領域と同一の導電型であり、前記第6半導体領域に電圧を印加するための半導体領域である。上記より、第2半導体領域と半導体基板との間に第6半導体領域を配置し、第7半導体領域を介して第6半導体領域に電圧を印加することで、第2半導体領域と第6半導体領域との間に逆バイアスをかけ、その結果、第2半導体領域と半導体基板とを電氣的に分離して、リーク電流の発生を防止できる。

10

【0016】

更に別の形態として、バルク構造を有する第3MOSトランジスタ(51, 52)を更に含む。前記第3MOSトランジスタのチャネル形成用の第8半導体領域は、前記第3MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第9半導体領域(14B, 22B)を有する。上記より、第3MOSトランジスタでは、第9半導体領域を用いて電圧を印加することにより、閾値電圧を制御できる。また、バルク構造を有する第3MOSトランジスタからなるアナログ回路等の設計資産の有効利用を図ることができる。

20

【0017】

更に別の形態として、第3MOSトランジスタは、外部入力端子(53)に接続される入力保護素子(50)を形成する。前記入力保護素子は、ゲートが接地端子に接続されたnMOSと、ゲートが電源端子に接続されたpMOSとを有する。上記より、入力端子に正又は負の高圧サージが印加されたとき、第3MOSトランジスタのソース・基板間が順方向バイアスされて高電圧を基板に逃がすことができる。

【0018】

更に別の形態として、第10半導体領域(16B)と第11半導体領域(18B)とを更に備える。第10半導体領域は、前記第8半導体領域と前記半導体基板が同一の導電型であるときに、前記第8半導体領域と前記半導体基板の間に配置され、前記導電型とは異なる導電型の半導体領域である。第11半導体領域は、前記第10半導体領域と同一の導電型であり、前記第10半導体領域に電圧を印加するための半導体領域である。上記より、第8半導体領域と半導体基板との間に第10半導体領域を配置し、第11半導体領域を介して第10半導体領域に電圧を印加することで、第8半導体領域と第10半導体領域との間に逆バイアスをかけ、その結果、第8半導体領域と半導体基板とを電氣的に分離して、リーク電流の発生を防止できる。

30

【0019】

〔2〕本発明の代表的な実施の形態に係る半導体集積回路は、各々が電氣的に分離されて第1絶縁膜(3)上に形成されたSOI構造を有する部分空乏型の第1MOSトランジスタ(6)と完全空乏型の第2MOSトランジスタ(7, 8)とを含む。前記第1MOSトランジスタの前記第1絶縁膜の下に、前記第1MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第1半導体領域(61)を有する。前記第2MOSトランジスタの前記第1絶縁膜の下に、前記第2MOSトランジスタのゲート端子とは独立に電圧が印加可能にされた第2半導体領域(62, 63)を有する。前記第1半導体領域及び前記第2半導体領域と半導体基板(2)の間に配置された第2絶縁膜(60)を有する。前記第1MOSトランジスタは、チャネル形成用の第3半導体領域(12)に過剰のキャリアを蓄積した第1の状態と、前記過剰のキャリアが前記第3半導体領域から減少された第2の状態とによって情報を保持する記憶素子(4)を形成する。前記第2MOSトランジ

40

50

スタは、論理回路(5)を形成する。

【0020】

上記〔1〕の半導体集積回路と比べて、第1半導体領域と第2半導体領域が第2絶縁膜を介して半導体基板と電気的に分離されており、構造が簡素化されると共にリーク電流の発生が防止されている点異なる。そして上記同様に、第1MOSトランジスタでは動作モードに応じてリテンション特性を改善できる。また、第2MOSトランジスタでは動作モードに応じて速度、電力消費がコントロール可能になる。

【0021】

〔3〕本発明の代表的な実施の形態に係る半導体集積回路は、上述した半導体集積回路の前記第2絶縁膜の下から前記半導体基板を取り除いた第1半導体集積回路(61A)と第2半導体集積回路(61B)とを有し、前記第1半導体集積回路と前記第2半導体集積回路が積層されている。上記より、機械的又は化学的なプロセスにより半導体基板を取り除くことで、第2絶縁膜を最下層とした第1半導体集積回路と第2半導体集積回路を形成できる。第1半導体集積回路と第2半導体集積回路は、上述した半導体集積回路よりも薄い層であるから、これらを積層してもその厚さは小さい。その結果、3次元的に高集積化された半導体集積回路を得ることができる。

【0022】

具体的な一つの形態として、前記第1半導体集積回路上の配線を用いた第1巻き線(63A)と、前記第2半導体集積回路上の配線を用いた第2巻き線(63B)とを有し、前記第1半導体集積回路と前記第2半導体集積回路は、前記第1巻き線と前記第2巻き線により電磁的に結合される。上記より、第1半導体集積回路と第2半導体集積回路は薄い層であるから、第1巻き線と第2巻き線の間の距離は小さくなる。これにより、第1巻き線と第2巻き線では、相互インダクタンスを大きくできるから、いずれか一方の巻き線に電流が流れることで磁場が生じ、この磁場により他方の巻き線に電流が流れることになる。つまり、一方で発生した信号を他方で容易に読み取ることができるから、第1半導体集積回路と第2半導体集積回路の間での無線通信が可能となる。

【0023】

別の形態として、前記第1半導体集積回路上に設けられた第1電極と、前記第2半導体集積回路上に前記第1電極に対向して設けられた第2電極とを有し、前記第1半導体集積回路と前記第2半導体集積回路は、前記第1電極と前記第2電極により容量結合される。上記より、第1半導体集積回路と第2半導体集積回路は薄い層であるから、第1電極と第2電極間の距離を極めて小さくできる。そのため、第1電極と第2電極からなるコンデンサの機能、即ちキャパシタンスを大きくできるから、第1半導体集積回路と第2半導体集積回路の間での容量結合による無線通信が容易となる。

【0024】

更に別の形態として、前記第1半導体集積回路上に設けられた発光素子(65A)と、前記第2半導体集積回路上に設けられた受光素子(64B)とを有し、前記第1半導体集積回路と前記第2半導体集積回路は、前記発光素子と前記受光素子を用いて光通信を行う。上記より、第1半導体集積回路と第2半導体集積回路は薄い層であるから、発光素子と受光素子間の距離を小さくできる。そのため、仮にこれらの素子が発光効率や受光効率が低い場合であっても、第1半導体集積回路と第2半導体集積回路の間での光通信が可能となる。

【0025】

2. 実施の形態の説明

次に、実施の形態について更に詳述する。

【0026】

《実施形態1》

図1には、本発明の実施形態1に係る半導体集積回路の断面構造が例示される。半導体集積回路1は、SOI構造を採用しており、P型のシリコン基板(p-sub)2を下層とし、例えば30nm以下の薄い絶縁膜である埋め込み酸化膜(Buried Oxide、BOX)

10

20

30

40

50

層（以下、UTBという）3上に形成されたn型MOSトランジスタ（以下、nMOSという）及びp型MOSトランジスタ（以下、pMOSという）等を有している。半導体集積回路1には、シリコン基板2に、メモリ（Memory）4と論理回路（LOGIC）5が混載されている。メモリ4は、複数のメモリセルを有している。1個のメモリセルは、1個の部分空乏（partially-depleted、PD）型のnMOS6で形成されている。ここでは一例として、メモリセルをnMOSで形成するようにしたが、pMOSで形成してもよい。論理回路5は、完全空乏（fully-depleted、FD）型のnMOS7とpMOS8とを有している。部分空乏型のnMOS6は、完全空乏型のnMOS7とpMOS8に比べて、図示のようにUTB3上のシリコン層の厚さが厚く形成されている。また、これらのnMOS6、7とpMOS8は、溝堀型絶縁領域としてのSTI（Shallow Trench Isolation）層9により電氣的に分離されている。

10

【0027】

まず、部分空乏型のnMOS6について説明する。部分空乏型のnMOS6では、UTB3の上に形成されたシリコン層に、n型ソース領域とされるn+領域10とn型ドレイン領域とされるn+領域11とが形成され、その間にチャンネル形成用のp型のチャンネル形成領域12が形成されている。チャンネル形成領域12は、不図示のゲート絶縁膜を介して、ワード線WLに接続されたゲート端子に接続されている。n+領域11は、ビット線BLに接続されたドレイン端子に接続されている。n+領域10は、ソース線SLに接続されたソース端子に接続されている。ソース線は、拡散層でメモリセル間を接続し、いくつかのメモリセルのブロック毎により低抵抗な金属配線等と接続される。これらのゲート、ドレイン及びソースの各端子は、シリコンと高融点金属との化合物であるシリサイド（silicide）を用いたサリサイド（salicide、SC）構造13とされる。

20

【0028】

部分空乏型のnMOS6におけるUTB3の下には、バックゲートとされるp型の半導体領域（以下、バックゲート領域という）14が形成されている。バックゲート領域14には、STI層9の表面に引き出されたp+領域15を介して、ゲート電極とは独立に電圧が印加可能とされる。このとき、上記したようにUTB3が30nm以下と薄いので、印加する電圧（基板バイアス電圧）が低電圧であっても、チャンネル形成領域12に電界を発生させることができ、閾値電圧が制御可能とされる。メモリセルを形成する部分空乏型のnMOS6では、チャンネル形成領域12の空乏化していない部分に、MOS動作によるインパクトイオン化により生成された過剰のキャリア（ホール）を注入した第1状態と、ドレインとチャンネル形成領域12の間に順方向電流を流して、過剰ホールをドレインに放出させた第2状態とを有する。これにより、部分空乏型のnMOS6において、例えば第1状態をデータ“1”とし、第2状態をデータ“0”とすれば、2値の情報を保持できることになる。

30

【0029】

また、部分空乏型のnMOS6では、バックゲート領域14に印加する基板バイアス電圧を後述する動作モード（図7参照）に応じてコントロール可能とされるから、例えば第1状態におけるキャリアの保存特性が制御可能とされ、リテンション特性を改善できる。即ち、バックゲート領域14に印加する基板バイアス電圧をコントロールすれば、第1状態におけるキャリアを空乏化していない部分に留めるような電界をチャンネル形成領域12内に発生させることができる。また、基板バイアス電圧を印加して閾値電圧を制御すれば、メモリセルに対する書換えを高速に行うこともできる。ここで、閾値電圧の制御は、上記リテンション特性の改善、書換えの高速化を図るためだけでなく、例えばメモリ4の製造後、1個のnMOS6から形成された1個のメモリセル毎の閾値電圧のばらつきを低減するために行うようにしてもよい。

40

【0030】

バックゲート領域14とシリコン基板2の間には、n型の半導体領域（以下、dn領域という）16が配置されている。また、dn領域16とSTI層9との間には、図示のように、STI層9の表面に引き出されたn+領域17を介してdn領域16に電圧を印加

50

するためのn領域18が配置されている。n領域18を介してdn領域16に電圧を印加すれば、バックゲート領域14とdn領域16との間に逆バイアスをかけることになる。その結果、バックゲート領域14とシリコン基板2は、電氣的に分離されて、リーク電流の発生を防止できる。

【0031】

次に、完全空乏型のnMOS7について説明する。ここで上記した部分空乏型のnMOS6で同一機能等を有する箇所には同一符号を付し、説明を省略する。この完全空乏型のnMOS7の構造は、部分空乏型のnMOS6と比べると、UTB3上に形成されたシリコン層の厚さが薄いこと、このシリコン層に対応してSTI層9の厚さが薄いこと以外は、略同一とされる。また、バックゲート領域14Aとシリコン基板2との間には、上記dn領域16と同一機能を有するdn領域16Aが配置されている。dn領域16AとSTI層19の間には、上記n領域18と同一機能を有するn領域18Aが配置されている。このため、完全空乏型のnMOS7においても、バックゲート領域14Aを用いて、チャネル形成領域12に電界を発生させて閾値電圧を制御できる。

【0032】

次に、完全空乏型のpMOS8について説明する。完全空乏型のpMOS8では、UTB3の上に形成されたシリコン層に、p型ソース領域とされるp+領域19とp型ドレイン領域とされるp+領域20とが形成され、その間にチャネル形成用のn型のチャネル形成領域21が形成されている。チャネル形成領域21は、不図示のゲート絶縁膜を介してゲート端子に接続されている。p+領域20は、ドレイン端子に接続されている。p+領域19は、ソース端子に接続されている。これらのゲート、ドレイン及びソースの各端子は、サリサイド構造13とされる。完全空乏型のpMOS8におけるUTB3の下には、バックゲートとされるn型のバックゲート領域22が形成されている。バックゲート領域22には、STI層9の表面に引き出されたn+領域23を介して、ゲート電極とは独立に電圧が印加される。このとき、上記したようにUTB3が30nm以下と薄いので、印加する基板バイアス電圧が低電圧であっても、チャネル形成領域21に電界を発生させることができ、閾値電圧が制御可能とされる。

【0033】

上記した完全空乏型のnMOS7とpMOS8は、論理回路5を形成しており、それぞれのバックゲート領域14A, 22とチャネル形成領域12, 21の間にUTB3が配置されているから、それぞれのドレイン領域11, 20とバックゲート領域14A, 22の間の接合容量を大幅に削減できる。さらに、バックゲート領域14A, 22による閾値電圧の制御により、閾値電圧を高くすれば、電力消費の低減が図られ、閾値電圧を低くすれば、高速化が図られる。即ち、完全空乏型のnMOS7とpMOS8において、バックゲート領域14A, 22に印加する基板バイアス電圧をコントロールすれば、速度、電力消費がコントロール可能とされる論理回路5を形成できる。従って、半導体集積回路1によれば、メモリ4と論理回路5とを1個のシリコン基板2上に単に混載するだけでなく、部分空乏型トランジスタで形成したメモリ4のリテンション特性を改善でき、完全空乏型トランジスタで形成した論理回路5の速度、電力消費をコントロール可能にできる。さらに、半導体集積回路1では、1個のメモリセルが1個の部分空乏型トランジスタで形成されるから、メモリ4内により多数のメモリセルが配置可能となり、大容量化を図ることもできる。

【0034】

図2には、半導体集積回路1の回路構成が例示されている。ここでは、半導体集積回路1をメモリ回路に適用したときの回路構成を例示している。半導体集積回路1は、上記シリコン基板2上において領域Aと領域Bに区分されている。領域Aは、メモリセルアレイ(MARY)30と電源回路(VGEN)31とを含み、これらは部分空乏型のMOSで形成されている。このようにすれば、メモリセルアレイ30においてメモリセルのリテンション特性を改善できる。電源回路31については、高電圧耐性が比較的良い部分空乏型のMOSを用いているから、要求される所定の電圧を発生でき、さらにメモリセルと同じ

10

20

30

40

50

部分空乏型のMOSを用いることで各特性を容易に合わせることができるので、設計が容易とされる。

【0035】

領域Bは、CPU32と、制御回路(CNT)33と、センスアンプ(SEAMP)及びYデコーダ(YDEC)34と、ワードドライバ(WDRV)及びXデコーダ(XDEC)35と、アドレスバッファ(ADB)36と、入出力回路(I/O)37等を含み、これらの回路は完全空乏型のMOSで形成されている。これにより、領域Bにおける上記各回路は、バックゲートを用いた閾値電圧の制御を行うことで、速度、電力消費のコントロールが可能とされる。

【0036】

図3には、メモリセルアレイ30のレイアウトが例示されている。図4は、メモリセルアレイ30のA-A'断面図であり、図5は、B-B'断面図である。メモリセルアレイ30は、部分空乏型のMOSで形成されており、図3中、一点鎖線で囲んだ領域が1個のnMOSで形成された単位メモリセル38とされる。メモリセル38は、図3に示すように、ワード線WL1~WL5のピッチ(線幅とスペースの合計)と、ビット線BL1~BL4のピッチ(線幅とスペースの合計)のそれぞれ1個分で構成される。また、領域CNは、メモリセルのnMOSのドレインとビット線とを接続する領域とされる。一般に、線幅とスペースとは等しいと仮定し、これを「F」と示す慣例に従うと、図示したメモリセル38は、「2F×2F」の大きさで形成されていることになる。メモリセルアレイ30の断面構造は、図4、図5に示すように、メモリ4で示したnMOS6がアレイ状に並べられた構造となっており、シリコン基板2を最下層として、dn領域16、バックゲート領域14、UTB3が積層され、さらに、UTB3上に部分空乏型のnMOS6が形成されている。このnMOS6は、バックゲート領域14に基板バイアス電圧を印加することで、上記したように閾値電圧を制御し、トランジスタとしての特性を制御できる。

【0037】

図6は、メモリセルとされるnMOSの各端子を例示する図である。図中、BGは、バックゲート領域14に電圧を印加するためのバックゲート端子を示している。ここでは、1個のメモリセル38を示し、さらに端子に接続されるワード線WL、ビット線BL、ソース線SLと、バックゲート端子BGとを例示した。図7には、動作モードに応じてメモリセルの各端子に印加される電圧値が例示されている。各端子に印加される電圧は、実際の動作では時間的に変化するパルスで与えられる。図7に例示した電圧が、実際の動作の状態を決定する時の電圧関係を示していることは当業者であれば理解できる。

【0038】

以下、電圧関係について説明する。図7に例示される表には、読出し、「0」書込み、「1」書込み、選択待機時、非選択待機時からなる5つの動作モードと、単位(V)と、上記WL、BL、SL、BGによる各端子と、各動作モードに応じて各端子に印加される電圧値とが示されている。「読出し」では、ワード線WLに1V、ビット線BLに1Vを印加し、ソース線SLを0V、バックゲート端子BGを0Vとする。これにより、「0」書込み状態と「1」書込み状態とを電流差で区別する。

【0039】

「「0」書込み」では、ワード線WLに2V、ビット線BLに2Vを印加し、ソース線SLを0V、バックゲート端子BGを0Vとする。これにより、このトランジスタにはオン電流が流れ、チャンネル形成領域12の空乏化していない部分にMOSの動作によるインパクトイオン化によって生じるキャリア(ホール)が注入され、閾値電圧の低い状態(例えば0.5V)が実現される。「「1」書込み」では、ワード線WLに2Vを印加し、ビット線BLに-2Vを印加し、ソース線SLを0V、バックゲート端子BGを0Vとする。これにより、ビット線BLが接続されたnMOSのドレイン領域ではPN接合が順バイアスとなり、チャンネル形成領域12の空乏化していない部分に蓄えられていたキャリアが放出され、閾値電圧の高い状態(例えば1.5V)が実現される。

【0040】

10

20

30

40

50

「選択待機時」とは、メモリセルアレイ 30 の制御の単位であるバンクが選択されており、この選択されたバンクの中でアクセスされていないメモリセルの状態をいう。選択待機時では、ワード線 W L に - 2 V を印加し、ビット線 B L、ソース線 S L 及びバックゲート端子 B G を 0 V とする。「非選択待機時」とは、上記バンク自体が選択されていない状態をいう。非選択待機時では、選択待機時と異なり、バックゲート端子 B G に - 2 V を印加している。このようにすれば、チャンネル形成領域 1 2 の空乏化していない部分にキャリアを留めるような方向に電界を発生させることになるので、メモリセル 3 8 のリテンション特性を改善できる。

【 0 0 4 1 】

図 8 には、C P U とメモリがチップ上に搭載されているときの構成が例示されている。チップ (C h i p) 4 0 は、C P U 4 1 とメモリ 4 2 を備えている。C P U 4 1 は、完全空乏型の M O S で構成されている。メモリ 4 2 は、タイル状に配列された複数のバンク B 1 1 ~ B 4 4 を有する。C P U 4 1 は、複数のバンク B 1 1 ~ B 4 4 との間で、クロック C L K、データ D A T A、アドレス A D D R E S S、バックゲートコントロール信号 B G C N T S を送受信する。図 9 には、バンク B 1 1 の回路構成が例示されている。他のバンク B 1 2 ~ B 4 4 は、バンク B 1 1 と略同一であるので、説明を省略する。バンク B 1 1 は、領域 A 1 と領域 B 1 に区分される。領域 A 1 には、メモリアレイ (M A R Y) 4 3 が配置されており、これらは部分空乏型の M O S で形成されている。領域 B 1 には、制御回路 (C N T) 4 4 と、Y デコーダ (Y D E C) 及びセンスアンプ (S E A M P) 4 5 と、X デコーダ (X D E C) 及びワードドライバ 4 6 と、アドレスバッファ (A D B) 4 7 と、ラッチ回路 (L A T C H) を備えた入出力回路 (I / O) 4 8 が配置されており、これらは完全空乏型の M O S で形成されている。制御回路 4 4 には、図示のようにバックゲートコントロール信号 B G C N T S とクロック C L K が入力される。入出力回路 4 8 には、クロック C L K に同期してデータ D A T A 及びアドレス A D D R E S S が入出力される。

【 0 0 4 2 】

つまり、バンク B 1 1 は、クロック C L K に同期して動作するメモリ回路とされ、クロック C L K に同期して入力されるアドレス A D D R E S S 及びデータ D A T A に基づいて読出し及び書込みを行い、クロック C L K に同期してデータ D A T A を出力する。また、バンク B 1 1 には、バックゲートコントロール信号 B G C N T S が C P U 4 1 から入力される。以下、図 8 に例示したチップ 4 0 上に搭載された複数のバンク B 1 1 ~ B 4 4 からなるメモリ 4 2 に対して C P U 4 1 がバックゲートコントロール信号 B G C N T S を入力するときの制御について概略的に説明する。まず、C P U 4 1 とバンク B 1 1 は図示しない上層配線により接続されており、C P U 4 1 がバンク B 1 1 にデータ D A T A 及びアドレス A D D R E S S を出力し、バンク B 1 1 から C P U 4 1 にデータ D A T A が出力されるまでには複数クロック (例えば 5 クロック) を要する。他のバンク B 1 2 ~ B 4 4 も同様に不図示の上層配線で C P U 4 1 に接続され、データ D A T A の送受信に複数クロックを要する。

【 0 0 4 3 】

ここで、バンク B 1 1 とバンク B 1 1 に隣接したバンク B 1 2 とに着目する。C P U 4 1 がバンク B 1 2 を選択して、データ D A T A をクロック C L K 毎にバンク B 1 2 に出力したとき、実際にバンク B 1 2 からのデータ D A T A が C P U 4 1 に到達するまでには、複数クロックを要する。言換えると、バンク B 1 2 と C P U 4 1 の間で通信が完了するまでの間は、C P U 4 1 はバンク B 1 2 に対して新たなアクセスをすることはできない。しかし、その間にも、C P U 4 1 は、バンク B 1 2 との通信が完了した後にバンク B 1 1 を例えば非選択待機時から選択待機時に動作モード (図 7 参照) を移行させる旨の指示を受け付けることはできる。そして、その指示を反映させたバックゲートコントロール信号 B G C N T S を、バンク B 1 2 と C P U 4 1 の間で通信が完了するまでにバンク B 1 1 に対して出力する。このようにすれば、上記通信が完了した後、実際に C P U 4 1 がバンク B 1 1 を選択したときには、既にバックゲートコントロール信号 B G C N T S がバンク B 1 1 に対して出力されているから、バンク B 1 1 における動作モードの移行を問題なく実行

10

20

30

40

50

できる。

【0044】

《実施形態2》

図10には、本発明の実施形態2に係る半導体集積回路の断面構造が例示される。以下の各実施形態では、上記半導体集積回路1と同一機能等を有する箇所については同一符号を付し、説明を適宜省略する。半導体集積回路1Aには、シリコン基板2上に、SOI構造を有する部分空乏型(PD)のnMOS6からなるメモリ4と、SOI構造を有する完全空乏型(FD)のnMOS7とpMOS8からなる論理回路5と、バルク構造を有するnMOS51とpMOS52からなる入力保護素子50と、が混載されている。メモリ4と論理回路5については、上記した半導体集積回路1のものと同じ構造を有するので、説明を省略する。また、バルク構造とは、ここでは、それぞれのMOSが個別に電氣的に分離されていない構造、例えば同一導電型の複数のMOSトランジスタをウエル領域のような共通の半導体領域に形成した構造をいう。バルク構造を有するnMOS51とpMOS52は、SOI構造を有する完全空乏型のnMOS7とpMOS8と比べると、UTB3が配置されていない点が異なり、互いに電氣的に分離されていない。このため、バルク構造を有するnMOS51とpMOS52は、CMOSと同じ構造とされ、例えばI/O回路での入力保護素子50を形成できる。また、バルク構造を有するnMOS51とpMOS52は、例えばチャネル形成領域と連続したバックゲート領域14B、22Bを有している。バックゲート領域14Bとシリコン基板2の間には、上記dn領域16、16Aと同一機能を有するdn領域16Bが配置されている。また、dn領域16BとSTI層9の間には、上記n領域18、18Aと同一機能を有するn領域18Bが配置されている。図11には、バルク構造を有するnMOSとpMOSからなる入力保護素子を含む回路構成が例示されている。ここでは、入力保護素子50は、外部入力端子53と、保護対象とされる適宜の保護対象回路54との間に配置されている。入力保護素子50は、ゲートが接地端子VSSに接続されたnMOS51と、ゲートが電源端子VDDに接続されたpMOS52とを有する。pMOS52のバックゲート領域22Bは、電源端子VDDに接続されている。nMOS51のバックゲート領域14Bは、接地端子VSSに接続されている。

【0045】

入力保護素子50は、接地端子VSSと電源端子VDDの間の電圧(通常電圧)が例えば外部入力端子53から印加されたときには、nMOS51とpMOS52は共にOFF状態とされ、通常電圧が入力バッファ等の保護対象回路54に印加されることになる。電源端子VDDよりも高い正の高圧サージ(過大な正電圧)が外部入力端子53から印加されたときには、pMOS52がON状態となって過大な正電圧を電源端子VDDに逃がすことになる。さらに、pMOS52は、バルク構造を有しているので、過大な正電圧が印加されたときソース・基板間のPN接合に順方向電流が流れ、過大な正電圧をシリコン基板2に逃がすことになる。また、接地端子VSSよりも低い負の高圧サージ(過大な負電圧)が外部入力端子53から印加されたときには、nMOS51がON状態となって過大な負電圧を接地端子VSSに逃がすことになる。同様にnMOS51のソース・バックゲート間に順方向電流が流れて、負電圧サージを吸収することができる。従って、バルク構造を有するnMOS51とpMOS52は、保護素子として機能し、外部入力端子53から過大な正電圧、負電圧が印加されても保護対象回路54を保護できる。また、バルク構造を有するnMOS51とpMOS52を半導体集積回路1Aに搭載することで、バルク構造を有するアナログ回路等の設計資産の有効利用を図ることもできる。

【0046】

図12には、半導体集積回路1Aの回路構成が例示されている。以下では、図2に例示した各回路と同一機能等を有する部分には同一符号を付して、説明を適宜省略する。半導体集積回路1Aは、シリコン基板2上において領域Aと領域Cと領域Dに区分されている。領域Cは、図2に例示した領域Bと比べると、入出力回路を含んでない点が異なり、それ以外は完全空乏型のMOSで形成された図示の各回路を含む。領域Dは、バルク構造を

10

20

30

40

50

有する nMOS 51 と pMOS 52 からなる領域であって、例えば上記入力保護素子 50 や適宜のアナログ回路を備えた入出力回路 55 を含んでいる。このように、半導体集積回路 1A では、メモリ 4、論理回路 5 及びバルク構造を有する MOS からなる入力保護素子 50 やアナログ回路等を 1 個のシリコン基板 2 上に混載し、さらに動作モードに応じて、メモリ 4 のリテンション特性を改善でき、論理回路 5 の速度、電力消費をコントロール可能にできる。

【0047】

《実施形態 3》

図 13 には、本発明の実施形態 3 に係る半導体集積回路の断面構造が例示される。半導体集積回路 1B は、図 1 に例示した上記半導体集積回路 1 と比べると、UTB 3 とシリコン基板 2 の間の構造が異なっている。即ち、半導体集積回路 1B では、シリコン基板 2 上には、シリコン基板 2 よりも機械的又は化学的処理に対して耐性が高い埋め込み酸化膜（以下、TB という）60 が積層されている。さらに、この TB 60 上には、部分空乏型の nMOS 6 のバックゲート領域 61 と、完全空乏型の nMOS 7 のバックゲート領域 62 と、完全空乏型の pMOS 8 のバックゲート領域 63 がそれぞれ積層されている。TB 60 は、これらのバックゲート領域 61, 62, 63 とシリコン基板 2 とを電気的に分離している。このため、半導体集積回路 1B では、リーク電流の発生を防止するための図 1 に例示した nMOS 6, 7 における dn 領域 16 等を配置する必要がなく、積層構造を簡素化できる。さらに、半導体集積回路 1B では、上記 dn 領域 16 等を配置しないことで、nMOS 6, 7 と pMOS 8 をより接近させて配置できるから、サイズを小さくすることもできる。

【0048】

図 14 には、半導体集積回路 1B の上層配線までを示す構造例が示されている。即ち、半導体集積回路 1B は、上層配線とされるメタル配線 MA と、このメタル配線 MA のさらに上層に配置されたメタル配線 MB とを含み、これらの上層配線を用いることで例えば上記 CPU 41 とメモリ 42 間での信号（図 8 参照）や、論理回路 5 間での信号の送受信が可能とされる。さらに、TB 60 は、上記したようにシリコン基板 2 よりも機械的又は化学的な処理に対して耐性があるので、ある程度の厚さがあれば、シリコン基板 2 に代わってこの積層構造における最下層とすることができる。つまり、シリコン基板 2 は通常シリコンであるから、TB 60 を一種のストップとして、半導体集積回路 1B の裏面から機械的又は化学的な手段によって、シリコン基板 2 を取り除くことができる。このとき、必要に応じて TB 60 とシリコン基板 2 の界面に N シリコン層等を予め配置するようにしてもよい。

【0049】

図 15 には、機械的又は化学的なプロセスによりシリコン基板 2 を取り除き、TB 60 を最下層とした半導体集積回路 61A と半導体集積回路 61B を形成し、さらに半導体集積回路 61A, 61B を積層した状態が例示されている。半導体集積回路 61A と半導体集積回路 61B は、シリコン基板 2 が取り除かれた分、半導体集積回路 1B よりも薄い層であるから、これらを積層してもその厚さは小さくなる。その結果、半導体集積回路 61A, 61B を積層することで、3 次元的に回路を高集積化した構造を得ることができる。このとき、ウエハ単位で、シリコン基板 2 を取り除き、ウエハ毎に積層して上記構造を形成し、その後に必要なサイズに切断するようにしてもよい。

【0050】

次に、図 16 ~ 図 18 を用いて、積層された半導体集積回路 61A, 61B 間での通信を可能とする構造について説明する。半導体集積回路 61A, 61B では、TB 60 を最下層とすることで、半導体集積回路 61A, 61B 間を配線で接続するだけでなく、無線通信や光通信を行うことが可能とされる。具体的には、図 16 に例示するように、半導体集積回路 61A, 61B に通信素子 62 を配置すればよい。図 17 には、通信素子としてコイルを用いた例が示されている。この例では、半導体集積回路 61A に上層配線を用いた巻き線 63A を設け、半導体集積回路 61B 上に上層配線を用いた巻き線 63B を設け

10

20

30

40

50

ている。半導体集積回路61Aと半導体集積回路61Bは薄い層であるから、巻き線63Aと巻き線63Bの間の距離は小さくなる。このため、巻き線63Aと巻き線63Bでは、相互インダクタンスを大きくでき、いずれか一方の巻き線、例えば巻き線63Aに電流が流れることで磁場が生じ、この磁場により他方の巻き線、例えば巻き線63Bに電流が流れることになる。つまり、一方で発生した信号を他方で容易に読み取ることができるから、半導体集積回路61Aと半導体集積回路61Bは、巻き線63Aと巻き線63Bにより電磁的に結合され、層間での無線通信が可能となる。

【0051】

図18には、通信素子として発光素子と受光素子を用いた例が示されている。この例では、半導体集積回路61Aに、受光素子としてのフォトレセプタ64Aと発光素子としてのフォトトランジスタ65Aとを設け、半導体集積回路61Bにフォトレセプタ64Bとフォトトランジスタ65Bを設けている。ここで、フォトトランジスタ65Aは、フォトレセプタ64Bに対向するように設けられている。フォトレセプタ64Aは、フォトトランジスタ65Bに対向するように設けられている。ここで、半導体集積回路61Aと半導体集積回路61Bは薄い層であるから、発光素子と受光素子間の距離を小さくできる。さらに、上記フォトトランジスタとフォトレセプタを交互に配置すれば、シリコンで構成され、一般的には発光効率や受光効率が低い素子を用いても半導体集積回路61A、61Bにおける層間の光通信を容易に行うことができる。このように、半導体集積回路1Bからシリコン基板2を取り除いた半導体集積回路61A、61Bを積層することにより、3次元的に回路を高集積化した構造を得られる上に、層間の光通信や無線通信も容易に行うことができる。

【0052】

以上、本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0053】

例えば、図2に例示した領域Aを部分空乏型のMOSで構成するとしたが、nMOS6だけを用いるようにしてもよい。このようにすれば、実際の設計においてコストを抑えることができる。この場合には、電源回路3では、完全空乏型のMOSでパルスが発生させ、このパルスを領域Bの回路に入力すればよい。また、MOSを電源とグランドの間に多段に配置し、各MOSに加わる電圧を制限することにより、完全空乏型のMOSのみで電源回路を構成することも可能である。この場合は、領域Aにはメモリセルアレイ30だけが含まれることになる。また、領域Bに含まれる上記回路は、完全空乏型のMOSで形成されているとしたが、上記回路のうちメモリセルアレイ30に直接入力する回路については部分的に領域Aに含まれる可能性もある。さらに、アナログ回路の一部は領域Aに形成される場合もある。また、上記各回路では、例えば閾値電圧のばらつき補正や、動作モードに応じたダイナミックな閾値電圧の制御を行うようにしてもよい。また、図3に例示した領域CNの大きさは、一例として示したものであるから、ビット線に対する大きさが図示されたものよりも大きい場合もある。

【0054】

図7に例示した“0”書込みでは、バックゲート端子BGの電圧を0Vにしたが、これに限られず、例えば負に設定して、インパクトイオン化を加速するようにしてもよい。また、図12に例示した半導体集積回路1Aにおける回路構成では、領域Aに電源回路31が含まれるとしたが、回路構成によっては電源回路31を領域Cに配置するようにしてもよい。さらに、図13に例示した半導体集積回路1Bに、図10で例示した半導体集積回路1Aでのバルク構造を有するnMOS51とpMOS52を搭載するようにしてもよい。

【0055】

図15では半導体集積回路61A、61Bを積層した2層構造を示したが、これに限られず、3層以上の積層構造としてもよい。また、半導体集積回路61A、61Bは、図1

10

20

30

40

50

3に例示した半導体集積回路1Bを基本構造としているが、各層全てが同一構造を有している必要はなく、例えば搭載されている回路が異なってもよい。さらに、層によっては、シリコン基板2上に上記各領域を全て含む必要はない。

【0056】

また、半導体集積回路61A, 61Bを積層することで可能とされる通信方法としては、図17、図18においてコイルを用いた無線通信、フォトトランジスタやフォトレセプタを用いた光通信を例示したが、これに限られない。即ち、半導体集積回路61A上に金属板を設け、この金属板に対向するように半導体集積回路61Bにも金属板を設けるようにしてもよい。このようにすれば、半導体集積回路61Aと半導体集積回路61Bは薄い層であるから、対向する2枚の金属板の距離を極めて小さくできるので、2枚の金属板からなるコンデンサの機能、即ちキャパシタンスを大きくできる。その結果、半導体集積回路61Aと半導体集積回路61Bの間での容量結合による無線通信が容易とされる。

10

【図面の簡単な説明】

【0057】

【図1】本発明の実施形態1に係る半導体集積回路の断面構造を例示する説明図である。

【図2】図1に示す半導体集積回路の回路構成を例示する説明図である。

【図3】メモリセルアレイのレイアウトを例示する説明図である。

【図4】メモリセルアレイのA-A'断面を示す図である。

【図5】メモリセルアレイのB-B'断面を示す図である。

【図6】メモリセルとされるnMOSの各端子を例示する図である。

20

【図7】動作モードに応じてメモリセルの各端子に印加される電圧値を例示する説明図である。

【図8】CPUとメモリがチップ上に搭載されているときの構成を例示する説明図である。

【図9】バンクB11の回路構成を例示する説明図である。

【図10】本発明の実施形態2に係る半導体集積回路の断面構造を例示する説明図である。

【図11】バルク構造を有するnMOSとpMOSからなる入力保護素子を含む回路構成を例示する説明図である。

【図12】図10に示す半導体集積回路の回路構成を例示する説明図である。

30

【図13】本発明の実施形態3に係る半導体集積回路の断面構造を例示する説明図である。

【図14】図13に示す半導体集積回路の上層配線までを示す構造例を示す説明図である。

【図15】半導体集積回路を積層した例を示す説明図である。

【図16】積層された半導体集積回路に通信素子を配置した例を示す説明図である。

【図17】通信素子としてコイルを用いた例を示す説明図である。

【図18】通信素子として発光素子と受光素子を用いた例を示す説明図である。

【符号の説明】

【0058】

40

1, 1A, 1B 半導体集積回路

2 シリコン基板

3 埋め込み酸化膜

4 メモリ

5 論理回路

6 部分空乏型のnMOS

7 完全空乏型のnMOS

8 完全空乏型のpMOS

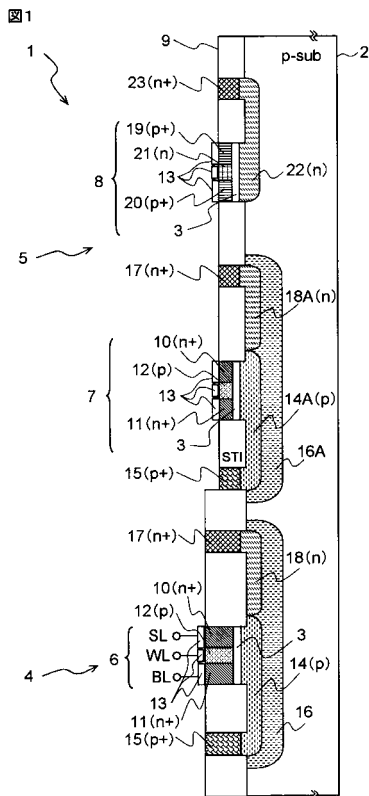
12 チャネル形成領域

14 バックゲート領域

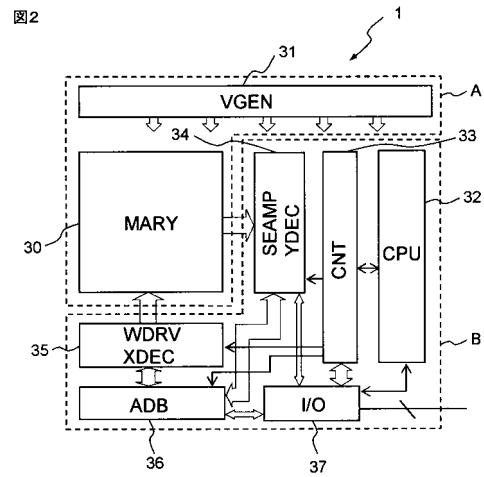
50

- 5 1 バルク構造を有する n M O S
- 5 2 バルク構造を有する p M O S
- W L ワード線
- B L ビット線
- S L ソース線
- B G バックゲート端子

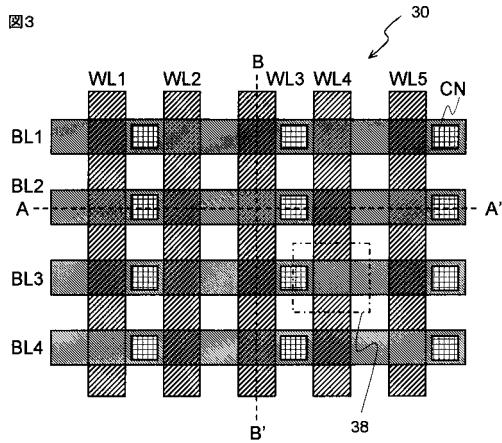
【 図 1 】



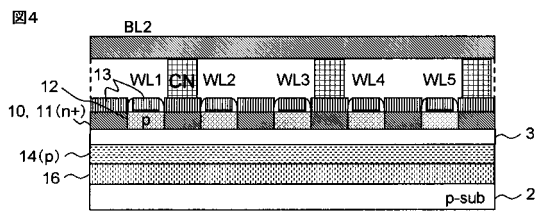
【 図 2 】



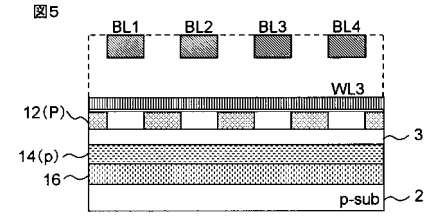
【図3】



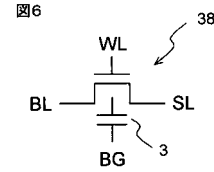
【図4】



【図5】



【図6】

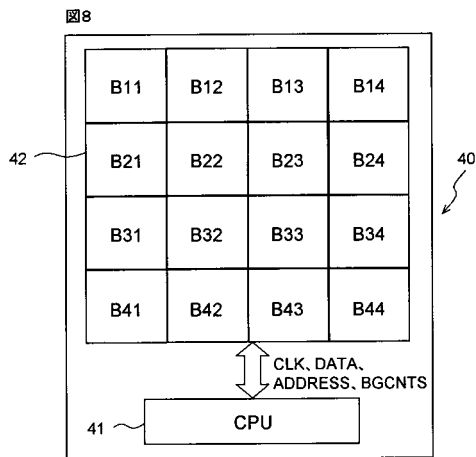


【図7】

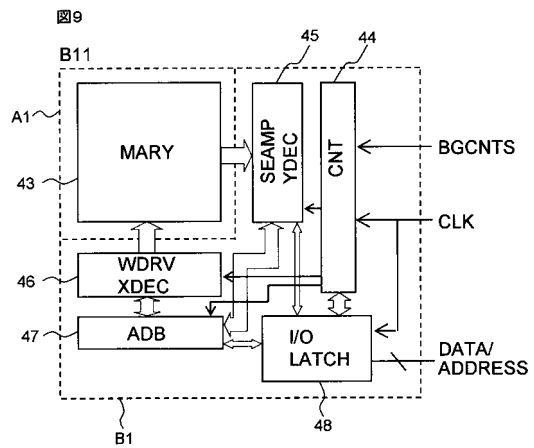
図7

動作モード	単位	WL	BL	SL	BG
読出し	V	1	1	0	0
"0"書込み	V	2	2	0	0
"1"書込み	V	2	-2	0	0
選択待機時	V	-2	0	0	0
非選択待機時	V	-2	0	0	-2

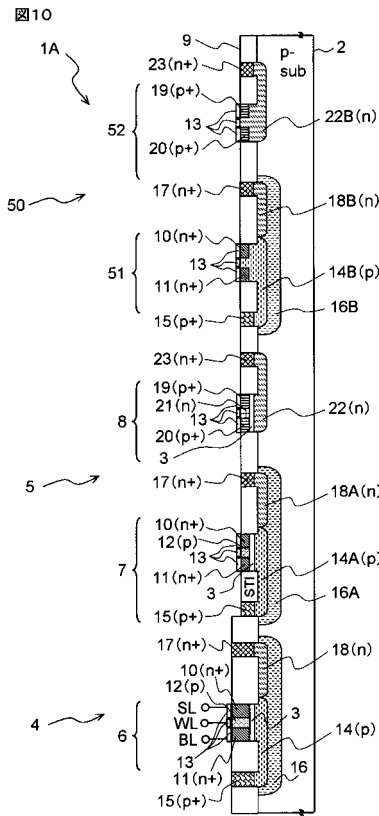
【図8】



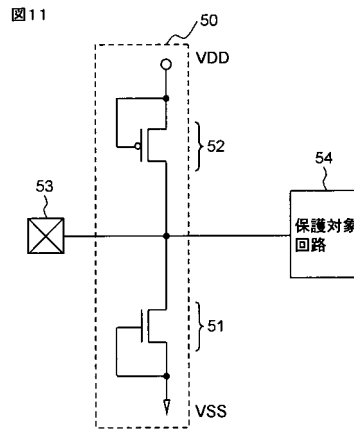
【図9】



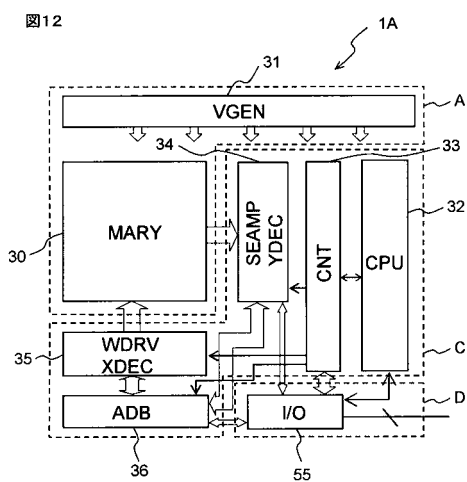
【 図 10 】



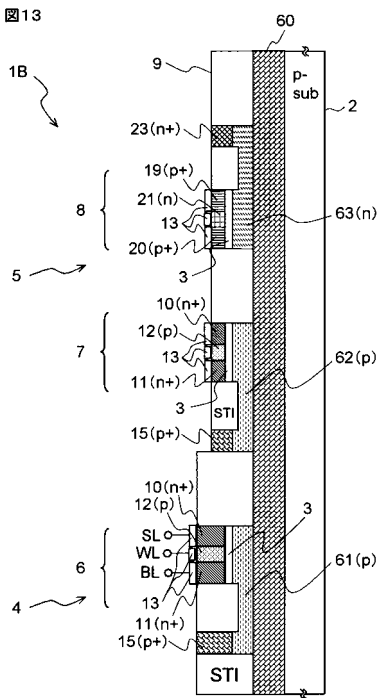
【 図 11 】



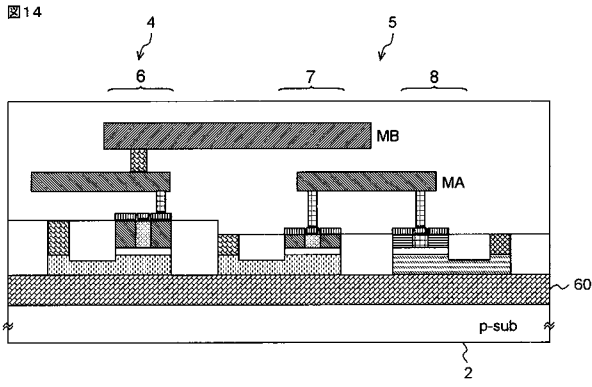
【 図 12 】



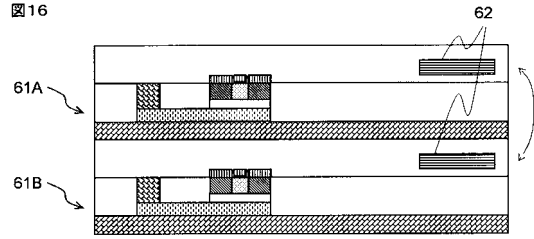
【 図 13 】



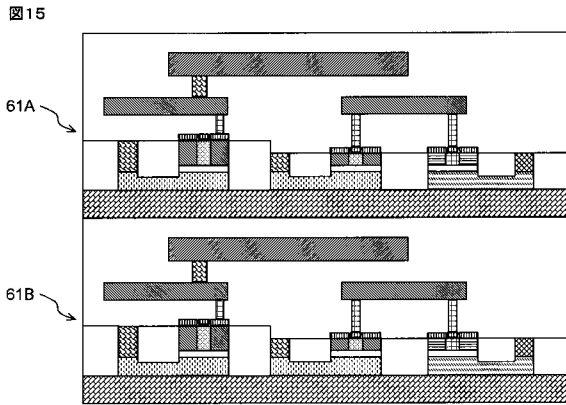
【図14】



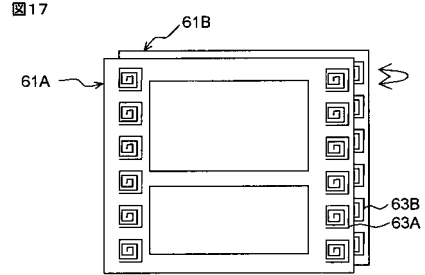
【図16】



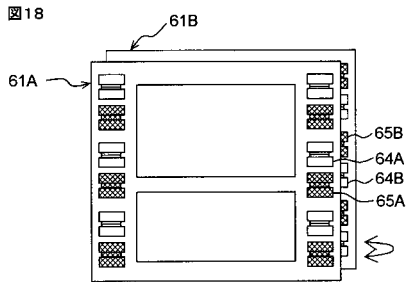
【図15】



【図17】



【図18】



フロントページの続き

(51) Int.Cl.		F I	
H 0 1 L 21/762 (2006.01)		H 0 1 L 27/08	3 3 1 C
H 0 1 L 21/8242 (2006.01)		H 0 1 L 21/76	L
H 0 1 L 27/108 (2006.01)		H 0 1 L 21/76	D
H 0 1 L 27/10 (2006.01)		H 0 1 L 27/10	6 7 1 C
H 0 1 L 29/786 (2006.01)		H 0 1 L 27/10	3 2 1
		H 0 1 L 27/10	4 6 1
		H 0 1 L 29/78	6 1 3 Z
		H 0 1 L 29/78	6 2 2

審査官 宇多川 勉

- (56) 参考文献 特開 2003 - 124345 (JP, A)
 特開 2006 - 080549 (JP, A)
 特開 2004 - 006985 (JP, A)
 特開平 08 - 195443 (JP, A)
 特開 2006 - 165251 (JP, A)
 特開 2000 - 196089 (JP, A)
 特開 2003 - 031693 (JP, A)
 特開平 04 - 246863 (JP, A)

(58) 調査した分野(Int.Cl., DB名)

H 0 1 L 21 / 8 2 3 4
 H 0 1 L 21 / 7 6
 H 0 1 L 21 / 7 6 2
 H 0 1 L 21 / 8 2 4 2
 H 0 1 L 27 / 0 6
 H 0 1 L 27 / 0 8
 H 0 1 L 27 / 0 8 8
 H 0 1 L 27 / 1 0
 H 0 1 L 27 / 1 0 8
 H 0 1 L 29 / 7 8 6