



(12)实用新型专利

(10)授权公告号 CN 211350633 U

(45)授权公告日 2020.08.25

(21)申请号 202020252537.8

(22)申请日 2020.03.04

(73)专利权人 合肥晶合集成电路有限公司

地址 230012 安徽省合肥市新站区综合保
税区内西淝河路88号

(72)发明人 李建财 张傲峰

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 曹廷廷

(51) Int. Cl.

H01L 23/488(2006.01)

H01L 21/60(2006.01)

(ESM)同样的发明创造已同日申请发明专利

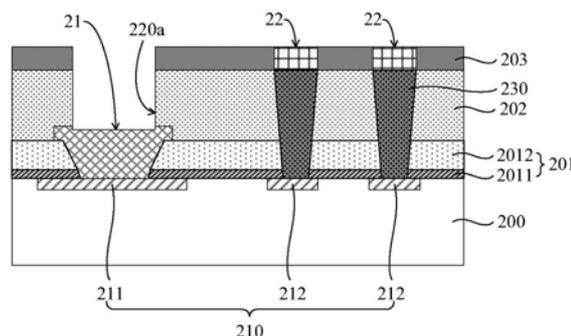
权利要求书1页 说明书8页 附图6页

(54)实用新型名称

嵌入式焊盘结构

(57)摘要

本实用新型涉及一种嵌入式焊盘结构。所述嵌入式焊盘结构包括分别与半导体基底的顶部金属层中的第一连接部和第二连接部电连接的内焊盘和外焊盘,其中,内焊盘低于外焊盘,外焊盘嵌设于内焊盘上方的介质层中,所述内焊盘和外焊盘可用于与外部器件电连接,外焊盘的上表面与周围的第三介质层的上表面齐平,在确保嵌入式焊盘结构与晶圆中的内部电路形成良好电连接的基础上,有助于使半导体基底上的焊盘之间形成细微间距,缩小后续形成的封装体的体积。



1. 一种嵌入式焊盘结构,其特征在于,包括:

半导体基底,所述半导体基底具有顶部金属层,所述顶部金属层包括间隔布置的第一连接部和第二连接部;

第一介质层和第一接触垫,所述第一介质层覆盖所述半导体基底、第一连接部和第二连接部,所述第一介质层中具有露出所述第一连接部上表面的第一通孔,所述第一接触垫位于所述第一通孔中并与所述第一连接部电接触;

第二介质层和导电插塞,所述第二介质层覆盖所述第一介质层和第一接触垫,所述第一介质层和第二介质层的叠层具有贯穿其中的第二通孔,所述导电插塞设在所述第二通孔中并与所述第二连接部电接触;以及

第三介质层和第二接触垫,所述第三介质层覆盖所述第二介质层和所述导电插塞,所述第三介质层中具有第三通孔,所述第二接触垫位于所述第三通孔中并与所述导电插塞电接触,且所述第二接触垫上表面与所述第三介质层上表面齐平,所述第三介质层和所述第二介质层的叠层中具有露出所述第一接触垫的第四通孔,所述第一接触垫暴露的部分为内焊盘,所述第二接触垫为外焊盘。

2. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述第一接触垫的上表面高于所述第一介质层的上表面,且所述第二介质层的上表面高于所述第一接触垫的上表面。

3. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述第四通孔露出所述第一接触垫的上表面和位于所述第一接触垫周围的所述第一介质层的部分上表面。

4. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述嵌入式焊盘结构还包括与所述第二接触垫电接触的焊料凸点。

5. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述外焊盘的底面位于所述导电插塞的上表面内,且所述外焊盘的底面面积小于所述导电插塞的上表面面积。

6. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述外焊盘的底面与所述导电插塞的上表面面积相同且重合。

7. 如权利要求1所述的嵌入式焊盘结构,其特征在于,所述第一介质层包括依次叠加设置于所述顶部金属层上的氮化层和氧化层。

8. 如权利要求1至7任一项所述的嵌入式焊盘结构,其特征在于,所述第四通孔的深度为 $50\mu\text{m}\sim 200\mu\text{m}$ 。

9. 如权利要求1至7任一项所述的嵌入式焊盘结构,其特征在于,所述第二通孔的直径为 $0.5\mu\text{m}\sim 10\mu\text{m}$ 。

10. 如权利要求1至7任一项所述的嵌入式焊盘结构,其特征在于,所述外焊盘的厚度为 $1\mu\text{m}\sim 20\mu\text{m}$ 。

嵌入式焊盘结构

技术领域

[0001] 本实用新型涉及集成电路领域,尤其涉及一种嵌入式焊盘结构的制作方法。

背景技术

[0002] 利用集成电路工艺,把电路中所需的晶体管、电阻、电容和电感等元件及布线互连并集成在半导体基底上可以制作得到芯片,集成电路的制造过程就是芯片的制造过程。在晶圆上利用集成电路工艺制作芯片时,通常还在芯片上形成焊盘,焊盘用于与外部器件进行电性连接。在倒装式封装技术中,在焊盘上会形成焊料凸点(bump或solderball),在封装时,晶圆以倒扣方式通过焊料凸点与封装衬底形成电气互联,互联长度大大缩短,不仅有效地提高了电性能,而且封装尺寸小,可靠性也可以得到提高。

[0003] 为了满足芯片设计和质量要求,现有的一种焊盘结构包括在芯片上形成的内焊盘(innerpad)和外焊盘(outerpads),内焊盘和外焊盘均通过上方氧化层的开口露出,但内焊盘的暴露面明显低于外焊盘。为了制备得到这种焊盘结构,现有工艺需要执行多次热沉积工艺以及多次光刻及刻蚀工艺,流程复杂且成本较高,且所形成的焊盘结构存在焊盘之间间距大从而体积较大等问题。

实用新型内容

[0004] 为了优化焊盘结构,本实用新型提供了一种嵌入式焊盘结构。所述嵌入式焊盘结构包括:

[0005] 半导体基底,所述半导体基底具有顶部金属层,所述顶部金属层包括间隔布置的第一连接部和第二连接部;

[0006] 第一介质层和第一接触垫,所述第一介质层覆盖所述半导体基底、第一连接部和第二连接部,所述第一介质层中具有露出所述第一连接部上表面的第一通孔,所述第一接触垫位于所述第一通孔中并与所述第一连接部电接触;

[0007] 第二介质层和导电插塞,所述第二介质层覆盖所述第一介质层和第一接触垫,所述第一介质层和第二介质层的叠层具有贯穿其中的第二通孔,所述导电插塞设在所述第二通孔中并与所述第二连接部电接触;以及

[0008] 第三介质层和第二接触垫,所述第三介质层覆盖所述第二介质层和所述导电插塞,所述第三介质层中具有第三通孔,所述第二接触垫位于所述第三通孔中并与所述导电插塞电接触,且所述第二接触垫上表面与所述第三介质层上表面齐平,所述第三介质层和所述第二介质层的叠层中具有露出所述第一接触垫的第四通孔,所述第一接触垫暴露的部分为内焊盘,所述第二接触垫为外焊盘。

[0009] 可选的,所述第一接触垫的上表面高于所述第一介质层的上表面,且所述第二介质层的上表面高于所述第一接触垫的上表面。

[0010] 可选的,所述第四通孔露出所述第一接触垫的上表面以及位于所述第一接触垫周围的所述第一介质层的部分上表面。

- [0011] 可选的,所述嵌入式焊盘结构还包括与所述第二接触垫电接触的焊料凸点。
- [0012] 可选的,所述外焊盘的底面位于所述导电插塞的上表面内,且所述外焊盘的底面面积小于所述导电插塞的上表面面积。
- [0013] 可选的,所述外焊盘的底面与所述导电插塞的上表面面积相同且重合。
- [0014] 可选的,所述第一介质层包括依次叠加设置于所述顶部金属层上的氮化层和氧化层。
- [0015] 可选的,所述第四通孔的深度为 $50\mu\text{m}\sim 200\mu\text{m}$ 。
- [0016] 可选的,所述第二通孔的直径为 $0.5\mu\text{m}\sim 10\mu\text{m}$ 。
- [0017] 可选的,所述外焊盘的厚度为 $1\mu\text{m}\sim 20\mu\text{m}$ 。
- [0018] 本实用新型提供的嵌入式焊盘结构包括分别与半导体基底的顶部金属层中的第一连接部和第二连接部电连接的内焊盘和外焊盘,其中,内焊盘低于外焊盘,外焊盘嵌设于内焊盘上方的介质层中,所述内焊盘和外焊盘可用于与外部器件电连接,外焊盘与周围的第三介质层的上表面齐平,在确保嵌入式焊盘结构与晶圆中的内部电路形成良好电连接的基础上,有助于使基底上的焊盘之间形成细微间距(fine pitch),缩小后续形成的封装体的体积。

附图说明

- [0019] 图1A至图1F是一种现有焊盘结构在制作过程中的剖面示意图。
- [0020] 图2是本实用新型实施例的嵌入式焊盘结构的制作方法的流程示意图。
- [0021] 图3A至图3G是利用本实用新型实施例的嵌入式焊盘结构的制作方法在制作过程中的剖面示意图。
- [0022] 图4是本实用新型实施例中形成有焊料凸点的嵌入式焊盘结构的剖面示意图。
- [0023] 附图标记说明:
- [0024] 100、200-半导体基底;110、210-顶部金属层;111、211-第一连接部;112、212-第二连接部;120、220-第一接触垫;101-第一氧化层;102-第二氧化层;130、230-导电插塞;140、240-第二接触垫;103-钝化层;11、21-内焊盘;12、22-外焊盘;201-第一介质层;201a-第一通孔;2011-氮化层;2012-氧化层;202-第二介质层;202a-第二通孔;203-第三介质层;203a-第三通孔;220a-第四通孔;250-焊料凸点。

具体实施方式

- [0025] 以下结合附图和具体实施例对本实用新型的嵌入式焊盘结构的制作方法作进一步详细说明。根据下面的说明,本实用新型的优点和特征将更清楚。需说明的是,附图均采用非常简化的形式且均使用非精准的比例,仅用以方便、明晰地辅助说明本实用新型实施例的目的。
- [0026] 为了更清楚地说明本实用新型,以下首先对现有的一种焊盘结构及其制作方法进行说明。该焊盘结构需包括电连接到芯片内部电路的内焊盘和外焊盘,并且,内焊盘和外焊盘的上表面被露出,但内焊盘的暴露面明显低于外焊盘。作为示例,内焊盘和外焊盘可以分别作为芯片内部电路的两种I/O端口,具体可用来进行测试、封装或者与芯片外部器件进行电连接。

[0027] 图1A至图1F是一种现有焊盘结构在制作过程中的剖面示意图。以下结合附图对现有焊盘结构的制作方法进行说明。上述焊盘结构通常可采用的制作方法包括如下过程：

[0028] 首先,参照图1A,提供半导体基底100,所述半导体基底100上形成有顶部金属层110,所述顶部金属层110包括在半导体基底100表面内间隔布置的第一连接部111和第二连接部112,所述第一连接部111例如用来与要制作的焊盘结构的内焊盘电连接,所述第二连接部112例如用来与要制作的焊盘结构的外焊盘电连接;

[0029] 然后,仍然参照图1A,在半导体基底100上对应于第一连接部111形成第一接触垫120,具体可以先在所述顶部金属层110上形成第一氧化层(例如是氧化硅)101,然后利用光刻(通常包括涂胶、曝光、显影的一系列过程)及刻蚀工艺在该第一氧化层101中形成通孔,接着在该第一氧化层101上以及通孔中沉积导电材料(例如金属铝),并利用光刻及刻蚀工艺去除部分导电材料,从而得到与第一连接部111电接触连接的第一接触垫120;

[0030] 接着,参照图1B,在第一接触垫120和第一氧化层101上沉积第二氧化层(例如是氧化硅)102,所述第二氧化层102的上表面高于第一接触垫120的表面,为了便于进行后续工艺,第二氧化层102的上表面可采用平坦化工艺如化学机械研磨(CMP)进行平坦化处理;

[0031] 然后,参照图1C,利用光刻及刻蚀工艺,对应于第二连接部112的区域刻蚀第一氧化层101和第二氧化层102的叠层,形成通孔将第二连接部112的上表面露出,然后在通孔中沉积导电材料将通孔填满,并进行平坦化处理,去除通孔外的导电材料(即覆盖在第二氧化层102上表面的导电材料),从而对应于第二连接部112在半导体基底100上形成导电插塞130;

[0032] 接着,参照图1D,在第二氧化层102以及导电插塞130上沉积用来制作外焊盘的导电材料,并利用光刻及刻蚀工艺对该导电材料进行图形化处理,剩余的导电材料作为第二接触垫140,第二接触垫140覆盖导电插塞130以及导电插塞130周围的第二氧化层102部分表面;

[0033] 然后,参照图1E,在第二接触垫140以及第二氧化层102露出的上表面上沉积绝缘材料(例如为氧化硅),以形成钝化层103;

[0034] 接着,参照图1F,利用光刻及刻蚀工艺分别对钝化层103进行图形化处理,例如,首先进行第一次图形化处理将第二接触垫140露出,然后再进行第二次图形化处理将第一接触垫120露出,露出的范围为焊盘区。该制作方法中,将第一接触垫120露出的部分作为内焊盘11,将第二接触垫140露出的部分作为外焊盘12。

[0035] 上述制作方法中,在形成第一接触垫120后,需要进行多次材料沉积、光刻及刻蚀工艺,各次光刻工艺均需要经过包括涂胶、曝光、显影的繁复过程,成本比较高。

[0036] 为了优化焊盘的结构以及焊盘的制作工艺,以下介绍一种优化后的嵌入式焊盘结构的制作方法。图2是本实用新型实施例的嵌入式焊盘结构的制作方法的流程示意图。参照图2,本实用新型实施例的嵌入式焊盘结构的制作方法包括以下步骤:

[0037] S1:提供半导体基底,所述半导体基底具有顶部金属层,所述顶部金属层包括在半导体基底表面内间隔布置的第一连接部和第二连接部;

[0038] S2:形成第一介质层和第一接触垫,所述第一介质层覆盖所述半导体基底、第一连接部和第二连接部,所述第一介质层中具有露出所述第一连接部上表面的第一通孔,所述第一接触垫填满所述第一通孔并与所述第一连接部电接触;

[0039] S3:形成第二介质层和导电插塞,所述第二介质层覆盖所述第一介质层和第一接触垫,形成第二通孔贯穿所述第一介质层和第二介质层的叠层并露出所述第二连接部上表面,所述导电插塞填满所述第二通孔并与所述第二连接部电接触;

[0040] S4:形成第三介质层在所述第二介质层和所述导电插塞的上表面;

[0041] S5:形成第三通孔在所述第三介质层中,所述第三通孔露出所述导电插塞;

[0042] S6:形成第二接触垫在所述第三通孔中,所述第二接触垫通过所述导电插塞与所述第二连接部电连接;以及

[0043] S7:形成第四通孔贯穿所述第三介质层和所述第二介质层的叠层并露出所述第一接触垫,以所述第一接触垫暴露的部分作为内焊盘,以所述第二接触垫作为外焊盘。

[0044] 利用本实用新型实施例描述的制作方法,所形成的嵌入式焊盘结构包括与半导体基底的顶部金属层电连接的内焊盘和外焊盘,所述内焊盘和外焊盘均嵌于介质材料中并且可设置在不同的高度,该制作方法采用嵌设方法形成第二接触垫,相较于现有工艺需要执行的光刻次数较少,成本较低。所述内焊盘和外焊盘可用于与外部器件电连接。

[0045] 图3A至图3G是利用本实用新型实施例的嵌入式焊盘结构的制作方法在制作过程中的剖面示意图。以下结合图2和图3A至图3G对本实用新型实施例的嵌入式焊盘结构的制作方法进行说明。

[0046] 参照图2和图3A,首先执行步骤S1,提供半导体基底200,所述半导体基底200具有顶部金属层210,所述顶部金属层210包括在半导体基底200表面内间隔布置的第一连接部211和第二连接部212。

[0047] 半导体基底200的材料可以是硅、锗、硅锗、碳化硅、砷化镓、磷化镓、磷化铟、砷化铟或铋化铟等,也可以是绝缘体上覆硅(SOI)或者绝缘体上覆锗(GOI),或者还可以为其它的材料,例如GaAs、GaAsP、AlInAs、AlGaAs、GaInAs、GaInP或GaInAsP等,或者还可以是上述材料的组合。半导体基底200可以包括掺杂的外延层、梯度半导体层和位于不同类型的其它半导体层上面的半导体层(例如锗硅层上的硅层)。半导体基底200中可以设置有源区以及用于隔离有源区的隔离区(未示出),以及,半导体基底200中还可以根据设计需求注入一定的掺杂离子。本实施例中,半导体基底200例如为硅晶圆。在半导体基底200上可利用标准集成电路制造工艺(如CMOS工艺)形成芯片的内部电路以及在内部电路上形成互连层,所述互连层可以包括多个间隔排布的导电层和绝缘层,相邻导电层之间可以通过导电插塞电连接,所述顶部金属层210可以作为互连层中位于最上层的导电层,顶部金属层210的材料例如为铜。根据芯片的种类以及功能的设计,半导体基底200中的内部电路可以通过第一连接部211和第二连接部212对外部元器件进行控制或者接收外部元器件的反馈信号。作为示例,所述顶部金属层210中,所述第一连接部211和第二连接部212可以是芯片上用来连接不同外部器件的I/O连接端,以便于芯片的内部电路与外部器件进行电连接。

[0048] 根据设计要求,半导体基底200的顶金属层210可以设置有不止一个第一连接部211和/或不止一个第二连接部212,第一连接部211和第二连接部212的数量可以相同或不同,附图3A中的第一连接部211和第二连接部212的数量仅作为例子。并且,作为示例,本实施例中,第一连接部211可以是芯片的内部电路后续用来电连接内焊盘的接触部,而第二连接部212可以是芯片的内部电路后续用来电连接内焊盘的接触部。

[0049] 参照图2及图3A,接着执行步骤S2,在所述顶部金属层210上形成第一介质层201和

第一接触垫220,所述第一介质层201覆盖所述半导体基底200、第一连接部211以及第二连接部212,所述第一介质层201中具有露出所述第一连接部211上表面的第一通孔201a,所述第一接触垫220填满所述第一通孔201a并与所述第一连接部211电接触。

[0050] 第一介质层201的材料可以是氧化硅、氮化硅等绝缘材料。本实施例中,第一介质层201包括依次叠加形成于所述顶部金属层上的氮化层2011和氧化层2012,所述氮化层2011例如为氮化硅,用来在后续工艺中保护顶部金属层210的其它区域以及顶部金属层210下方的组件。一实施例中,氮化层2011中可以形成事先露出第一连接部211和/或第二连接部212的开口,以便于降低制作通孔的难度以及限定连接部的露出范围。

[0051] 所述氧化层2012例如为氧化硅,其可以通过各种公开工艺制得,本实施例中,氧化层2012例如可通过正硅酸乙酯 (TEOS) 形成。具体的,形成第一接触垫220可包括如下过程:首先依次形成氮化层2011和氧化层2012,得到第一介质层201;然后利用光刻及刻蚀工艺对应于第一连接部211在第一介质层201中形成第一通孔201a;接着可以通过物理气相沉积 (PVD) 或者电镀 (或化学镀) 工艺在第一通孔201a中沉积导电材料,导电材料将第一通孔201a填满,并且覆盖在第一介质层201的上表面;然后,可以利用光刻及刻蚀工艺,去除部分位于第一介质层201的上表面的导电材料,即可以得到第一接触垫220。第一接触垫220的上表面可以设置为高于第一介质层201的上表面,填满第一通孔201a并覆盖第一介质层201的部分上表面,以提高后续形成的内焊盘的可靠性。用于形成第一接触垫220的导电材料可以是铝或铜等,也可以是本领域公开的其它金属接触垫材料,本实施例中例如为铝。

[0052] 参照图2及图3B,接着执行步骤S3,形成第二介质层202于所述第一介质层201和所述第一接触垫220上。形成第二介质层202可以抬高介质材料的高度,以便于后续在高于第一接触垫220的位置制作第二接触垫。本实施例中,所述第二介质层202的上表面高于所述第一接触垫220的上表面。可以利用TEOS作为硅源经过水解反应形成氧化硅膜作为第二介质层202,可以采用平坦化工艺如化学机械研磨工艺 (CMP) 对第二介质层202表面进行处理,以便得到在半导体基底200上获得平坦的上表面。在形成第二介质层202后,第一接触垫220以及第一介质层201未被第一接触垫220遮挡的上表面均被第二介质层202覆盖。第二介质层202的厚度可以根据设计调整,具体约 $1\mu\text{m}\sim 50\mu\text{m}$,更具体的,例如 $20\mu\text{m}\sim 50\mu\text{m}$ 。一实施例中,第二介质层202也可以采用其它适合的绝缘材料。

[0053] 参照图3C,继续执行步骤S3,形成第二通孔202a贯穿所述第一介质层201和第二介质层202的叠层并露出所述第二连接部212的上表面,然后形成导电插塞230,所述导电插塞230填满第二通孔202a并与所述第二连接部212电接触。

[0054] 具体的,形成所述第二通孔202a以及导电插塞230的方法可包括如下过程:首先,形成图形化的第一光阻层 (未示出) 在所述第二介质层202上表面;接着,利用所述第一光阻层进行保护,刻蚀所述第二介质层202和所述第一介质层201的叠层,以形成贯穿所述第二介质层202和所述第一介质层201的叠层的第二通孔202a,所述第二通孔202a从半导体基底200上方露出所述第二连接部212,所述第二通孔的直径约 $0.5\mu\text{m}\sim 10\mu\text{m}$;然后,去除所述第一光阻层;接着,沉积导电材料,以覆盖所述第二介质层202上表面并填满所述第二通孔202a;然后,利用平坦化工艺,去除位于所述第二介质层202上表面的导电材料,剩余的导电材料填充在第二通孔202a中,作为导电插塞230。用来形成导电插塞的导电材料例如为钨,但不限于此,导电插塞230也可以采用其它适合的导电材料。

[0055] 参照图2及图3D,接着执行步骤S4,形成第三介质层203在所述第二介质层202和所述导电插塞230的上表面。本实施例中,第三介质层203作为利用嵌设工艺(例如大马士革工艺)形成第二接触垫的介质层。第三介质层203可以采用热固化材料形成,热固化材料平坦性好并且方便刻蚀。所述热固化材料例如为聚酰亚胺、环氧树脂、聚氨酯、乙烯酯、酚醛树脂、亚克力树脂、尿素树脂或三聚氰胺树脂中的任意一种或者两种以上的组合。作为示例,应用热固化材料形成所述第三介质层203可采用如下过程形成:将液态的所述热固化材料利用诸如旋涂、喷涂、压印等工艺涂覆在所述第二介质层和所述导电插塞表面,然后在设定温度进行热固化,即可得到所述第三介质层203,其中所述设定温度为 $150^{\circ}\text{C}\sim 250^{\circ}\text{C}$,较佳温度可为 $165^{\circ}\text{C}\sim 210^{\circ}\text{C}$ 。

[0056] 本实施例中,第三介质层203例如是聚酰亚胺(Polyimide,PI)。则可以先旋涂液态的聚酰亚胺在第二介质层202及导电插塞230表面,使聚酰亚胺液态膜均匀地覆盖第二介质层202和导电插塞230的上表面。然后在适合温度范围例如 $150^{\circ}\text{C}\sim 250^{\circ}\text{C}$ 内进行热处理(curing),使聚酰亚胺液态膜发生固化反应,即可以得到PI材质的第三介质层203。第一介质层203的厚度与后续要嵌设的第二接触垫的厚度基本相同,本实施例中,第一介质层203的厚度约 $1\mu\text{m}\sim 20\mu\text{m}$ 。

[0057] 参照图2及图3E,接着执行步骤S5,形成第三通孔203a在所述第三介质层203中,所述第三通孔203a从半导体基底200上方露出所述导电插塞230。具体实施时,导电插塞230的表层也可能被刻蚀去除,这并不影响器件的性能。

[0058] 本实用新型一实施例中,可以利用光刻及刻蚀工艺对所述第三介质层203进行图形化,以在对应于导电插塞230的区域形成第三通孔203a,使得第三通孔203a露出导电插塞230的至少部分上表面。

[0059] 本实用新型另一实施例中,可以采用激光刻蚀(laser etching)去除导电插塞230上方的部分第三介质层203,以形成第三通孔203a,将导电插塞230的至少部分上表面露出。激光刻蚀工艺将激光光束聚焦于微小范围的目标物,利用光电或光热作用引发一系列的化学键断裂,要去除的材料接收了传导的热能,通过受压、熔化、表面材料蒸发或者在碳化之前燃烧而被去除。利用激光刻蚀工艺形成第三通孔203a,不需要进行涂胶、曝光、显影、脱模等繁复步骤,也不需要制作专门的光罩,可以简化工艺,节约成本。

[0060] 一实施例中,第三通孔203a的底部开口全部落在导电插塞的上表面范围内,并且第三通孔203a的底部开口的面积小于导电插塞230的上表面面积,以在实现较好电接触的条件下缩小第三通孔203a所占的空间,便于后续成品形成细微间距(fine pitch)。一实施例中,第三通孔203a的底部开口全部落在导电插塞的上表面范围内,并且第三通孔203a的底部开口的面积与导电插塞230上表面的面积相同,便于后续填充的第二接触垫与导电插塞230充分接触,降低接触电阻。

[0061] 参照图2及图3F,接着执行步骤S6,形成第二接触垫240在所述第三通孔203a中,所述第二接触垫240通过所述导电插塞230与所述第二连接部212电连接。

[0062] 具体的,第二接触垫240可以采用以下过程制作:利用物理气相沉积(PVD)、电镀或者化学镀工艺,使所述第三通孔203a中填满导电材料,然后利用平坦化工艺(如CMP工艺),去除位于所述第三介质层203上表面的导电材料,得到与所述第三介质层203上表面齐平的第二接触垫240。本实施例中,利用金属铜作为形成第二接触垫240的导电材料,可以采用电

镀或者化学镀工艺在第三通孔203a中填充铜。但不限于此,形成第二接触垫240的导电材料也可采用镍、锌、锡、银、金、钨和镁等金属材料中的一种或多种金属或者包括铜、镍、锌、锡、银、金、钨和镁等元素的合金。一实施例中,第二接触垫240的底面位于所述导电插塞230的上表面内,且所述第二接触垫240的底面面积小于所述导电插塞230的上表面面积。另一实施例中,第二接触垫240的底面与所述导电插塞230的上表面面积相同且重合。

[0063] 本实施例形成第二接触垫的过程利用了嵌设方法,具体将第二接触垫240嵌设在第三介质层203中,这样一方面可以利用第三介质层203对第二接触垫240形成保护,另一方面相对于现有工艺采用的光刻次数较少,优化了焊盘结构的制作过程。

[0064] 参照图2及图3G,接着执行步骤S7,形成第四通孔220a贯穿所述第三介质层203和所述第二介质层202的叠层并露出所述第一接触垫220,并以所述第一接触垫220暴露的部分作为内焊盘21,以所述第二接触垫22作为外焊盘22。

[0065] 本实用新型一实施例中,步骤S7中形成第四通孔220a可以采用光刻及刻蚀工艺。具体的,形成第四通孔220a的方法可包括如下步骤:首先,形成图形化的第二光阻层(未示出)在所述第三介质层203的上表面;接着,利用所述第二光阻层进行保护,刻蚀所述第三介质层203和所述第二介质层202的叠层,以形成贯穿所述第三介质层203和所述第二介质层202的第四通孔220a,所述第四通孔220a露出第一接触垫220;然后去除所述第二光阻层。

[0066] 本实用新型另一实施例中,通过选择适合的材料以及尺寸,可以利用激光刻蚀工艺进行对位并去除掉部分第三介质层203和第二介质层202,从而形成露出第一接触垫220的第四通孔220a,以进一步简化工艺。第三介质层203和第二介质层202均可以采用便于激光刻蚀(laser etching)的材料,例如,第三介质层203为聚酰亚胺,第二介质层202为氧化硅,为了便于激光刻蚀,氧化硅优选是较为疏松的,例如可以采用TEOS作为硅源制作第二介质层202,也可以采用HARP(High Aspect Ratio Process,高深宽比工艺)制作第二介质层202。

[0067] 上述第四通孔220a的深度约 $50\mu\text{m}\sim 200\mu\text{m}$ 。第四通孔220a可以仅露出部分第一接触垫220的上表面,也可以露出全部第一接触垫220的上表面。一实施例中,所述第四通孔220a露出了所述第一接触垫220的至少部分上表面,并且还露出了位于所述第一接触垫220周围的所述第一介质层201的部分上表面。

[0068] 利用上述实施例描述的嵌入式焊盘结构的制作方法,所形成的嵌入式焊盘结构包括分别与半导体基底200的顶部金属层210中的第一连接部211和第二连接部212电连接的内焊盘21和外焊盘22,其中,内焊盘21的暴露面低于外焊盘22,外焊盘22嵌设于内焊盘21上方的第三介质层203中,该制作方法相较于现有工艺需要执行的光刻次数较少,成本较低。进一步的,形成所述第三介质层203中的第三通孔203a的步骤以及露出所述第一接触垫的步骤可以利用激光刻蚀工艺,可以进一步简化工艺。

[0069] 利用上述本实用新型实施例描述的嵌入式焊盘结构的制作方法得到的嵌入式焊盘结构,可以对半导体基底200中的芯片组件以及内部电路进行测试,也可以利用所述嵌入式焊盘结构将所述半导体基底200中的芯片组件与外部元器件进行电连接。

[0070] 图4是本实用新型实施例中形成有焊料凸点的嵌入式焊盘结构的剖面示意图。参照图4,一实施例中,上述嵌入式焊盘结构还可以包括进一步在第二接触垫240上形成的焊料凸点250。具体可以通过蒸发、电镀、溅镀、丝网印刷焊剂或其它物理气相沉积法或化学气

相沉积来在第二接触垫240(即本实施例的外焊盘22)上淀积焊料并进行热回焊(thermal reflow)工艺,得到类似球状或凸块状的焊料凸点250。所用的焊料可以采用本领域公开的制作焊料凸点的材料,例如锡银合金、锡银铜合金等。一实施例中,在形成焊料凸点250后,可以并利用焊料凸点250使外焊盘与封装衬底电连接,从而可以将半导体基底200内的内部电路与封装衬底形成电气互连。所述封装衬底例如包括一电路板,所述电路板上可以绑定另外的芯片。另一实施例中,可以通过焊料凸点250使半导体基底200与另一晶圆(或芯片)形成电气互连并封装。在封装过程中,内焊盘21可通过单独设置的引线 with 封装衬底或者外部元器件形成电气互连。

[0071] 本实施例中,外焊盘22为嵌设在第三介质层203中的第二接触垫240,第二接触垫240所填充的开口范围可以设置得与下方的导电插塞230的上表面尺寸基本相同或者小于下方的导电插塞230的上表面尺寸。此外,外焊盘22的上表面可以设置为与第三介质层203的上表面齐平,从而,在确保外焊盘22与晶圆中的内部电路形成良好电连接的基础上,有助于使焊料凸点250的成品形成细微间距(fine pitch),缩小后续形成的封装体的体积。此外,利用金属铜作为外焊盘22的材料,相对于现有技术采用的铝来说,不容易被氧化,与焊料凸点250可以形成过渡性更好的接触面,有助于提高嵌入式焊盘结构的可靠性。

[0072] 上述描述仅是对本实用新型较佳实施例的描述,并非对本实用新型权利范围的任何限定,任何本领域技术人员在不脱离本实用新型的精神和范围内,都可以利用上述揭示的方法和技术内容对本实用新型技术方案做出可能的变动和修改,因此,凡是未脱离本实用新型技术方案的内容,依据本实用新型的技术实质对以上实施例所作的任何简单修改、等同变化及修饰,均属于本实用新型技术方案的保护范围。

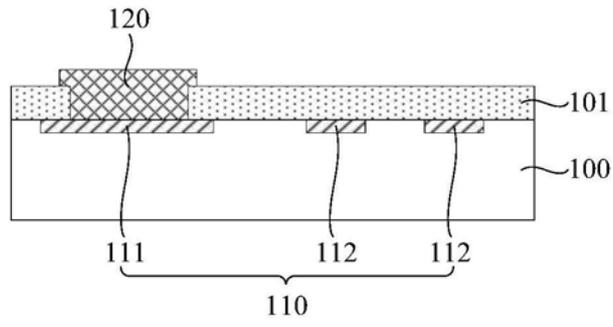


图1A

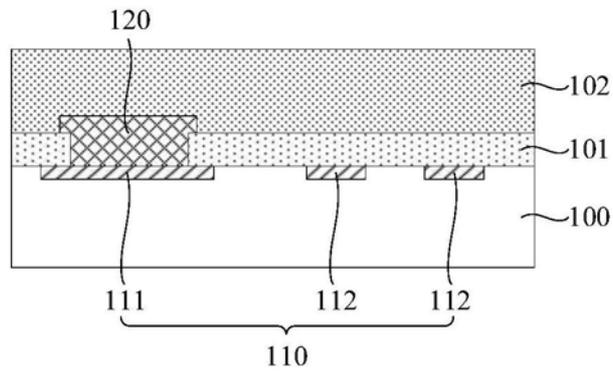


图1B

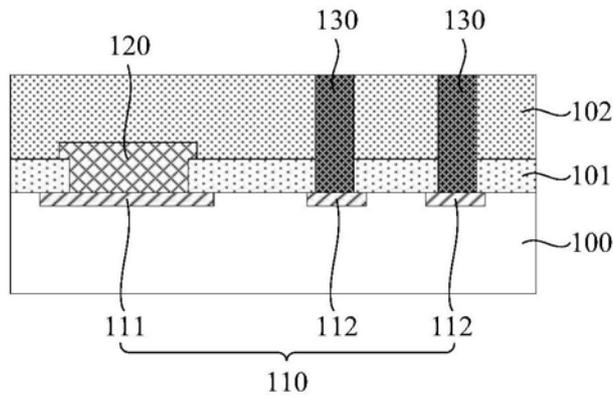


图1C

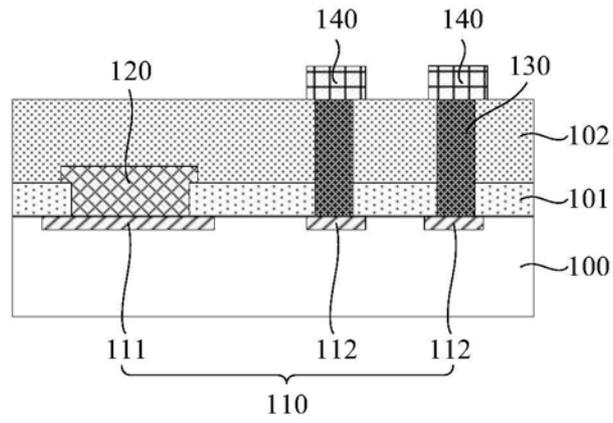


图1D

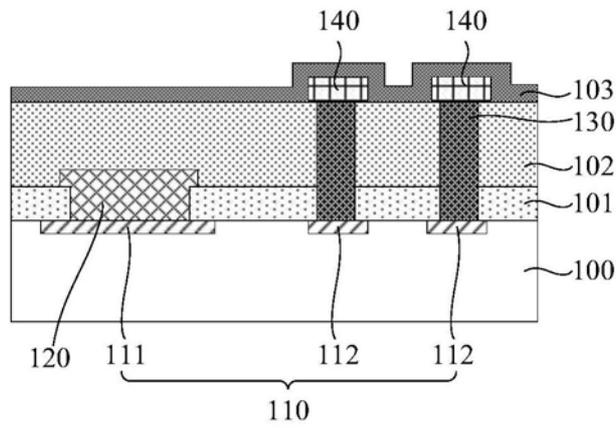


图1E

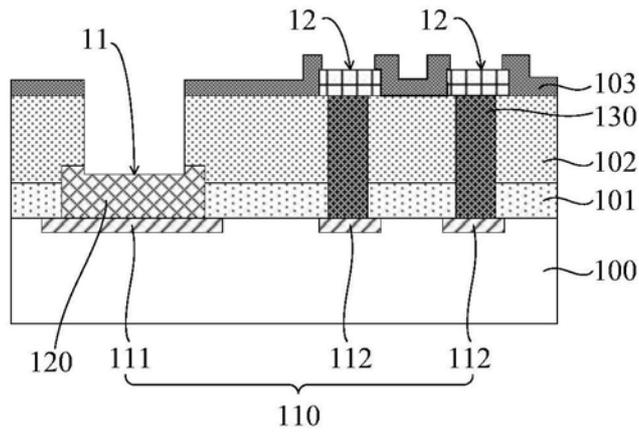


图1F

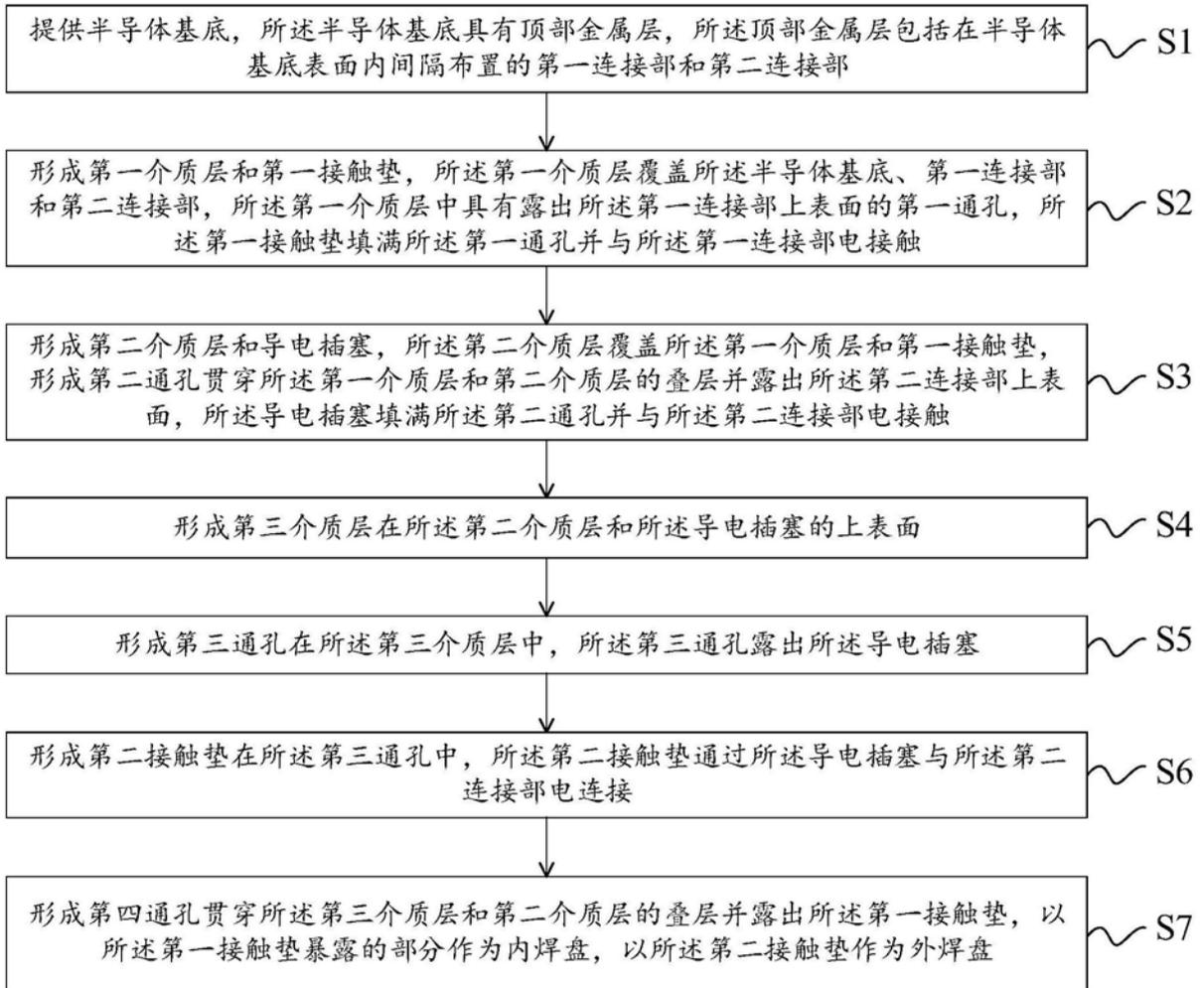


图2

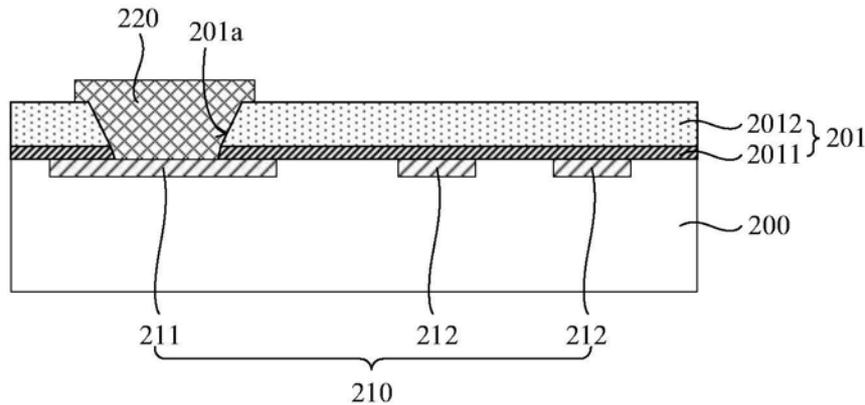


图3A

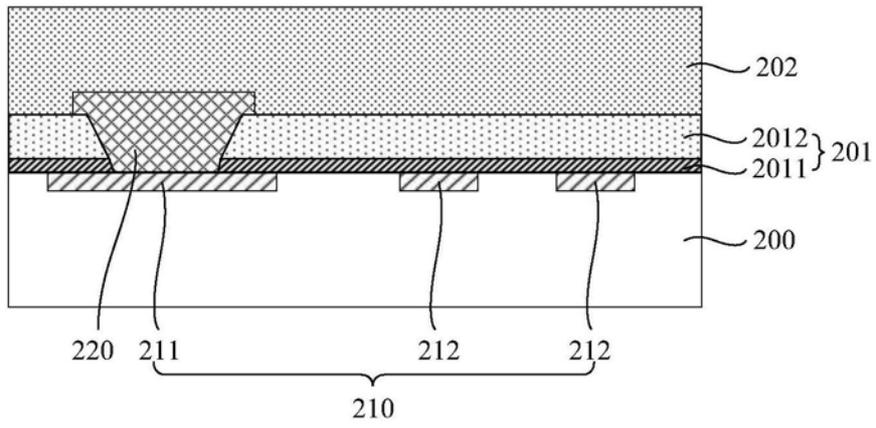


图3B

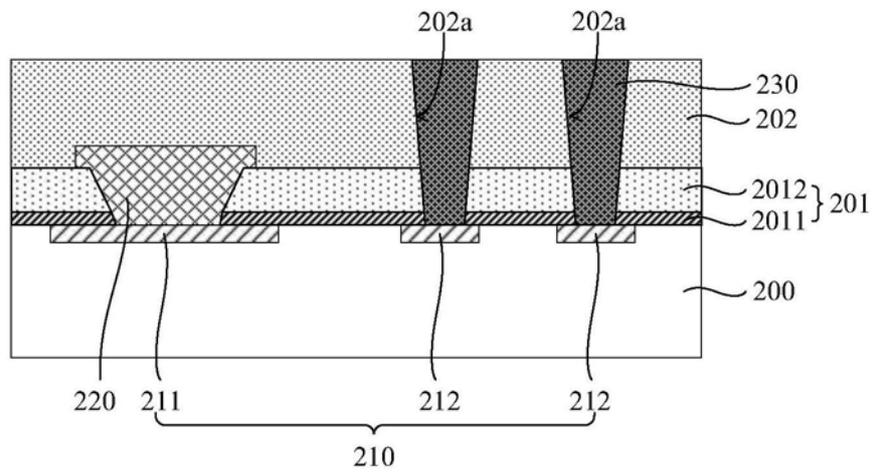


图3C

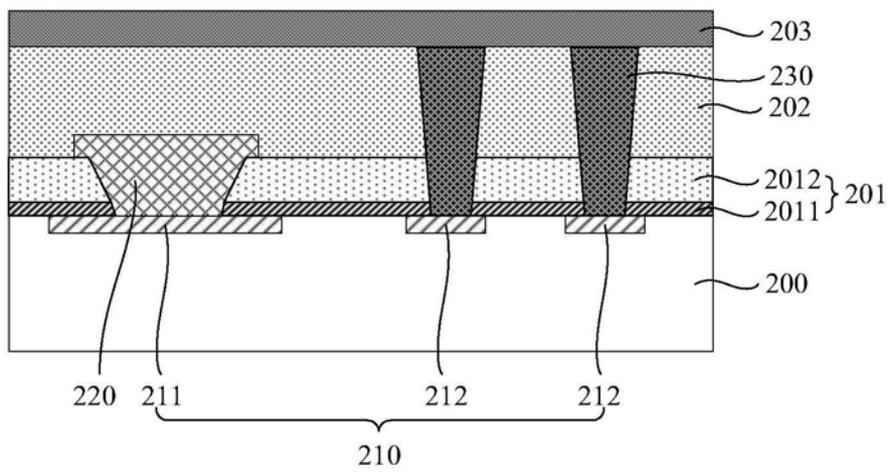


图3D

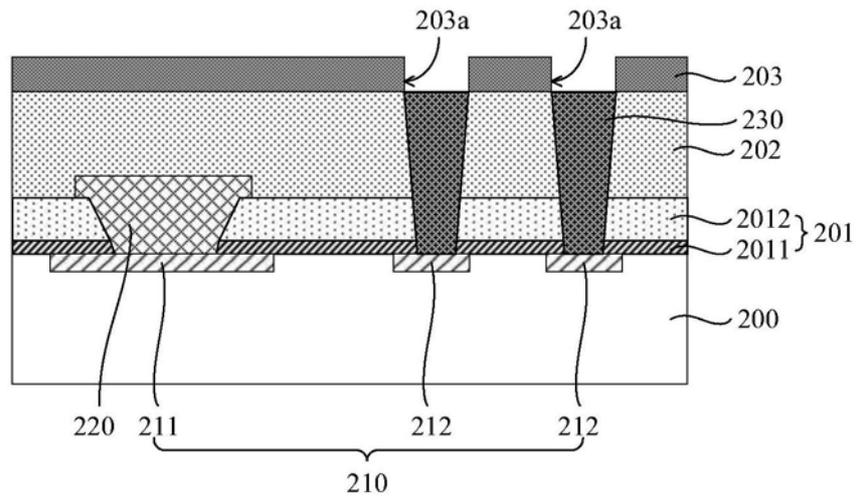


图3E

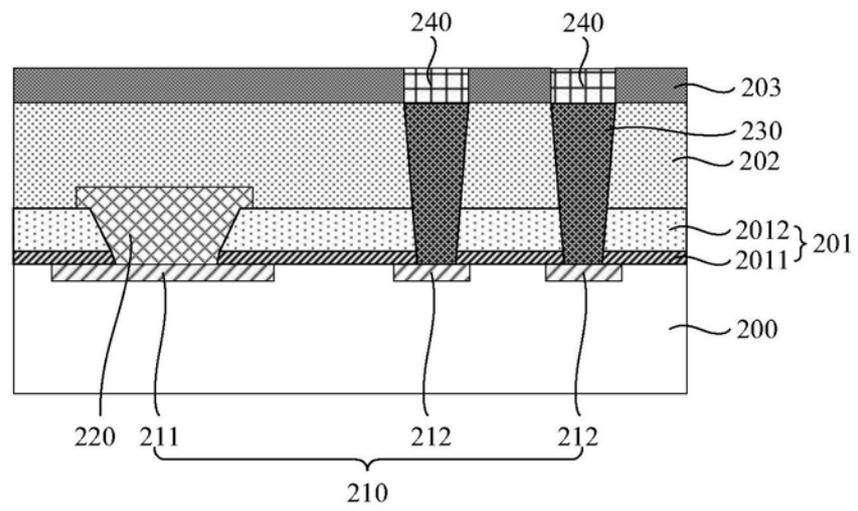


图3F

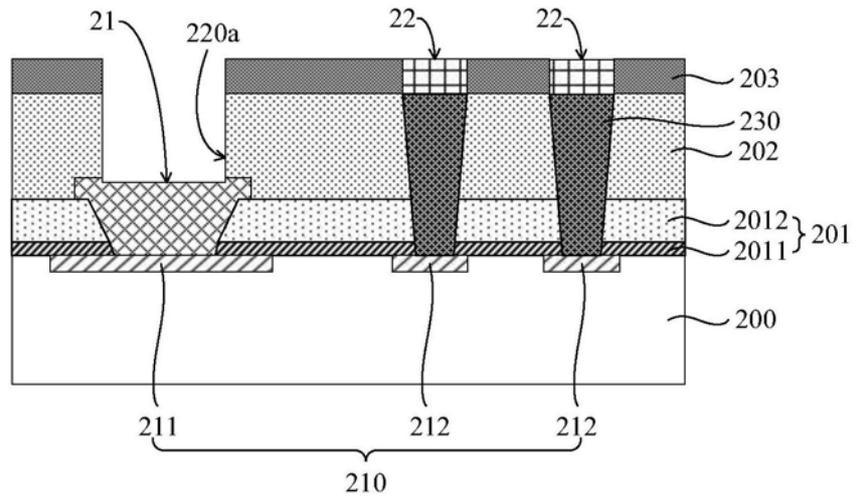


图3G

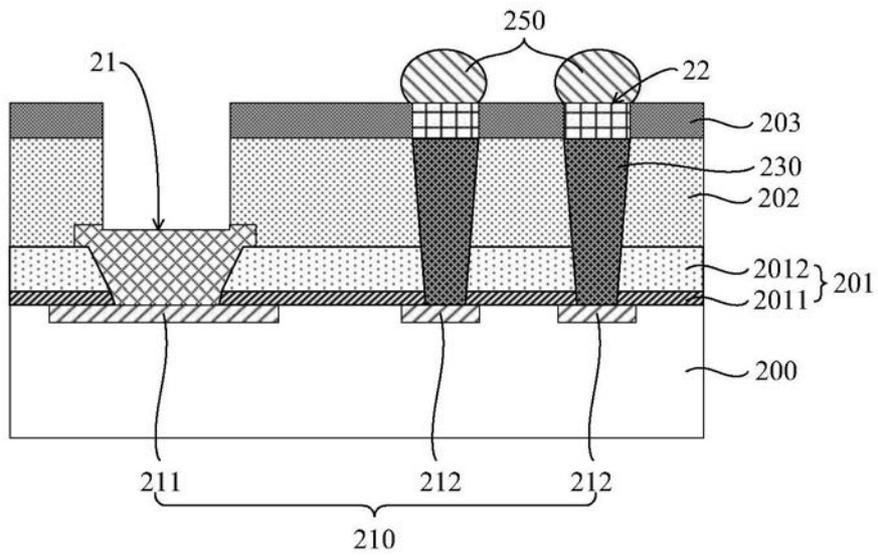


图4