

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) Int. Cl.⁶
H01L 29/786

(45) 공고일자 2005년09월02일
(11) 등록번호 10-0482462
(24) 등록일자 2005년04월01일

(21) 출원번호 10-1998-0057447
(22) 출원일자 1998년12월23일

(65) 공개번호 10-2000-0041547
(43) 공개일자 2000년07월15일

(73) 특허권자 비오이 하이디스 테크놀로지 주식회사
경기도 이천시 부발읍 아미리 산 136-1

(72) 발명자 이경하
서울특별시 동대문구 휘경1동 183-292번지 301호

황정태
경기도 이천시 증포동 대우아파트 102동 1601호

(74) 대리인 강성배

심사관 : 임동우

(54) 액정표시장치의 폴리실리콘-박막트랜지스터의 제조방법

요약

본 발명은 단순한 공정으로 오프셋 영역을 형성하여 누설 전류를 줄일 수 있는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법을 개시한다. 개시된 본 발명은 기판상에 비정질 실리콘층을 형성하고, 레이저빔 어닐링하여, 폴리 실리콘으로 된 채널층을 형성하는 단계와, 상기 채널층 상에 게이트 절연막과 게이트 전극용 금속막을 증착한다음 소정 크기로 상기 게이트 절연막과 게이트 전극용 금속막을 에칭하여 게이트 전극을 형성하는 단계로, 상기 에칭시 게이트 전극용 금속막을 과도 식각하여, 게이트 절연막의 선폭보다 게이트 전극의 크기가 작도록 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상부, 노출된 게이트 절연막 상부 및 채널층 상부에 불순물이 도핑된 오프셋층을 형성하는 단계와, 상기 기판 결과물 표면에 층간 절연막을 증착하는 단계와, 상기 채널층 상부의 오프셋층이 소정 부분 노출되도록 층간 절연막의 소정 부분을 식각하는 단계와, 상기 노출된 오프셋층에 각각 소오스, 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

대표도

도 3c

명세서

도면의 간단한 설명

도 1 및 도 2는 종래의 폴리실리콘-박막 트랜지스터의 제조방법을 설명하기 위한 단면도.

도 3a 내지 도 3c는 본 발명에 따른 폴리실리콘-박막 트랜지스터의 제조방법을 설명하기 위한 각 공정별 단면도.

(도면의 주요 부분에 대한 부호의 설명)

20 : 기판 21 : 폴리실리콘층

22 : 게이트 절연막 23 : 게이트 전극

24 : 레지스트 패턴 25 : 오프셋층

26 : 층간 절연막 27 : 소오스, 드레인 전극

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법에 관한 것으로, 보다 구체적으로는, 추가되는 마스크없이 오프셋 영역을 형성할 수 있는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법에 관한 것이다.

일반적으로 폴리실리콘을 채널층으로 이용하는 폴리실리콘-박막 트랜지스터는 비정질 실리콘을 채널층으로 하는 박막 트랜지스터와 비교하였을 때, 소형화가 가능하고, 빠른 구동 능력을 가진다.

또한, 액정 표시 장치에 적용하였을 경우에는, 얇고 작은 모듈을 형성하여, 컴팩트한 디스플레이 장치를 구현할 수 있고, 드라이브 IC와 박막 트랜지스터가 동시에 형성되므로써, 비용도 감축된다.

이러한 폴리실리콘 박막 트랜지스터는 높은 드레인 전계로 인하여 높은 누설 전류가 발생되는데, 이를 방지하기 위하여, 오프셋 영역 또는 LDD(lightly doped drain) 영역을 형성하는 공정이 제안되었다.

먼저, 오프셋 영역을 형성하는 공정은, 도 1에 도시된 바와 같이, 유리 기판(1) 상부에 비정질 실리콘층을 형성한다음, 이 비정질 실리콘층을 액티브 형태로 패터닝하고, 결정질화 공정을 진행하여, 폴리실리콘층(2)을 형성한다. 이어, 게이트 절연막(3)을 증착한다음, 그 상부에 게이트 전극용 물질을 증착한다. 그후에, 게이트 전극용 물질을 소정 부분 패터닝하여, 게이트 전극(4)을 형성하고, 게이트 절연막(3)은 게이트 전극(4)의 선폭 보다는 소정폭만큼 크게 형성한다. 이때, 게이트 전극(4)의 끝단과 게이트 절연막(3)의 끝단까지의 거리(A)를 오프셋 영역이라 한다.

그리고나서, 게이트 절연막(3) 및 게이트 전극(4)을 마스크로 하여, 노출된 폴리실리콘층(2)에 N형의 고농도 불순물을 주입하여, 소오스, 드레인 영역(5a,5b)을 형성한다.

그후, 층간 절연막(6)을 증착하고, 소오스, 드레인 영역(5a,5b)이 노출되도록 소정 부분 패터닝한다음, 금속 배선(7)을 형성한다. 이때, 오프셋 영역(A)에는 게이트 절연막(3)이 존재하므로 불순물이 도핑되어 있지 않아, 상대적으로 전계를 낮추게 된다. 따라서, 누설 전류를 방지할 수 있다.

또한, 종래의 다른 방법으로 LDD 영역을 갖는 폴리실리콘-박막 트랜지스터는, 도 2에 도시된 바와 같이, 유리 기판(10) 상부에 비정질 실리콘층을 형성한다음, 이 비정질 실리콘층을 액티브 형태로 패터닝하고, 결정질화 공정을 진행하여, 폴리실리콘층(11)을 형성한다. 이어, 게이트 절연막(12)을 증착한다음, 그 상부에 게이트 전극용 물질을 증착한다. 그후에, 게이트 전극용 물질과 게이트 절연막(12)을 순차적으로 패터닝하여, 게이트 전극(13)을 형성한다. 이때, 게이트 절연막(12)과 게이트 전극(13)의 선폭은 같다.

그리고나서, 게이트 절연막(12) 및 게이트 전극(13)을 마스크로 하여, 노출된 폴리실리콘층(11)에 N형의 저농도 불순물을 주입하여, LDD 영역(14a,14b)을 형성한다.

그후, 절연막(15)을 증착한다음, 게이트 절연막(12) 및 게이트 전극(13)을 감싸도록 절연막(15)을 패터닝한다. 그리고 나서, 절연막(15)을 마스크로 하여, 노출된 폴리실리콘층(11)에 고농도 불순물 이온을 주입하여 고농도 불순물 영역(16a,16b)을 형성한다.

그런다음, 층간 절연막(17)을 증착한다음, 고농도 불순물 영역(16a,16b)이 노출되도록 층간 절연막(17)을 소정 부분 패터닝한다음, 노출된 부분과 콘택되도록 금속 배선(7)을 형성한다. 이때, 고농도 불순물 영역(16a,16b) 사이에 존재하는 저농도 불순물 영역(14a,14b)이 존재하므로, 드레인 영역에서의 전계를 상대적으로 낮추게 되어, 누설 전류를 방지할 수 있다.

발명이 이루고자 하는 기술적 과제

그러나, 상기와 같이 누설전류를 낮추기 위한 오프셋 영역을 형성하는 방법 또는 LDD 영역을 형성하는 방법은 다음과 같은 문제점이 있다.

먼저, 오프셋 영역을 형성하는 방법은 일반적인 폴리실리콘-박막 트랜지스터 보다 게이트 절연막을 게이트 전극 보다 크게 패터닝하기 위하여 추가의 마스크 공정이 필요하게 된다. 이로인하여, 일반적인 폴리실리콘-박막 트랜지스터 공정보다 공정이 복잡해지는 문제점을 갖는다.

또한, LDD 영역을 형성하는 방법은 일반적인 폴리실리콘-박막 트랜지스터보다 게이트 전극을 감싸도록 절연막을 패터닝하는 공정과, LDD 이온을 주입하는 공정이 추가되므로, 제조 공정이 복잡해지고, 제조 비용또한 상승하게 된다.

따라서, 본 발명은 상기한 종래의 문제점을 해결하기 위한 것으로, 단순한 공정으로 오프셋 영역을 형성하여 누설 전류를 줄일 수 있는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법을 제공하는 것을 목적으로 한다.

발명의 구성 및 작용

상기한 본 발명의 목적을 달성하기 위하여, 본 발명의 일 실시예에 따르면, 본 발명은 기판상에 비정질 실리콘층을 형성하고, 레이저빔 어닐링하여, 폴리 실리콘으로 된 채널층을 형성하는 단계와, 상기 채널층 상에 게이트 절연막과 게이트 전극용 금속막을 증착한다음 소정 크기로 상기 게이트 절연막과 게이트 전극용 금속막을 에칭하여 게이트 전극을 형성하는 단계로, 상기 에칭시 게이트 전극용 금속막을 과도 식각하여, 게이트 절연막의 선평보다 게이트 전극의 크기가 작도록 게이트 전극을 형성하는 단계와, 상기 게이트 전극 상부, 노출된 게이트 절연막 상부 및 채널층 상부에 불순물이 도핑된 오프셋층을 형성하는 단계와, 상기 기판 결과물 표면에 층간 절연막을 증착하는 단계와, 상기 채널층 상부의 오프셋층이 소정 부분 노출되도록 층간 절연막의 소정 부분을 식각하는 단계와, 상기 노출된 오프셋층에 각각 소오스, 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

본 발명에 의하면, 게이트 전극을 형성하는 공정시, 게이트 전극 물질을 과도 식각하여, 오프셋 영역을 구축하므로써, 별도의 오프셋 영역을 형성하기 위한 마스크 공정이 배제된다.

또한, 폴리실리콘층을 형성하였던 PECVD 방식으로 노출된 폴리실리콘막 상부, 게이트 절연막 상부 및 게이트 전극 상부에 폴리실리콘 보다 밴드갭이 큰 N⁺ a-si:H층 또는 N⁺ μc-si:H층으로 된 오프셋층을 형성하므로써, 누설 전류를 큰 폭으로 감소시킬 수 있다.

이에따라, 제조 비용의 상승없이 누설 전류를 감소시킬 수 있다.

(실시예)

이하 첨부한 도면에 의거하여 본 발명의 바람직한 실시예를 자세히 설명하도록 한다.

첨부한 도면 도 2a 내지 도 2c는 본 발명의 일 실시예에 따른 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법을 설명하기 위한 각 공정별 단면도이다.

먼저, 도 3a를 참조하여, 유리 기판(20) 상부에 PECVD(plasma enhanced chemical vapor deposition) 방식으로 실리콘층을 형성한다. 이때, 증착 당시의 실리콘층은 결정이 없는 비정질 실리콘층이다. 그후, 이러한 비정질 실리콘층을 결정질화하기 위하여, 레이저 어닐링 공정을 실시하여, 폴리실리콘층(21)을 형성한다. 그후에, 폴리실리콘층 상부에 게이트 절연막(22)과 게이트 전극용 물질을 순차적으로 적층한다음, 게이트 전극용 물질 상부에 게이트 전극을 한정하기 위한 레지스트 패턴(24)을 형성한다. 그다음, 레지스트 패턴(24)을 마스크로 하여, 게이트 전극용 물질 및 게이트 절연막(22)을 패터닝하여 게이트 전극(23)을 형성한다. 이때, 게이트 전극용 물질을 식각할 때, 게이트 전극용 물질과 게이트 절연막 물질과 식각 선택비가 높은 물질을 이용하여 과도 식각을 진행하여, 게이트 전극(23)이 레지스트 패턴(24)의 선폭보다는 좁은 선폭을 갖도록 한다. 이에따라, 게이트 전극(23)의 선폭은 게이트 절연막(22)의 선폭보다 약간 작게되어, 별도의 마스크 공정없이 수직 오프셋 영역이 형성된다. 그리고나서, 폴리실리콘층(21)을 액티브 형태로 패터닝한다. 이때, 게이트 전극(23)을 형성한다음, 폴리실리콘층(21)을 패터닝함에 따라, 폴리실리콘층(21)과 게이트 절연막(22)간의 계면 특성을 향상시킬 수 있다.

그리고 난 다음, 도 3b에 도시된 바와 같이, 상기 실리콘층을 형성하였던 PECVD 방식으로, 비등방성 증착방식으로 고농도 N형 불순물이 도핑된 수소화 비정질 실리콘층(이하, N^+ a-si:H층) 또는 고농도 N형 불순물이 도핑된 수소화된 미세 결정질 실리콘층(이하, N^+ μ c-si:H층)을 형성하여, 오프셋층(25)을 형성한다. 또한, 불순물이 도핑되지 않은 a-si:H층 또는 μ c-si:H층을 증착한다음, N형의 불순물을 이온 주입하여 오프셋층(25)을 형성할 수 있다. 이때, 오프셋층(25)은 비등방성으로 증착되므로, 폴리실리콘층(21) 상부, 노출된 게이트 절연막(22) 상부 및 게이트 전극(23) 상부에만 형성되고, 상기 채널층을 형성하였던 PECVD 방식으로 형성되므로, 별도의 추가 비용이 없다.

여기서, 상기 폴리실리콘층(21) 상부에 형성되는 오프셋층(25a)을 수직 오프셋층이 되고, 게이트 절연막(22) 상부에 형성되는 오프셋층을 수평 오프셋(25b)층이 된다.

이와같이 오프셋층을 N^+ a-si:H층 또는 N^+ μ c-si:H층으로 형성하면, 폴리실리콘층보다 상기 N^+ a-si:H층 또는 N^+ μ c-si:H층의 밴드갭이 훨씬 크므로(N^+ a-si:H층의 밴드갭:1.8eV, 불순물이 도핑된 폴리실리콘층의 밴드갭:1.14eV), 누설 전류를 더 많이 감소시키게 된다.

그후, 결과물 상부에 층간 절연막(26)을 증착한다.

그리고나서, 도 3c에 도시된 바와 같이, 수직 오프셋층(25a)의 소정 부분이 노출되도록 층간 절연막(26)의 소정 부분을 식각한다음, 노출된 수직 오프셋층(25a)과 각각 콘택되도록, 소오스, 드레인 전극(27)을 형성한다.

발명의 효과

이상에서 자세히 설명된 바와 같이, 본 발명에 의하면, 게이트 전극을 형성하는 공정시, 게이트 전극 물질을 과도 식각하여, 오프셋 영역을 구축하므로써, 별도의 오프셋 영역을 형성하기 위한 마스크 공정이 배제된다.

또한, 폴리실리콘층을 형성하였던 PECVD 방식으로 노출된 폴리실리콘막 상부, 게이트 절연막 상부 및 게이트 전극 상부에 폴리실리콘 보다 밴드갭이 큰 N^+ a-si:H층 또는 N^+ μ c-si:H층으로 된 오프셋층을 형성하므로써, 누설 전류를 큰 폭으로 감소시킬 수 있다.

이에따라, 제조 비용의 상승없이 누설 전류를 감소시킬 수 있다.

기타, 본 발명은 그 요지를 일탈하지 않는 범위에서 다양하게 변경하여 실시할 수 있다.

(57) 청구의 범위

청구항 1.

기판상에 비정질 실리콘층을 형성하고, 레이저빔 어닐링하여, 폴리 실리콘으로 된 채널층을 형성하는 단계;

상기 채널층 상에 게이트 절연막과 게이트 전극용 금속막을 증착한다음 소정 크기로 상기 게이트 절연막과 게이트 전극용 금속막을 에칭하여 게이트 전극을 형성하는 단계로, 상기 에칭시 게이트 전극용 금속막을 과도 식각하여, 게이트 절연막의 선평보다 게이트 전극의 크기가 작도록 게이트 전극을 형성하는 단계;

상기 게이트 전극 상부, 노출된 게이트 절연막 상부 및 채널층 상부에 불순물이 도핑된 오프셋층을 형성하는 단계;

상기 기판 결과물 표면에 층간 절연막을 증착하는 단계;

상기 채널층 상부의 오프셋층이 소정 부분 노출되도록 층간 절연막의 소정 부분을 식각하는 단계; 및

상기 노출된 오프셋층에 각각 소오스, 드레인 전극을 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법.

청구항 2.

제 1 항에 있어서, 상기 오프셋층은 불순물이 도핑된 비정질 실리콘층 또는 불순물이 도핑된 미세 결정질층인 것을 특징으로 하는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법.

청구항 3.

제 1 항에 있어서, 상기 오프셋층을 형성하는 단계는 불순물이 도핑되지 않은 비정질 실리콘층 또는 미세 결정질층을 증착하는 단계; 상기 비정질 실리콘층 또는 미세 결정질층에 불순물을 이온 주입하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법.

청구항 4.

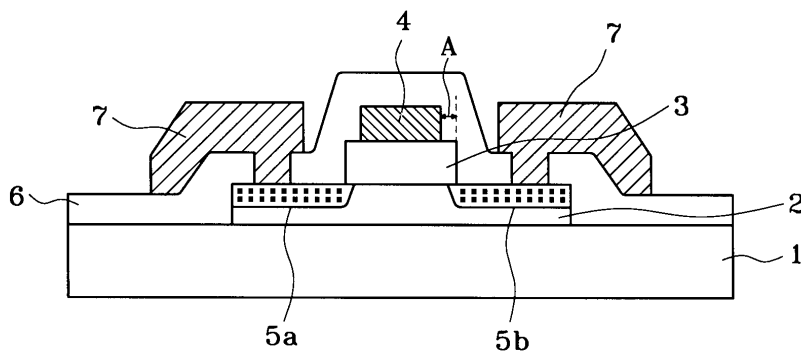
제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 오프셋층은 비등방성 증착 방식으로 형성되는 것을 특징으로 하는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법.

청구항 5.

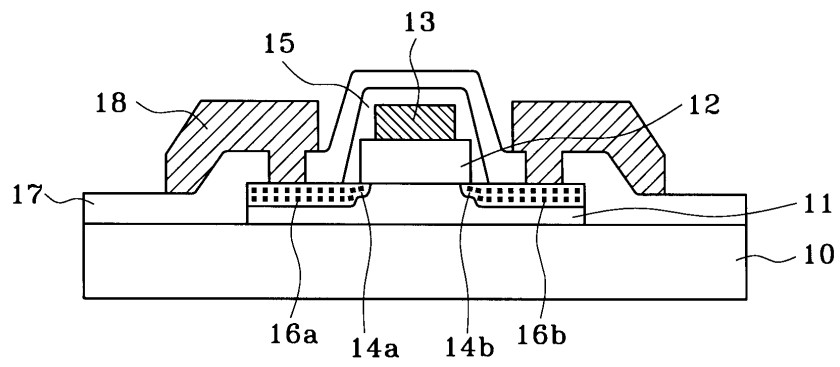
제 4 항에 있어서, 상기 오프셋층은 PECVD 방식으로 증착되는 것을 특징으로 하는 액정 표시 장치의 폴리실리콘-박막 트랜지스터의 제조방법.

도면

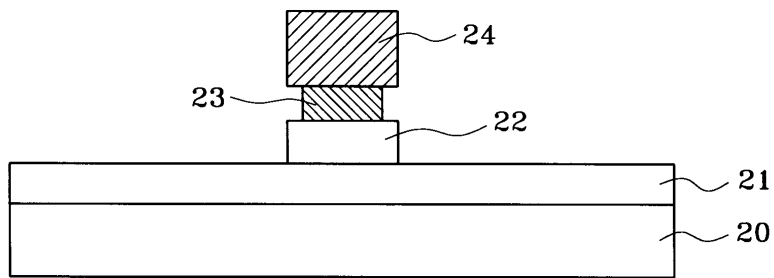
도면1



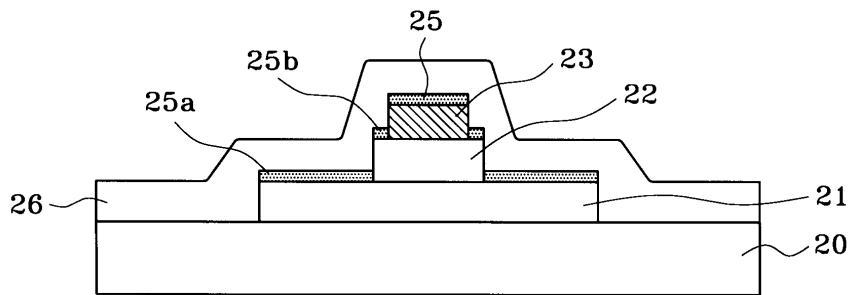
도면2



도면3a



도면3b



도면3c

