

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-183262

(P2014-183262A)

(43) 公開日 平成26年9月29日 (2014.9.29)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 23/12 (2006.01)	HO 1 L 23/12	E
HO 1 L 25/065 (2006.01)	HO 1 L 25/08	Z
HO 1 L 25/07 (2006.01)		
HO 1 L 25/18 (2006.01)		

審査請求 未請求 請求項の数 6 O L (全 8 頁)

(21) 出願番号 特願2013-58016 (P2013-58016)
 (22) 出願日 平成25年3月21日 (2013.3.21)

(71) 出願人 000003078
 株式会社東芝
 東京都港区芝浦一丁目1番1号
 (74) 代理人 110001092
 特許業務法人サクラ国際特許事務所
 (72) 発明者 石井 斉
 東京都港区芝浦一丁目1番1号 株式会社
 東芝内

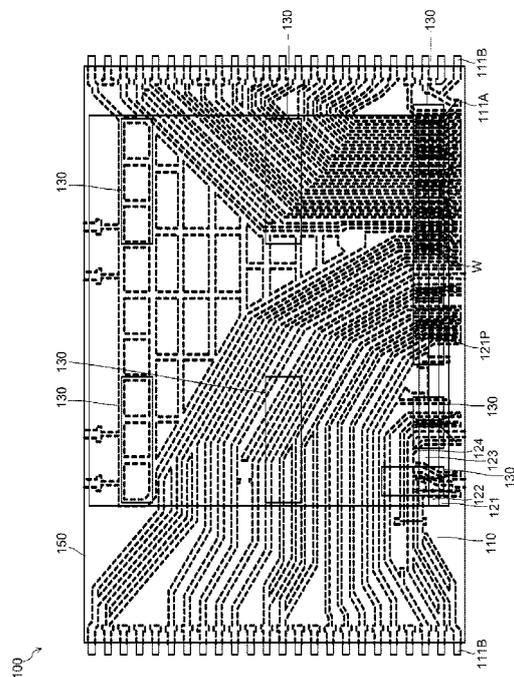
(54) 【発明の名称】 半導体装置

(57) 【要約】

【課題】小型化、高密度化が進む半導体装置において、インナーリード間を接続することができる半導体装置を提供する。

【解決手段】本発明の実施形態に係る半導体装置は、インナーリード及びアウターリードを有する複数のリードと、複数のリード上に設けられる半導体チップと、半導体チップと複数のリードとの間に介在し、半導体チップの裏面下においてインナーリード間を電氣的に接続するスペーサと、を備える。

【選択図】 図1



【特許請求の範囲】

【請求項 1】

インナーリード及びアウターリードを有する複数のリードと、
前記複数のリード上に設けられる半導体チップと、
前記半導体チップの裏面全体を覆う絶縁層と、
前記半導体チップと前記複数のリードとの間に介在し、前記半導体チップの裏面下において、前記複数のリードのうち、電源用リードのインナーリード間、接地用リードのインナーリード間及び制御信号用リードのインナーリード間の少なくとも 1 以上のインナーリード間を他のインナーリードを跨いで電氣的に接続するスペースと、
を備え、

10

前記スペースは、

第 1、第 2 の主面を有し、前記第 1 の主面側に設けられた第 1 の粘着層と、前記第 2 の主面側に設けられた第 2 の粘着層と、前記第 1 の粘着層と前記第 2 の粘着層との間に設けられた絶縁体と、側面に前記第 1 の主面から前記第 2 の主面にかけて窪みが設けられた絶縁体と、前記第 1 の主面側に設けられた導体層とを備え、

前記インナーリードは、

前記窪みに充填された導電体及び前記導体層を介して電氣的に接続される半導体装置。

【請求項 2】

インナーリード及びアウターリードを有する複数のリードと、
前記複数のリード上に設けられる半導体チップと、
前記半導体チップと前記複数のリードとの間に介在し、前記半導体チップの裏面下において前記インナーリード間を電氣的に接続するスペースと、
を備える半導体装置。

20

【請求項 3】

前記スペースは、

前記複数のリードのうち、電源用リードのインナーリード間、接地用リードのインナーリード間及び制御信号用リードのインナーリード間の少なくとも 1 以上のインナーリード間を電氣的に接続する請求項 2 に記載の半導体装置。

【請求項 4】

前記スペースは、他のインナーリードを跨いで、前記インナーリード間を電氣的に接続している請求項 2 又は請求項 3 に記載の半導体装置。

30

【請求項 5】

前記スペースは、

第 1、第 2 の主面を有し、側面に前記第 1 の主面から前記第 2 の主面にかけて窪みが設けられた絶縁体と、前記第 1 の主面側に設けられた導体層とを備え、

前記インナーリードは、

前記窪みに充填された導電体及び前記導体層を介して電氣的に接続される請求項 2 乃至請求項 4 のいずれか 1 項に記載の半導体装置。

【請求項 6】

前記半導体チップの裏面全体を覆う絶縁層を備える請求項 2 乃至請求項 5 のいずれか 1 項に記載の半導体装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明の実施形態は、半導体装置に関する。

【背景技術】

【0002】

半導体装置の高速化に伴い、電源 (Vcc) やグランド (Vss) の電位の変動による影響を受けやすくなっている。特にデータの I/O 信号が電源、グランド、またはその両方の電位変動の影響を受け、I/O 信号立上り/立下り部分でのバラつきが大きくなって

50

いる。そこで、電源やグラウンドの電位を安定化（強化）または電源 - グラウンド間のインダクタンスを低減する目的で、電源用リード間やグラウンド（接地）用リード間を金属ワイヤにより電氣的に接続することが行われている。また、半導体装置の汎用性を向上させるために、制御信号やI/O信号等のインナーリードの並び順とアウターリードの並び順を変更することが行われている。この場合、パッケージ内において、リード同士を、その間にあるリードを跨ぐように設けた中継用の金属ワイヤで接続することで、電極パッドの並び順とアウターリードの並び順を変えている。

【0003】

また、近年では、半導体装置の小型化、高密度化が進んでいる。例えば、パッケージ内で半導体チップを積層した半導体装置や半導体チップを大型化した半導体装置がある。しかしながら、このような半導体装置では、半導体チップの占める領域が大きく（広く）なるため、パッケージ内に金属ワイヤを設けるスペースを確保することが難しくなる。また、パッケージ内に金属ワイヤを設けるスペースを確保しようとする、パッケージが大きくなってしまふ。

10

【0004】

以上のように、小型化、高密度化が進む半導体装置において、インナーリード間を接続することができる半導体装置が求められている。

【先行技術文献】

【特許文献】

【0005】

20

【特許文献1】米国特許出願公開2011/210432号明細書

【発明の概要】

【発明が解決しようとする課題】

【0006】

本発明は、小型化、高密度化が進む半導体装置において、インナーリード間を接続することができる半導体装置を提供する。

【課題を解決するための手段】

【0007】

本発明の実施形態に係る半導体装置は、インナーリード及びアウターリードを有する複数のリードと、複数のリード上に設けられる半導体チップと、半導体チップと複数のリードとの間に介在し、半導体チップの裏面下においてインナーリード間を電氣的に接続するスペーサと、を備える。

30

【図面の簡単な説明】

【0008】

【図1】実施形態に係る半導体装置の平面図である。

【図2】実施形態に係る半導体装置の拡大断面図である。

【図3】リード基板及びスペーサの拡大平面図である。

【図4】線分X-Xにおける断面図である。

【図5】線分Y-Yにおける拡大断面図である。

【図6】線分Z-Zにおける断面図である。

40

【図7】実施形態に係る半導体装置の製造方法を示すフローチャートである。

【発明を実施するための形態】

【0009】

以下、図面を参照して、実施形態について詳細に説明する。

【0010】

（実施形態）

図1は、実施形態に係る半導体装置100の平面図である。図2は、実施形態に係る半導体装置100の一部拡大断面図である。この実施形態では、半導体装置100は、T S O P (T h i n S m a l l O u t l i n e P a c k a g e) 型の半導体装置である。

50

【0011】

図1, 図2示すように、半導体装置100は、リード基板110と、半導体チップ121~124と、スペーサ130と、封止樹脂150とを備える。なお、図1では、封止樹脂150で封止されている半導体チップ121~124及びスペーサ130を鎖線ではなく実線で記載している。

【0012】

リード基板110は、複数のリード111を有する。各リード111には、導電性に優れた金属材料、例えば、銅(Cu)や鉄(Fe)、ニッケル(Ni)を用いる。各リード111は、封止樹脂150内に封止されるインナーリード111Aと、封止樹脂150から露出する OUTER リード111Bとを有する。インナーリード111Aは、主に半導体チップ121~124の電極パッドとの接続部として機能する。OUTER リード111Bは、外部接続端子として機能する。なお、複数のリード111は、位置がずれないように絶縁性の固定テープ(例えば、ポリイミド(Polyimide))で固定されている。

10

【0013】

各リード111は、電源用(Vcc)リード、グランド用(Vss)リード、制御信号用リード、入出力(I/O)用リードを含む複数のリードにより構成される。ここで、制御信号用リードには、チップイネーブル(CE)、ライトイネーブル(WE)、リードイネーブル(RE)、コマンドラッチイネーブル(CLE)、アドレスラッチイネーブル(ALE)、ライトプロテクト(WP)、レディ/ビジー(R/B)、データストロブ信号(DQS)、リードライト(RE)などのリードが含まれる。

20

【0014】

なお、各リードの並び順は、半導体装置100を搭載する実装ボードの仕様などによって異なる。

【0015】

半導体チップ121~124は、例えば、NAND型フラッシュメモリなどの記憶素子とそのコントローラ素子である。半導体チップ121~124の一辺側には、その一辺に沿って並ぶように複数の電極パッド121P~124Pがそれぞれ形成されている。各半導体チップ121~124は、一辺側に沿って形成された電極パッド121P~124Pが露出するように階段状にリード基板110上に積層されている。

30

【0016】

最下層の半導体チップ121は、絶縁性のダイアタッチフィルムF等(接着剤フィルム)によりスペーサ130上に接着されている。また、半導体チップ122~124は、絶縁性のダイアタッチフィルムF等(接着剤フィルム)により、それぞれ半導体チップ121~123上に接着されている。ダイアタッチフィルムFには、例えば、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂などを主成分とする熱硬化性または光硬化性の材料で構成を用いる。

【0017】

なお、図2では、半導体チップを4枚積層している。しかし、積層する半導体チップの枚数は4枚に限られない。半導体チップの枚数は、1枚以上であればよい。階段状に積層することにより露出する半導体チップ121~124の電極パッド121P~124Pは、AuワイヤやCuワイヤなどの金属ワイヤWによりリード111のインナーリード111Aと電氣的に接続されている。

40

【0018】

スペーサ130は、リード基板110と最下層の半導体チップ121の裏面121Rとの間に介在する。スペーサ130の少なくとも1つは、リード基板110のインナーリード111A間を電氣的に接続する。図1では、6つのスペーサ130が半導体チップ121の裏面121Rとリード基板110と間に存在する。しかし、スペーサ130を設ける位置は、図1に示す位置に限られない。例えば、スペーサ130を、半導体チップ121の裏面121Rの四隅に配置するようにしてもよい。なお、スペーサ130の詳細な構成は、図3~図6を参照して後述する。

50

【0019】

封止樹脂150は、リード基板110、半導体チップ121～124及びスペーサ130などを封止する。なお、各リード111のアウトリード111Bは、露出した状態で封止樹脂150により封止される。

【0020】

(スペーサ130の構成)

図3は、リード基板110及びスペーサ130の拡大平面図である。図4は、図3の線分X-Xにおける断面図である。なお、図3では、半導体チップ121～124及び封止樹脂150の図示を省略している。また金属ワイヤWを鎖線で途中まで示している。図4では、スペーサ130及び封止樹脂150の図示を省略している。また、図5は、図3の線分Y-Yにおける拡大断面図である。図6は、図5の線分Z-Zにおける断面図である。以下、図3～図6を参照して、スペーサ130の構成を詳細に説明する。

10

【0021】

図4に示すように、スペーサ130は、粘着層131、絶縁層132、粘着層133を同順に積層した積層体上に、導体層134が積層されている。粘着層131、133には、例えば、ポリイミド樹脂、エポキシ樹脂、アクリル樹脂などを主成分とする熱硬化性または光硬化性の材料を用いる。絶縁層132には、絶縁性の材料、例えば、ポリイミド樹脂を用いる。導体層134には、電気伝導性の良い材料、例えば、銅(Cu)やアルミニウム(Al)の薄膜を用いる。また、図3に示すように、導体層134は、スペーサ130の両側面S1、S2に沿って積層されている。導体層134は、例えば、銅箔を張付ける事により絶縁層132上に形成することができる。

20

【0022】

図3～図6に示すように、粘着層131、絶縁層132、粘着層133を積層した積層体には、表面S3(第1の主面)から裏面S4(第2の主面)にかけて窪み130Aが設けられている。図3に示す例では、スペーサ130の側面S3、S4にそれぞれ2つ窪み120Aが設けられている。スペーサ130の側面S1側には、電源用(Vcc)リードの位置に窪み130Aが設けられている。スペーサ130の側面S2側には、グランド用(Vss)リードの位置に窪み130Aが設けられている。窪み130Aは側面S1またはS2に達する様に設けられている。また、各窪み130Aには、図5、6に示すように導電体Eが充填されている。なお、導電体Eは、例えば、導電ペースト(例えば、銀ペーストや銅ペースト)を焼結または硬化させて形成されている。

30

【0023】

つまり、図3に示す例では、電源用(Vcc)リードのインナーリード111A間及びグランド用(Vss)リードのインナーリード111A間、スペーサ130の導体層134及び窪み130に充填されている導電体Eにより電氣的に接続されている。すなわち、スペーサ130は、他のインナーリード111Aを跨いだ状態で、電源用(Vcc)リードのインナーリード111A間及びグランド用(Vss)リードのインナーリード111A間を電氣的に接続している。

【0024】

なお、図3に示す例では、スペーサ130は、入出力(I/O)用リードを跨いでいる。入出力(I/O)用リードの近傍では、電源(Vcc)やグランド(Vss)の電位の影響を受けやすい。このため、図3に示すように、入出力(I/O)用のリードの周囲に配置されている電源用(Vcc)リード及びグランド用(Vss)リードのインナーリード111A間を電氣的に接続することが好ましい。しかし、ワイヤ140は、他のリード、例えば、制御信号用リードを跨いでもよい。

40

【0025】

なお、図3、図4に示す例では、電源(Vcc)やグランド(Vss)の電位を安定化(強化)または電源-グランド間のインダクタンスを低減する目的で、電源用(Vcc)リードのインナーリード111A間及びグランド用(Vss)リードのインナーリード111A間をスペーサ130で電氣的に接続している。しかし、インナーリード111Aの

50

並び順とアウターリード111Bの並び順を変更する目的で、制御信号用リード及び/又は入出力(I/O)用リードのインナーリード111A間をスペーサ130で電氣的に接続するようにしてもよい。

【0026】

(半導体装置100の製造)

図7は、半導体装置100の製造方法を示すフローチャートである。以下、図1~図7を参照して、半導体装置100の製造方法について説明する。

【0027】

リード基板110上の電氣的に接続したいインナーリード111A上の所定の位置にスペーサ130を取り付ける(ステップS101)。

10

【0028】

次に、スペーサ130の側面S1, S2に設けられた窪み130Aの位置に導電ペーストを塗布する(ステップS102)。なお、導電ペーストは、例えば、印刷法により塗布することができる。

【0029】

次に、スペーサ130上に半導体チップ121~124を階段状に積層する(ステップS103)。なお、半導体チップ121~124の積層には、ダイアタッチフィルム(DAF)等の接着剤フィルムを用いる。次に、積層された半導体チップ121~124の電極パッド121P~124P及びリード基板110のインナーリード111Aを金属ワイヤWで電氣的に接続する(ステップS104)。なお、金属ワイヤWの接続には、既存のワイヤボンディング装置を用いる。

20

【0030】

次に、封止樹脂150で、リード基板110、半導体チップ121~124、スペーサ130、金属ワイヤWなどを封止する(ステップS105)。次に、封止樹脂150から露出しているアウターリード111Bの曲げ加工や切断加工などを行う(ステップS106)。

【0031】

以上のように、半導体装置100は、半導体チップ121の裏面121Rと複数のリード111との間に、インナーリード111A間を電氣的に接続するスペーサ130を備えている。このため、半導体チップ121~124を実装する領域の外側に、インナーリード111A間を電氣的に接続するワイヤを設けるためのスペースがない場合にも、スペーサ130によりインナーリード111A間を電氣的に接続することができる。

30

【0032】

また、スペーサ130上に積層される半導体チップ121の裏面121Rに絶縁層となるダイアタッチフィルムFを設けている。このため、スペーサ130の導体層134と半導体チップ121が電氣的に接触するのを防止することができる。

【0033】

さらに、導電体Eをスペーサ130の側面S1, S2に設けられた窪み103Aに充填している。このため、スペーサ130の窪み130A内に気体が滞留しない。この結果、スペーサ130をリード基板110上に取り付ける際に、導電ペーストが容易に窪み130A内に充填される。

40

【0034】

(その他の実施形態)

以上のように、本発明のいくつかの実施形態について説明したが、上記実施形態は、例として提示したものであり、発明の範囲を限定することを意図するものではない。上記実施形態は、その他の様々な形態で実施されることが可能であり、発明の要旨を変更しない範囲で、種々の省略、置き換え、変更を行うことができる。これら実施形態や変形が、発明の範囲や要旨に含まれるのと同様に、特許請求の範囲に記載された発明とその均等の範囲に含まれるものである。

【符号の説明】

50

