



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 202110064 A

(43) 公開日：中華民國 110 (2021) 年 03 月 01 日

(21) 申請案號：109110952

(22) 申請日：中華民國 109 (2020) 年 03 月 31 日

(51) Int. Cl. : *H02M3/158 (2006.01)**H02M1/08 (2006.01)*

(30) 優先權：2019/04/04 美國

16/375,345

(71) 申請人：美商恩倍科微電子股份有限公司 (美國) AMBIQ MICRO, INC. (US)
美國

(72) 發明人：伯格 伊凡 BOGUE, LVAN (US) ; 盧 彥寧 LU, YANNING (US)

(74) 代理人：林鼎鈞

申請實體審查：無 申請專利範圍項數：20 項 圖式數：14 共 55 頁

(54) 名稱

具省電模式的降壓轉換器

(57) 摘要

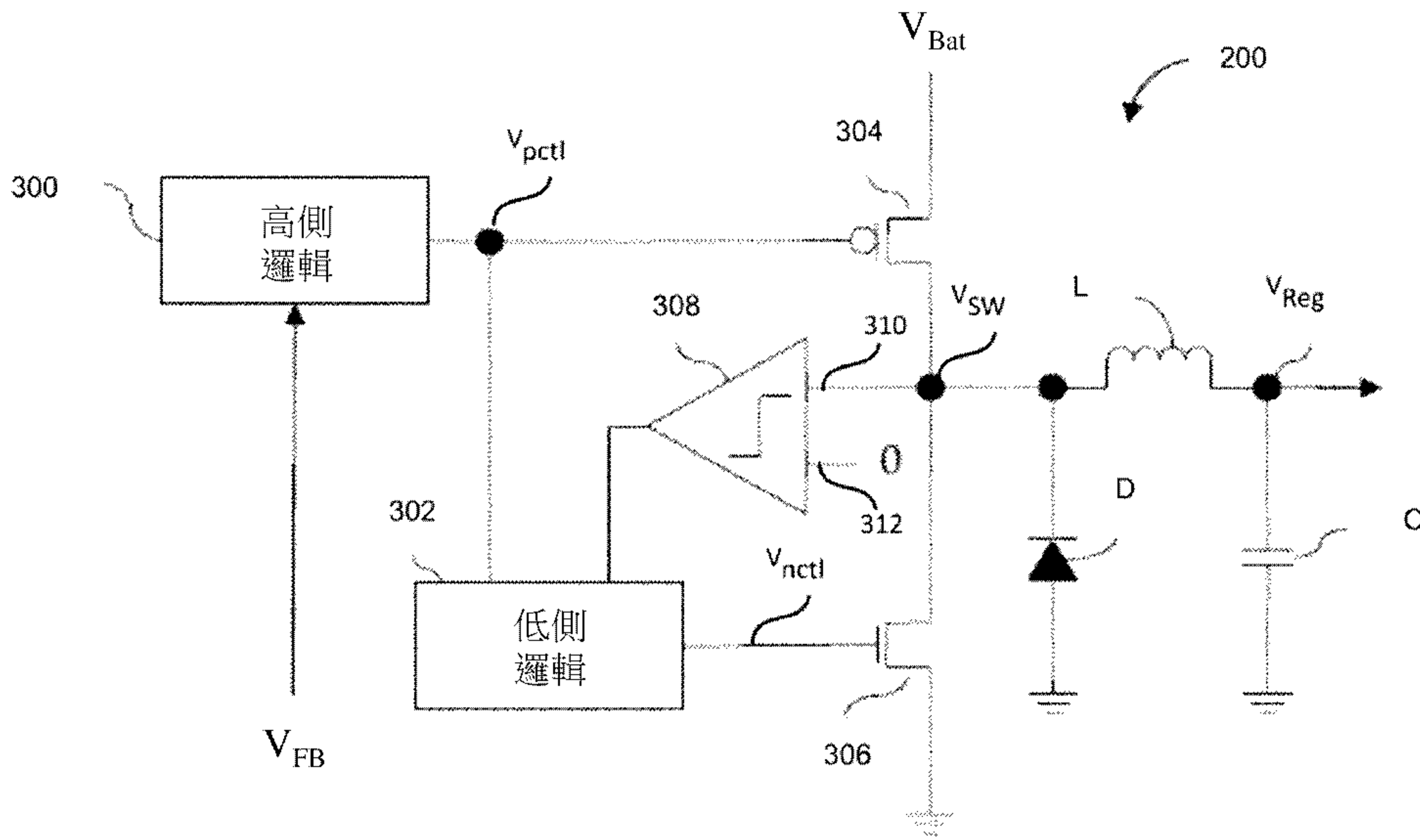
一種降壓轉換器，其可以基於負載的功率需求以低功率模式或高功率模式操作。在高功率模式下，增加頻率響應的修改包括：一個比較器的輪詢頻率更高、在一個回授電路中的一個較低阻抗分壓器、一個比較器的偏壓電流更高以及用以向降壓轉換器的反饋降壓電路提供電流之較大尺寸的多個開關。在低功率模式下，這些修改是相反的。降壓轉換器可以利用一個改良式強臂比較器與用於感測反饋降壓電路中一個電感器的存在之一個電路。

A buck converter is disclosed that may operate in a low power mode or a high power mode based on a power requirements of a load. In the high power mode, modifications to increase frequency response include a higher polling frequency for a comparator, a lower impedance divider in a feedback circuit, a higher biasing current for a comparator, and larger switches for providing current to a reactive step-down circuit of the buck converter. In the low power mode these modifications are reversed. The buck converter may make use of an improved strong arm comparator and a circuit for sensing presence of an inductor in the reactive step-down circuit.

指定代表圖：

符號簡單說明：

- 200: 交換設備
- 300: 高側邏輯
- 302: 低側邏輯
- 304: PMOS 電晶體
- 306: NMOS 電晶體
- 308: 比較器
- 310: 正輸入
- 312: 負輸入
- C: 電容器
- D: 二極體
- L: 電感器
- V_{FB} : 反饋電壓
- V_{nctl} : 節點/電壓
- V_{pctl} : 節點/電壓
- V_{SW} : 節點/電壓
- V_{Reg} : 節點/電壓



【第 3 圖】



202110064

【發明摘要】**【中文發明名稱】** 具省電模式的降壓轉換器**【英文發明名稱】** BUCK CONVERTER WITH POWER SAVING MODE**【中文】**

一種降壓轉換器，其可以基於負載的功率需求以低功率模式或高功率模式操作。在高功率模式下，增加頻率響應的修改包括：一個比較器的輪詢頻率更高、在一個回授電路中的一個較低阻抗分壓器、一個比較器的偏壓電流更高以及用以向降壓轉換器的反饋降壓電路提供電流之較大尺寸的多個開關。在低功率模式下，這些修改是相反的。降壓轉換器可以利用一個改良式強臂比較器與用於感測反饋降壓電路中一個電感器的存在之一個電路。

【英文】

A buck converter is disclosed that may operate in a low power mode or a high power mode based on a power requirements of a load. In the high power mode, modifications to increase frequency response include a higher polling frequency for a comparator, a lower impedance divider in a feedback circuit, a higher biasing current for a comparator, and larger switches for providing current to a reactive step-down circuit of the buck converter. In the low power mode these modifications are reversed. The buck converter may make use of an improved strong arm comparator and a circuit for sensing presence of an inductor in the reactive step-down circuit.

【指定代表圖】第 3 圖

【代表圖之符號簡單說明】

200: 交換設備

300:高側邏輯

302:低側邏輯

304:PMOS電晶體

306:NMOS電晶體

308:比較器

310:正輸入

312:負輸入

C:電容器

D:二極體

L:電感器

V_{FB} :反饋電壓

V_{nctl} :節點/電壓

V_{pctl} :節點/電壓

V_{SW} :節點/電壓

V_{Reg} :節點/電壓

【發明說明書】

【中文發明名稱】 具省電模式的降壓轉換器

【英文發明名稱】 BUCK CONVERTER WITH POWER SAVING MODE

【技術領域】

【0001】 本發明涉及用於在電子電路中提供降壓之降壓轉換器。

【先前技術】

【0002】 在電池供電的系統中，通常需要將電池電壓降至特定電壓。降低電壓的一種有效方法是使用降壓轉換器。降壓轉換器通過一個電感器為一個電容器充電來運行。這通常以固定頻率進行。

【0003】 提供降低功耗以延長電池壽命的一個降壓轉換器將是本領域的一個進展。

【發明內容】

【0004】 本發明揭露一種具省電模式的降壓轉換器。

【0005】 首先，本發明揭露一種裝置，包括：反饋降壓電路（reactive step-down circuit）與交換電路，交換電路用以向降壓電路提供輸入並從反饋降壓電路接收調節電壓（regulated voltage），交換電路被配置為：在第一模式下操作，第一模式被配置為通過評估在第一頻率下的調節電壓來根據調節電壓向反饋降壓電路供電；在第二模式下操作，第二模式被配置為通過評估在小於第一頻率的第二頻率下的調節電壓來向反饋降壓電路供電。

【0006】此外，本發明揭露一種方法，包括：提供反饋降壓電路；以及提供交換電路，交換電路被配置為評估來自反饋降壓電路的調節電壓，並根據調節電壓將輸入提供給降壓電路；在第一模式下以第一頻率評估調節電壓；在第二模式下以第二頻率評估調節電壓，第二頻率小於第一頻率的百分之一。

【圖式簡單說明】

【0007】

為了容易理解本發明的優點，將通過參考附圖中說明的特定實施例來對上面簡要描述的本發明進行更具體的描述。理解這些附圖僅描繪了本發明有代表性的實施例，因此不應認為是對本發明範圍的限制，通過使用附圖，將以附加的特徵和細節來描述與解釋本發明，其中：

第1圖為根據本發明的一實施例之實現包括降壓轉換器的系統之多個組件的方塊示意圖。

第2圖為根據本發明一實施例之耦合到降壓轉換器的負載之方塊示意圖。

第3圖為根據本發明一實施例之降壓轉換器的交換設備之方塊示意圖。

第4圖為根據本發明一實施例之交換設備的高側邏輯（high side logic）之方塊示意圖。

第5圖為根據本發明一實施例之交換設備的低側邏輯（low side logic）之方塊示意圖。

第6圖為根據本發明一實施例之用於降壓轉換器的回授設備之方塊示意圖。

第7圖為根據本發明一實施例之用於降壓轉換器的具有可調寬度的開關之方塊示意圖。

第8圖為根據本發明一實施例之用於感測電感器的存在的電路之方塊示意圖。

第9圖為包括第8圖的電感器感測電路的系統之方塊示意圖。

第10A圖為根據現有技術的強臂比較器（strong arm comparator）之方塊示意圖。

第10B圖為根據本發明一實施例之強臂比較器之方塊示意圖。

第11圖為根據本發明一實施例之控制回授設備的偏壓電壓與分壓的過程流程圖。

第12圖為根據本發明一實施例之用於控制比較器的頻率的方法之過程流程圖。

第13圖為根據本發明一實施例之降壓比較器的示例時序圖。

第14圖為根據本發明一實施例之適合於包括降壓轉換器的示例計算設備之方塊示意圖。

【實施方式】

【0008】 降壓轉換器可在多種條件下運行。特別地，一個負載所需的功率量是高度可變的。例如，當一個負載上電但處於休眠模式時，該負載所需功率量遠遠少於其處於活躍狀態（active）時的功率量。

【0009】 不論負載如何，傳統的降壓轉換器都將以相同的頻率工作。但是，如果該降壓轉換器的輸出僅需要提供小電流，則使用一個快速頻率是無效的。下面概述的降壓轉換器的設計提供了更省電的電路。

【0010】 通常，大型NMOS（N-channel metal oxide semiconductor，N通道金氧半導體）與PMOS（P-channel metal oxide semiconductor，P通道金氧半導體）

裝置用以將電流施加到降壓轉換器中的電感器。如果這些裝置太小，則功能性將欠佳，並且當需要高輸出電流（傳導損耗大）時，它們的電阻會產生額外的功耗。如果這些裝置太大，與這些裝置相關的閘電容（gate capacitance）將會很大，並且還會產生額外的功耗（更大的開關損耗）。本文所述的可變尺寸（variable sized）的多個開關能夠適應給定負載所需的電流量。

【0011】電感器是難以集成到積體電路中的組件。在大多數情況下，所需的電感值足夠大，以致該电感器的尺寸將過大。但是，增加一個外部電感器並非總是可取的。一個電感器增加了系統的成本與複雜性。本文還公開了一種電壓轉換器，其可以用作具有一個電感器的一個降壓轉換器或不具有电感器的低壓差（low drop out，LDO）轉換器。

【0012】通過將頻率調整、電感器開關動態改變大小調整、比較器動態改變大小調整以及可能的電感器感應等優點結合起來，可以顯著改善降壓轉換器的功率特性。這些改進中每一項的實現細節將在下面詳細說明。

【0013】參照「第1圖」，系統100可以包括一個控制器102，例如：一般用途處理器（general purpose processor）或被程式化為控制或存取另一組件的功能之其他處理裝置。控制器102可以控制向一個或多個負載106供電的一個降壓轉換器104的操作。控制器102可以通過一條起動（enable，EN）線耦合到負載106的一個起動輸入端，使得僅當在該EN線上擁有一信號時負載106處於活躍狀態（active mode）。否則，負載106可以保持在休眠模式或不活躍。負載的範例包括類比數位轉換器（analog to digital converter，ADC）、脈衝密度調變器（pulse density modulator，PDM）或任何其他負載。

【0014】 控制器102可以通過一條高功率模式（high power mode，HP）線耦合至該降壓轉換器。當一信號確立（asserted）於HP線上（例如：高電壓或二進位1）時，降壓轉換器104可以在高功率模式下操作，如下所述。當該HP線未確立時，降壓轉換器104可在低功率模式下操作，如下所述。在其他實施例中，一條單獨的線，例如：低功率（low power，LP）線，可以將控制器102耦合到降壓轉換器104，使得當該LP線確立時，降壓轉換器104以低功率模式操作。

【0015】 在一些實施例中，只要啟用負載，降壓轉換器104都以高功率模式操作。因此，負載106的EN輸入與降壓轉換器104的HP輸入可以耦合到同一信號線。例如，控制器102僅提供EN或HP輸出，這既將降壓轉換器104置於高功率模式又啟用負載106。

【0016】 降壓轉換器104包括或驅動一個反饋電路（例如：包括一個電容器與一個電感器中的一個或兩者），以將來自諸如電池（未繪製）之類的電源之電壓降壓至負載106所需的較低電壓。

【0017】 參照「第2圖」，降壓轉換器104可以包括一個交換設備200與一個反饋設備202。交換設備200與反饋設備202其中之一或兩者可以具有高功率模式與低功率模式。因此，兩者都可以耦合到HP線。交換設備200還可以 V_{Bat} 作為輸入， V_{Bat} 耦合至諸如電池的電源。交換設備200包括在電壓/節點處 V_{Reg} 的一個輸出，其是來自 V_{Bat} 的降壓電壓。

【0018】 反饋設備202以參考電壓 V_{Ref} 作為一個輸入，並且具有耦合至 V_{Reg} 的一個輸入。反饋設備202包括一個輸出 V_{FB} （反饋電壓），該輸出基於 V_{Ref} 與 V_{Reg} 函數（function）或 V_{Reg} 與 V_{Ref} 函數（function）的比較。然後，當由 V_{FB} 指示交換設備200時，交換設備200將打開 V_{Reg} 節點的電源。如下面詳細討論的，交換設備

評估 V_{FB} 並可能將 V_{Reg} 耦合到 V_{Bat} 的頻率為HP線上信號的函數（function）。當一信號確立於HP線上（例如：二進位1電壓）時，相對於未確立該信號時，交換設備內的比較器的輪詢頻率增加。為了本公開的目的，“高電壓”或“二進位1”應被理解是指足夠高的電壓，以為實施過程導通一個高閾值電晶體，例如：用於實現降壓轉換器104的CMOS技術中的一個NMOS電晶體。“低電壓”或“二進位0”應被理解是指足夠低的電壓，以為實施過程導通一個低閾值電晶體，例如：用於實現降壓轉換器104的CMOS技術中的一個PMOS電晶體。

【0019】 在一些實施例中，當信號未確立於HP線上時，驅動交換設備200與反饋設備202其中之一或兩者中的比較器之偏壓電流相對於當信號確立時的偏壓電流減小。在一些實施例中，當信號未確立於HP線上時，降低 V_{Reg} 的電壓之分壓器的阻抗也相對於當信號確立時的分壓器的阻抗增加。

【0020】 「第3圖」為交換設備200的示例實施例的示意方塊圖。高側邏輯300以 V_{FB} 作為一輸入並將一信號輸出到節點/電壓 V_{pctl} 。低側邏輯302具有耦合到 V_{pctl} 的一輸入，並且提供一輸出到節點/電壓 V_{nctl} 。高側邏輯的示例實現如「第4圖」所示。低側邏輯的示例實現如「第5圖」所示。

【0021】 「第3圖」還顯示了示例性反饋降壓電路，該反饋降壓電路包括一個電感器L、一個電容器C與一個二極體D，該反饋降壓電路具有圖式的配置，這是本領域中已知的大多數降壓轉換器所共有的。顯然，電感器L的一端耦合到節點/電壓 V_{sw} ，而另一端耦合到 V_{Reg} 。 V_{Reg} 通過電容器C接地，而 V_{sw} 通過二極體D接地，二極體D的方向是允許電流流向 V_{sw} 。

【0022】 當反饋設備202在 V_{FB} 上確立指示 V_{Reg} 為低的信號時，高側邏輯300在 V_{pctl} 上確立一低（例如：二進位0）電壓，這使PMOS電晶體304導通，而允許電流流過電感器L，進而供電予該反饋降壓電路。

【0023】 當反饋設備202不再於 V_{FB} 上確立指示 V_{Reg} 為低的信號時，高側邏輯300在 V_{pctl} 上確立一高（例如：二進位1）電壓，其關斷PMOS電晶體304並使低側邏輯302在 V_{nctl} 上確立一高（例如：二進位1）電壓，其使NMOS電晶體306導通。然後，NMOS電晶體306允許電流從地流到 V_{sw} 。以這種方式，當PMOS電晶體304導通時，流過電感器L的電流開始呈指數增加。當PMOS電晶體304被關斷並且NMOS電晶體306導通時，由於電感器L抵抗電流變化，因此電感器L繼續從地汲取電流。

【0024】 低側邏輯302進一步以比較器308的輸出作為一輸入。比較器308具有耦合到 V_{sw} 的一正輸入310與耦合到一低（例如：二進位0）電壓的一負輸入312。因此，當 V_{sw} 高於該低電壓時，比較器308將在其輸出上輸出一高（例如：二進位1）電壓。低側邏輯302可以被配置為響應於比較器308的輸出上的該高電壓而將 V_{nctl} 轉變為一低（例如：二進位0）電壓。因此，當PMOS電晶體導通且 V_{sw} 上升到該低電壓以上時，NMOS電晶體306將被關斷。

【0025】 「第4圖」為高側邏輯300的示例實施方式。特別地，當HP線沒有確立時，相對於HP線確立時的輪詢頻率，高側邏輯300降低比較器400所評估的反饋電壓 V_{FB} 處的頻率（“輪詢頻率”）。

【0026】 比較器400具有耦合到 V_{Ref} 的一正（+）輸入以及耦合到 V_{FB} 的一負（-）輸入， V_{FB} 可以是一調節電壓，例如：一調節電壓的一衰減版本（見「第6圖」）。比較器400的輸出（ V_{out} ）耦合到計數器的一“起始（start）”輸入或Ton

產生器402。在檢測到其起始輸入上的一上升邊緣時，Ton產生器402在其時鐘（clk）輸入上計數上升邊緣的數量。從檢測到其起始輸入的該上升邊緣開始直到計數的上升邊緣的數量等於一設定值（例如：在Ton產生器402的一長度輸入上提供的TON值）時，Ton產生器402在其輸出上引起轉變，在這種情況下，Ton產生器402的輸出耦合到 V_{pctl} 。

【0027】 在所示的實施例中，在該起始輸入上檢測到該上升邊緣之後，Ton產生器402的輸出從高電壓變為低電壓，並且保持在低電壓，直到計數的時鐘週期的數量等於該長度輸入。然後，Ton產生器402的輸出可以改變為高電壓。當然，上述描述的Ton產生器402受制於通過Ton產生器402傳播起始與時鐘信號的延遲，因此，相對於上面所描述的，Ton產生器402的輸出上的轉變可以延遲1至2個時鐘週期。

【0028】 如「第4圖」所示，比較器400還具有一時鐘（clk）輸入並起作用，使得響應於其時鐘輸入的一上升邊緣，其正負輸入比較的結果被鎖存並保持在其輸出。下面參考「第10A圖」與「第10B圖」描述比較器400與本文中使用的其他比較器的示例實施方式。

【0029】 在所示的實施例中，比較器400的時鐘輸入耦合到多工器404a的輸出408a。多工器404a具有耦合到低頻時鐘（LFclk）的一輸入（0）與耦合到高频時鐘（HFclk）的一第二輸入（1）。高频時鐘產生的脈衝頻率要高於低頻時鐘，例如：高出100到1000倍之間。舉例而言，高频時鐘可以高於1MHz，而低頻時鐘則介於1至100 kHz之間。

【0030】 多工器404a的選擇器耦合到HP線。因此，當HP線指示在高频模式下操作時，高频時鐘耦合到輸出408a並控制比較器400的輪詢頻率。否則，低

頻時鐘耦合到輸出408a並控制比較器400的輪詢頻率。以這種方式，當比較器400不在高功率模式時，比較器400的功耗降低。

【0031】 在一些情況下，可能希望在高功率與低功率模式下都將提供給反饋降壓電路的功率脈衝保持在相同或接近相同的長度。因此，Ton產生器的時鐘輸入可以耦合到多工器404b的輸出408b。多工器404b將環形振盪器406的輸出作為一輸入（0），並將高頻時鐘（HFclk）作為另一輸入（1）。多工器404b的選擇器可以同樣地耦合到HP線。

【0032】 以這種方式，在低功率模式下環形振盪器向Ton產生器402的時鐘輸入提供一時鐘信號，並且在高功率模式下高頻時鐘耦合到Ton產生器402的時鐘輸入。環形振盪器406可以具有基本上等於高頻時鐘的頻率，例如：在10%以內。以這種方式，由環形振盪器406計時的脈衝的長度將基本上等於由高頻時鐘計時的脈衝的長度。在設計者希望該些脈衝不相等的情況下，環形振盪器406的頻率可以大於或小於高頻時鐘的頻率。環形振盪器406的使用能夠使得在低功率模式下產生與高頻時鐘類似的頻率，而無需使用激活高頻時鐘所需的功率。因此，當HP線沒有確立時，高頻時鐘（未繪製）可以斷電，而HP線確立時，高頻時鐘可以通電。

【0033】 在一些實施例中，環形振盪器406可以具有耦合到比較器400的輸出之一使能（enable，enb）輸入。因此，當比較器400指示Ton產生器402應該產生一脈衝時，環形振盪器被接通。在一些實施例中，環形振盪器可以響應於該使能輸入上的一上升邊緣而保持接通，直到在環形振盪器406的一禁用（dis）輸入處檢測到Ton產生器402的輸出（ V_{pctl} ）上的一上升邊緣為止。以這種方式，在Ton產生器402已經計數出一個脈衝之後，環形振盪器306被關斷。

【0034】 在一些實施例中，為了進一步省電，僅當HP線未確立時才可以啟用環形振盪器406的該使能輸入，例如：通過將HP線的反相（！HP）與比較器400的輸出進行“AND”運算，並將“AND”運算的結果輸入到環形振盪器406的使能輸入。

【0035】 「第5圖」說明了低側邏輯302的示例。在所示的實施例中，低側邏輯302是D正反器。D正反器的D輸入耦合到高電壓（例如：二進位1），時鐘輸入耦合到 V_{pctl} 。D正反器的清除（Clr）輸入耦合到比較器308的輸出（ V_{in} ）。D正反器的正輸出（Q）耦合到 V_{nctl} 。

【0036】 使用該配置， V_{pctl} 上的一上升邊緣導致高電壓（例如：二進位1）被鎖存到該輸出Q。當比較器308的輸出變為該清除輸入上的高電壓時，D正反器被清除且Q變為低電壓（例如：二進位0）。因此， V_{nctl} 變低並且NMOS 306被關斷。如上所述，當 V_{sw} 大於PMOS 304導通所發生的低電壓（例如：二進位0）時，比較器308的輸出變高（見「第3圖」）。因此，當PMOS導通時，低側邏輯302關斷NMOS 306。

【0037】 「第6圖」說明了反饋設備202的示例實施方式。根據任何現有方法，反饋設備202可以與交換設備200結合使用，或者可以用於向降壓轉換器的一開關提供反饋。特別地，示出的反饋設備202提供兩種省電功能：（1）相對於高功率模式下的分壓器的阻抗，在低功率模式下增加了分壓器的阻抗，以及（2）低功率模式下提供給比較器的偏壓電流與在高功率模式下提供給比較器的偏壓電流相比，偏壓電流減小。這些方法可以單獨使用，也可以組合使用。

【0038】 在所示的實施例中，比較器600以 V_{Ref} 作為其正輸入，並將一分壓器的輸出（ V_{FB} ）作為其負輸入。在所示的實施例中，該分壓器包括多工器602，

該多工器602將分壓器604的輸出 (V_{DIVACT}) 或分壓器606的輸出 (V_{DIVLP}) 作為 V_{FB} 選擇性地耦合到比較器600的負輸入。多工器602的選擇器耦合到HP線。因此，當在HP線上確立指示在高功率模式下操作之一信號時，分壓器604的輸出耦合至比較器600的負輸入。否則，分壓器606的輸出耦合至負輸入。

【0039】 分壓器604、606的輸入耦合至 V_{Reg} 。分壓器604、606操作以將 V_{Reg} 縮放到 V_{Ref} 的大小。例如，可用的參考電壓可以是0.5伏特，而被期望降壓的電壓為3伏特。因此，分壓器604、606將 V_{Reg} 按比例縮小6倍，使得當 V_{Reg} 為3伏特時，分壓器的輸出 V_{FB} 將匹配 $V_{Ref} = 0.5$ 伏特。

【0040】 在所示的實施例中，分壓器606具有比分壓器604更高的阻抗，例如：高100至1000倍，更好地高500至1500倍。因此，分壓器606消耗更多的功率，但是向比較器600提供更大的電流，從而提供更快的響應時間。分壓器606消耗較少的功率並且向比較器600提供較少的電流，從而提供較慢的響應時間。舉例而言，可以使用多個電阻器來實現分壓器604，而可以使用多個二極體來實現分壓器606。用於實現分壓器604的該些電阻器的大小可以設置成實現驅動比較器600時的期望響應時間。可以使用本領域已知用於實現這種分壓器的任何方法來實現電阻分壓器604與二極體分壓器606。

【0041】 多工器602的輸出可以用作交換設備200或者本領域已知用於實現降壓轉換器的任何其他方法的交換設備之反饋電壓 V_{FB} (見「第4圖」)。舉例而言，比較器600可以體現為與「第4圖」的高側邏輯300的其他元件結合使用的「第4圖」比較器400。因此，比較器400可以被認為是反饋設備202的一部分，而不是交換設備200的一部分。

【0042】反饋設備還可以包括多工器610，多工器610具有耦合到電流源612 (I_{act}) 的一個輸入以及耦合到電流源614的另一輸入。多工器610的輸出可以耦合到比較器600的偏壓電壓輸入。多工器610的選擇器耦合到HP線。當在HP線上確立指示在高功率模式下操作的一信號時，電流源612耦合到比較器600，否則，電流源614耦合到比較器600。電流源612產生的電流量大於電流源614的電流量，例如：在100至1000倍之間，更好地在500至1500倍之間。

【0043】在所示的實施例中，電流源614包括低功率電流源616 (I_p) 與溫度補償電流源618 (I_t)，低功率電流源616 (I_p) 與溫度補償電流源618 (I_t) 並聯耦合到多工器610。溫度補償電流源618產生與溫度有關的電流，由於溫度變化而引起的變化，該電流補償電流源618。可以使用本領域中已知用於溫度補償電流源的任何方法來實現電流源618、620。

【0044】通過在低功率模式下使用較小的電流源，可以減少比較器600的功耗與響應時間。特別地，在較小的偏壓電流的情況下，對比較器600內的閘電容充電所需的時間增加。如上所述，比較器600可以用於實現高側邏輯300的比較器400，或者可以用作本領域已知用於降壓轉換器的任何設計之交換設備的一部分。

【0045】比較器600的輸出 (V_{Out}) 可用於控制一開關，例如：PMOS 304。

【0046】參考「第7圖」，在一些實施例中，電晶體可以具有可變的尺寸。以這種方式，在高功率模式需要更快的響應時間的情況下，可以使用大尺寸的有效電晶體。在低功率模式可接受較慢的響應時間的情況下，可以使用尺寸較小的有效電晶體。以這種方式，在高功率模式下電阻低，且在低功率模式下閘電容低。

【0047】 切換流向降壓轉換器的電感器的電流之NMOS與PMOS裝置可程式化。也就是說，即使這些電晶體處於活躍狀態，這些電晶體的某些分支可以被關斷。以此方式，如果只需要少量電流流過該電感器，則可以減少活躍的NMOS與PMOS裝置，並減少必須充電或放電的電容。

【0048】 可以在降壓轉換器電路中感測到有關流過該電感器的電流量的資訊，也可以從激活的應用（application）中推斷出有關資訊。系統可以驅動該應用，並且基於該應用中消耗了多少功率的知識，該系統可以使用以下所述的電路來調整該電感器開關的尺寸大小。

【0049】 舉例而言，「第3圖」的PMOS電晶體304與NMOS電晶體306可各自體現為多個電晶體304、306。多工器700可具有耦合至lp_drvstr [2 : 0]的一輸入與耦合至hp_drvstr[2 : 0]的另一輸入。多工器700可以是一個多輸出多工器700，使得lp_drvstr [2 : 0]與hp_drvstr[2 : 0]中的每一個都包括多條線，當該些線被選擇時，該些線耦合到該多工器的該些輸出。可以將多工器700的選擇器耦合到HP線，使得當在HP線上確立指示在高功率模式下操作的信號時，hp_drvstr [2 : 0]耦合到該多工器的輸出（drv_strngth_trim [2 : 0]）。否則，lp_drvstr [2 : 0]耦合到drv_strngth_trim [2 : 0]。

【0050】 可以將多工器700的輸出的該些線（drv_strngth_trim [2 : 0]）可輸入到該些及閘702、706。特別地，drv_strngth_trim [2 : 0]的每條線與該些PMOS電晶體304導通時（例如：enable_pgate可以被耦合到 V_{pctl} ）使用的一enable_pgate線一起輸入到該些及閘702。drv_strngth_trim [2 : 0]的每條線與該些PMOS電晶體304導通時（例如：enable_ngate可以被耦合到 V_{nctl} ）使用的一enable_ngate線一起輸入到該些及閘706。

【0051】 該些及閘702的該些輸出可以耦合到多個反相器704。在所示的實施例中，每個及閘702的輸出耦合到多個反相器704，或者每個反相器704耦合到多條輸出線。特別地，`drv_strngth_trim [2 : 0]`的三條線可以耦合到`drvp <7 : 0>`的八條線。舉例而言，`drv_strngth_trim [0]`可以通過一個及閘702與一個反相器704耦合到`drvp <0>`，`drv_strngth_trim [1]`可以通過一個或多個及閘與反相器704耦合到`drvp <1 : 2>`，且`drv_strngth_trim [2]`可以通過一個或多個及閘與反相器704耦合到`drvp <3 : 7>`。以這種方式，`drv_strngth_trim`的每一條線都變成三位數二進位數中的一個數字，該三位數二進位數選擇將被確立的`drvp <7 : 0>`的該些線之號碼（0至7）。控制器102可以控制在`lp_drvstr [2 : 0]`與`hp_drvstr [2 : 0]`上的該些信號之確立（assertion），以便為一給定的負載提供一期望的電流量。舉例而言，在高功率模式下，`hp_drvstr [2 : 0]`上的該些信號可能為[1,1,1]。在低功率模式下，`lp_drvstr [2 : 0]`上的該些信號可能為[0,0,1]。控制器102可以調整該些`hp_drvstr [2 : 0]`與/或`lp_drvstr [2 : 0]`之值，以調和負載的變化，而不是僅具有兩個開關尺寸。

【0052】 當`enable_ngate`線確立時，該些及閘706與該些緩衝器708以與該些及閘702與該些反相器704相同的方式操作，以根據`drv_strength_trim [2 : 0]`選擇`drvn <7 : 0>`線。注意，使用該些緩衝器708而不是該些反相器704來驅動該些NMOS電晶體306。

【0053】 `drvp <7 : 0>`的每條線耦合到該些PMOS電晶體304之一的閘極。以類似的方式，`drvn <7 : 0>`的每條線耦合到該些NMOS電晶體306之一的閘極。

【0054】 在所示的實施例中，有八個電晶體304與八個電晶體306。可以使用任何數量的電晶體304、306。舉例而言，在lp_drvstr與hp_drvstr為四條線寬的情況下，可能有16個電晶體304與16個電晶體306。

【0055】 該些電晶體304與該些電晶體306的多個輸出可以全部耦合到該電感器L的一輸入墊 (input pad) SW。該電感器L的一輸出墊 (output pad) SWSEL可以耦合到節點 V_{Reg} 。

【0056】 「第8圖」說明了用於感測電感器L的存在之電路800。電路800包括一下拉電阻器802，該下拉電阻器802響應於一詢問線 (interrogation line) “indsense”而通過電感器L汲取電流。舉例而言，控制器102可在indsense上產生一信號，例如：高電壓。電阻器802通常具有小的電阻值，諸如在5至15k Ω 之間，例如：10k Ω 。電阻器802可以通過其閘極耦合到indsense的一個NMOS電晶體804接地。該電阻器的另一端耦合到電感器L的SW墊 (SW pad)。該電感器的另一個墊SWSEL可以通過一個NMOS電晶體806耦合到一個驅動電壓VDD。該NMOS電晶體806的閘極也可以耦合到indsense信號，使得當indsense處於高電壓時，通過電晶體806、電感器L、電阻器802與電晶體804從VDD導通電流。

【0057】 在一些實施例中，當indsense信號確立 (asserted) 時，通過將PMOS 304與NMOS 306的閘極分別耦合到VDD與接地，控制器102將PMOS 304與NMOS 306置於高阻抗狀態。以這種方式，通過該電感器的電流被限制為流經該下拉電阻器802，而不是通過電晶體304、306中的任何一個。該下拉電阻器802的存在將導致SW墊處的電壓約為 $R \cdot I$ ，其中，R是該下拉電阻器的電阻值，I是通過該電感器L的電流，該電流也通過該下拉電阻器802。

【0058】 SW處的電壓輸入到一個緩衝器808，該緩衝器808的輸出是“inductor_present”信號。因此，當電流流過該下拉電阻器802時，一旦電壓高於該緩衝器的一轉變閾值電壓（例如： $\sim V_{DD}/2$ ），該緩衝器808的輸出（“inductor_present”）將變高（例如：二進位1），否則，該緩衝器808的輸出將為低（例如：二進位0）。當在該indsense信號確立之後，“inductor_present”信號變為高電壓時，控制器102可以確定該電感器L存在並且將反饋降壓電路用作降壓轉換器。當沒有感測到電感器時（當indsense確立時，“inductor_present”保持在低電壓），控制器102可以將反饋降壓電路作為LDO轉換器進行操作。

【0059】 「第9圖」說明了包括電感器感測電路800的示例架構。控制器102確立indsense信號，並可以檢測在inductor_present線上電感器感測電路800的一個輸出。如果是這樣，則控制器102可以諸如通過向其組件供電來啟用降壓轉換器104。當確定該電感器L不存在時，一些或所有輸入（ V_{Ref} 、 V_{REG} 、 V_{DD} 、地）可置於高阻抗狀態，以使其隔離。降壓轉換器104中的其他點也可為放置在高阻抗狀態，例如：反饋降壓電路與交換設備及反饋設備之間的連接。舉例而言，如「第3圖」所示之 V_{sw} 與二極體D之間的連接可以由控制器放置在高阻抗狀態。

【0060】 當未感測到一個電感器時，控制器900可以啟用一個LDO電路900。因此，電力與輸出（ V_{Reg} ）可以連接至使用電容器C的LDO電路900，以便提供本領域已知的LDO的功能。

【0061】 參照「第10A圖」，比較器308、400、600、808中的一些或全部可以體現為所示的強臂比較器1000a。如圖所示，PMOS電晶體M3的閘極耦合到時鐘輸入（Clk）。該電晶體M3將驅動電壓VDD耦合至並聯的兩個PMOS電晶體

M1與M2。電晶體M1的閘極耦合到比較器1000a的負輸入（ V_{minus} ），並且電晶體M2的閘極耦合到比較器1000a的正輸入。

【0062】電晶體M1的另一側耦合到PMOS電晶體M4，並且電晶體M4的另一側通過NMOS電晶體M6接地。電晶體M2的輸出耦合到PMOS電晶體M5，並且電晶體M5的另一側通過NMOS電晶體M7接地。電晶體M4的閘極與電晶體M6的閘極耦合到電晶體M5與電晶體M7之間的一個節點，在此將其標記為 V_{om} 。同樣地，電晶體M5的閘極與電晶體M7的閘極耦合到電晶體M4與電晶體M6之間的一個節點，此處標記為 V_{op} 。 V_{op} 通過NMOS電晶體M8接地，而電晶體M8的閘極耦合到時鐘輸入。同樣地， V_{om} 通過NMOS電晶體M9接地，而電晶體M9的閘極耦合到時鐘輸入。

【0063】節點 V_{op} 與節點 V_{om} 分別耦合到一個SR鎖存器1002的設定（set，S）與重設（reset，R）輸入。SR鎖存器的輸出Q是比較器的輸出（“comparator_output”）。

【0064】在操作中，當該時鐘輸入為高電壓時，電晶體M3被關斷，電晶體M8與電晶體M9導通，並且 V_{om} 與 V_{op} 均處於低電壓（例如：二進位0）。這用作SR鎖存器的一重設。

【0065】當該時鐘輸入為低電壓時，電晶體M3導通，電晶體M8與電晶體M9被關斷。因此，根據電晶體M1與電晶體M2的閘極電壓（ V_{minus} 與 V_{plus} ）允許電流流經電晶體M1與電晶體M2。如果 V_{plus} 大於 V_{minus} ，則 V_{op} 變為高電壓，而 V_{om} 變為低電壓，導致SR鎖存器1002被設定（ $Q = \text{二進位}1$ ）。如果 V_{plus} 小於 V_{minus} ，則 V_{op} 變為低電壓，而 V_{om} 為高電壓，從而導致SR鎖存器被重設（ $Q = \text{二進位}0$ ）。

【0066】當 V_{om} 或 V_{op} 中的任一個處於高電壓時，由於 V_{om} 與電晶體M6的閘極之間的連接以及 V_{op} 與電晶體M7的閘極之間的連接，流過比較器100a的電流被關斷。

【0067】這種現有設計的一個缺點為比較器的準確度取決於電晶體M1、電晶體M2、電晶體M4、電晶體M5、電晶體M6與電晶體M7的準確度。

【0068】「第10B圖」說明了用於強臂比較器1000b的改良設計之一實施例，強臂比較器1000b除了下面的概述以外與比較器1000a相同。在這種替代方法中， V_{om} 通過多工器MUX1耦合到電晶體M4的閘極。特別地，多工器MUX1的一輸入接地，而另一輸入耦合 V_{om} 。在所示的實施例中，多工器MUX1的選擇器耦合到標記為“LATCHED”的線，並且多工器MUX1的輸出耦合到電晶體M4的閘極。

【0069】以類似的方式， V_{op} 通過多工器MUX2耦合到電晶體M5的閘極。特別是，多工器MUX2的一輸入接地，而另一輸入耦合 V_{op} 。多工器MUX2的選擇器耦合到LATCHED，多工器MUX2的輸出耦合到電晶體M5的閘極。

【0070】SR鎖存器的輸出Q與！Q（Q的反相）通過一個或閘1004耦合到LATCHED。因此，當該SR鎖存器的狀態穩定（settles）時，Q與！Q其中之一將處於高電壓，且該鎖存線（latched line）也將處於高電壓。

【0071】當該時鐘輸入為高電壓時，比較器1000b以與比較器1000a相同的方式起作用。

【0072】當該時鐘輸入為低電壓時，電晶體M3導通，電晶體M8與電晶體M9被關斷。根據電晶體M1與電晶體M2的閘極上的電壓，允許電流通過電晶體

M1與電晶體M2。特別是，如果 V_{plus} 大於 V_{minus} ，則 V_{op} 處於高電壓，而 V_{om} 處於低電壓。如果 V_{plus} 小於 V_{minus} ，則 V_{op} 處於低電壓，而 V_{om} 處於高電壓。

【0073】 當 V_{om} 或 V_{op} 中的任何一個處於高電壓時，LATCHED將轉換為高電壓，並使多工器MUX1與多工器MUX2分別選擇 V_{om} 與 V_{op} 。當 V_{om} 為高電壓時，這將關斷電晶體M4，並導通電晶體M5。當 V_{op} 為高電壓時，這將關斷電晶體M5，並導通電晶體M4。在任一種情況下，流過比較器1000b的電流都被關斷。

【0074】 比較器1000b的優點在於， V_{plus} 和 V_{minus} 之間的比較之準確度主要取決於電晶體M1與電晶體M2的準確度，並且減小了對電晶體M4、電晶體M5、電晶體M6與電晶體M7的準確度之依賴性。

【0075】 「第11圖」說明了用於操作反饋設備202的方法1100。方法1100可以包括在該電感器L的輸出處（參見「第3圖」）如上所述產生1102一調節電壓（ V_{Reg} ）。然後，將該電壓 V_{Reg} 分壓以產生1104 V_{DIVACT} 並產生1106 V_{DIVLP} ，如上所述，產生 V_{DIVACT} 的分壓器604具有比 V_{DIVLP} 更低的阻抗。

【0076】 方法1100可以進一步包括產生1108一高電流 I_{ACT} 與產生1110較低電流，該較低電流小於該高電流並且可以被溫度補償（ $I_T + I_{LP}$ ）。方法1100可以包括評估1112用於在 V_{DIVACT} 與 V_{DIVLP} 之間以及 I_{ACT} 與 $I_T + I_{LP}$ 之間進行選擇的一選擇器輸入（例如：HP線）的狀態。如果通過該選擇器輸入指示高功率模式，則如上面關於「第6圖」所述，產生1114 V_{FB} 為 V_{DIVACT} 與 I_{ACT} 的函數（function）。如果通過該選擇器輸入指示低功率模式，則如上面關於「第6圖」所述，產生1116 V_{FB} 為 V_{DIVLP} 與 $I_T + I_{LP}$ 的函數（function）。

【0077】 「第12圖」說明了用於為交換設備200（例如：「第3圖」至「第5圖」的交換設備200）生成時鐘信號的方法1200。方法1200可以包括為一比較

器產生1202多個電壓與偏壓電流，例如：使用方法1100。接收該些電壓與該偏壓電流的該比較器可以是上述的比較器400、600中的任一個。本文所述的其他比較器308、808也可以接收根據方法1200生成的該偏壓電流。

【0078】方法1200可以包括評估1204用於交換設備200的一時鐘選擇器線（例如：HP線）的狀態。如果該選擇器指示高功率模式，則使用一高頻時鐘1206來輪詢交換設備200的一個或多個比較器。如果該選擇器指示低功率模式，則使用一低頻時鐘1208來輪詢交換設備200的一個或多個比較器。

【0079】「第13圖」為根據以上公開的該些實施例的一降壓轉換器的操作時序圖。LOAD線指示由該降壓轉換器供電的一負載之功耗，並且顯示為在“大（LARGE）”與“低（LOW）”功耗之間波動。

【0080】標有“BUCK HP MODE”的線表示施加在該HP線上的一信號，並顯示為在LOAD中的變化有輕微的延遲，例如：1至4個時鐘週期。在通過與用於驅動該HP線的信號相同的信號來啟用負載之情況下，則在一些實施例中可以消除該延遲。在所示的實施例中，該HP線上的高電壓指示高功率模式，而低電壓指示低功率模式。

【0081】標記為“BUCK Clk”的線說明了用於驅動該交換設備的該時鐘的頻率，諸如：用於驅動比較器400的該時鐘。顯然，當該HP線轉變為低功率模式信號時，BUCK Clk的頻率減小，直到該HP線轉換回高功率模式信號為止。此時，該時鐘信號增加到更高的頻率。如「第13圖」所示，該HP線在LOAD增加之前轉換，使用相同的信號啟用該負載與驅動該HP線就是這種情況。

【0082】標有“BUCK OUTPUT”的線代表該降壓轉換器的輸出，例如： V_{Reg} 處的電壓。顯然，該降壓轉換器在高功率模式下的響應更快，以調和

(accommodate) 由於較高負載汲取的電流而導致的 V_{Reg} 下降時間的縮短。在低功率模式下，由於低負載汲取的電流減小， V_{Reg} 下降得更慢。在低功率模式下，還不那麼頻繁地評估 V_{Reg} 的狀態，並且不那麼頻繁地產生多個功率脈衝。

【0083】 如在前面的描述中顯而易見的，當應用較低的負載時，該降壓時鐘頻率降低。如上所述，該比較器可以適應於一休眠模式以獲得更高的效率。發明人進行的實驗顯示，在活躍模式 (active mode) 下，降壓轉換器的效率為80%或更高，例如：當負載電流為數百微安或毫安時。但是，在休眠模式下看到的納安 (nA) 或微安 (μA) 電流下，效率可能降至50%以下。解決此問題的一種方法是切換到一低功率的LDO，該LDO本身的功率效率不到50%。

【0084】 上述電路使一降壓轉換器能夠以高效率在休眠模式下保持活躍狀態。除了上述電路之外，還可以通過將電源閘電路 (power gating circuitry) 應用於該降壓轉換器中的所有組件並通過引入一特殊的低功率比較器來確定何時為其他高電流組件動態上電來實現額外的節能。在這種方法中，當處於休眠模式時，除了低功率比較器以外，該降壓轉換器的所有組件都將被關斷。該低功率比較器監視該降壓轉換器的輸出。當該輸出下降到該低功率比較器的跳閘電壓 (trip voltage) 以下且該比較器輸出翻轉時，其他降壓轉換器組件將被通電足夠長的時間，以使該降壓轉換器可以向其輸出傳遞一個充電的單脈衝 (single pulse of charge)。除該比較器以外，所有電路都將返回到斷電狀態。可以使用一本地環形振盪器與一計數器在低功率模式下傳輸該充電的單脈衝，如上面相對於「第4圖」所述。由於僅在需要時才導通環形振盪器，因此可以很好地控制該脈衝寬度，並最大程度地降低了功耗。

【0085】 「第14圖」說明了示例性計算設備1400的方塊圖。計算設備1400可以用於執行各種過程，諸如本文所討論的那些過程。一個或多個計算設備1400可以用於實現伺服器系統102，並且被程式化以執行本文公開的方法。

【0086】 計算設備1400包括一個或多個處理器1402、一個或多個記憶裝置1404、一個或多個介面1406、一個或多個大量儲存設備（mass storage device）1408、一個或多個輸入/輸出（I/O）設備1410與一個顯示設備1430，所有這些全部都耦合到匯流排1412。處理器1402包括一個或多個執行儲存在記憶裝置1404與/或大量儲存設備1408中的多個指令之處理器或控制器。處理器1402還可以包括各種類型的電腦可讀取媒體，例如：快取記憶體。

【0087】 記憶裝置1404包括各種電腦可讀取媒體，例如：揮發性記憶體（如：隨機存取記憶體（random access memory，RAM）1414）與/或非揮發性記憶體（如：唯讀記憶體（read-only memory，ROM）1416）。記憶裝置1404還可以包括可重複錄寫的ROM，如：快閃記憶體。

【0088】 大量儲存設備1408包括各種電腦可讀取媒體，例如：磁帶、磁碟、光碟、固態記憶體（如：快閃記憶體）等。如「第14圖」所示，一個特定的大量儲存設備為硬碟驅動器1424。各種驅動器也可以包括在大量儲存設備1408中，以實現從各種電腦可讀取媒體讀取與/或寫入各種電腦可讀取媒體。大量儲存設備1408包括可移除媒體（removable media）1426與/或非可移除媒體（non-removable media）。

【0089】 I/O設備1410包括允許將資料與/或其他資訊輸入到計算設備1400或從計算設備1400取得資料與/或其他資訊的各種設備。例如，I/O設備1410包括游標控制設備、鍵盤、數字小鍵盤、麥克風、監視器或其他顯示設備、揚聲器、

印表機、網路卡、數據機、鏡頭、電荷耦合裝置（CCDs）或其他影像擷取裝置等。

【0090】顯示設備1430包括能夠向計算設備1400的一個或多個用戶顯示資訊之任何類型的設備。顯示設備1430的示例包括監視器、顯示終端、視頻投影設備等。

【0091】介面1406包括允許計算設備1400與其他系統、設備或計算環境互動的各種介面。舉例而言，介面1406包括任意數量的不同網路介面1420，諸如到區域網路（LANs）、廣域網路（WANs）、無線網路與網際網路的介面。其他介面包括使用者介面1418與周邊設備介面1422。介面1406還可以包括一個或多個周邊介面，例如：用於印表機、指示設備（例如：滑鼠、觸控板等）、鍵盤等。

【0092】匯流排1412允許處理器1402、記憶裝置1404、介面1406、大量儲存設備1408、I/O設備1410、顯示設備1430以及耦合到匯流排1412的其他設備或組件彼此通信。匯流排1412代表幾種類型的匯流排結構中的一種或多種，例如：系統匯流排、PCI匯流排、IEEE 1349匯流排、USB匯流排等等。

【0093】為了說明的目的，程式與其他可執行程式組件在此處顯示為分離的方塊，儘管應當理解，這樣的程式與組件可以在計算設備1400的不同儲存組件中於不同時間駐留並且由處理器1402執行。或者，本文所描述的系統與過程可以以硬體或硬體、軟體與/或韌體的組合來實現。舉例而言，可以對一個或多個特殊應用積體電路（application specific integrated circuit，ASIC）進行編程以執行本文所述的一個或多個系統或過程。

【0094】 在以上公開中，已經參考了附圖，這些附圖形成了本說明書的一部分，並且在附圖中通過圖式的方式說明了可以實踐本公開的具體實施方式。應當理解，在不脫離本公開的範圍的情況下，可以利用其他實施方式並且可以進行結構改變。說明書中對“一個實施例”、“一實施例”、“一示例實施例”等的提及指示所描述的實施例可以包括一特定特徵、結構或特性，但是每個實施例都不一定包括該特定的特徵、結構或特性。此外，這樣的詞組不一定指相同的實施例。再者，當結合一實施例描述的一特定特徵、結構或特性時，可以認為在本領域技術人員的知識範圍內，無論是否明確描述，結合其他實施例來影響這樣的特徵、結構或特性。

【0095】 本文所公開的系統、設備與方法的實施方式可以包括或利用包括計算機硬體（例如：如本文所討論的一個或多個處理器與系統記憶體）的專用或通用計算機。本公開範圍內的實施方式還可包括用於傳輸或儲存電腦可執行指令與/或資料結構之實體與其他電腦可讀取媒體。這樣的電腦可讀取媒體可以是可由通用或專用計算機系統存取的任何可用介質。儲存電腦可執行指令的電腦可讀取媒體是電腦儲存媒體（設備）。傳輸電腦可執行指令的電腦可讀取媒體為傳輸媒介。因此，舉例而非限制，本公開的實現方式可以包括至少兩種明顯不同種類的電腦可讀取媒體：電腦儲存媒體（設備）與傳輸媒介。

【0096】 電腦儲存媒體（設備）包括RAM、ROM、EEPROM、CD-ROM、固體狀態驅動機（solid state drives，SSDs）（例如：基於RAM）、快閃記憶體、相變記憶體（phase-change memory，PCM）、其他類型的記憶體、其他光碟儲存設備、磁盤儲存設備或其他磁性儲存設備，或者其他可用於以電腦可執行指

令或資料結構形式儲存所需的程式碼手段且可以透過通用或專用計算機存取之任何媒體。

【0097】 本文公開的設備、系統與方法的實施方式可以通過電腦網路進行通信。“網路”被定義為能夠在計算機系統與/或模組與/或其他電子設備之間傳輸電子資料的一個或多個資料連結。通過網路或其他通訊連接（固線式、無線或固線式或無線的組合）將資訊傳輸或提供給一計算機時，該計算機會將該連接實際上視為傳輸媒介。傳輸媒介可以包括一網路與/或多個資料連結，其可用於以電腦可執行指令或資料結構形式傳輸所需的程式碼手段且可以透過通用或專用計算機存取。上述的組合也應包括在電腦可讀取媒體的範圍內。

【0098】 舉例而言，電腦可執行指令包括指令與資料，當在一處理器上執行該指令與資料時，這些指令與資料使一通用計算機、專用計算機或專用處理設備執行某些功能或一組功能。舉例而言，電腦可執行指令可以是二位元、中間格式指令（*intermediate format instructions*）（如組合語言或原始碼）。儘管已由特有的結構特徵與/或方法論行為（*methodological act*）之語言來描述該主題（*subject matter*），但應瞭解，所附申請專利範圍中定義的主題不必限於上述的特徵或行為。更確切地說，所描述的特徵與行為被公開為實現申請專利範圍的示例形式。

【0099】 本領域技術人員將理解，本公開可以在具有許多類型的計算機系統配置的網絡計算環境中實踐，所述計算機系統配置包括內置車載電腦、多個個人電腦、多個桌上型電腦、多個筆記型電腦、多個訊息處理器、多個手持式設備、多個多處理機系統（*multi-processor system*）、多個基於微處理器或程式化的消費電子產品、多個只提供網路連線的個人電腦（*network PCs*）、多個

小型計算機、多個主機電腦、多個行動電話、多個個人數位助理（PDA）、多個平板電腦、多個呼叫器、多個路由器、多個交換機、各種儲存設備等。本公開還可以在分散式系統環境中實踐，在分散式系統環境中，通過網路連結（通過固線式資料連結、無線資料連結或通過固線式與無線資料連結的組合）的本地與遠端計算機系統均執行任務。在分散式系統環境中，程式模組可以位於本地與遠端記憶裝置中。

【0100】 此外，在適當的情況下，可以以硬體、軟體、韌體、數位組件或類比組件中的一種或多種來執行本文描述的功能。例如，可以對一個或多個ASIC進行編程以執行本文所述的一個或多個系統或過程。在整個說明書與申請專利範圍中使用某些術語來提及特定的系統組件。如本領域的技術人員將理解的，可以用不同的名稱來提及組件。本文件無意區分名稱不同但功能相同的組件。

【0101】 應當注意，以上討論的感測器實施例可以包括計算機硬體、軟體、韌體或其任何組合，以執行其至少一部分的功能。例如，感測器可以包括被配置為在一個或多個處理器中執行的計算機代碼，並且可以包括由該計算機代碼控制的硬體邏輯/電路。在此提供這些示例設備是出於說明的目的，而不是要進行限制。如相關領域技術人員所知，本公開的實施例可以在其他類型的設備中實現。

【0102】 本公開的至少一些實施例針對於包括儲存在任何電腦可用媒體上的這種邏輯（例如：以軟體形式）的多個電腦程式產品。當這樣的軟體在一個或多個資料處理設備中執行時，可使設備按本文所述進行操作。

【0103】 儘管上面已經描述了本公開的各種實施例，但是應該理解，它們僅以示例的方式提出而非限制。對於相關領域的技術人員顯而易見的是，在不

脫離本公開的精神與範圍的情況下，可以在形式與細節上進行各種改變。因此，本公開的廣度與範圍不應受到任何上述示例性實施例的限制，而應僅根據所附申請專利範圍及其等同物來限定。為了說明與描述的目的已經提出了前面的描述。它並非意在窮舉或將本公開限制為所公開的精確形式。根據以上教導，許多修改與變化是可能的。此外，應注意的是，任何或所有上述替代實現可用於期望形成本公開的附加混合實施方式的任何組合。

【符號說明】

【0104】

100:系統

102:控制器

104:降壓轉換器

106:負載

200:交換設備

202:反饋設備

300:高側邏輯

302:低側邏輯

304:PMOS電晶體

306:NMOS電晶體

308:比較器

310:正輸入

312:負輸入

400:比較器

402:Ton產生器

404a:多工器

404b:多工器

406:環形振盪器

408a:輸出

408b:輸出

600:比較器

602:多工器

604:分壓器

606:分壓器

610:多工器

612:電流源

614:電流源

616:低功率電流源

618:溫度補償電流源

700:多工器

702:及閘

704:反相器

706:及閘

708:緩衝器

800:電路

802:下拉電阻器

804:NMOS電晶體

806:NMOS電晶體

808:緩衝器

900:控制器

1000:方法

1000a,1000b:強臂比較器

1002:SR鎖存器

1004:或閘

1200:方法

1400:計算設備

1402:處理器

1404:記憶裝置

1406:介面

1408:大量儲存設備

1410:輸入/輸出 (I/O) 設備

1412:匯流排

1414:隨機存取記憶體

1416:唯讀記憶體

1418:使用者介面

1420:網路介面

1422:周邊設備介面

1424:硬碟驅動器

1426:可移除媒體

1430:顯示設備

C:電容器

D:二極體

I_{act} :電流

I_t :溫度補償電流

I_{lp} :低功率電流

L:電感器

EN:起動

HP:高功率模式

start:起始

SW:墊

SWSEL:墊

Clr:清除

clk:時鐘輸入

HFclk:高頻時鐘

LFclk:低頻時鐘

M1,M2,M3,M4,M5,M6,M7,M8,M9:電晶體

MUX1,MUX2:多工器

length:長度輸入

Ton:長度輸入的值

VDD: 驅動電壓

V_{DIVACT} : 分壓器604的輸出

V_{DIVLP} : 分壓器606的輸出

V_{FB} : 反饋電壓

V_{in} : 比較器308的輸出

V_{minus} : 比較器1000a的負輸入/電晶體M1的閘極電壓

V_{nctl} : 節點/電壓

V_{OUT} : 輸出

V_{om} : 節點

V_{op} : 節點

V_{pctl} : 節點/電壓

V_{plus} : 電晶體M2的閘極電壓

V_{Ref} : 參考電壓

V_{Reg} : 節點/電壓

V_{SW} : 節點/電壓

BUCK Clk: 驅動交換設備的時鐘的頻率

BUCK HP MODE: 施加在HP線上的信號

BUCK OUTPUT: 降壓轉換器的輸出

LOAD: 由降壓轉換器供電的負載之功耗

步驟1102: 產生調節電壓

步驟1104: 產生 V_{DIVACT}

步驟1106: 產生 V_{DIVLP}

步驟1108:產生 I_{ACT}

步驟1110:產生 $I_T + I_{LP}$

步驟1112:評估選擇器輸入的狀態

步驟1114:產生 V_{FB} 為(V_{DIVACT} 與 I_{ACT})

步驟1116: 產生 V_{FB} 為(V_{DIVLP} 與 $I_T + I_{LP}$)

步驟1202: 產生調節電壓與比較器偏壓

步驟1204:評估時鐘選擇器線的狀態

步驟1206:使用高頻時鐘

步驟1208:使用低頻時鐘

【發明申請專利範圍】

【請求項1】 一種裝置，包括：

一反饋降壓電路（reactive step-down circuit）；以及

一交換電路（switching circuit），用以向所述降壓電路提供一輸入並從所述反饋降壓電路接收一調節電壓（regulated voltage），所述交換電路被配置為：

在一第一模式下操作，該第一模式被配置為通過評估在一第一頻率下的所述調節電壓來根據所述調節電壓向所述反饋降壓電路供電；

在一第二模式下操作，該第二模式被配置為通過評估在小於所述第一頻率的一第二頻率下的所述調節電壓來向所述反饋降壓電路供電。

【請求項2】 如請求項1所述之裝置，其中，所述反饋降壓電路用以作為一降壓轉換器。

【請求項3】 如請求項1所述之裝置，其中，該裝置進一步包括一比較器，該比較器具有耦合到一電晶體的一閘極的一比較器輸出以及耦合到一參考電壓與所述調節電壓的一函數（function）之多個比較器輸入，該電晶體的該閘極選擇性地耦合一驅動電壓至所述反饋降壓電路；其中，所述交換電路被配置為在所述第一模式下以所述第一頻率輪詢所述比較器並且在所述第二模式下以所述第二頻率輪詢所述比較器。

【請求項4】 如請求項3所述之裝置，其中，該裝置還包括：

一高頻時鐘，以所述第一頻率輸出一第一時鐘信號；以及
 一低頻時鐘，以所述第二頻率輸出一第二時鐘信號；
 其中，所述交換電路包括一第一多工器，其具有：

一第一多工器輸入，耦合所述高頻時鐘；
 一第二多工器輸入，耦合所述低頻時鐘；
 一第一選擇輸入，耦合一模式選擇器線；以及
 一第一多工器輸出，耦合所述比較器的一時鐘輸入，所述第一多工器被配置成當所述模式選擇器線指示在所述第一模式下操作時將所述高頻時鐘耦合到所述第一多工器輸出。

【請求項5】 如請求項4所述之裝置，其中，所述交換電路還包括：

一第二多工器，其具有：
 一第三多工器輸入，耦合至所述高頻時鐘；
 一第二選擇輸入，耦合至所述模式選擇器線；以及
 一第二多工器輸出，所述第二多工器被配置成在所述模式選擇器線指示在所述第一模式下操作時將所述高頻時鐘耦合到所述第二多工器輸出；以及
 一計數器，該計數器具有一啟動輸入、一時鐘輸入與一控制輸出，其中：

所述啟動輸入，耦合到所述比較器輸出；
 所述控制輸出，耦合到所述電晶體的所述閘極；
 所述時鐘輸入，耦合到所述第二多工器輸出；以及
 所述計數器被配置為在檢測到在所述起始輸入上的一轉變之後，發生在對所述時鐘輸入上一編程的週期數（a

programmed number of cycles) 進行計數後，在所述控制輸出中輸出一轉變。

【請求項6】 如請求項5所述之裝置，其中，該裝置還包括一環形振盪器，該環形振盪器具有耦合到所述第二多工器的一第四多工器輸入的一振盪器輸出，所述第二多工器被配置成在所述模式選擇器線指示在所述第二模式下操作時將所述振盪器輸出耦合到所述計數器的所述時鐘輸入。

【請求項7】 如請求項6所述之裝置，其中，所述環形振盪器還被配置為響應於所述比較器輸出上的一轉變而輸出一脈波列。

【請求項8】 如請求項5所述之裝置，其中，所述電晶體為一PMOS (P-channel metal oxide semiconductor, P通道金氧半導體) 電晶體，所述交換電路還包括選擇性地將大地電位 (ground potential) 耦合到所述反饋降壓電路的一NMOS (N-channel metal oxide semiconductor, N通道金氧半導體) 電晶體，其中，所述交換電路還包括一正反器 (flip flop)，所述正反器具有耦合到所述計數器的所述控制輸出的一正反器輸入與耦合到所述NMOS電晶體的一閘極的一正反器輸出。

【請求項9】 如請求項1所述之裝置，其中，所述交換電路還包括：

一回授電路，其被配置為根據相對於一參考電壓的所述調節電壓的一評估而在一反饋輸出上生成一反饋信號，該回授電路具有一組件，該組件被配置為與在所述第一模式下相比，在所述第二模式下的低電壓與低電流中的至少一個操作。

【請求項10】 如請求項9所述之裝置，其中，所述回授電路包括：

一比較器，具有耦合至所述參考電壓的一第一比較器輸入、一第二比較器輸入與一比較器輸出，該比較器被配置為當所述第一比較器輸入的電壓高於所述第二比較器輸入的電壓時在所述比較器輸出上輸出一高電壓；

一第一分壓器，具有耦合至所述調節電壓的一第一分壓器輸入與一第一分壓器輸出；

一第二分壓器，具有耦合至所述調節電壓的一第二分壓器輸入與一第二分壓器輸出，其中，所述第二分壓器具有比所述第一分壓器更高的阻抗；以及

一多工器，具有耦合到所述第一分壓器輸出的一第一多工器輸入、耦合到所述第二分壓器輸出的一第二多工器輸入、耦合到所述第二比較器輸入的一多工器輸出以及耦合到一模式選擇線的一選擇輸入，該多工器被配置為當所述模式選擇線上的一信號指示在所述第一模式下操作時，將所述第一多工器輸入耦合到所述多工器輸出。

【請求項11】 如請求項10所述之裝置，其中，所述第一分壓器為一電阻分壓器（resistive divider），所述第二分壓器為一二極體分壓器（diode divider）。

【請求項12】 如請求項9所述之裝置，其中，所述回授電路包括：

一比較器，具有一第一比較器輸入、一第二比較器輸入與一比較器輸出端，該比較器被配置為當所述第一比較器輸入大於所

述第二比較器輸入時在所述比較器輸出上輸出一高電壓，該比較器還包括：

一偏壓電流輸入；

一第一電流源；

一第二電流源，具有小於所述第一電流源的一輸出電流；以及

一多工器，具有耦合到所述第一電流源的一第一多工器輸入、耦合到所述第二電流源的一第二多工器輸入、耦合到所述偏壓電流輸入的一多工器輸出以及耦合到一模式選擇線的一選擇輸入，該多工器被配置為當所述模式選擇線上的一信號指示在所述第一模式下操作時，將所述第一多工器輸入耦合到所述多工器輸出。

【請求項13】 如請求項12所述之裝置，其中，所述第二電流源經過溫度補償。

【請求項14】 如請求項1所述之裝置，其中，所述交換電路還包括一可變尺寸的開關，所述交換電路被配置為：

當處於所述第一模式時，通過以一第一尺寸操作的所述可變尺寸開關向所述反饋降壓電路供電；

當處於所述第二模式時，通過以一第二尺寸操作的所述可變尺寸開關向所述反饋降壓電路供電，所述第二尺寸小於所述第一尺寸。

【請求項15】 如請求項14所述之裝置，其中，所述可變尺寸的開關包括多個電晶體，所述每一電晶體具有一閘極，所述交換電路在所述第一模式下將一控制線耦合到一第一數量的所述電晶體的所述閘

極，並且在所述第二模式下將所述控制線耦合到一第二數的所述電晶體的所述閘極，所述第二數量小於所述第一數量。

【請求項16】 一種方法，包括：

提供一反饋降壓電路；以及

提供一交換電路，所述交換電路被配置為評估來自所述反饋降壓電路的一調節電壓，並根據所述調節電壓將一輸入提供給所述降壓電路；

在一第一模式下以一第一頻率評估所述調節電壓；

在一第二模式下以一第二頻率評估所述調節電壓，所述第二頻率小於所述第一頻率的百分之一。

【請求項17】 如請求項16所述之方法，其中，所述反饋降壓電路用以作為一降壓轉換器。

【請求項18】 如請求項16所述之方法，其中，該方法進一步包括：

提供一比較器電路，所述比較器電路將所述調節電壓作為一第一輸入並且將一參考電壓作為一第二輸入，並且將控制一開關的一控制信號作為一輸出，該開關控制所述反饋降壓電路的功率；

在所述第一模式下以所述第一頻率為所述比較器計時；以及

在所述第二模式下以所述第二頻率為所述比較器計時。

【請求項19】 如請求項16所述之方法，其中，該方法進一步包括：

提供一比較器電路，所述比較器電路將所述調節電壓作為一第一輸入並且將所述參考電壓作為一第二輸入，並且將控制一開

關的一控制信號作為一輸出，該開關控制所述反饋降壓電路的功率；

在所述第一模式下，從一第一電流源向所述比較器提供偏壓電流；以及

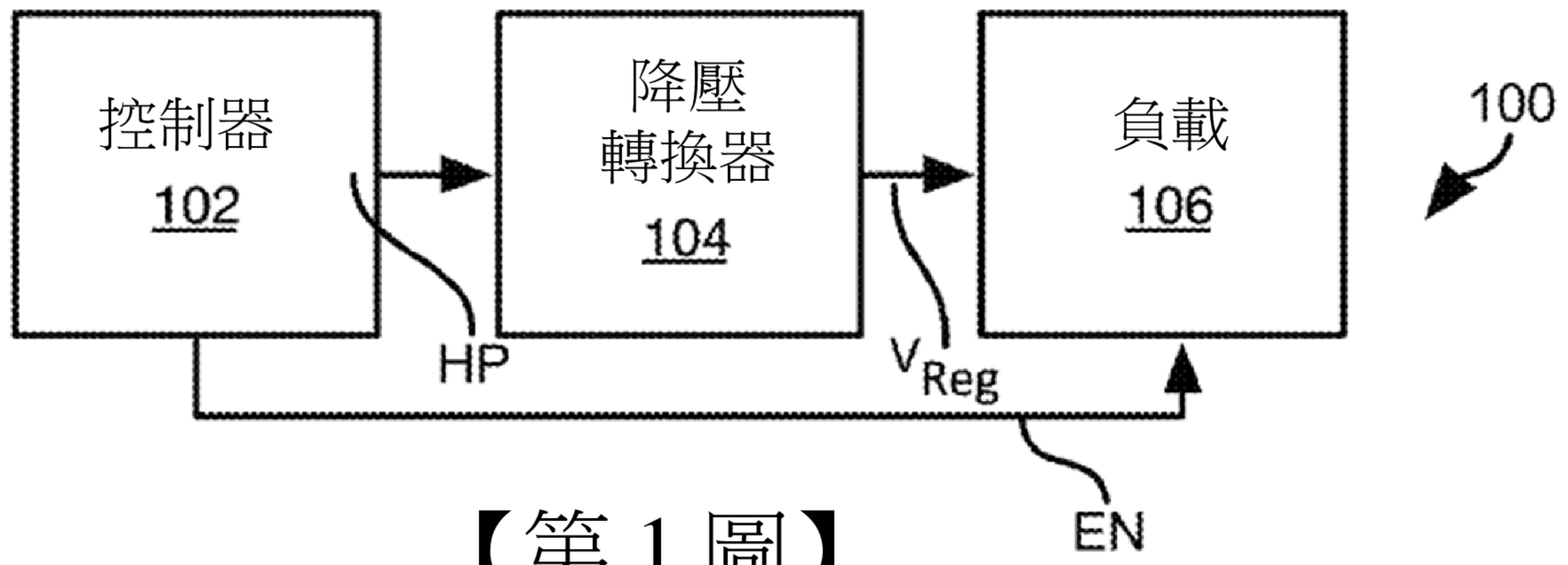
在所述第二模式下，從一第二電流源向所述比較器提供偏壓電流，所述第二電流源提供比所述第一電流源少的電流。

【請求項20】 如請求項19所述之方法，其中，該方法進一步包括：

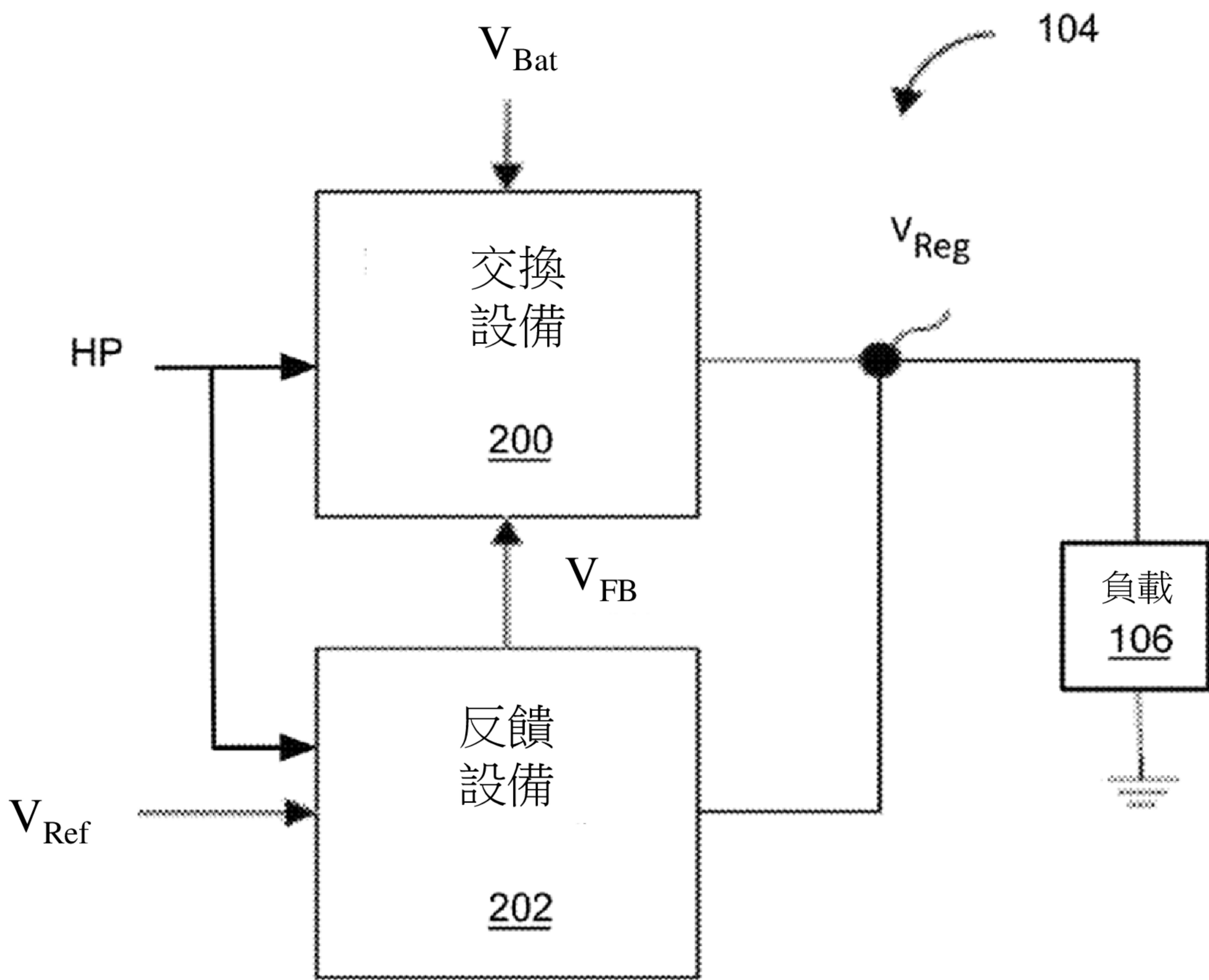
在所述第一模式下，使用一第一分壓器縮放一縮放電壓，所述縮放電壓為所述調節電壓與參考電壓其中之一；以及

在所述第二模式下，使用一第二分壓器縮放所述縮放電壓，所述第二分壓器具有比所述第一分壓器高的阻抗。

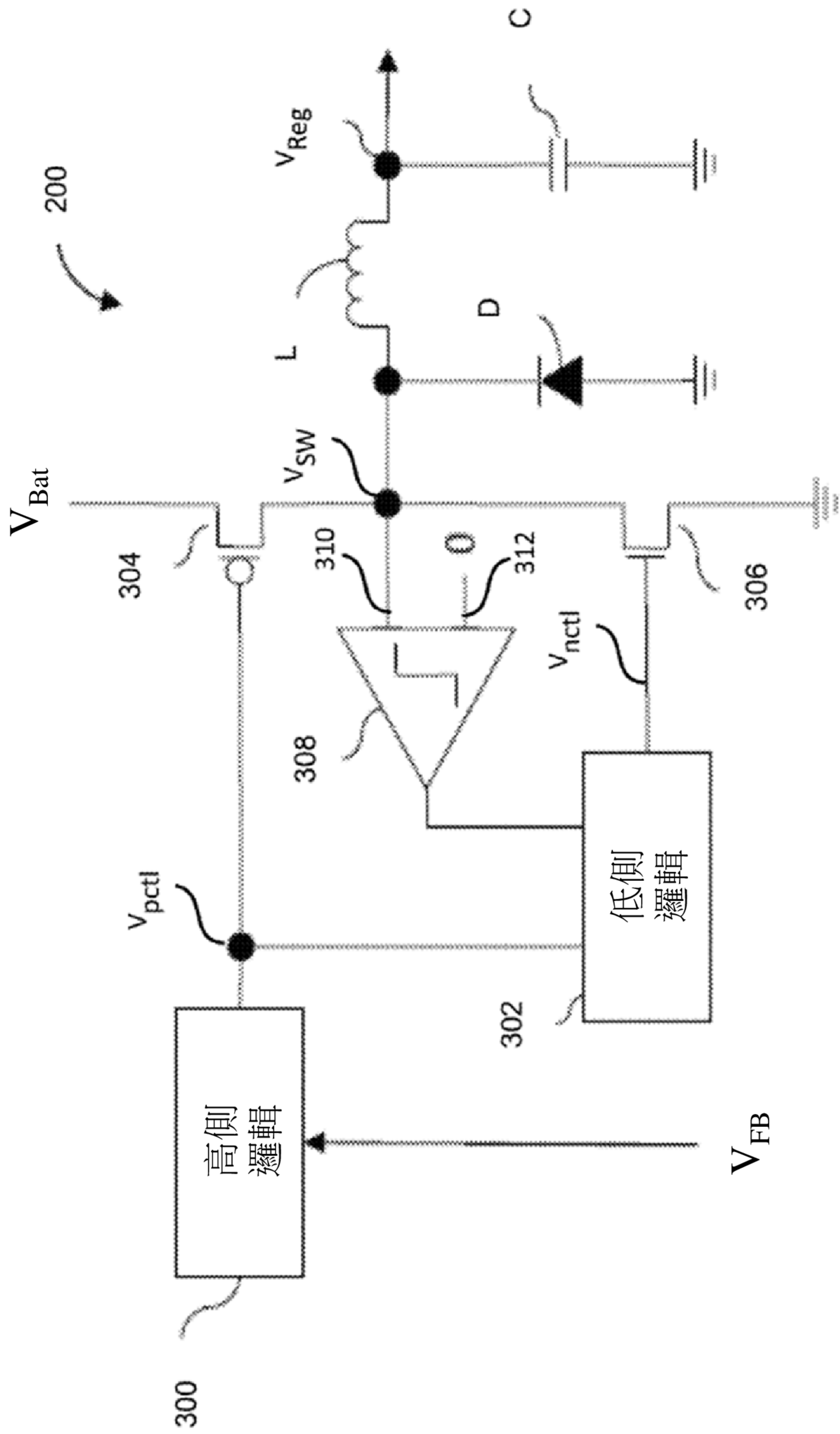
【發明圖式】



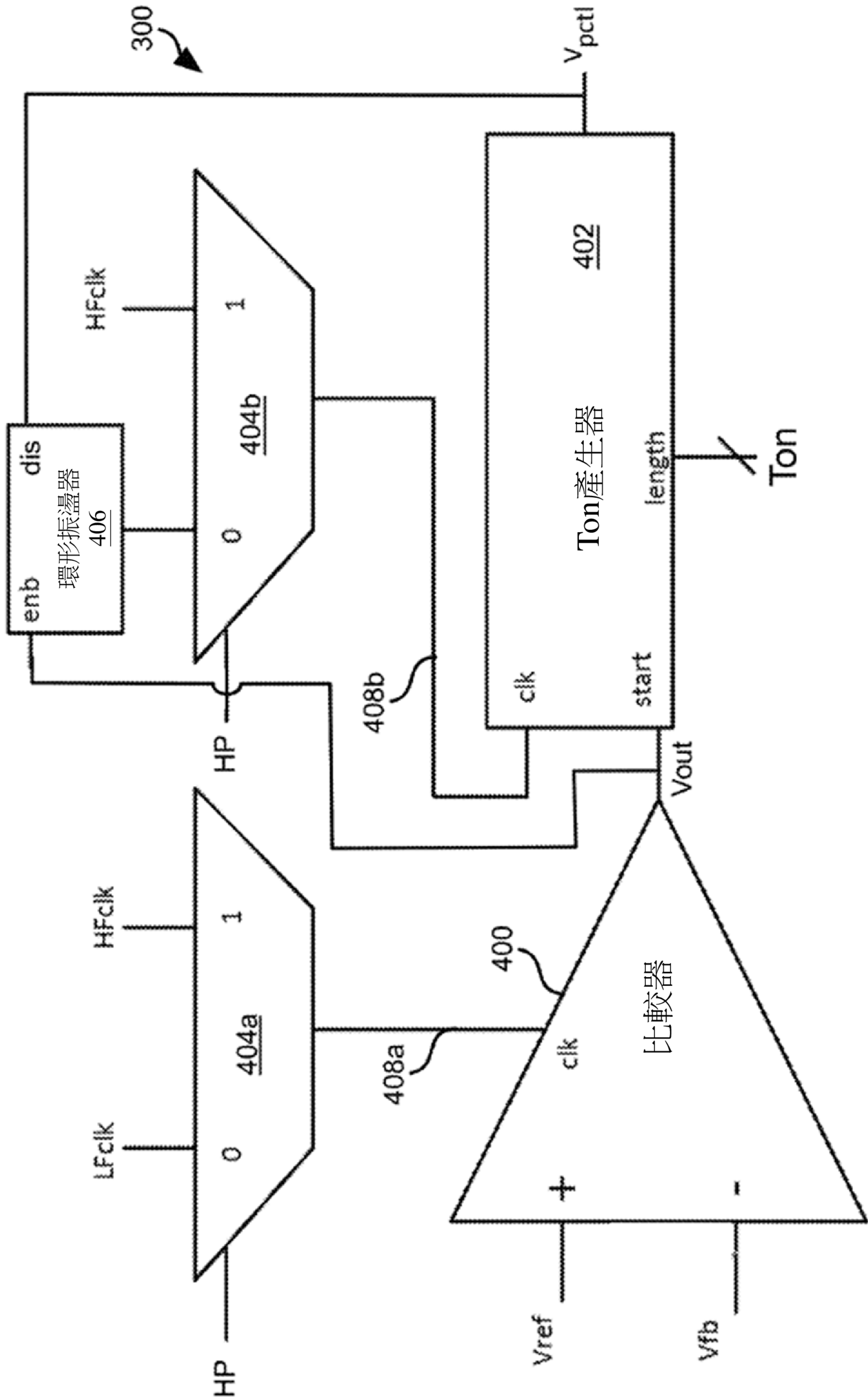
【第 1 圖】



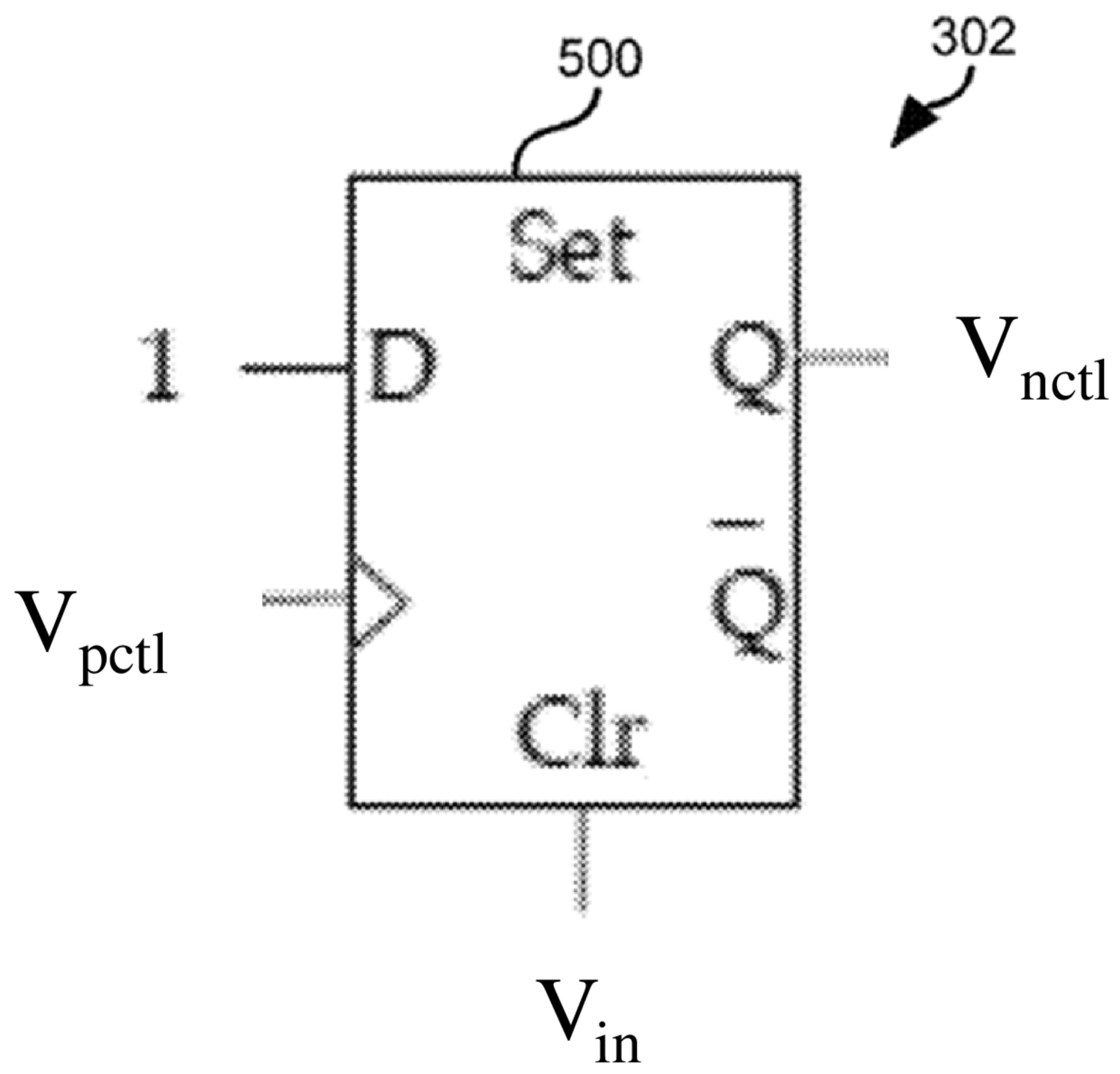
【第 2 圖】



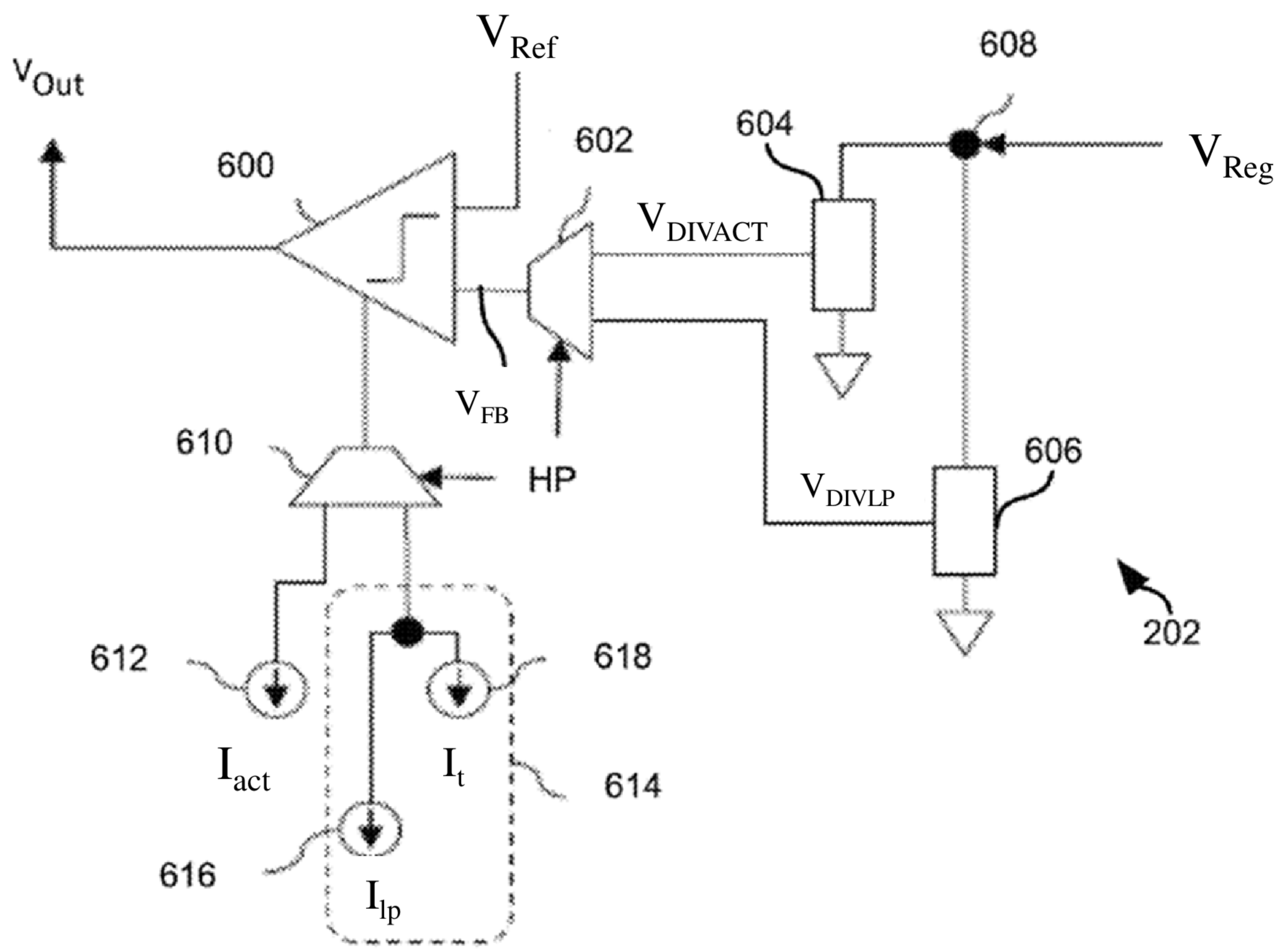
【第3圖】



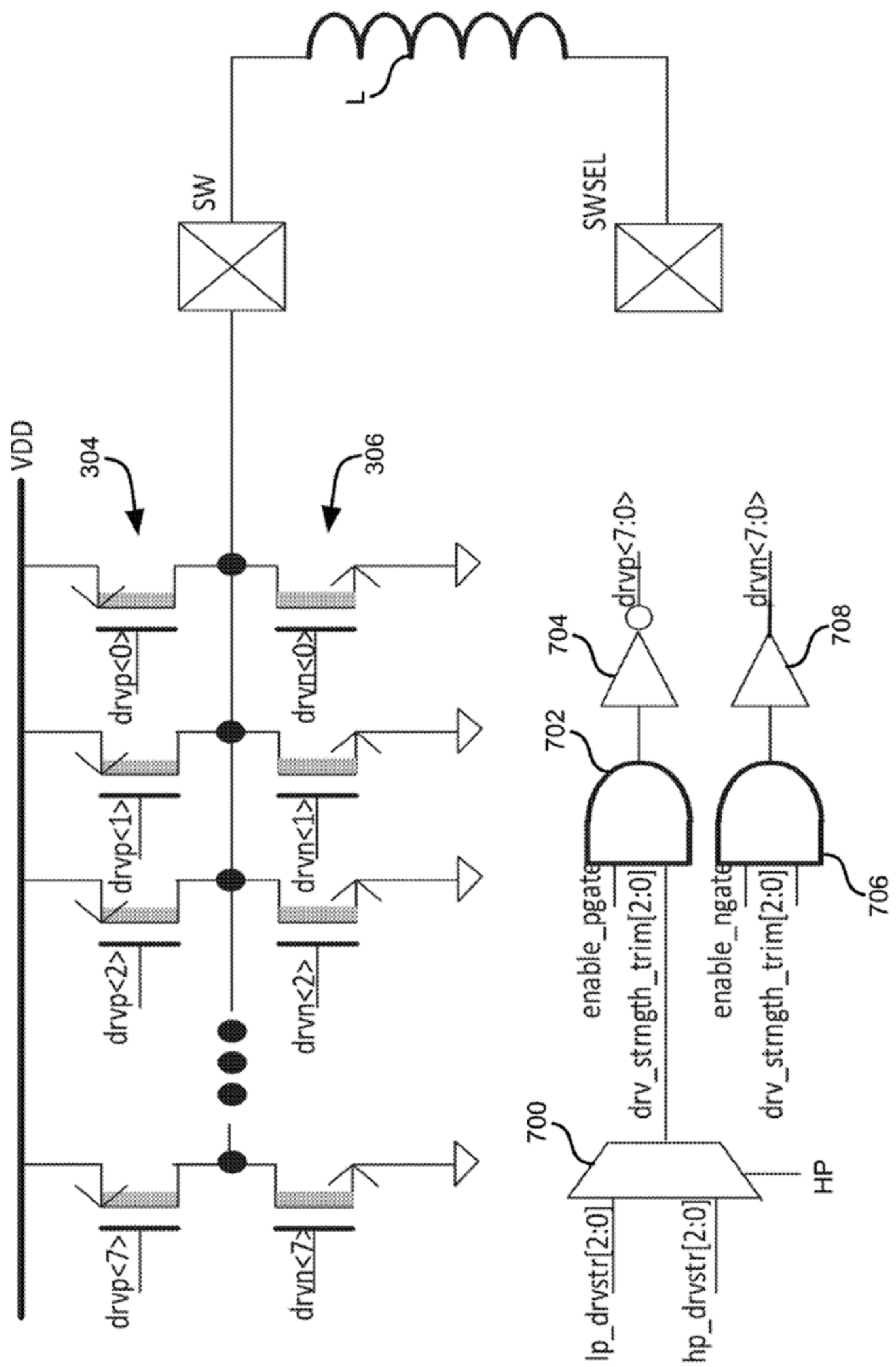
【第 4 圖】



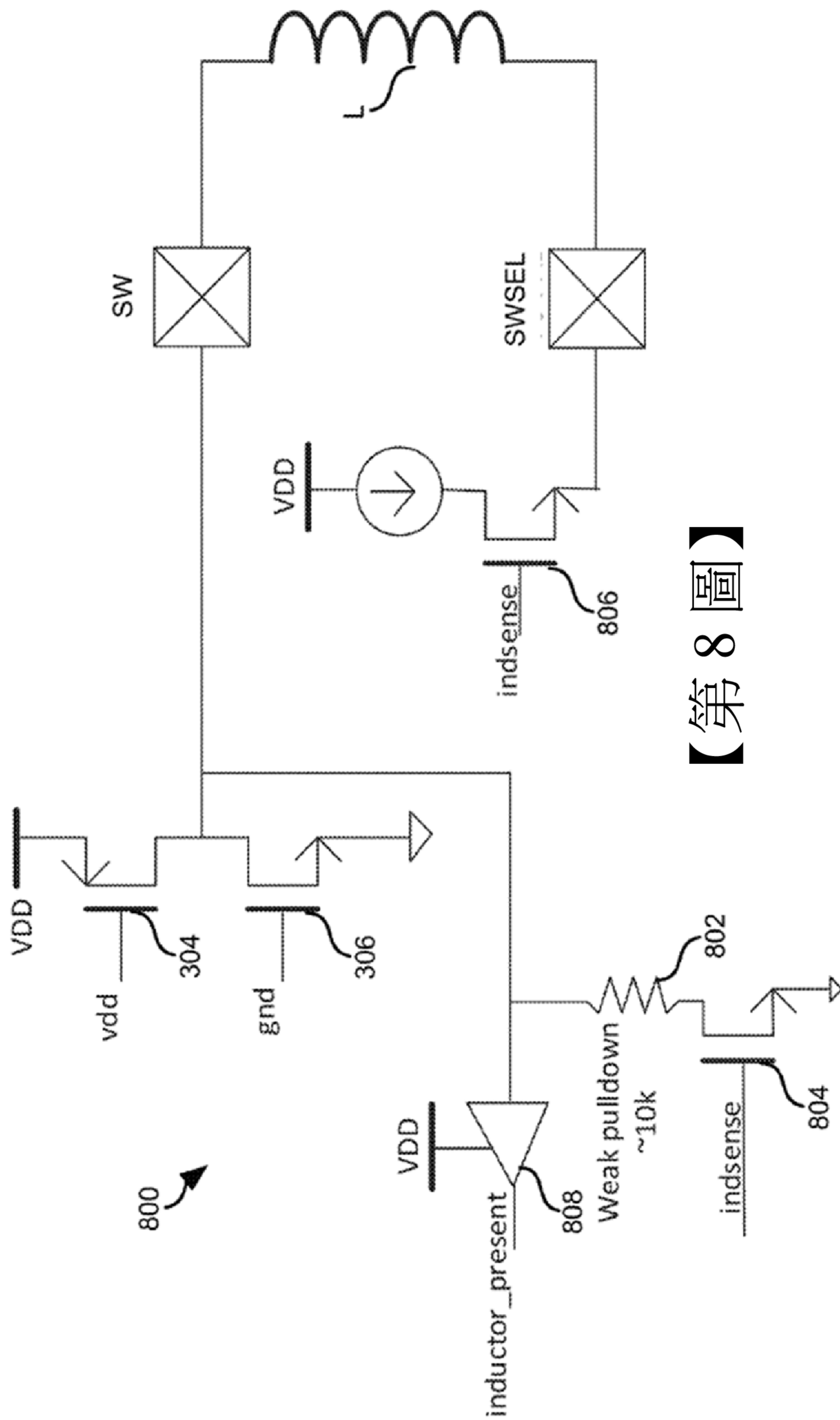
【第 5 圖】



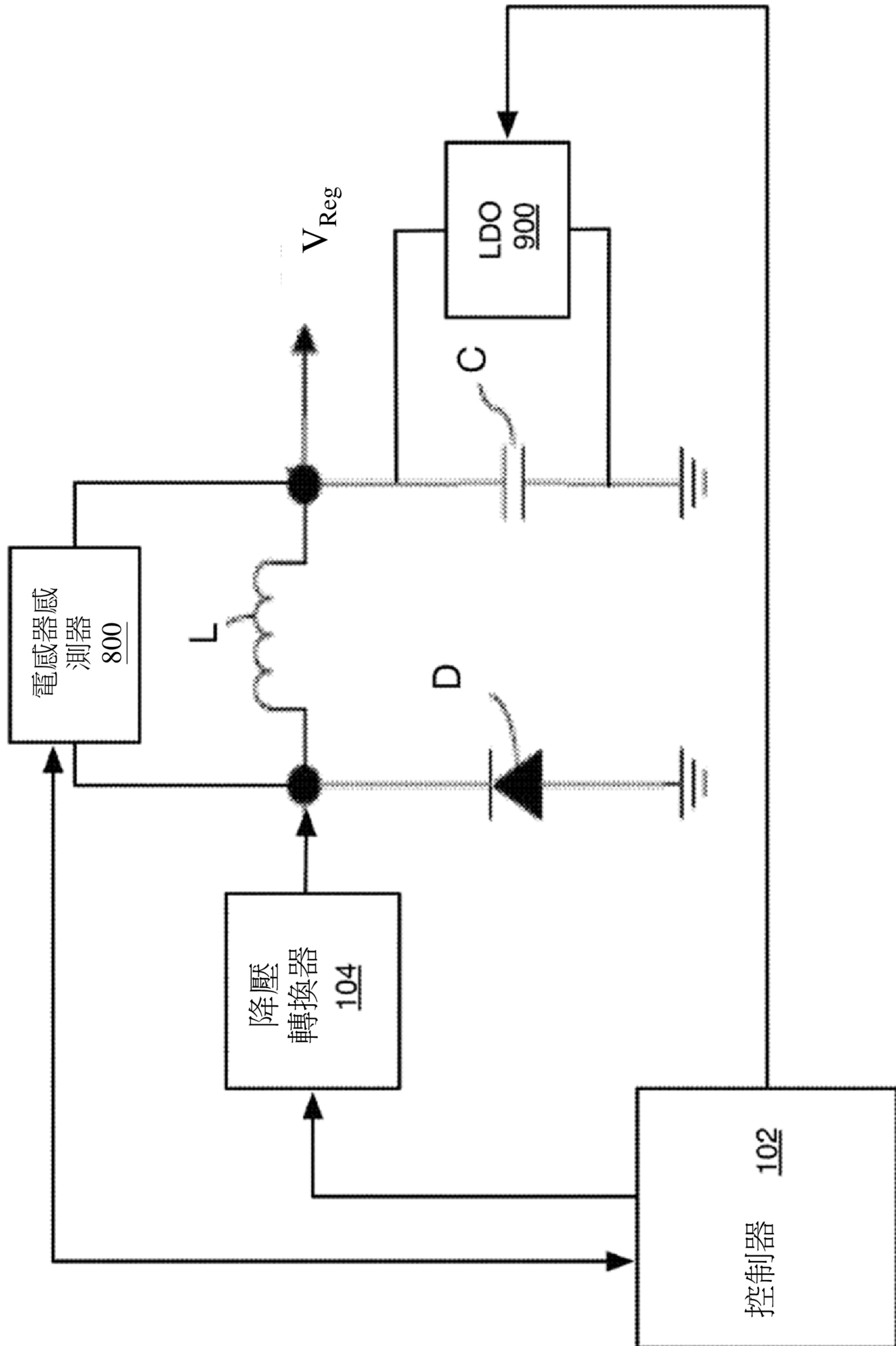
【第 6 圖】



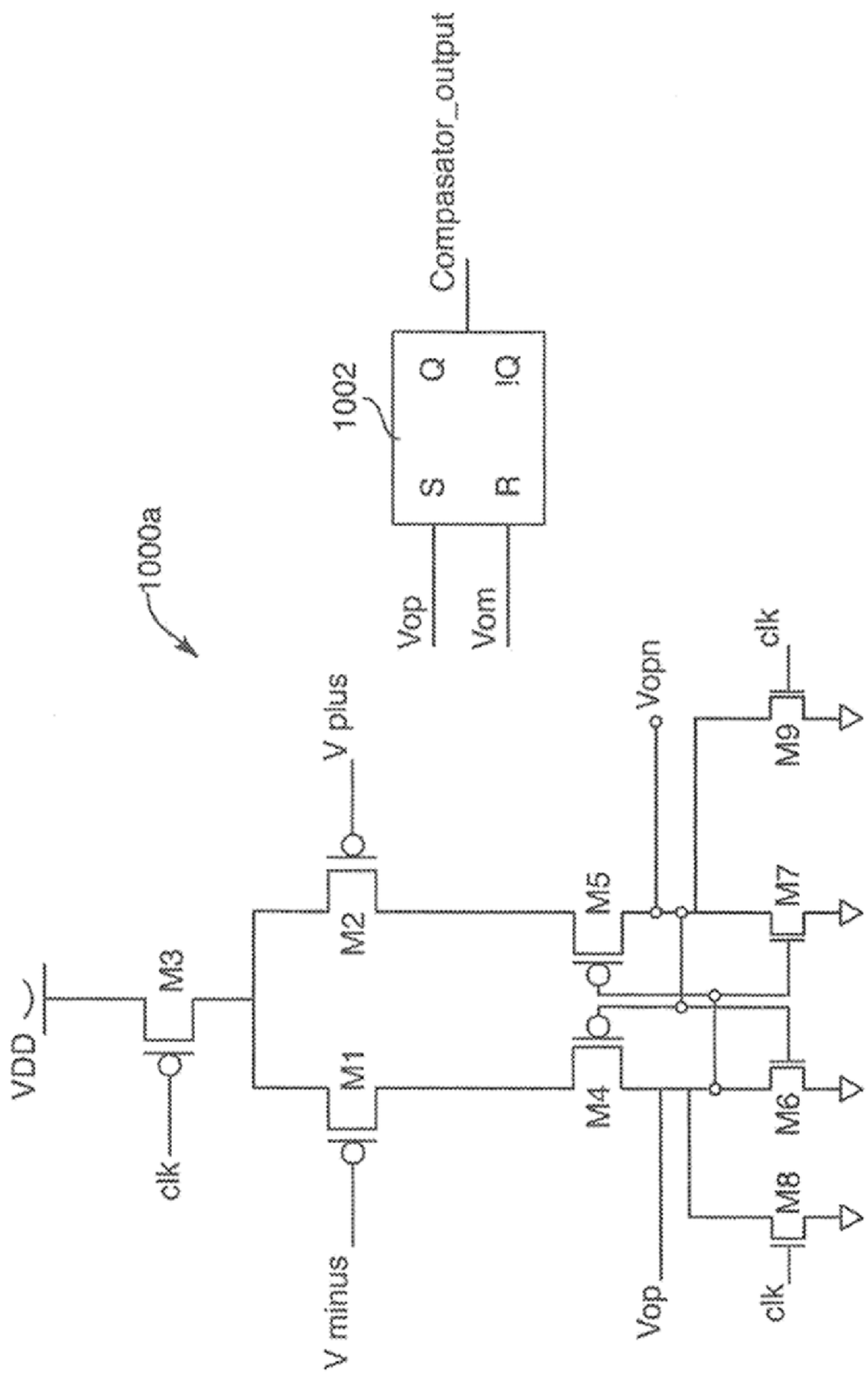
【第7圖】



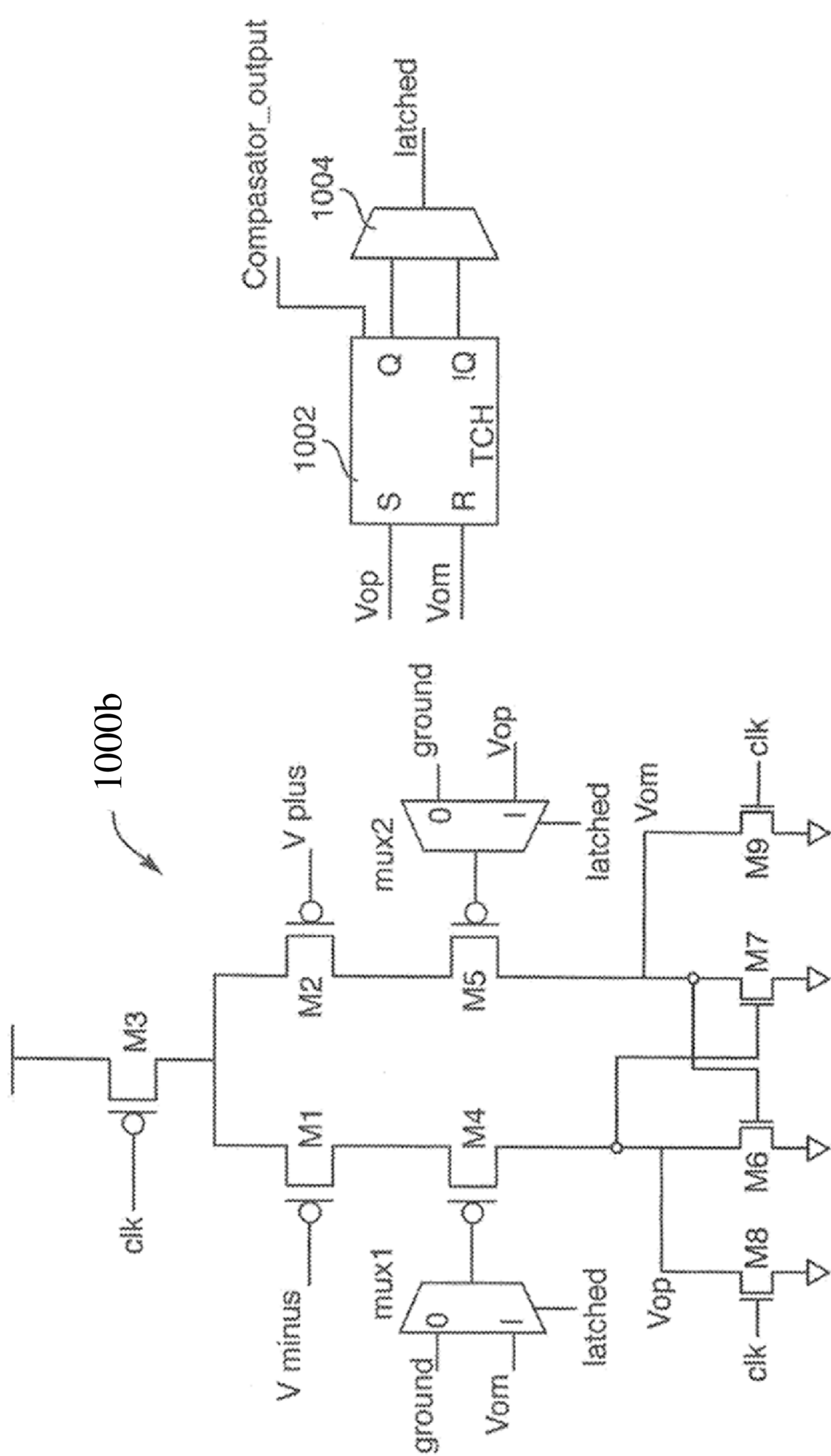
【第 8 圖】



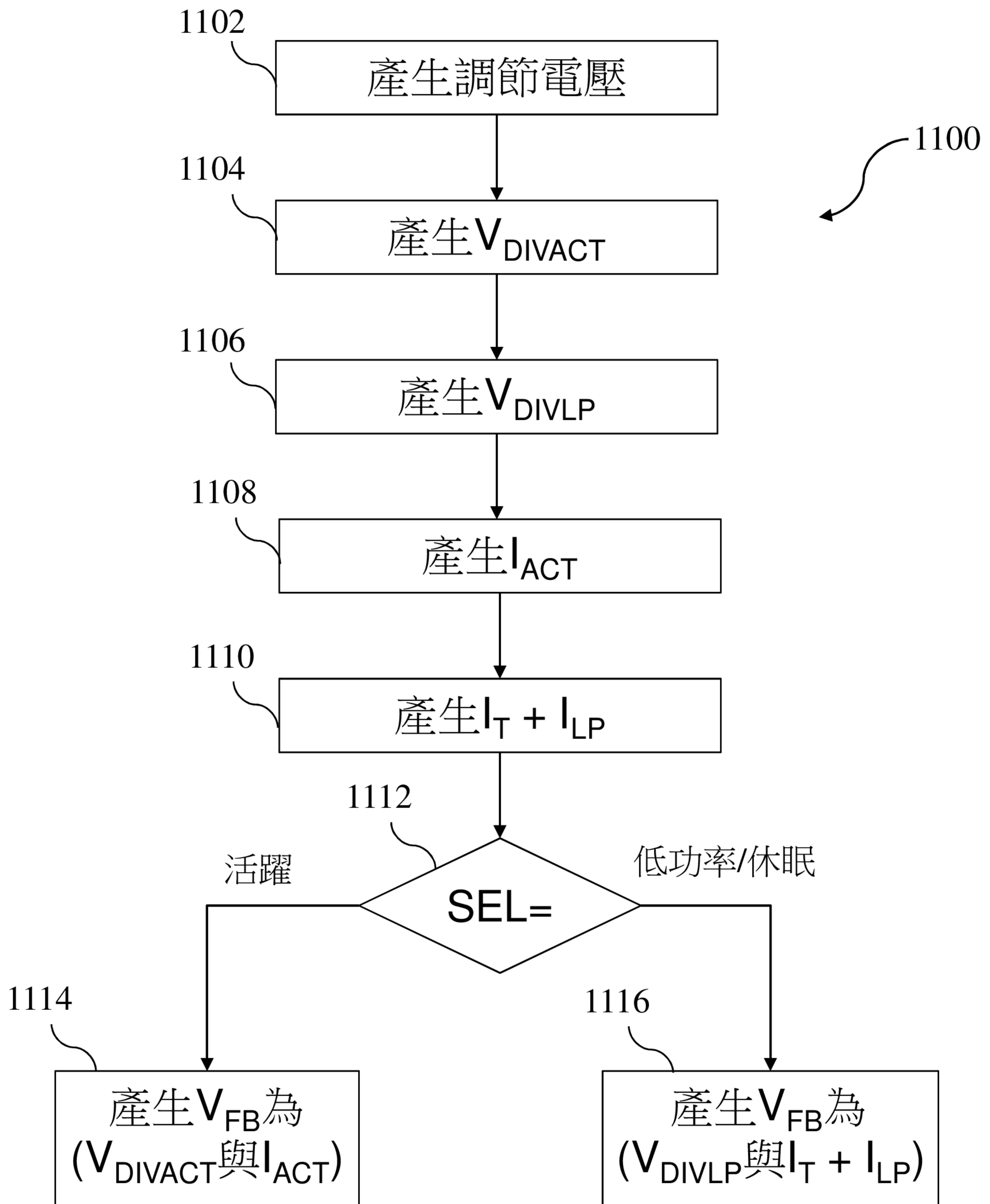
【第9圖】



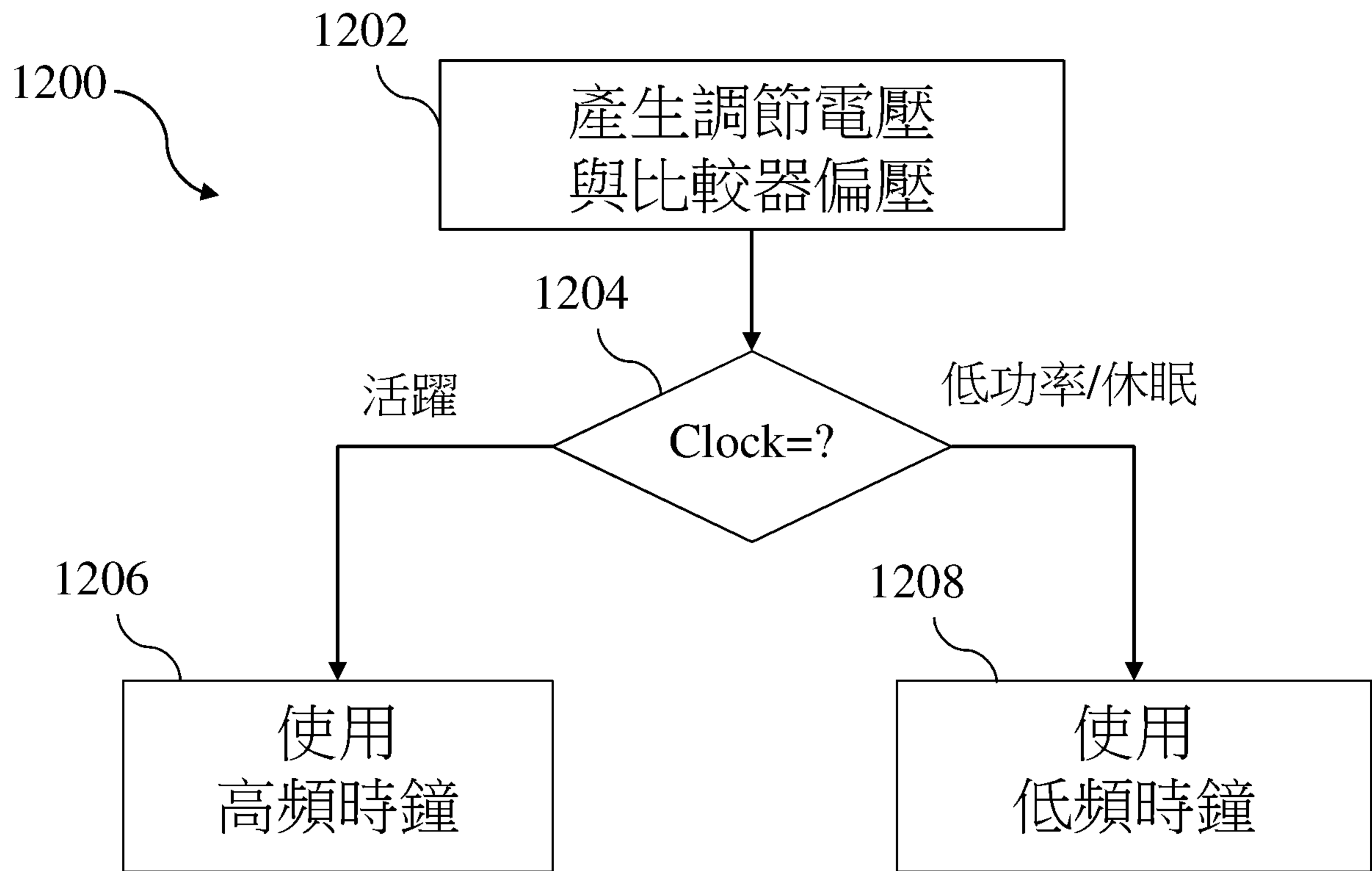
【第 10A 圖】(現有技術)



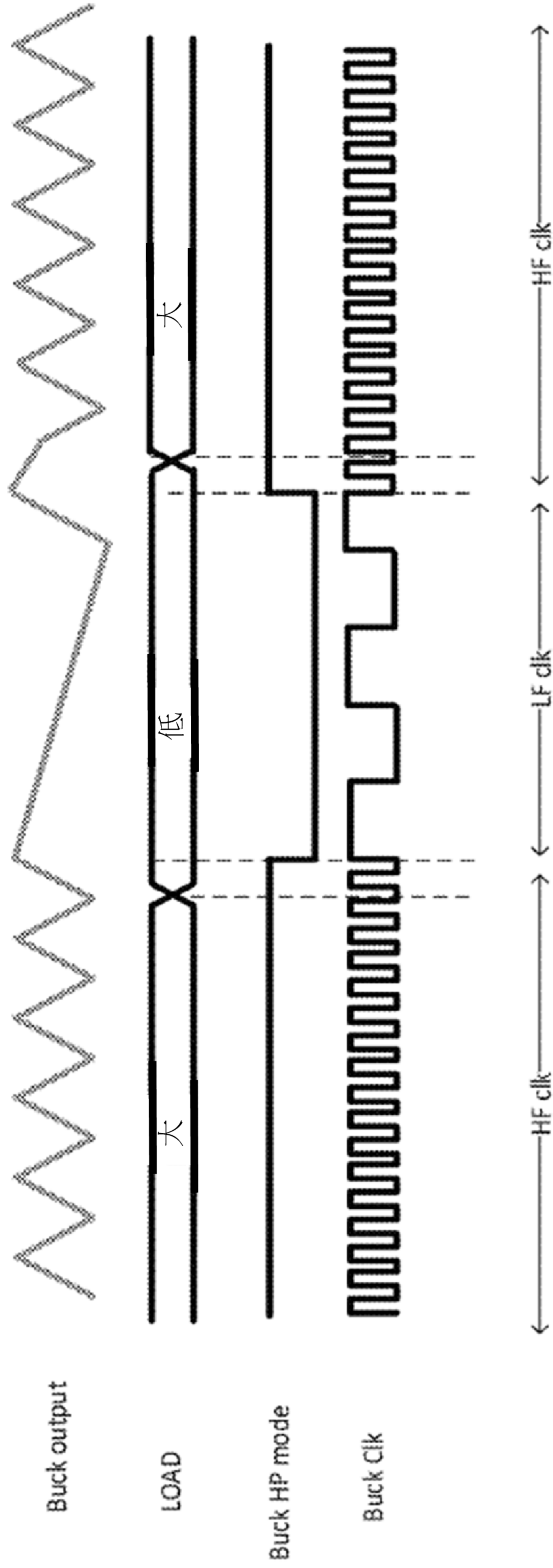
【第 10B 圖】



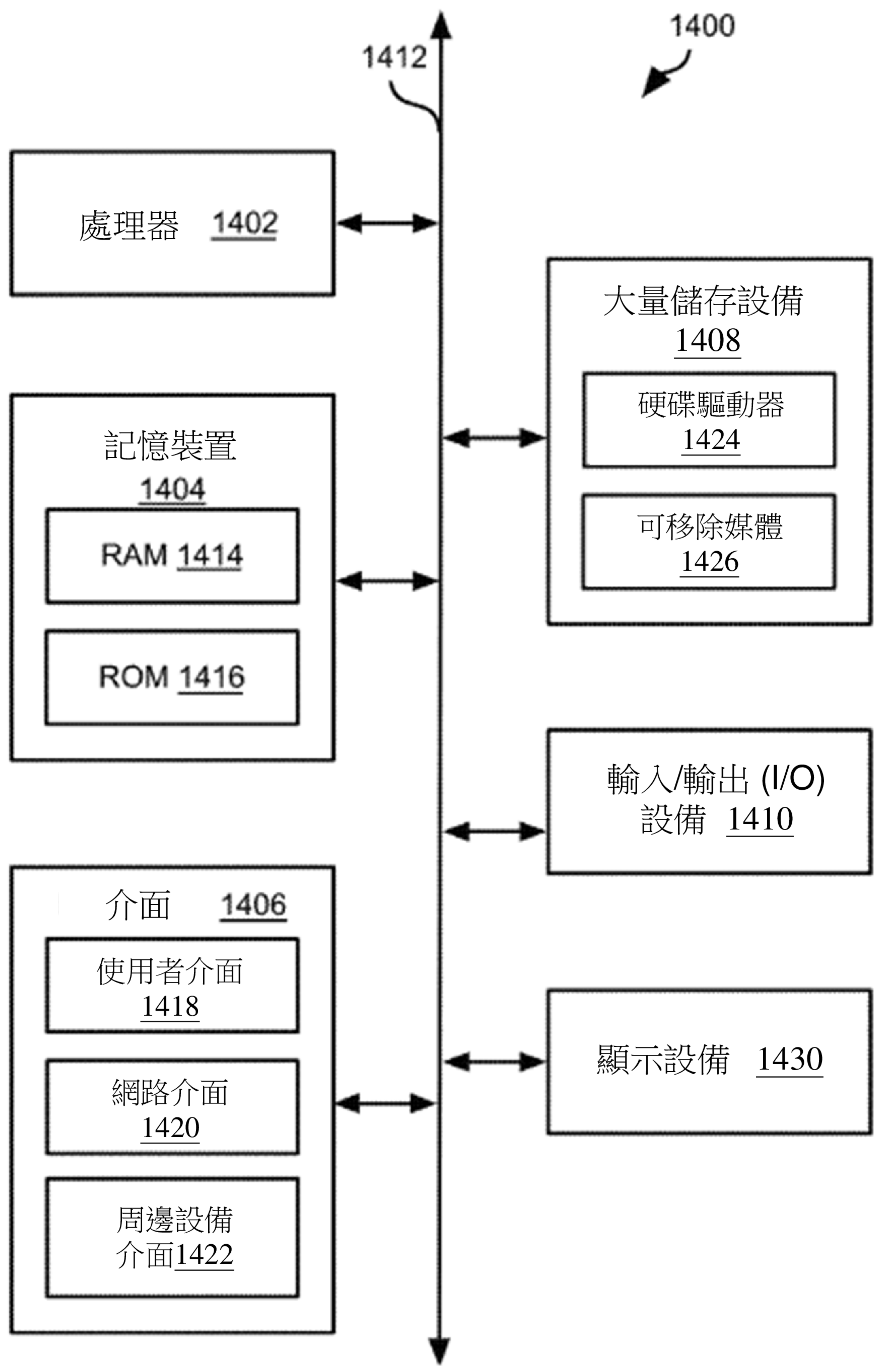
【第 11 圖】



【第 12 圖】



【第 13 圖】



【第 14 圖】