



(21) 申請案號：100136118

(22) 申請日：中華民國 100 (2011) 年 10 月 05 日

(51) Int. Cl. : **H01L23/60 (2006.01)**(71) 申請人：智原科技股份有限公司 (中華民國) FARADAY TECHNOLOGY CORP. (TW)  
新竹市科學園區力行三路 5 號

(72) 發明人：蔡富義 TSAI, FU YI (TW) ; 蔡佳谷 TSAI, CHIA KU (TW) ; 彭彥華 PENG, YAN HUA (TW) ; 柯明道 KER, MING DOU (TW)

(74) 代理人：詹銘文

(56) 參考文獻：

US 5530612

US 6411485B1

US 6580184B2

US 6768616B2

US 2007/0195472A1

審查人員：孫建文

申請專利範圍項數：12 項 圖式數：11 共 0 頁

(54) 名稱

靜電放電保護裝置

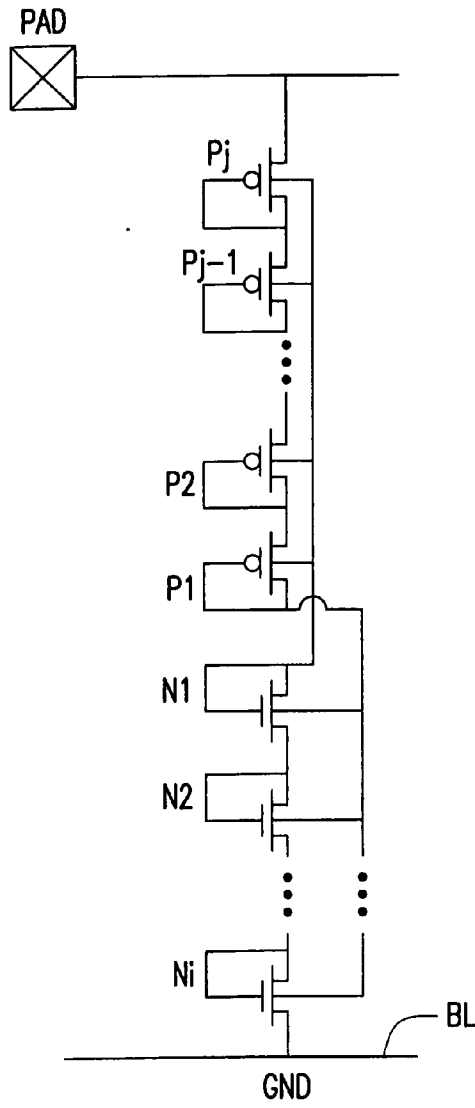
ELECTROSTATIC DISCHARGE PROTECTION APPARATUS

(57) 摘要

一種靜電放電保護裝置，包括至少一第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其控制端以及其第二端相互耦接，其第一端耦接至鉚墊及電壓軌線的其中之一。第二電晶體同樣具有控制端、第一端以及第二端，其第一端與該第一電晶體的基極相互耦接，第二電晶體的基極耦接至第一電晶體的第二端，且第二電晶體的第二端耦接至鉚墊及電壓軌線的另一。

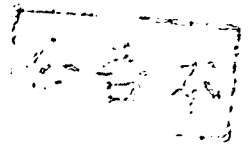
An electrostatic discharge (ESD) protection apparatus is disclosed. The ESD protection apparatus includes at least one first transistor and at least one second transistor. The at least one first transistor having a gate coupled to a second terminal thereof and a first terminal coupled to one of a pad and a power rail line. The at least one second transistor having a first terminal coupled to a substrate of the first transistor. A substrate of the second transistor coupled to the second terminal of the first transistor, and a second terminal of the second transistor coupled to the other one of the pad and the power rail line.

100 . . . 靜電放電保護裝置  
P1~Pj、N1~Ni . . . 電晶體  
PAD . . . 銲墊  
BL . . . 電壓軌線  
GND . . . 接地電壓



100

圖 1A



# 發明專利說明書

(本說明書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號： 100136118

※申請日： 100.10.05

※IPC 分類：

H01L 23/60 2006.01

## 一、發明名稱：

靜電放電保護裝置 / ELECTROSTATIC DISCHARGE PROTECTION APPARATUS

## 二、中文發明摘要：

一種靜電放電保護裝置，包括至少一第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其控制端以及其第二端相互耦接，其第一端耦接至鉚墊及電壓軌線的其中之一。第二電晶體同樣具有控制端、第一端以及第二端，其第一端與該第一電晶體的基極相互耦接，第二電晶體的基極耦接至第一電晶體的第二端，且第二電晶體的第二端耦接至鉚墊及電壓軌線的另一。

## 三、英文發明摘要：

An electrostatic discharge (ESD) protection apparatus is disclosed. The ESD protection apparatus includes at least one first transistor and at least one second transistor. The at least one first transistor having a gate coupled to a second terminal thereof and a first terminal coupled to one of a pad

and a power rail line. The at least one second transistor having a first terminal coupled to a substrate of the first transistor. A substrate of the second transistor coupled to the second terminal of the first transistor, and a second terminal of the second transistor coupled to the other one of the pad and the power rail line.

#### 四、指定代表圖：

(一) 本案之指定代表圖：圖 1A

(二) 本代表圖之元件符號簡單說明：

100：靜電放電保護裝置

P1~Pj、N1~Ni：電晶體

PAD：鉸墊

BL：電壓軌線

GND：接地電壓

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

無

## 六、發明說明：

### 【發明所屬之技術領域】

本發明是有關於一種靜電放電保護裝置，且特別是有關於一種利用寄生的矽控整流器 (Silicon Controlled Rectifier, SCR) 來逕行靜電放電保護的靜電放電保護裝置。

### 【先前技術】

隨著半導體製程的演進，現今半導體製程中的電晶體的閘極氧化層 (gate oxide) 愈來愈薄，致使更容易在靜電放電現象發生時受到破壞。因此，發展出一種可以因應現今的半導體製程技術的靜電放電防護的技術，成為該領域設計者一個重要的課題。

在習知的靜電放電保護裝置中，常見利用具有較薄的閘極氧化層的靜電放電保護元件來建構。這種具有較薄的閘極氧化層的靜電放電保護元件卻會在所屬的電路進行正常操作時，產生較大的漏電電流。相對的，若使用具有較厚的閘極氧化層的靜電放電保護元件來建構靜電放電保護裝置，則會使得靜電放電保護裝置較難被觸發，降低了其保護的功效。

此外，習知技術常利用所謂的矽控整流器 (Silicon Controlled Rectifier, SCR) 來建構靜電放電保護裝置。然習知技術的矽控整流器具有較難觸發 (需要較高的觸發電壓) 的狀況，經常發生在矽控整流器被啟動前，所屬的電路中的元件 (具有較薄的閘極氧化層) 就發生損壞的現象，無法

有效的達成靜電放電現象的防護功能。

### 【發明內容】

本發明提供多種靜電放電保護裝置，得以利用最小的佈局面積，達到最大的靜電放電保護的效果。

本發明提出一種靜電放電保護裝置，包括至少一第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其控制端以及其第二端相互耦接，其第一端耦接至鉚墊及電壓軌線的其中之一。第二電晶體同樣具有控制端、第一端以及第二端，其第一端與該第一電晶體的基極相互耦接，第二電晶體的基極耦接至第一電晶體的第二端，且第二電晶體的第二端耦接至鉚墊及電壓軌線的另一。

本發明另提出一種靜電放電保護裝置，包括第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其控制端以及其第二端共同耦接至鉚墊及電壓軌線的其中之一，其基極以及其第一端相互耦接。第二電晶體具有控制端、第一端、第二端以及基極，其控制端及其第二端耦接至第一電晶體的基極及第一端，第二電晶體的基極以及第二電晶體的第一端耦接至鉚墊及電壓軌線的另一。

本發明還提出一種靜電放電保護裝置，包括第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其控制端以及其第一端共同耦接至

銲墊及電壓軌線的其中之一。第二電晶體具有控制端、第一端、第二端以及基極，其控制端耦接至第一電晶體的基極以及第二電晶體的第一端，第二電晶體的基極耦接至第一電晶體的第二端，第二電晶體的第二端耦接至銲墊及電壓軌線的另一。

本發明更提出一種靜電放電保護裝置，包括第一電晶體以及至少一第二電晶體。第一電晶體具有控制端、第一端、第二端以及基極，其第一端以及其第二端分別耦接至銲墊以及電壓軌線，其控制端耦接至電壓軌線及銲墊的其中之一。第二電晶體具有控制端、第一端、第二端以及基極，其控制端耦接至其第二端並耦接至第一電晶體的基極，其第一端以及其基極共同耦接至電壓軌線及銲墊的另一。

基於上述，本發明利用串接的多數個電晶體來形成靜電放電保護裝置，且利用各電晶體的基極、控制端、第一端以及第二端的不同的相互連接方式，來使所產生寄生的矽控整流器的觸發電壓可以有效的降低，使靜電放電保護裝置中的矽控整流器，在靜電放電現象發生時，可以即時的導通以疏導靜電放電現象所產生的大電流，降低靜電放電保護裝置的矽控整流器因過慢導通所產生的閘極氧化層 (gate oxide) 的損壞的現象。

為讓本發明之上述特徵和優點能更明顯易懂，下文特舉實施例，並配合所附圖式作詳細說明如下。

### 【實施方式】

請參照圖 1A，圖 1A 繪示本發明的一實施例的靜電放電保護裝置 100 的示意圖。靜電放電保護裝置 100 包括電晶體 P1~Pj 以及電晶體 N1~Ni。其中，電晶體 Pj 的控制端(閘極)以及其第二端(汲極)相互耦接，其第一端(源極)耦接至鐳墊 PAD。電晶體 Pj 的基極耦接至電晶體 N1，且電晶體 Pj 的汲極耦接至下一級的電晶體 Pj-1。

另外，電晶體 P1~Pj-1 則串接在電晶體 Pj 及電晶體 N1 間，以其中的電晶體 P2 為例，電晶體 P1 的基極與電晶體 P2~Pj 的基極共同耦接，電晶體 P1 的汲極與其閘極相耦接，電晶體 P1 的汲極並耦接至電晶體 N1~Ni 的基極，而電晶體 P1 的源極則耦接至電晶體 P2 的閘極及汲極。

電晶體 Ni 的第二端(源極)耦接至電壓軌線 BL 所提供的接地電壓 GND。此外，電晶體 N1~Ni 的控制端(閘極)均耦接至其第一端(汲極)，且電晶體 N1~Ni 依序串接在電晶體 P1 以及電壓軌線 BL 間。值得一提的是，電晶體 N1~Ni 的基極共同耦接至電晶體 P1 的汲極。

在本實施例中，當鐳墊 PAD 上發生靜電放電現象，且所產生的靜電放電電流是由鐳墊 PAD 流出時，所產生的靜電放電電流可以透過串接的電晶體 P1~Pj 的通道進行宣洩，並透過電晶體 N1~Ni 的基極流向電壓軌線 BL。

或者，靜電放電電流亦可以由電晶體 P1 的汲極透過寄生的二極體順向導通流向電晶體 P1~Pj 的基極，並透過串接的電晶體 N1~Ni 的通道流向電壓軌線 BL，使靜電放



電電流可以有效的宣洩。

請同時配合參照圖 1B，圖 1B 繪示本發明靜電放電保護裝置 100 實施例的結構的剖面圖。其中，電晶體 P1~Pj 建構在 N 型的井區(N-well)110 上，而電晶體 N1~Ni 則建構在 P 型的井區(P-well)120 上。N 型的井區 110 上配置多個 P 型的重參雜區(P+)112~116 作為電晶體 P1~Pj 的源極及汲極。另外，N 型的井區 110 上配置一個 N 型的重參雜區(N+)111 以作為電晶體 P1~Pj 共同的基極。另外，P 型的井區 120 上配置多個 N 型的重參雜區(N+)123~127 作為電晶體 N1~Ni 的源極及汲極。P 型的井區 120 上還配置 P 型的重參雜區(P+)121 以及 122，其中的重參雜區 121 為電晶體 N1~Ni 的共同基極，而重參雜區 122 則用來作為電晶體 N1 的基極並藉以連接至電晶體 P1 的汲極(P 型的重參雜區 116 所構成)。

值得注意的是，本實施例中的靜電放電保護裝置 100 中，N 型的重參雜區 111、N 型井區 110、P 型井區 120 以及 N 型的重參雜區 123 形成寄生的電晶體 BJT1，而 P 型的重參雜區 112、N 型井區 110、P 型井區 120 以及 P 型的重參雜區 121 則形成寄生的電晶體 BJT2。電晶體 BJT1 以及電晶體 BJT2 則相互耦接成矽控整流器。這個由電晶體 BJT1 以及電晶體 BJT2 所構成的矽控整流器在鉚墊 PAD 上發生靜電放電現象時，可以被快速的觸發，並提供宣洩靜電放電電流的路徑。

請重新參照圖 1A，在本實施中，電晶體 N1~Ni 為 N

型的電晶體，而電晶體 P1~Pj 則為 P 型的電晶體。並且，電晶體 N1~Ni 以及電晶體 P1~Pj 的個數可以依據靜電放電保護裝置 100 所屬的電路特性以及電晶體 N1~Ni 及 P1~Pj 的臨界電壓(threshold voltage)來調整。具體一點來說，在靜電放電保護裝置 100 所屬的電路在正常工作的狀態下(亦即非啟動靜電放電保護的狀態)，鐳墊 PAD 在產品規格上的最大可能電壓內，透過電晶體 N1~Ni 及 P1~Pj 所產生的漏電流必須低於規格容許的範圍。因此，電晶體 N1~Ni 的最小可能數量可以是 1，而電晶體 P1~Pj 的最小可能數量也可以是 1。電晶體數量愈少則靜電電流導通時的壓降愈小，而電晶體數量愈多則正常工作下產生的漏電流愈小，最佳電晶體數量可以透過電路模擬的結果來決定。

以下請參照圖 2A 及圖 2B，圖 2A 及 2B 分別繪示本發明另一實施例的靜電放電保護裝置 200 不同實施方式。在圖 2A 的繪示中，靜電放電保護裝置 200 包括電晶體 N1 以及電晶體 P1~Pj。電晶體 N1 具有控制端(閘極)、第一端(汲極)、第二端(源極)以及基極。其中，電晶體 N1 的閘極以及其源極耦接至電壓軌線 BL。電晶體 N1 的基極以及其汲極相互耦接。電晶體 P1~Pj 則串接於鐳墊 PAD 以及電晶體 N1 的汲極間。且各電晶體 P1~Pj 的閘極都與其汲極相互耦接。並且，電晶體 P1~Pj 的基極共同耦接至鐳墊 PAD。另外，電晶體 P1~Pj 串則透過電晶體 P1 的閘極與汲極來耦接至電晶體 N1 的汲極。

請注意，電壓軌線 BL 提供接地電壓 GND。而在鐳墊

PAD 上發生靜電放電現象發生時，流出鉚墊 PAD 的靜電放電電流透過電晶體 P1~Pj 的通道，流至電晶體 N1 的基極，並藉此快速觸發寄生在電晶體 P1~Pj 以及電晶體 N1 中的矽控整流器，使靜電放電電流有效宣洩。

在本實施例中，電晶體 P1~Pj 的數量可依據所屬電路的實際狀況來加以選擇，簡單來說，鉚墊 PAD 在產品規格上的最大可能電壓內，透過電晶體 N1 及 P1~Pj 所產生的漏電流必須低於規格容許的範圍。當然，電晶體 P1~Pj 的數量最少可以只有 1 個。數量愈少則靜電電流導通時的壓降愈小，而數量愈多則正常工作下產生的漏電流愈小，最佳數量可以透過電路模擬的結果來決定。

圖 2B 繪示的靜電放電保護裝置 200 的實施方式為圖 2A 繪示的實施方式的一種互補的作法。在圖 2B 的繪示中，是利用 N 型電晶體 N1~Ni 來形成電晶體串，並串接在電晶體 P1 以及電壓軌線 BL 間。電晶體 P1 則串接在電晶體 N1 以及鉚墊 PAD 間。在當鉚墊 PAD 上發生靜電放電現象時，流出鉚墊 PAD 的靜電放電電流可以由電晶體 P1 的汲極透過寄生的二極體順向導通流向電晶體 P1 的基極，透過串接的電晶體 N1~Ni 的通道流向電壓軌線 BL，並藉此快速觸發寄生在電晶體 N1~Ni 以及電晶體 P1 中的矽控整流器，使靜電放電電流有效宣洩。

同樣的，電晶體 N1~Ni 的數量可依據所屬電路的實際狀況來加以選擇，簡單來說，鉚墊 PAD 在產品規格上的最大可能電壓內，透過電晶體 N1~Ni 及 P1 所產生的漏電流

必須低於規格容許的範圍。當然，電晶體  $N_1 \sim N_i$  的數量最少可以只有 1 個。電晶體數量愈少則靜電電流導通時的壓降愈小，而電晶體數量愈多則正常工作下產生的漏電流愈小，最佳電晶體數量可以透過電路模擬的結果來決定。

以下請同時參照圖 2A 以及圖 2C，其中的圖 2C 繪示圖 2A 的實施方式的靜電放電保護裝置 200 的結構的剖面圖。在圖 2C 的繪示中，電晶體  $P_1 \sim P_j$  建構在 N 型的井區 210 上，而電晶體  $N_1$  則建構在 P 型的井區 220 上。N 型的井區 210 上配置多個 P 型的重參雜區  $(P^+)_{212 \sim 216}$  作為電晶體  $P_1 \sim P_j$  的源極及汲極。另外，N 型的井區 210 上配置一個 N 型的重參雜區  $(N^+)_{211}$  以作為電晶體  $P_1 \sim P_j$  共同的基極。P 型的井區 220 上配置多個 N 型的重參雜區  $(N^+)_{223 \sim 224}$  作為電晶體  $N_1 \sim N_i$  的源極及汲極。另外，P 型的井區 220 上還配置 P 型的重參雜區  $(P^+)_{221}$  以及 222，其中的重參雜區 221 為電晶體  $N_1$  的基極，而重參雜區 222 則用來作為電晶體  $N_1$  的基極並藉以連接至電晶體  $P_1$  的汲極 (P 型的重參雜區 216 所構成)。

值得注意的是，圖 2C 繪示的靜電放電保護裝置 200 中，N 型的重參雜區 211、N 型井區 210、P 型井區 220 以及 N 型的重參雜區 223 形成寄生的電晶體 BJT1，而 P 型的重參雜區 212、N 型井區 210、P 型井區 220 以及 P 型的重參雜區 221 則形成寄生的電晶體 BJT2。電晶體 BJT1 以及電晶體 BJT2 則相互耦接成矽控整流器。這個由電晶體 BJT1 以及電晶體 BJT2 所構成的矽控整流器在鉚墊 PAD

上發生靜電放電現象時，可以被快速的觸發，並提供宣洩靜電放電電流的路徑。

以下請參照圖 3A 及圖 3B，圖 3A 及 3B 分別繪示本發明再一實施例的靜電放電保護裝置 300 不同實施方式。在圖 3A 的繪示中，靜電放電保護裝置 300 包括電晶體 N1 以及電晶體 P1~Pj。電晶體 N1 的控制端(閘極)以及其第一端(源極)共同耦接至電壓軌線 BL，本實施例中的電壓軌線 BL 用以提供接地電壓 GND。另外，電晶體 P1~Pj 串接在電晶體 N1 以及鐳墊 PAD 間，其中的電晶體 P1 透過其基極耦接至電晶體 N1 的第二端(汲極)。並且，各電晶體 P1~Pj 的控制端(閘極)與其第一端(汲極)相耦接，且電晶體 P1~Pj 的基極相互耦接，電晶體 P1 的第二端(源極)則耦接至鐳墊 PAD。

請注意，而在鐳墊 PAD 上發生靜電放電現象發生時，流出鐳墊 PAD 的靜電放電電流透過電晶體 P1~Pj 的通道，流至電晶體 N1 的基極，並藉此快速觸發寄生在電晶體 P1~Pj 以及電晶體 N1 中的矽控整流器，使靜電放電電流有效宣洩。

相對應的，圖 3B 繪示的靜電放電保護裝置 300 的實施方式為圖 3A 繪示的實施方式的一種互補的作法。在圖 3B 的繪示中，是利用 N 型電晶體 N1~Ni 來形成電晶體串，並串接在電晶體 P1 以及電壓軌線 BL 間。電晶體 P1 則串接在電晶體 N1 以及鐳墊 PAD 間。在當鐳墊 PAD 上發生靜電放電現象時，流出鐳墊 PAD 的靜電放電電流可以由電

晶體 P1 的汲極透過寄生的二極體順向導通流向電晶體 P1 的基極，透過串接的電晶體 N1~Ni 的通道流向電壓軌線 BL，並藉此快速觸發寄生在電晶體 N1~Ni 以及電晶體 P1 中的矽控整流器，使靜電放電電流有效宣洩。

上述圖 3A 以及圖 3B 中所分別繪示的電晶體 P1~Pj 以及電晶體 N1~Nj 的數量都是可以調整的。其電晶體 P1~Pj 以及電晶體 N1~Nj 的數量的調整方式與前述的實施例中的電晶體的數量調整方式是相同的，以下不多繁述。

以下請同時參照圖 3A 以及圖 3C，其中的圖 3C 繪示圖 3A 的實施方式的靜電放電保護裝置 300 的結構的剖面圖。在圖 3C 的繪示中，電晶體 P1~Pj 建構在 N 型的井區 310 上，而電晶體 N1 則建構在 P 型的井區 320 上。N 型的井區 310 上配置多個 P 型的重參雜區(P+)312~316 作為電晶體 P1~Pj 的源極及汲極。另外，N 型的井區 310 上配置 N 型的重參雜區(N+)311 以作為電晶體 P1~Pj 共同的基極。P 型的井區 320 上配置多個 N 型的重參雜區(N+)323~324 作為電晶體 N1 的源極及汲極。另外，P 型的井區 320 上還配置 P 型的重參雜區(P+)321 以及 322，其中的重參雜區 321 及 322 作為電晶體 N1 的基極，且重參雜區 322 連接至 P 型的重參雜區 316 所構成的電晶體 P1 的汲極。

值得注意的是，圖 3C 繪示的靜電放電保護裝置 300 中，N 型的重參雜區 311、N 型井區 310、P 型井區 320 以及 N 型的重參雜區 323 形成寄生的電晶體 BJT1，而 P 型

的重參雜區 312、N 型井區 310、P 型井區 320 以及 P 型的重參雜區 321 則形成寄生的電晶體 BJT2。電晶體 BJT1 以及電晶體 BJT2 則相互耦接成矽控整流器。這個由電晶體 BJT1 以及電晶體 BJT2 所構成的矽控整流器在鐳墊 PAD 上發生靜電放電現象時，可以被快速的觸發，並提供宣洩。

以下請參照圖 4A 及圖 4B，圖 4A 及 4B 分別繪示本發明再一實施例的靜電放電保護裝置 400 不同實施方式。在圖 4A 的繪示中，靜電放電保護裝置 400 包括電晶體 N1 以及電晶體 P1~Pj。電晶體 N1 的控制端(閘極)以及其第一端與第二端(源極與汲極)分別耦接在電壓軌線 BL 與鐳墊 PAD 間，其中，本實施例中的電壓軌線 BL 用以提供接地電壓 GND。另外，電晶體 P1~Pj 串接在電晶體 N1 以及鐳墊 PAD 間，其中的電晶體 P1 透過其閘極耦接至電晶體 N1 的基極。並且，各電晶體 P1~Pj 的閘極與汲極相耦接，且電晶體 P1~Pj 的基極相互耦接至鐳墊 PAD。

請注意，而在鐳墊 PAD 上發生靜電放電現象發生時，流出鐳墊 PAD 的靜電放電電流透過電晶體 P1~Pj 的通道，流至電晶體 N1 的基極，並藉此快速觸發寄生在電晶體 P1~Pj 以及電晶體 N1 中的矽控整流器，使靜電放電電流有效宣洩。

相對應的，圖 4B 繪示的靜電放電保護裝置 400 的實施方式為圖 4A 繪示的實施方式的一種互補的作法。在圖 4B 的繪示中，是利用 N 型電晶體 N1~Ni 來形成電晶體串，並串接在電晶體 P1 以及電壓軌線 BL 間。電晶體 P1 則串

接在電晶體 N1 以及鉚墊 PAD 間。在當鉚墊 PAD 上發生靜電放電現象時，流出鉚墊 PAD 的靜電放電電流可以由電晶體 P1 的汲極透過寄生的二極體順向導通流向電晶體 P1 的基極，透過串接的電晶體 N1~Ni 的通道流向電壓軌線 BL，並藉此快速觸發寄生在電晶體 N1~Ni 以及電晶體 P1 中的矽控整流器，使靜電放電電流有效宣洩。

同前述的多個實施例，上述圖 4A 以及圖 4B 中所分別繪示的電晶體 P1~Pj 以及電晶體 N1~Nj 的數量都是可以調整的。其電晶體 P1~Pj 以及電晶體 N1~Nj 的數量的調整方式與前述的實施例中的電晶體的數量調整方式是相同的，以下不多繁述。

以下請同時參照圖 4A 以及圖 4C，其中的圖 4C 繪示圖 4A 的實施方式的靜電放電保護裝置 400 的結構的剖面圖。在圖 4C 的繪示中，電晶體 P1~Pj 建構在 N 型的井區 410 上，而電晶體 N1 則建構在 P 型的井區 420 上。N 型的井區 410 上配置多個 P 型的重參雜區(P+)412~416 作為電晶體 P1~Pj 的源極及汲極。另外，N 型的井區 410 上配置 N 型的重參雜區(N+)411 以作為電晶體 P1~Pj 共同的基極，其中的重參雜區 411 及 412 共同耦接至鉚墊 PAD。P 型的井區 420 上則配置多個 N 型的重參雜區(N+)423~424 作為電晶體 N1 的源極及汲極。另外，P 型的井區 420 上還配置 P 型的重參雜區(P+)421 以及 422，其中的重參雜區 421 及 422 作為電晶體 N1 的基極，且重參雜區 422 連接至 P 型的重參雜區 416 所構成的電晶體 P1 的汲極。



值得注意的是，圖 4C 繪示的靜電放電保護裝置 400 中，N 型的重參雜區 411、N 型井區 410、P 型井區 420 以及 N 型的重參雜區 423 形成寄生的電晶體 BJT1，而 P 型的重參雜區 412、N 型井區 410、P 型井區 420 以及 P 型的重參雜區 421 則形成寄生的電晶體 BJT2。電晶體 BJT1 以及電晶體 BJT2 則相互耦接成矽控整流器。這個由電晶體 BJT1 以及電晶體 BJT2 所構成的矽控整流器在鉚墊 PAD 上發生靜電放電現象時，可以被快速的觸發，並提供宣洩。

綜上所述，本發明利用一個或多個的 P 型電晶體與 N 型電晶體，透過特殊的串接方式，來建構靜電放電保護裝置。進以使在鉚墊上因靜電放電現象所產生的靜電放電電流可以藉由 P 型(或 N 型)電晶體串通道，流至 N 型(或 P 型)電晶體的基極，並藉以快速觸發寄生在靜電放電保護裝置中的矽控整流器，有效宣洩靜電放電電流。

雖然本發明已以實施例揭露如上，然其並非用以限定本發明，任何所屬技術領域中具有通常知識者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，故本發明之保護範圍當視後附之申請專利範圍所界定者為準。

### 【圖式簡單說明】

圖 1A 繪示本發明的一實施例的靜電放電保護裝置 100 的示意圖。

圖 1B 繪示本發明靜電放電保護裝置 100 實施例的結構的剖面圖。

圖 2A 及 2B 分別繪示本發明另一實施例的靜電放電保護裝置 200 不同實施方式。

圖 2C 繪示圖 2A 的實施方式的靜電放電保護裝置 200 的結構的剖面圖。

圖 3A 及 3B 分別繪示本發明再一實施例的靜電放電保護裝置 300 不同實施方式。

圖 3C 繪示圖 3A 的實施方式的靜電放電保護裝置 300 的結構的剖面圖。

圖 4A 及 4B 分別繪示本發明再一實施例的靜電放電保護裝置 400 不同實施方式。

圖 4C 繪示圖 4A 的實施方式的靜電放電保護裝置 400 的結構的剖面圖。

#### 【主要元件符號說明】

100、200、300、400：靜電放電保護裝置

P1~Pj、N1~Ni、BJT1、BJT2：電晶體

PAD：鉚墊

BL：電壓軌線

GND：接地電壓

110、120、210、220、310、320、410、420：井區

111~116、121~127：重參雜區

103年1月9日  
修正本

## 七、申請專利範圍：

1. 一種靜電放電保護裝置，包括：

至少一第一電晶體，具有控制端、第一端、第二端以及基極，其控制端以及其第二端相互耦接，其第一端耦接至一鉚墊；以及

至少一第二電晶體，具有控制端、第一端以及第二端，其第一端與該第一電晶體的基極相互耦接，該第二電晶體的基極直接耦接至該第一電晶體的控制端，且該第二電晶體的第二端耦接至一電壓軌線。

2. 如申請專利範圍第 1 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓。

3. 如申請專利範圍第 2 項所述之靜電放電保護裝置，其中該第一電晶體為 P 型電晶體，該第二電晶體為 N 型電晶體。

4. 一種靜電放電保護裝置，包括：

一第一電晶體，具有控制端、第一端、第二端以及基極，其控制端以及其第二端共同耦接至一鉚墊及一電壓軌線的其中之一，其基極以及其第一端相互耦接；以及

至少一第二電晶體，具有控制端、第一端、第二端以及基極，該第二電晶體的控制端及第二端直接耦接至該第一電晶體的基極及第一端，該第二電晶體的基極以及該第二電晶體的第一端耦接至該鉚墊及該電壓軌線的另一。

5. 如申請專利範圍第 4 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓，且該第一電晶體耦

接至該鉚墊時，該第一電晶體為 P 型電晶體，該第二電晶體為 N 型電晶體。

6. 如申請專利範圍第 4 項所述之靜電放電保護裝置，該電壓軌線提供一接地電壓，且該第一電晶體耦接至該接地電壓時，該第一電晶體為 N 型電晶體，該第二電晶體為 P 型電晶體。

7. 一種靜電放電保護裝置，包括：

一第一電晶體，具有控制端、第一端、第二端以及基極，其控制端以及其第一端共同耦接至一鉚墊及一電壓軌線的其中之一；以及

至少一第二電晶體，具有控制端、第一端、第二端以及基極，其控制端直接耦接至該第一電晶體的基極以及該第二電晶體的第一端，該第二電晶體的基極耦接至該第一電晶體的第二端，該第二電晶體的第二端耦接至該鉚墊及該電壓軌線的另一。

8. 如申請專利範圍第 7 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓，且該第一電晶體耦接至該鉚墊時，該第一電晶體為 P 型電晶體，該第二電晶體為 N 型電晶體。

9. 如申請專利範圍第 7 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓，且該第一電晶體耦接至該接地電壓時，該第一電晶體為 N 型電晶體，該第二電晶體為 P 型電晶體。

10. 一種靜電放電保護裝置，包括：

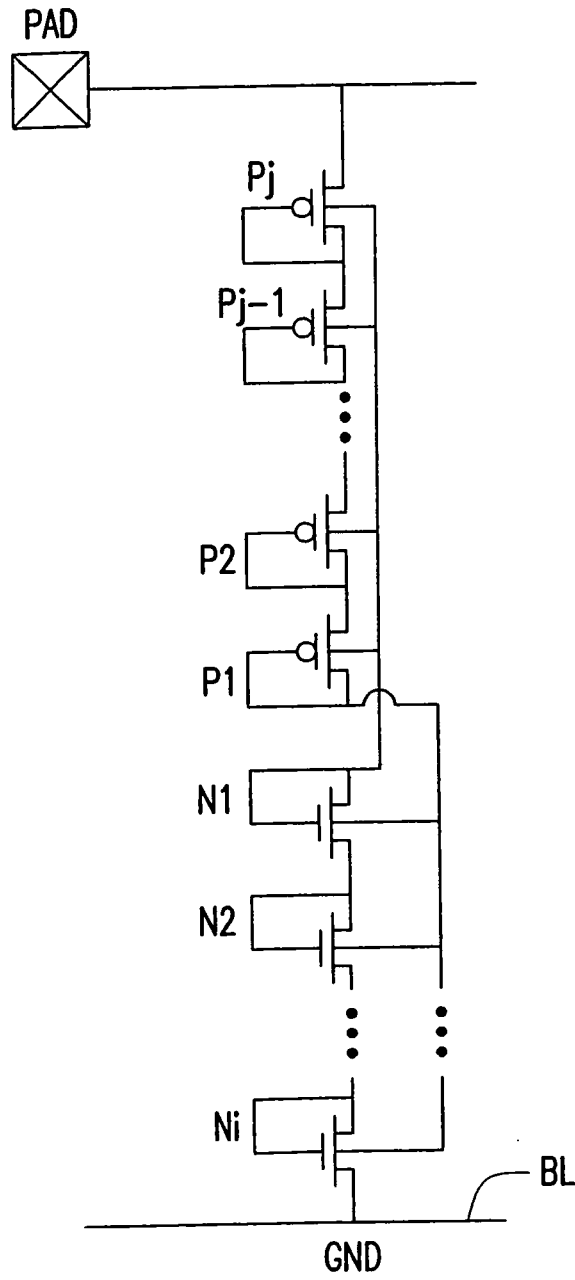
一第一電晶體，具有控制端、第一端、第二端以及基極，其第一端以及其第二端分別耦接至一鐳墊以及一電壓軌線，其控制端耦接至該電壓軌線及該鐳墊的其中之一；以及

至少一第二電晶體，具有控制端、第一端、第二端以及基極，其控制端耦接至其第二端並直接耦接至該第一電晶體的基極，其第一端以及其基極共同耦接至該電壓軌線及該鐳墊的另一。

11. 如申請專利範圍第 10 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓，且該第一電晶體耦接該鐳墊時，該第一電晶體為 P 型電晶體，該第二電晶體為 N 型電晶體。

12. 如申請專利範圍第 10 項所述之靜電放電保護裝置，其中該電壓軌線提供一接地電壓，且該第一電晶體耦接該接地電壓時，該第一電晶體為 N 型電晶體，該第二電晶體為 P 型電晶體。

八、圖式：



100

圖 1A

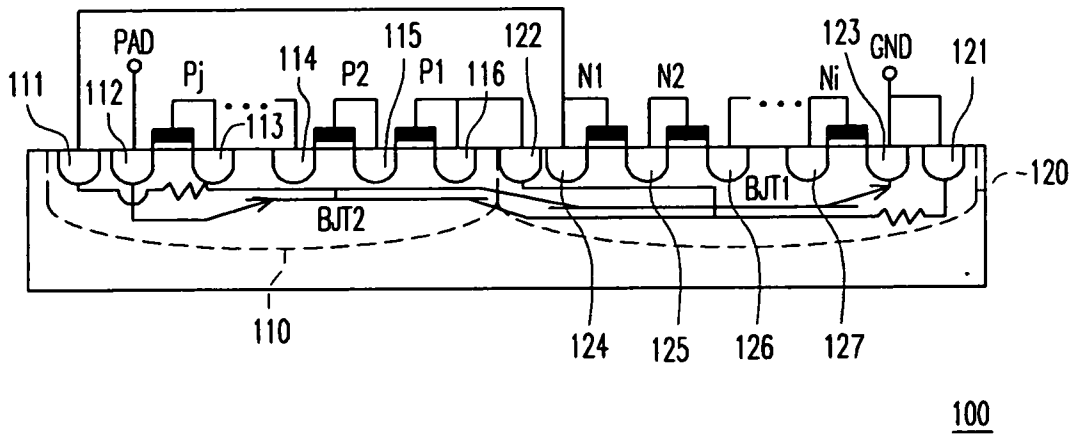


圖 1B

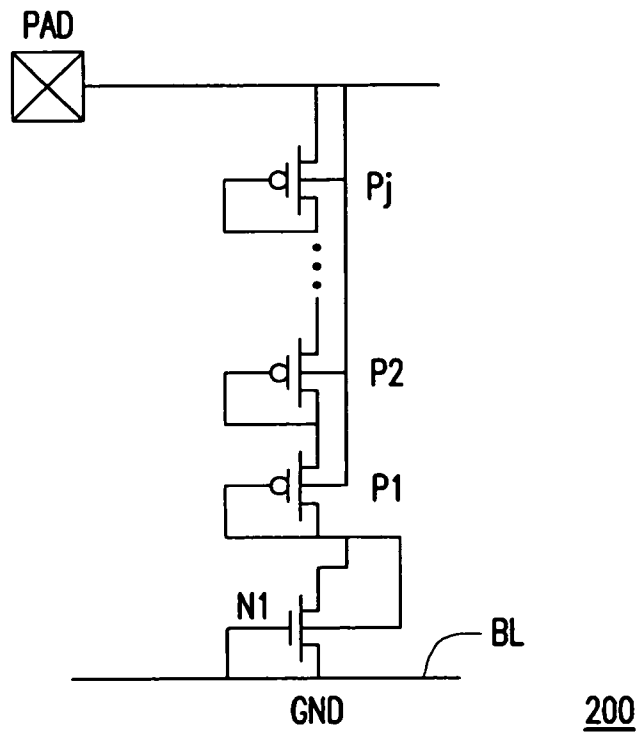


圖 2A

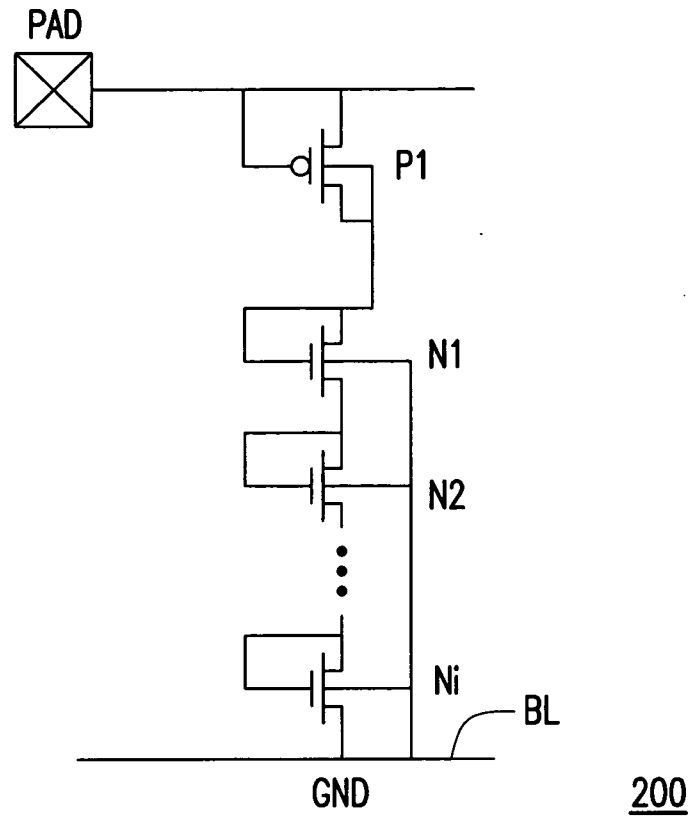


圖 2B

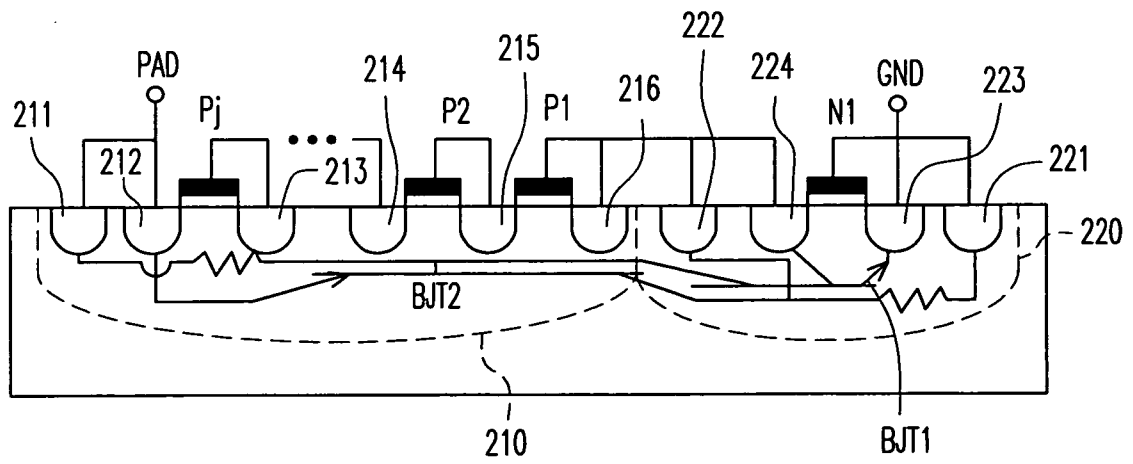


圖 2C



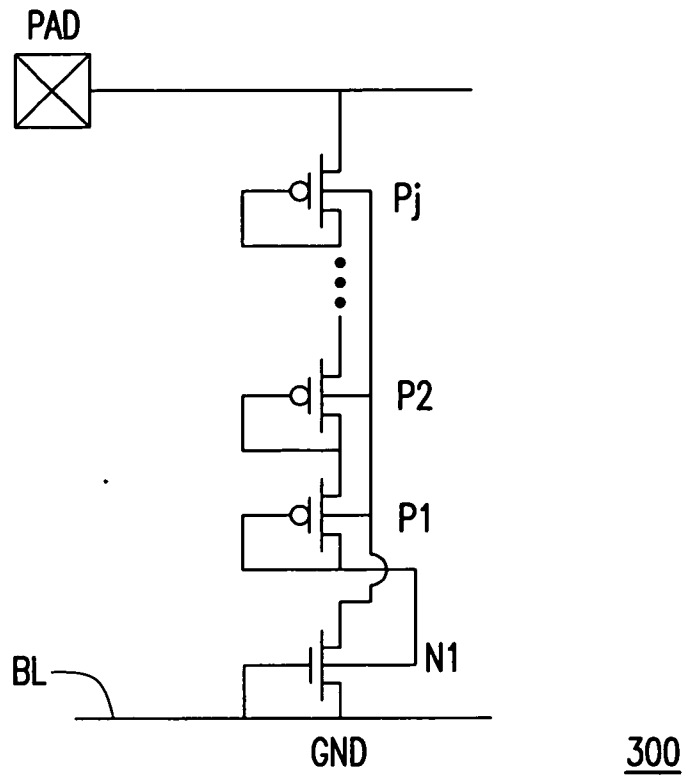


圖 3A

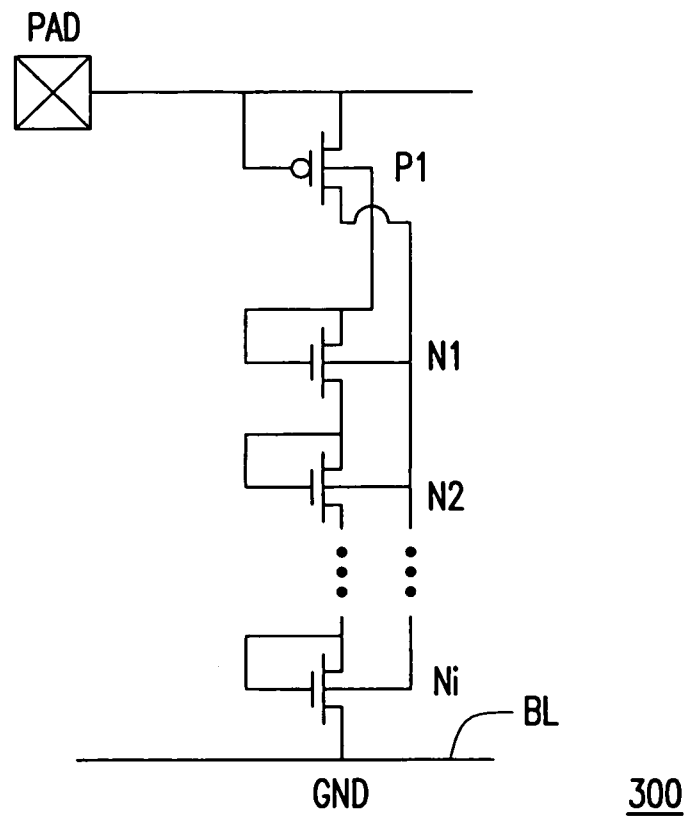
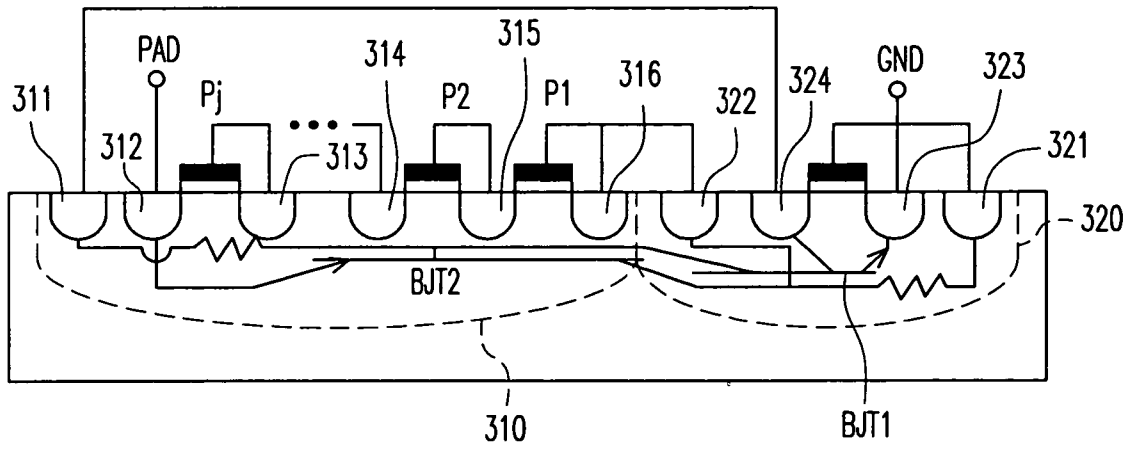
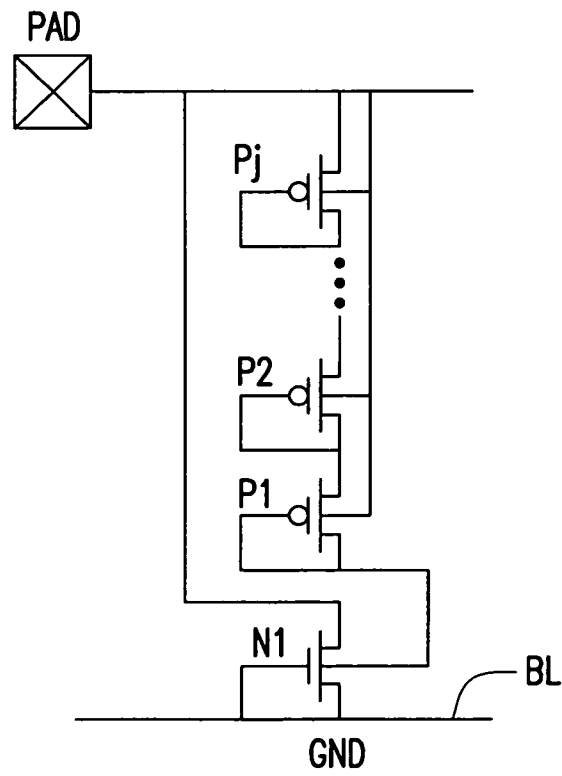


圖 3B



300

圖 3C



400

圖 4A

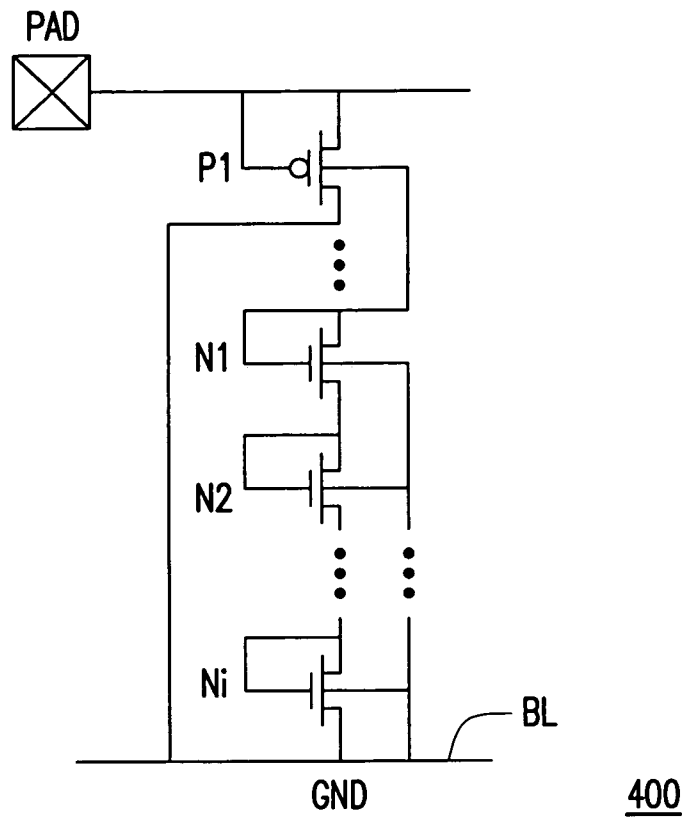


圖 4B

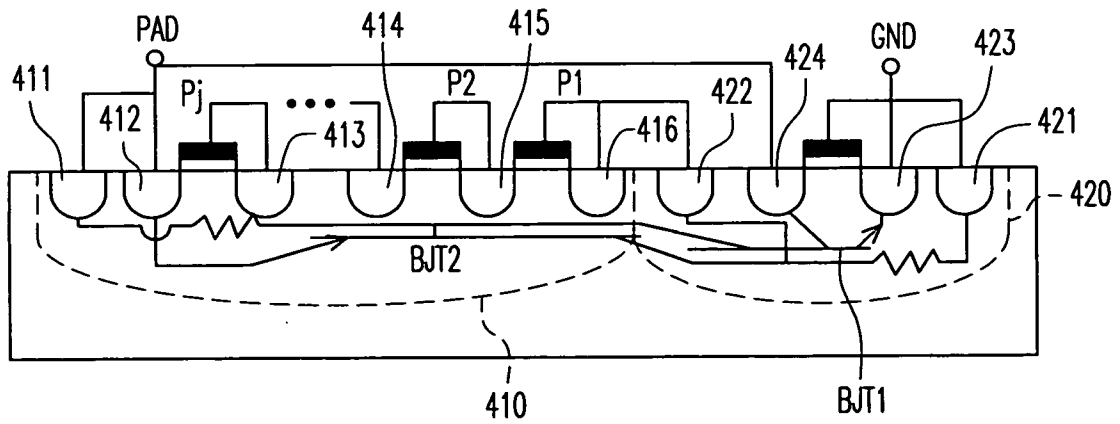


圖 4C

400