

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5307144号
(P5307144)

(45) 発行日 平成25年10月2日(2013.10.2)

(24) 登録日 平成25年7月5日(2013.7.5)

(51) Int.Cl.	F I	
HO 1 L 29/786 (2006.01)	HO 1 L 29/78	6 1 8 B
HO 1 L 21/336 (2006.01)	HO 1 L 29/78	6 1 8 A
CO 1 G 19/00 (2006.01)	HO 1 L 29/78	6 1 9 A
GO 2 F 1/1368 (2006.01)	CO 1 G 19/00	A
HO 1 L 21/363 (2006.01)	GO 2 F 1/1368	

請求項の数 10 (全 51 頁) 最終頁に続く

(21) 出願番号	特願2010-526539 (P2010-526539)	(73) 特許権者	000183646
(86) (22) 出願日	平成21年8月26日(2009.8.26)		出光興産株式会社
(86) 国際出願番号	PCT/JP2009/004113		東京都千代田区丸の内3丁目1番1号
(87) 国際公開番号	W02010/023889	(74) 代理人	100086759
(87) 国際公開日	平成22年3月4日(2010.3.4)		弁理士 渡辺 喜平
審査請求日	平成24年5月2日(2012.5.2)	(72) 発明者	矢野 公規
審査番号	不服2013-3396 (P2013-3396/J1)		千葉県袖ヶ浦市上泉1280番地
審査請求日	平成25年2月22日(2013.2.22)	(72) 発明者	川嶋 浩和
(31) 優先権主張番号	特願2008-218054 (P2008-218054)		千葉県袖ヶ浦市上泉1280番地
(32) 優先日	平成20年8月27日(2008.8.27)	(72) 発明者	井上 一吉
(33) 優先権主張国	日本国(JP)		千葉県袖ヶ浦市上泉1280番地

早期審査対象出願

最終頁に続く

(54) 【発明の名称】 電界効果型トランジスタ、その製造方法及びスパッタリングターゲット

(57) 【特許請求の範囲】

【請求項1】

基板上に、少なくともゲート電極と、ゲート絶縁膜と、半導体層と、半導体層の保護層と、ソース電極と、ドレイン電極とを有し、

前記ソース電極とドレイン電極が、半導体層を介して接続してあり、

前記ゲート電極と前記半導体層の間にゲート絶縁膜があり、

前記半導体層の少なくとも一面側に前記保護層を有し、

前記半導体層が、In原子、Sn原子及びZn原子を含む酸化物であり、かつ、

$Zn / (In + Sn + Zn)$ で表される原子組成比率が25原子%以上75原子%以下であり、

$Sn / (In + Sn + Zn)$ で表される原子組成比率が50原子%未満であり、

Snの平均価数が+3.8以上

であることを特徴とする電界効果型トランジスタ。

【請求項2】

前記半導体層が下記条件1を満たすことを特徴とする請求項1記載の電界効果型トランジスタ。

・条件1

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が40原子%以上65原子%以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が10原子%以上23原子

%未満

【請求項3】

前記半導体層が下記条件2を満たすことを特徴とする請求項1記載の電界効果型トランジスタ。

・条件2

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が40原子%以上65原子%以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が1原子%以上10原子%未満

【請求項4】

10

前記半導体層が下記条件3を満たすことを特徴とする請求項1記載の電界効果型トランジスタ。

・条件3

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が50原子%以上65原子%以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が23原子%以上30原子%以下

【請求項5】

前記半導体層が下記条件4を満たすことを特徴とする請求項1記載の電界効果型トランジスタ。

20

・条件4

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が65原子%超75原子%以下

【請求項6】

前記保護層が酸化物からなることを特徴とする請求項1～5のいずれかに記載の電界効果型トランジスタ。

【請求項7】

前記保護層が、酸化物からなる第一の保護層と、窒化物からなる第二の保護層とからなることを特徴とする請求項1～5のいずれかに記載の電界効果型トランジスタ。

【請求項8】

30

電界効果移動度が $3 \text{ cm}^2 / \text{Vs}$ 以上、オフ電流が $2 \times 10^{-12} \text{ A}$ 以下、閾値電圧 (V_{th}) が -1 V 以上 5 V 以下であることを特徴とする請求項1～7のいずれかに記載の電界効果型トランジスタ。

【請求項9】

請求項1～8のいずれかに記載の電界効果型トランジスタを具備したことを特徴とするディスプレイ用パネル。

【請求項10】

In 原子、 Sn 原子及び Zn 原子を含む酸化物であり、かつ、 $Zn / (In + Sn + Zn)$ で表される原子組成比率が25原子%以上75原子%以下であり、

40

$Sn / (In + Sn + Zn)$ で表される原子組成比率が50原子%未満であり、

Sn の平均価数が $+3.8$ 以上であることを特徴とする半導体膜。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電界効果型トランジスタ、その製造方法及びスパッタリングターゲットに関する。

【背景技術】

【0002】

50

電界効果型トランジスタは、半導体メモリ集積回路の単位電子素子、高周波信号増幅素子、液晶駆動用素子等として広く用いられており、現在、最も多く実用化されている電子デバイスである。

そのなかでも、近年における表示装置のめざましい発展に伴い、液晶表示装置(LCD)のみならず、エレクトロルミネッセンス表示装置(EL)や、フィールドエミッションディスプレイ(FED)等の各種の表示装置において、表示素子に駆動電圧を印加して表示装置を駆動させるスイッチング素子として、薄膜トランジスタ(TFT)が多用されている。

【0003】

薄膜トランジスタの材料としては、シリコン系半導体が広く用いられている。一般に、高速動作が必要な高周波増幅素子、集積回路用素子等には、結晶系シリコンが用いられ、液晶駆動用素子等には、大面積化の要求からアモルファスシリコンが用いられている。

しかしながら、結晶系シリコンは、結晶化を図る際に、例えば、800以上の高温やエキシマレーザーによる加熱が必要となり、大面積基板への構成が困難で、製造に際して多大なエネルギーと工程数を要する等の問題があった。さらに、結晶系シリコンは通常TFTの素子構成がトップゲート構成に限定されるためマスク枚数の削減等コストダウンが困難であった。

【0004】

一方、比較的低温で形成できる非晶性のシリコン半導体(アモルファスシリコン)は、移動度(電界効果移動度)が $0.5 \text{ cm}^2 / \text{Vs}$ 程度と小さく、結晶系のものに比べてスイッチング速度が遅いため、大画面・高精細・高周波数の動画の表示に追従できない場合がある。また、アモルファスシリコンを用いた電界効果トランジスタは直流電流ストレスに対する安定性(信頼性)が低く、直流電流駆動を行う有機EL等の自発光表示素子の駆動への応用が困難であるという問題点があった。

【0005】

尚、現在、表示装置を駆動させるスイッチング素子としては、シリコン系の半導体膜を用いた素子が主流を占めているが、それは、シリコン薄膜の安定性、加工性の良さの他、スイッチング速度が速い等、種々の性能が良好なためである。そして、このようなシリコン系薄膜は、一般に化学蒸気析出法(CVD)法により製造されている。

【0006】

また、従来のTFTには、ガラス等の基板上にゲート電極、ゲート絶縁層、水素化アモルファスシリコン(a-Si:H)等の半導体層、ソース及びドレイン電極を積層した逆スタガ構造のものがある。このTFTは、イメージセンサを始め、大面積デバイスの分野において、アクティブマトリクス型の液晶ディスプレイに代表されるフラットパネルディスプレイ等の駆動素子として用いられている。これらの用途では、高機能化(大画面・高精細・高周波数対応)に伴い、さらなる作動の高速化が求められている。

【0007】

このような状況下、トランジスタ性能(移動度、安定性)と大面積化の両立が期待できる半導体として、酸化物を用いた酸化物半導体が注目されている。

しかしながら、このような酸化物半導体のうち、従来からある酸化亜鉛を用いたものは、移動度が低い、オンオフ比が低い、漏れ電流が大きい、ピンチオフが不明瞭、ノーマリーオンになりやすい等、TFTの性能が低い。また、耐薬品性が劣るため、ウェットエッチングが難しい等、製造プロセスや使用環境の制限があった。

さらに、性能を上げるためには、酸化物半導体を高い圧力で成膜する必要があるため、成膜速度が遅く、また、700以上の高温処理が必要であった。また、トップゲート構成では酸化物半導体の膜厚を50nm以上にする必要がある等、実用上の制限が多かった。

【0008】

このような問題を解決するために、酸化インジウム及び酸化亜鉛からなる非晶質酸化物半導体、又は酸化インジウム、酸化亜鉛及び酸化ガリウムからなる非晶質酸化物半導体を

10

20

30

40

50

用いた電界効果型トランジスタが検討されている。しかしながら、ガリウム (Ga) を添加しないと耐湿性等の環境安定性が不足する一方、Gaの添加量が増えると移動度やS値等のTFT特性が低下するおそれがあった。また、Gaはレアメタルであるためコストが高く、安定供給に問題があった。

【0009】

そこで、Gaを用いないものとして、酸化インジウム、酸化亜鉛及び酸化錫からなる非晶質酸化物半導体を用いた電界効果型トランジスタが検討されている（例えば、特許文献1参照。）。

酸化錫を用いた電界効果型トランジスタは古くから検討されていたが、オフ電流が高く移動度が低い実用化されなかった。これは、酸化錫では絶縁体である低級酸化物 (SnO等) が生成しやすいためであると考えられていた。このことから酸化錫は半導体材料として適しないと考えられていた。実際、錫を主成分とした酸化インジウム、酸化亜鉛及び酸化錫からなる非晶質酸化物半導体を用いた電界効果トランジスタでは、オフ電流やヒステリシスが大きく、閾値電圧 (V_{th}) が大きく負となっていた。さらに、熱処理により移動度は向上できるが、熱処理温度に応じ閾値電圧が負方向に大きくシフトするため、各トランジスタの性能のばらつきが大きい、信頼性が低い等、実用化を妨げる問題があった（例えば、非特許文献1参照）。

【0010】

また、コスパッタを用いた錫を主成分としない酸化インジウム、酸化亜鉛及び酸化錫からなる非晶質酸化物半導体の検討されている。この半導体では、亜鉛が25原子%以上含まれると移動度が低下し、閾値電圧が大きくなり、一方亜鉛が25原子%未満含まれるとS値が大きくなり閾値電圧が負となり、トランジスタ特性のよい電界効果トランジスタが作製できる組成比を見出すことは困難と考えられていた（例えば、非特許文献2参照）。

【0011】

このような状況であったため、酸化インジウム、酸化亜鉛及び酸化錫からなる非晶質酸化物半導体ではディスプレイ用パネル等の実用に適した電界効果型トランジスタの作製は困難と思われていた。

【先行技術文献】

【特許文献】

【0012】

【特許文献1】WO2005/088726 A1

【非特許文献】

【0013】

【非特許文献1】M. S. Grover et al., J. Phys. D. 40, 1335 (2007)

【非特許文献2】Kachirayil J. Saji et al., JOURNAL OF THE ELECTROCHEMICAL SOCIETY, 155(6), H390-395 (2008)

【発明の概要】

【0014】

本発明の目的は、トランジスタ特性（移動度、オフ電流、閾値電圧）及び信頼性（閾値電圧シフト、耐湿性）が良好で、ディスプレイパネルに適した電界効果型トランジスタを提供することである。

【0015】

本発明によれば、以下の電界効果型トランジスタ等が提供される。

1. 基板上に、少なくともゲート電極と、ゲート絶縁膜と、半導体層と、半導体層の保護層と、ソース電極と、ドレイン電極とを有し、

前記ソース電極とドレイン電極が、半導体層を介して接続してあり、

前記ゲート電極と前記半導体層の間にゲート絶縁膜があり、

前記半導体層の少なくとも一面側に保護層を有し、

10

20

30

40

50

前記半導体層が、I n原子、S n原子及びZ n原子を含む酸化物であり、かつ、
 $Z n / (I n + S n + Z n)$ で表される原子組成比率が25原子%以上75原子%以下
 であり、

$S n / (I n + S n + Z n)$ で表される原子組成比率が50原子%未満
 であることを特徴とする電界効果型トランジスタ。

2. 前記半導体層が下記条件1を満たすことを特徴とする1記載の電界効果型トランジスタ。

・条件1

(1) $Z n / (I n + S n + Z n)$ で表される原子組成比率が40原子%以上65原子%以下

(2) $S n / (I n + S n + Z n)$ で表される原子組成比率が10原子%以上23原子%未満

3. 前記半導体層が下記条件2を満たすことを特徴とする1記載の電界効果型トランジスタ。

・条件2

(1) $Z n / (I n + S n + Z n)$ で表される原子組成比率が40原子%以上65原子%以下

(2) $S n / (I n + S n + Z n)$ で表される原子組成比率が1原子%以上10原子%未満

4. 前記半導体層が下記条件3を満たすことを特徴とする1記載の電界効果型トランジスタ。

・条件3

(1) $Z n / (I n + S n + Z n)$ で表される原子組成比率が50原子%以上65原子%以下

(2) $S n / (I n + S n + Z n)$ で表される原子組成比率が23原子%以上30原子%以下

5. 前記半導体層が下記条件4を満たすことを特徴とする1記載の電界効果型トランジスタ。

・条件4

(1) $Z n / (I n + S n + Z n)$ で表される原子組成比率が65原子%超75原子%以下

6. 前記保護層が酸化物からなることを特徴とする1~5のいずれかに記載の電界効果型トランジスタ。

7. 前記保護層が、酸化物からなる第一の保護層と、窒化物からなる第二の保護層とからなることを特徴とする1~5のいずれかに記載の電界効果型トランジスタ。

8. 電界効果移動度が $3 \text{ cm}^2 / \text{Vs}$ 以上、オフ電流が $2 \times 10^{-12} \text{ A}$ 以下、閾値電圧(V_{th})が-1V以上5V以下であることを特徴とする1~7のいずれかに記載の電界効果型トランジスタ。

9. I n原子、S n原子及びZ n原子を含有する酸化物であり、

$Z n / (I n + S n + Z n)$ で表される原子組成比率が25原子%以上70原子%以下
 であり、

$S n / (I n + S n + Z n)$ で表される原子組成比率が50原子%未満であることを特徴とする電界効果型トランジスタの半導体層形成用スパッタリングターゲット。

10. I n原子、S n原子及びZ n原子を含有する酸化物であり、

$Z n / (I n + S n + Z n)$ で表される原子組成比率が70原子%以下であり、

$I n / (I n + S n + Z n)$ で表される原子組成比率が33原子%未満であり、

$S n / (I n + S n + Z n)$ で表される原子組成比率が5原子%以上15原子%未満であることを特徴とする電界効果型トランジスタの半導体層形成用スパッタリングターゲット。

11. 9又は10のスパッタリングターゲットを用いて半導体層を成膜する工程を含むこ

10

20

30

40

50

とを特徴とする 1 ~ 8 のいずれかに記載の電界効果型トランジスタの製造方法。

12. 半導体層を形成する工程、半導体層上に保護層を形成する工程、及びそれらの工程の後に 150 ~ 350 で熱処理する工程を含むことを特徴とする 11 に記載の電界効果型トランジスタの製造方法。

13. 半導体層の一部を低抵抗化させソース電極又はドレイン電極とする工程を含むことを特徴とする 11 又は 12 に記載の電界効果型トランジスタの製造方法。

14. 1 ~ 8 のいずれかに記載の電界効果型トランジスタを具備したことを特徴とするディスプレイ用パネル。

15. In 原子、Sn 原子及び Zn 原子を含む酸化物であり、かつ、

$Zn / (In + Sn + Zn)$ で表される原子組成比率が 25 原子% 以上 75 原子% 以下であり、

$Sn / (In + Sn + Zn)$ で表される原子組成比率が 50 原子% 未満であり、

Sn の平均価数が +3.2 以上であることを特徴とする半導体膜。

【0016】

本発明によれば、半導体層が In、Sn 及び Zn を特定の組成比で含み、半導体層の少なくとも一面側に保護層を有することで、トランジスタ特性（移動度、オンオフ比、オフ電流、S 値、閾値電圧（ V_{th} ）、ヒステリシス、閾値電圧のシフト、耐湿性）が高く実用性の高い電界効果型トランジスタが得られる。

また、レアメタルである Ga を添加しなくともトランジスタ特性に優れた電界効果型トランジスタの提供が可能になった。

【図面の簡単な説明】

【0017】

【図1】本発明の一実施形態の電界効果型トランジスタの概略断面図である。

【図2】本発明における半導体層の好ましい組成条件（領域）を示す図である。

【図3a】実施例1で作製した電界効果型トランジスタの製造工程を示す図である。

【図3b】実施例1で作製した電界効果型トランジスタの製造工程を示す図である。

【図4】昇電圧時及び降電圧時の伝達曲線（I-V特性）の例であり、（a）はヒステリシスの少ない例であり、（b）はヒステリシスの大きい例を示す図である。

【図5】（a）実施例40で作製したボトムゲートエッチストッパー型の電界効果型トランジスタの概略断面図であり、（b）は同トランジスタの概略上面図である。

【図6】実施例47で作製したボトムゲート構造のバックチャンネルエッチ（BCH）型の電界効果型トランジスタの概略断面図である。

【図7】実施例52で作製したコプラナー構造電界効果型トランジスタの製造工程を示す図である。

【図8】酸化物半導体の、温度と移動度の関係を示す図である。

【図9】実施例54で作製したトップゲート構造電界効果型トランジスタの概略断面図である。

【図10】実施例55で作製した電界効果型トランジスタの概略断面図である。

【図11】コスパッタによる薄膜形成の概念図である。

【図12】（a）は半導体層の Zn 量と移動度の関係を示す図であり、（b）は半導体層の Zn 量とオフ電流の関係を示す図である。

【図13】（a）は半導体層の In 量と移動度の関係を示す図であり、（b）は半導体層の In 量とオフ電流の関係を示す図である。

【発明を実施するための形態】

【0018】

本発明の電界効果型トランジスタは、基板上に、少なくとも半導体層と、半導体層の保護層と、ソース電極と、ドレイン電極と、ゲート絶縁膜と、ゲート電極とを有する。

図1は、本発明の一実施形態の電界効果型トランジスタの概略断面図である。

この電界効果型トランジスタでは、基板10上に、ゲート電極11がストライプ状に形

10

20

30

40

50

成されている。このゲート電極 11 を覆うようにゲート絶縁膜 12 を有し、このゲート絶縁膜 12 上であって、かつ、ゲート電極 12 の上方に半導体層 13 (活性層) が形成されている。

半導体層 13 の一端側に、ゲート電極 11 と直交する方向にソース電極 14 が接続されている。また、半導体層 13 の一端に対向する他端側にドレイン電極 15 が接続されている。

半導体層 13、ソース電極 14 及びドレイン電極 15 の中間の位置に第一の保護層 16 が形成されている。

ゲート絶縁膜 12、ソース電極 14、ドレイン電極 15 及び第一の保護層 16 を覆うように、第二の保護層 17 が形成されている。

第二の保護層 17 にはコンタクトホール 18 があり、外部電極と、ソース電極 14 又はドレイン電極 15 が接続されている。

尚、第二の保護層 17 は必ずしも必須ではないが、形成することが好ましい。

【0019】

本発明の電界効果型トランジスタでは、半導体層 13 が In 原子、Sn 原子及び Zn 原子を含んでおり、 $Zn / (In + Sn + Zn)$ で表される原子組成比率が 25 原子% 以上 75 原子% 以下であり、 $Sn / (In + Sn + Zn)$ で表される原子組成比率が 50 原子% 未満であることを特徴とする。

【0020】

$Zn / (In + Sn + Zn)$ を 25 原子% 以上とすることにより、Zn により酸素欠損が抑制され、適性な閾値電圧 (V_{th}) の電界効果トランジスタが得られる。また、75 原子% 以下とすることにより、酸化亜鉛 (ZnO) の結晶の生成によるトランジスタ性能の低下 (移動度の低下、オフ電流の増加、S 値の増加等) を避けることが出来る。

$Zn / (In + Sn + Zn)$ は 30 原子% 以上がより好ましく、35 原子% 以上がさらに好ましい。

【0021】

また、 $Sn / (In + Sn + Zn)$ を 50 原子% 未満とすることにより、酸化錫の低級酸化物の生成 (Sn 平均価数の低下) によるトランジスタ性能の低下 (移動度の低下、オフ電流の増加、S 値の増加等) を避けることが出来る。

$Sn / (In + Sn + Zn)$ は 33 原子% 以下が好ましく、28 原子% 以下がより好ましく、23 原子% 未満がさらに好ましく、20 原子% 以下が特に好ましい。33 原子% 以下とすることにより、トランジスタ特性 (移動度、オンオフ比、オフ電流、S 値、閾値電圧 (V_{th})、ヒステリシス、閾値電圧のシフト、耐湿性) が良好な電界効果トランジスタが得られる。また、PECVD 時のプラズマ照射等、プロセス上で還元雰囲気曝された際の、移動度等のトランジスタ特性の低下を防ぐことが出来る。これは、錫の低級酸化物の生成 (Sn 平均価数の低下) を抑制することができるためと思われる。

【0022】

本発明では、半導体層 13 が Sn 原子を含むことで、耐湿性の向上や、耐薬品性の向上 (耐 PAN 性の向上含む)、雰囲気温度に対する安定性が期待できる。さらに、Sn を含有することでレアメタルである In の含有量を低減することができる。

$Sn / (In + Sn + Zn)$ は 1 原子% 以上であることが好ましく、3 原子% 以上がより好ましく、5 原子% 以上がさらに好ましく、10 原子% 以上が特に好ましい。

【0023】

半導体層の組成においては、下記の条件 1 ~ 4 のいずれかを満たすことが好ましい。

・条件 1

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が 40 原子% 以上 65 原子% 以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が 10 原子% 以上 23 原子% 未満

・条件 2

10

20

30

40

50

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が 40 原子% 以上 65 原子% 以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が 1 原子% 以上 10 原子% 未満

・条件 3

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が 50 原子% 以上 65 原子% 以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が 23 原子% 以上 30 原子% 以下

・条件 4

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が 65 原子% 超 75 原子% 以下

【0024】

図 2 に本発明における半導体層の好ましい組成条件(領域)を示す。

半導体層の組成が領域 1 内にあると、トランジスタ特性(移動度、オンオフ比、オフ電流、S 値、閾値電圧(V_{th})、ヒステリシス、閾値電圧のシフト、耐湿性)に非常に優れた電界効果トランジスタが得られる。また、半導体層及びソース・ドレイン電極の形成にウェットエッチングを採用できるため、大型パネルを低いコストで製造できる。有機 EL ディスプレイや液晶ディスプレイ用途に特に適している。

【0025】

領域 1 のうち、特に下記の範囲が最も好ましい。

(1) $Zn / (In + Sn + Zn)$ で表される原子組成比率が 57 原子% 以上 65 原子% 以下

(2) $Sn / (In + Sn + Zn)$ で表される原子組成比率が 10 原子% 以上 18 原子% 未満

前記範囲内だと、移動度(cm^2 / Vs)及びオンオフ比が高く、オフ電流及び S 値が小さく、かつ閾値電圧のシフト V_{th} (V) が小さい良好な電界効果トランジスタが得られる。さらに、前記範囲内だと、希少資源である In (インジウム)の含有量も少ないため、低い原料比で良好なターゲット及び良好な電界効果トランジスタが得られ工業的に最適である。

【0026】

半導体層の組成が領域 3 内にあると、プロセス耐性が高くプロセス温度が高くとも劣化の危険性が少ない。また、耐湿性に優れた電界効果トランジスタが得られる。そのため、プロセス温度が高い無機 EL ディスプレイ用途に特に適している。

【0027】

半導体層の組成が領域 2 内にあると、低温の熱処理で高い特性が得られる。耐熱性の低い樹脂基板等を用いる用途(例えばフレキシブルディスプレイ)に特に適している。

【0028】

半導体層の組成が領域 4 内にあると、オフ電流が低い電界効果トランジスタが得られる。また、亜鉛が主成分のため原料コストが低く、製品から原料を回収する必要性がない。そのため、ディスプレイ用途(ICタグ等)に特に適している。

【0029】

半導体層の組成において、Sn 原子と In 原子の原子比(Sn / In)は、0.41 以上 0.69 以下が特に好ましい。0.41 以上だと耐湿性が向上し、0.69 以下だと低温プロセスで優れたトランジスタ特性が得られる。また、酸化錫の低級酸化物の生成(Sn 平均価数の低下)によるトランジスタ性能の低下(移動度の低下、オフ電流の増加、S 値の増加等)を避けることが出来る。

【0030】

半導体層は、In, Sn 及び Zn の他に、Ga、Al、B、Sc、Y、ランタノイド類(La、Ce、Pr、Nd、Sm、Eu、Gd、Tb、Dy、Ho、Er、Tm、Yb、

10

20

30

40

50

Lu)、Zr、Hf、Ge、Si、Ti、Mn、W、Mo、V、Cu、Ni、Co、Fe、Cr及びNbから選ばれた元素を0～20原子%含んでいてもよい。

また、Na含有量が100ppm未満であることが好ましい。Naの含有量が100ppm未満であると、電圧による可動イオンの量が少ないため電圧ストレスに対する信頼性が向上する(V_{th}が小さくなる)。

以下、本発明の電界効果型トランジスタを構成する部材の例について説明する。

【0031】

1. 基板

特に制限はなく、本技術分野で公知のものを使用できる。例えば、ケイ酸アルカリ系ガラス、無アルカリガラス、石英ガラス等のガラス基板、シリコン基板、アクリル、ポリカーボネート、ポリエチレンナフタレート(PEN)等の樹脂基板、ポリエチレンテレフタレート(PET)、ポリアミド等の高分子フィルム基材等が使用できる。基板や基材の厚さは0.1～1.0mmが一般的であり、0.3～5mmが好ましい。ガラス基板の場合は、化学的に、或いは熱的に強化させたものが好ましい。透明性や平滑性が求められる場合は、ガラス基板、樹脂基板が好ましく、ガラス基板が特に好ましい。軽量化が求められる場合は樹脂基板や高分子基材が好ましい。

10

【0032】

2. 半導体層

半導体層は、上述したとおり、In、Zn及びSnの各原子を含む複合酸化物からなる。このような半導体層は、例えば、後述する本発明の複合酸化物ターゲット(半導体層用ターゲット)を使用して薄膜を形成することで作製できる。

20

また、半導体層は、粒子状の酸化物半導体を溶媒に溶かし、その酸化物半導体溶液を塗布又は印刷し、その後、加熱処理で溶媒を蒸発させることにより形成することもできる。この方法は、設備コストが低くエネルギー効率も高いため好ましい。

ゾルゲル法等の溶液の利用やCVDも利用できるが、大面積に均一に成膜するには半導体用ターゲットを用いスパッタリングで形成することが、トランジスタ特性が高くなることから最も好ましい。

【0033】

本発明において、半導体層は非晶質膜であることが好ましい。非晶質膜であることにより、絶縁膜や保護層との密着性が改善される、大面積でも均一なトランジスタ特性が容易に得られることとなる。ここで、半導体層が非晶質膜であるかは、X線結晶構造解析により確認できる。明確なピークが観測されない場合が非晶質である。

30

【0034】

また、半導体層の電子キャリア濃度が $10^{13} \sim 10^{18} / \text{cm}^3$ であることが好ましく、特に $10^{14} \sim 10^{17} / \text{cm}^3$ であることが好ましい。電子キャリア濃度が上記の範囲であれば、非縮退半導体となりやすく、トランジスタとして用いた際に移動度とオンオフ比のバランスが良好となり好ましい。キャリア密度が 10^{18} cm^{-3} 以下だとオフ電流を小さくでき、ノーマリーオフとしやすくなる。 10^{13} cm^{-3} 以上だと移動度を向上させることができる。

また、比抵抗は $10^{-1} \sim 10^9 \text{ cm}$ であることが好ましい。より好ましくは $10 \sim 10^7 \text{ cm}$ である。特に好ましくは、 $10^2 \sim 10^5 \text{ cm}$ である。 10^{-1} cm 以上だとオフ電流を小さくすることができる。 10^9 cm 以下だと移動度を高くし、閾値電圧を小さくできる。

40

また、バンドギャップが2.0～6.0eVであることが好ましく、特に、2.8～5.0eVがより好ましい。バンドギャップは、2.0eVより小さいと可視光を吸収し電界効果型トランジスタが誤動作するおそれがある。一方、6.0eVより大きいとキャリアが供給されにくくなり電界効果型トランジスタが機能しなくなるおそれがある。

【0035】

半導体層は、熱活性型を示す非縮退半導体であることが好ましい。縮退半導体であるとキャリアが多すぎてオフ電流・ゲートリーク電流が増加する、閾値が負になりノーマリー

50

オンとなるおそれがある。半導体層が非縮退半導体であるかは、ホール効果を用いた移動度とキャリア密度の温度変化の測定を行うことにより判断できる。また、半導体層を非縮退半導体とするには、成膜時の酸素分圧を調整する、後処理をすることで酸素欠陥量を制御しキャリア密度を最適化することで達成できる。

【0036】

半導体層の表面粗さ(RMS)は、1nm以下が好ましく、0.6nm以下がさらに好ましく、0.3nm以下が特に好ましい。1nmより大きいと、移動度が低下するおそれがある。

半導体層は、酸化インジウムのピクスバイト構造の稜共有構造の少なくとも一部を維持している非晶質膜であることが好ましい。酸化インジウムを含む非晶質膜が酸化インジウムのピクスバイト構造の稜共有構造の少なくとも一部を維持しているかどうかは、高輝度のシンクロトロン放射等を用いた微小角入射X線散乱(GIXS)によって求めた動径分布関数(RDF)により、 $I_n - X$ (X は、 I_n , Zn)を表すピークが0.30から0.36nmの間にあることで確認できる(詳細については、下記の文献を参照すればよい。F. Utsuno, et al., Thin Solid Films, Volume 496, 2006, Pages 95-98)。

10

【0037】

さらに、原子間距離が0.30から0.36nmの間のRDFの最大値をA、原子間距離が0.36から0.42の間のRDFの最大値をBとした場合に、 $A/B > 0.7$ の関係を満たすことが好ましく、 $A/B > 0.85$ がより好ましく、 $A/B > 1$ がさらに好ましく、 $A/B > 1.2$ が特に好ましい。

20

A/B が0.7以下だと、半導体層をトランジスタの活性層として用いた場合、移動度が低下したり、閾値やS値が大きくなりすぎるおそれがある。 A/B が小さいことは、非晶質膜の近距離秩序性が悪いことを反映しているものと考えられる。

【0038】

また、 $I_n - I_n$ の平均結合距離が0.3~0.322nmであることが好ましく、0.31~0.32nmであることが特に好ましい。 $I_n - I_n$ の平均結合距離はX線吸収分光法により求めることができる。X線吸収分光法による測定では、立ち上がりから数百eVも高いエネルギーのところまで広がったX線吸収広域微細構造(EXAFS)を示す。EXAFSは励起された原子の周囲の原子による電子の後方散乱によって引き起こされる。飛び出していく電子波と後方散乱された波との干渉効果が起こる。干渉は電子状態の波長と周囲の原子へ行き来する光路長に依存する。EXAFSをフーリエ変換することで動径分布関数(RDF)が得られる。RDFのピークから平均結合距離を見積もることができる。

30

【0039】

半導体層の膜厚は、通常0.5~500nm、好ましくは1~150nm、より好ましくは3~80nm、特に好ましくは10~60nmである。0.5nmより薄いと工業的に均一に成膜することが難しい。一方、500nmより厚いと成膜時間が長くなり工業的に採用できない。また、3~80nmの範囲内にあると、移動度やオンオフ比等TF特性が特に良好である。

40

【0040】

本発明では、非局在準位のエネルギー幅(E_0)が14meV以下であることが好ましい。半導体層の非局在準位のエネルギー幅(E_0)は10meV以下がより好ましく、8meV以下がさらに好ましく6meV以下が特に好ましい。非局在準位のエネルギー幅(E_0)が14meVより大きいと、半導体層をトランジスタの活性層として用いた場合、移動度が低下したり、閾値やS値が大きくなりすぎるおそれがある。半導体層の非局在準位のエネルギー幅(E_0)が大きいことは、非晶質膜の近距離秩序性が悪いことを反映しているものと考えられる。

【0041】

X線光電子分光法(XPS)で測定したSn平均価数は、+3.2以上が好ましく、+

50

3.6以上がより好ましく、+3.8以上がさらに好ましい。上限は特に限定されないが通常+4.0以下である。XPS価電子帯スペクトルでは、Sn5sに起因するバンドは、低級酸化物であるSnO(Sn+2:4d¹⁰5s²の電子配置)のスペクトルのみにみられ、SnO₂(Sn+4:4d¹⁰の電子配置)にはみられない。そのため、Sn5sバンドの相対強度からSn平均価数を求めることができる(参照:X線光電子分光法、1998年、丸善株式会社刊)。通常、スパッタで作製したSnO₂膜のSn平均価数は、+2.8程度である。

【0042】

X線局所構造解析(XAFS)法を用いたIn、Sn、Zn各金属元素周辺の局所構造解析において、Sn元素周りの構造はSnO₂と同様の構造を有していると、散乱による移動度の低下が抑制できて好ましい。またIn、Zn元素周りの構造はIZO薄膜と同様の構造を有しているとZnにより非晶質が安定化され好ましい。

10

なお、前記解析を行うに際し、一般的な蛍光法では解析に十分なデータを得ることができないので、多素子SSD検出器を用い、且つ薄膜試料基板を微小角度に傾けて放射光を入射させる斜入射法を用いて測定を行うことが好ましい。

【0043】

3.第一及び第二の保護層

保護層により、真空中や低圧下で半導体の表面層の酸素が脱離し、オフ電流が高くなる、閾値電圧が負になることを防ぐことができる。また、大気下でも湿度等周囲の影響を受けず、閾値電圧等のトランジスタ特性のばらつきを防ぐことができる。

20

【0044】

保護層を形成する材料は特に制限はない。本発明の効果を失わない範囲で一般に用いられているものを任意に選択できる。例えば、SiO₂、SiN_x、Al₂O₃、Ta₂O₅、TiO₂、MgO、ZrO₂、CeO₂、K₂O、Li₂O、Na₂O、Rb₂O、Sc₂O₃、Y₂O₃、Hf₂O₃、CaHfO₃、PbTi₃、BaTa₂O₆、SrTiO₃、AlN等を用いることができる。これらのなかでも、SiO₂、SiN_x、Al₂O₃、Y₂O₃、Hf₂O₃、CaHfO₃を用いるのが好ましく、より好ましくはSiO₂、SiN_x、Y₂O₃、Hf₂O₃、CaHfO₃である。保護層は酸化物からなることが特に好ましく、SiO₂、Y₂O₃、Hf₂O₃、CaHfO₃等の酸化物が好ましい。これらの酸化物の酸素数は、必ずしも化学量論比と一致していなくともよい(例えば、SiO₂でもSiO_xでもよい)。また、SiN_xは水素元素を含んでいてもよい。

30

このような保護層は、異なる2層以上の絶縁膜を積層した構造でもよい。

【0045】

また、保護層は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい多結晶質か、非晶質であるのが好ましい。尚、保護層が非晶質であることが特に好ましい。非晶質膜であると界面の平滑性が良好で、移動度の向上、閾値電圧の抑制、S値の抑制効果が期待できる。また、ゲートリーク電流を抑制できる。

【0046】

半導体層の保護層は、非晶質酸化物あるいは非晶質窒化物であることが好ましく、非晶質酸化物であることが特に好ましい。また、保護層が酸化物でないと半導体中の酸素が保護層側に移動し、オフ電流が高くなったり、閾値電圧が負になりノーマリーオフを示すおそれがある。また、半導体層の保護層は、ポリ(4-ビニルフェノール)(PVP)、パリレン等の有機絶縁膜を用いてもよい。さらに、半導体層の保護層は無機絶縁膜及び有機絶縁膜の2層以上積層構造を有してもよい。

40

特に、半導体層に大きく接する第一の保護層を酸化物で、第二の保護層をSiN_x等の窒化物で構成することが好ましい。このような構成をとると良好なトランジスタ特性と耐湿性を持たせることが容易である。

【0047】

保護層の形成は、PECVD、TEOS CVD、Cat-CVD、スパッタリング、ス

50

ピンコート、印刷法等が利用できるが、工業的にはPECVDあるいはスパッタリングが好ましく、PECVDが特に好ましい。

【0048】

4. ゲート絶縁膜

ゲート絶縁膜を形成する材料にも特に制限はない。本発明の効果を失わない範囲で一般に用いられているものを任意に選択できる。例えば、 SiO_2 、 SiN_x 、 Al_2O_3 、 Ta_2O_5 、 TiO_2 、 MgO 、 ZrO_2 、 CeO_2 、 K_2O 、 Li_2O 、 Na_2O 、 Rb_2O 、 Sc_2O_3 、 Y_2O_3 、 Hf_2O_3 、 CaHfO_3 、 PbTi_3 、 BaTa_2O_6 、 SrTiO_3 、 AlN 等を用いることができる。これらのなかでも、 SiO_2 、 SiN_x 、 Al_2O_3 、 Y_2O_3 、 Hf_2O_3 、 CaHfO_3 を用いるのが好ましく、より好ましくは SiO_2 、 SiN_x 、 Y_2O_3 、 Hf_2O_3 、 CaHfO_3 である。これらの酸化物の酸素数は、必ずしも化学量論比と一致していなくともよい(例えば、 SiO_2 でも SiO_x でもよい)。また、 SiN_x は水素元素を含んでいても良い。

10

【0049】

このようなゲート絶縁膜は、異なる2層以上の絶縁膜を積層した構造でもよい。また、ゲート絶縁膜は、結晶質、多結晶質、非晶質のいずれであってもよいが、工業的に製造しやすい多結晶質か、非晶質であるのが好ましい。

また、ゲート絶縁膜は、ポリ(4-ビニルフェノール)(PVP)、パリレン等の有機絶縁膜を用いてもよい。さらに、ゲート絶縁膜は無機絶縁膜及び有機絶縁膜の2層以上積層構造を有してもよい。

20

ゲート絶縁膜の形成は、PECVD、TEOS-CVD、Cat-CVD、スパッタリング、スピンコート、印刷法等が利用できるが、工業的にはPECVDあるいはスパッタリングが好ましく、PECVDが特に好ましい。

【0050】

6. 電極

ゲート電極、ソース電極及びドレイン電極の各電極を形成する材料に特に制限はなく、本発明の効果を失わない範囲で一般に用いられているものを任意に選択することができる。

例えば、インジウム錫酸化物(ITO)、インジウム亜鉛酸化物、 ZnO 、 SnO_2 等の透明電極や、 Al 、 Ag 、 Cr 、 Ni 、 Mo 、 Au 、 Ti 、 Ta 、 Cu 等の金属電極、又はこれらを含む合金の金属電極を用いることができる。また、それらを2層以上積層して接触抵抗を低減したり、界面強度を向上させることが好ましい。また、ソース電極、ドレイン電極の接触抵抗を低減させるため半導体の電極との界面をプラズマ処理、オゾン処理等で抵抗を調整してもよい。

30

【0051】

本発明では、半導体層の一部を低抵抗化させてソース電極又はドレイン電極を形成してもよい。

半導体層の一部を低抵抗化させるには、例えば、低酸素分圧下、不活性ガス下、低下下又は真空下で、熱処理あるいは紫外線光等のエネルギー線を照射する方法や、水素、窒素又はアルゴン等の不活性ガス環境下でプラズマを照射する方法等がある。

40

また、プラズマCVDにて SiN_x 等で保護層を積層する際に、水素量等のプラズマ条件を調整することで低抵抗化してもよい。

【0052】

本発明の電界効果型トランジスタは、半導体層を遮光する構造を持つことが好ましい。半導体層を遮光する構造(例えば、遮光層)を持っていないと、光が半導体層に入射した場合にキャリア電子が励起されオフ電流が高くなるおそれがある。遮光層は、 $300 \sim 800 \text{ nm}$ に吸収を持つ薄膜が好ましい。遮光層は半導体層の上部、下部どちらかでも構わないが、上部及び下部の両方にあることが好ましい。また、遮光層はゲート絶縁膜やブラックマトリックス等と兼用されていても構わない。遮光層が片側だけにある場合、遮光層が無い側から光が半導体層に照射しないよう構造上工夫する必要がある。

50

【0053】

本発明の電界効果型トランジスタでは、半導体層とソース電極・ドレイン電極との間にコンタクト層を設けてもよい。コンタクト層は半導体層よりも抵抗が低いことが好ましい。コンタクト層の形成材料は、上述した半導体層と同様な組成の複合酸化物が使用できる。即ち、コンタクト層はIn, Zn等の各元素を含むことが好ましい。これらの元素を含まないと、コンタクト層と半導体層の間で元素の移動が発生し、ストレス試験等を行った際に閾値電圧のシフトが大きくなるおそれがある。

【0054】

コンタクト層の作製方法に特に制約はないが、成膜条件を変えて半導体層と同じ組成比のコンタクト層を成膜したり、半導体層と組成比の異なる層を成膜したり、半導体の電極とのコンタクト部分をプラズマ処理やオゾン処理により抵抗を高めることで構成したり、半導体層を成膜する際に酸素分圧等の成膜条件により抵抗を高くなる層を構成してもよい。また、本発明の電界効果型トランジスタでは、半導体層とゲート絶縁膜との間、及び/又は半導体層と保護層との間に、半導体層よりも抵抗の高い酸化物抵抗層を有することが好ましい。酸化物抵抗層が無いとオフ電流が発生する、閾値電圧が負となりノーマリーオンとなる、保護層成膜やエッチング等の後処理工程時に半導体層が変質し特性が劣化するおそれがある。

【0055】

続いて、本発明の電界効果型トランジスタの製造方法について説明する。

本発明の製造方法では、後述する本発明のターゲットを用い、半導体層を成膜する工程を含む。

また、半導体層を成膜する工程、半導体層上に保護層を形成する工程を有し、保護層を形成した後に150～350で熱処理する工程を含むことを特徴とする。尚、上述した電界効果型トランジスタの各構成部材(層)は、本技術分野で公知の手法で形成できる。

【0056】

具体的に、成膜方法としては、スプレー法、ディップ法、CVD法等の化学的成膜方法、又はスパッタ法、真空蒸着法、イオンプレーティング法、パルスレーザーディポジション法等の物理的成膜方法を用いることができる。キャリア密度が制御し易い、及び膜質向上が容易であることから、好ましくは物理的成膜方法を用い、より好ましくは生産性が高いことからスパッタ法を用いる。

スパッタリングでは、複合酸化物の焼結ターゲットを用いる方法、複数の焼結ターゲットを用いコスパッタを用いる方法、合金ターゲットを用い反応性スパッタを用いる方法等が利用できる。但し、複合酸化物の焼結ターゲットを用いる方法では、複数の焼結ターゲットを用いコスパッタを用いる方法や、合金ターゲットを用い反応性スパッタを用いる方法に比べ、均一性や再現性が向上し、非局在準位のエネルギー幅(E_0)が低減させ、移動度の向上、S値の低減、閾値電圧の低減等、トランジスタ特性を向上させることができる。好ましくは、複合酸化物の焼結ターゲットを用いる。RF、DCあるいはACスパッタリング等公知のものが利用できるが、均一性や量産性(設備コスト、成膜速度)からDCあるいはACスパッタリングが好ましい。X線光電子分光法(XPS)で測定したSn平均価数は、+3.2以上にする観点からはRFスパッタリングが好ましい。

【0057】

成膜時の基板温度は、室温(30)以上250以下が好ましく、50以上200以下がより好ましい。250以下だとTFTを作製した際にオフ電流の低減が期待できる。室温(30)以上だと連続成膜時の基板温度上昇による成膜条件の変動の低減が期待できる。

また、成膜時に酸素の取組みを増加させるような処置を取ることが好ましい。成膜時に酸素の取組みを増加させるような処置としては、不活性ガス(アルゴン等)と酸素の混合気体を流入させる、オゾンアシストやRFスパッタリングによって酸素ラジカル(オゾン)量を増加させる、基板間距離・投入電力・全圧の調整等があげられる。

【0058】

10

20

30

40

50

成膜時の酸素分圧は、 10^{-3} Pa ~ 10^{-1} Paで行うことが好ましく、 5×10^{-3} Pa ~ 10^{-1} Paで行うことがより好ましい。酸素分圧 10^{-3} Pa以上だと酸化錫の低級酸化物の生成を抑えることができる。 10^{-1} Pa以下だと成膜速度が速くなることが期待できる。

形成した膜を各種エッチング法によりパターンニングできる。

【0059】

本発明では半導体層を、本発明のターゲットを用い、DC又はACスパッタリングにより成膜することがより好ましい。DC又はACスパッタリングを用いることにより、RFスパッタリングの場合と比べて、成膜時のダメージを低減できる。XPSで測定したSn平均価数を高くしたい場合は、RFスパッタリングを用いてもよい。RFスパッタリングを用いることで、XPSで測定したSn平均価数を制御しやすい。このため、電界効果型トランジスタにおいて、閾値電圧シフトの低減、移動度の向上、閾値電圧の減少、S値の減少等の効果が期待できる。

10

【0060】

また、本発明では半導体層成膜後 $150 \sim 350$ で熱処理することが好ましい。特に、半導体層と半導体の保護層を形成した後に、 $150 \sim 350$ で熱処理することが好ましい。 150 より低いと得られるトランジスタの熱安定性や耐熱性が低下したり、移動度が低くなったり、S値が大きくなったり、閾値電圧が高くなるおそれがある。一方、 350 より高いと耐熱性のない基板が使用できない、熱処理用の設備費用がかかるおそれがある。

20

【0061】

熱処理温度は $160 \sim 300$ がより好ましく、 $170 \sim 260$ がさらに好ましく、 $180 \sim 240$ が特に好ましい。特に、熱処理温度が 180 以下であれば、基板としてPEN等の耐熱性の低い樹脂基板を利用できるため好ましい。

熱処理時間は、通常1秒~24時間が好ましいが、処理温度により調整することが好ましい。例えば、 $70 \sim 180$ では、10分から24時間がより好ましく、20分から6時間がさらに好ましく、30分~3時間が特に好ましい。 $180 \sim 260$ では、6分から4時間がより好ましく、15分から2時間がさらに好ましい。 $260 \sim 300$ では、30秒から4時間がより好ましく、1分から2時間が特に好ましい。 $300 \sim 350$ では、1秒から1時間がより好ましく、2秒から30分が特に好ましい。

30

熱処理は、不活性ガス中で酸素分圧が 10^{-3} Pa以下の環境下で行うか、あるいは半導体層を保護層で覆った後に行うことが好ましい。上記条件下だと再現性が向上する。

半導体層を形成した後に $150 \sim 350$ で熱処理し、さらに半導体の保護層を形成した後に、 $150 \sim 350$ で熱処理すると特に好ましい。前記のようにすると半導体特性が改善することに加え再現性及び均一性が向上し、半導体膜の成膜条件に対する依存性も小さくなる。

【0062】

典型的な電界効果型トランジスタでは、ソース・ドレイン電極間に、 $5 \sim 20$ V程度の電圧 V_d を印加したとき、ゲート電圧 V_g を、 0 Vと $5 \sim 20$ Vの間でスイッチすることで、ソース・ドレイン電極間の電流 I_d を制御する(オンオフする)ことができる。

40

トランジスタ特性の評価項目としては、さまざまなものがあるが、たとえば、電界効果移動度 μ 、閾値電圧(V_{th})、オンオフ比、S値等が上げられる。

電界効果移動度は、線形領域や飽和領域の特性から求めることができる。たとえば、トランスファ特性の結果から、 $I_d - V_g$ のグラフを作製し、この傾きから電界効果移動度を導く方法が挙げられる。本明細書では特にこだわらない限り、この手法で評価している。

閾値電圧の求め方はいくつかの方法があるが、たとえば $I_d - V_g$ のグラフのx切片から閾値電圧 V_{th} を導くことが挙げられる。

オンオフ比はトランスファ特性における、最も大きな I_d と、最も小さな I_d の値の比から求めることができる。

50

【0063】

そして、S値は、トランスファ特性の結果から、 $\text{Log}(I_d) - V_d$ のグラフを作製し、この傾きの逆数から導出することができる。

S値の単位は、 V/decade であり、小さな値であることが好ましい。S値は $1.0 V/\text{dec}$ 以下が好ましく、 $0.5 V/\text{dec}$ 以下がより好ましく、 $0.3 V/\text{dec}$ 以下がさらに好ましく、 $0.1 V/\text{dec}$ 以下が特に好ましい。 $0.8 V/\text{dec}$ 以下だと駆動電圧が小さくなり消費電力を低減できる可能性がある。特に、有機ELディスプレイで用いる場合は、直流駆動のためS値を $0.3 V/\text{dec}$ 以下にすると消費電力を大幅に低減できるため好ましい。尚、S値(Swing Factor)とは、オフ状態からゲート電圧を増加させた際に、オフ状態からオン状態にかけてドレイン電流が急峻に立ち上がるが、この急峻さを示す値である。下記式で定義されるように、ドレイン電流が1桁(10倍)上昇するときのゲート電圧の増分をS値とする。

$$S \text{ 値} = dV_g / d \log(I_{ds})$$

S値が小さいほど急峻な立ち上がりとなる(「薄膜トランジスタ技術のすべて」、鵜飼育弘著、2007年刊、工業調査会)。S値が大きいと、オンからオフに切り替える際に高いゲート電圧をかける必要があり、消費電力が大きくなるおそれがある。

【0064】

本発明の電界効果トランジスタでは、移動度は $3 \text{ cm}^2 / \text{Vs}$ 以上が好ましく、 $8 \text{ cm}^2 / \text{Vs}$ 以上がより好ましく、 $10 \text{ cm}^2 / \text{Vs}$ 以上がさらに好ましく、 $16 \text{ cm}^2 / \text{Vs}$ 以上が特に好ましい。 $3 \text{ cm}^2 / \text{Vs}$ より小さいとスイッチング速度が遅くなり大画面高精細のディスプレイに用いることができないおそれがある。

オンオフ比は、 10^7 以上が好ましく、 10^8 以上がより好ましく、 10^9 以上が特に好ましい。

オフ電流は、 $2 \times 10^{-12} \text{ A}$ (2 pA)以下が好ましく、1 pA以下がより好ましく、 0.1 pA 以下が特に好ましい。オフ電流が2 pAより小さいとディスプレイのTFTとして用いた場合にコントラストが良好となり、画面の均一性が向上することが期待できる。

【0065】

ゲートリーク電流は1 pA以下が好ましい。1 pAより小さいとディスプレイのTFTとして用いた場合にコントラストの低下を抑制できる。

閾値電圧は、通常-1~5Vであるが、-0.5~3Vが好ましく、0~2Vがより好ましく、0~1Vが特に好ましい。-1Vより大きいとオフ時にかかる電圧が小さくなり消費電力を低減できる可能性がある。5Vより小さいと駆動電圧が小さくなり消費電力を低減できる可能性がある。

また、 $10 \mu\text{A}$ の直流電圧50で100時間加えた前後の閾値電圧のシフト量は、1.0V以下が好ましく、0.5V以下がより好ましい。1Vより小さいと有機ELディスプレイのトランジスタとして利用した場合、画質の経時変化を低減できる。

【0066】

また、伝達曲線でゲート電圧を昇降させた場合のヒステリシスが小さい方が好ましい。ヒステリシスが小さいと駆動電圧を低減できる可能性がある。

また、チャンネル幅Wとチャンネル長Lの比 W/L は、通常0.1~100、好ましくは0.5~20、特に好ましくは1~8である。 W/L が100を越えると漏れ電流が増えたり、on-off比が低下したりするおそれがある。0.1より小さいと電界効果移動度が低下したり、ピンチオフが不明瞭になったりするおそれがある。また、チャンネル長Lは通常0.1~1000 μm 、好ましくは1~100 μm 、さらに好ましくは2~10 μm である。0.1 μm 未満では工業的に製造が難しくまた漏れ電流が大きくなるおそれがある、1000 μm を超えると素子が大きくなりすぎて好ましくない。

【0067】

続いて、本発明の半導体層形成用スパッタリングターゲットについて説明する。

本発明のスパッタリングターゲットは、通常In原子、Sn原子及びZnを含有し、Z

10

20

30

40

50

$n / (I n + S n + Z n)$ で表される原子組成比率が 25 原子% 以上 70 原子% 以下であり、 $S n / (I n + S n + Z n)$ で表される原子組成比率が 50 原子% 未満である。

【0068】

さらに、 $I n$ 原子、 $S n$ 原子及び $Z n$ 原子を含有する酸化物焼結体であり、 $Z n / (I n + S n + Z n)$ で表される原子組成比率が 70 原子% 以下であり、 $I n / (I n + S n + Z n)$ で表される原子組成比率が 33 原子% 未満であり、 $S n / (I n + S n + Z n)$ で表される原子組成比率が 5 原子% 以上 15 原子% 未満であることがより好ましい。

【0069】

$Z n / (I n + S n + Z n)$ が 70 原子% 以下であると、 $Z n$ 酸化物の生成による相対密度の低下やバルク抵抗の高抵抗化を防げる。 $I n / (I n + S n + Z n)$ で表される原子組成比率が 33 原子% 未満であると、原料コストの増加によるコストアップを防ぎやすい。 $S n / (I n + S n + Z n)$ が 5 原子% 以上だと $S n$ と $Z n$ の価数バランスがとれターゲットの相対密度が上がりバルク抵抗を下げやすく、15 原子% 未満であると $S n$ の低級酸化物の生成によるバルク抵抗の高抵抗化を防ぎやすい。すなわち、前記範囲内であると、相対密度が高く、抵抗の低いターゲットを安定して作製できる。また、そのターゲットを用いて特性（移動度、オンオフ比、 S 値、 $V t h$ シフト）の良好な電界効果トランジスタが得られる。また、希少資源である $I n$ （インジウム）の含有量も少なく、安い原料比で良好なターゲットが得られ工業的に最適である。

【0070】

さらに、 $Z n / (I n + S n + Z n)$ で表される原子組成比率が 60 原子% 以上 67 原子% 以下であり、 $I n / (I n + S n + Z n)$ で表される原子組成比率が 18 原子% 以上 28 原子% 以下であり、 $S n / (I n + S n + Z n)$ で表される原子組成比率が 7 原子% 以上 14 原子% 以下であることが特に好ましい。

【0071】

ターゲットの出発原料としては、一般的に酸化インジウム粉末と、酸化亜鉛粉末と、酸化錫粉末の粉末を用いるが、これらの単体、化合物、複合酸化物等を原料としてもよい。

各原料粉の純度は、通常 99.9% (3N) 以上、好ましくは 99.99% (4N) 以上、さらに好ましくは 99.995% 以上、特に好ましくは 99.999% (5N) 以上である。各原料粉の純度が 99.9% (3N) 未満だと、不純物により半導体特性が低下する、信頼性が低下する等のおそれがある。特に $N a$ 含有量が 100 ppm 未満であると薄膜トランジスタを作製した際に信頼性が向上し好ましい。

【0072】

原料粉について、比表面積が $3 \sim 16 \text{ m}^2 / \text{g}$ である酸化インジウム粉、酸化錫粉、亜鉛粉あるいは複合酸化物粉を含み、粉体全体の比表面積が $3 \sim 16 \text{ m}^2 / \text{g}$ である混合粉体を原料とすることが好ましい。尚、各酸化物粉末の比表面積が、ほぼ同じである粉末を使用することが好ましい。これにより、より効率的に粉碎混合できる。具体的には、比表面積の比が $1/4 \sim 4$ 倍以内にするのが好ましく、 $1/2 \sim 2$ 倍以内が特に好ましい。比表面積が違いすぎると、効率的な粉碎混合が出来ず、焼結体中に酸化物の粒子が残る場合がある。ただし、酸化亜鉛の比表面積は酸化インジウム、酸化錫の比表面積よりも小さいことが好ましい。このことによりターゲットの色むらを抑えることができる。

【0073】

混合粉体を、例えば、湿式媒体攪拌ミルを使用して混合粉碎する。このとき、粉碎後の比表面積が原料混合粉体の比表面積より $1.0 \sim 3.0 \text{ m}^2 / \text{g}$ 増加する程度か、又は粉碎後の平均メジアン径が $0.6 \sim 1 \mu\text{m}$ となる程度に粉碎することが好ましい。このように調整した原料粉を使用することにより、仮焼工程を全く必要とせずに、高密度の酸化物焼結体を得ることができる。また、還元工程も不要となる。

【0074】

尚、原料混合粉体の比表面積の増加分が $1.0 \text{ m}^2 / \text{g}$ 未満又は粉碎後の原料混合粉の平均メジアン径が $1 \mu\text{m}$ を超えると、焼結密度が十分に大きくなる場合がある。一方、原料混合粉体の比表面積の増加分が $3.0 \text{ m}^2 / \text{g}$ を超える場合又は粉碎後の平均メジ

10

20

30

40

50

アン径が0.6 μm未満にすると、粉碎時の粉碎器機等からのコンタミ（不純物混入量）が増加する場合がある。

【0075】

ここで、各粉体の比表面積はBET法で測定した値である。各粉体の粒度分布のメジアン径は、粒度分布計で測定した値である。これらの値は、粉体を乾式粉碎法、湿式粉碎法等により粉碎することにより調整できる。

原料粉の所望の配合割合、混合方法、成形する方法は特に限定されず、従来から公知の各種湿式法又は乾式法を用いることができる。

【0076】

乾式法としては、コールドプレス（Cold Press）法やホットプレス（Hot Press）法等を挙げることができる。コールドプレス法では、混合粉を成形型に充填して成形体を作製し、焼結させる。ホットプレス法では、混合粉を成形型内で、通常700～1000 で1～48時間、好ましくは800～950 で3～24時間にて直接焼結させる。

乾式法のコールドプレス（Cold Press）法としては、粉碎工程後の原料をスプレードライヤー等で乾燥した後、成形する。成形は公知の方法、例えば、加圧成形、冷間静水圧加圧、金型成形、鋳込み成形射出成形が採用できる。焼結密度の高い焼結体（ターゲット）を得るためには、冷間静水圧（CIP）等加圧を伴う方法で成形するのが好ましい。尚、成形処理に際しては、ポリビニルアルコールやメチルセルロース、ポリワックス、オレイン酸等の成形助剤を用いてもよい。

【0077】

次いで、得られた成形物を焼結して焼結体を得る。また、焼結は酸素を流通することにより酸素雰囲気中で焼結するか、加圧下にて焼結するのがよい。これにより亜鉛の蒸散を抑えることができ、ポイド（空隙）のない焼結体を得られる。このようにして製造した焼結体は、密度が高いため、使用時におけるノジュールやパーティクルの発生が少ないことから、膜特性に優れた酸化物半導体膜を作製することができる。

1000 以上での昇温速度を30 /h以上、冷却時の降温速度を30 /h以上とするのが好ましい。昇温速度を30 /h未満であると酸化物の分解が進行しピンホール数が多くなり、また冷却時の降温速度を30 /h未満とするとInの組成比が変化のおそれがある。

【0078】

湿式法としては、例えば、濾過式成形法（特開平11-286002号公報参照）を用いるのが好ましい。この濾過式成形法は、セラミックス原料スラリーから水分を減圧排水して成形体を得るための非水溶性材料からなる濾過式成形型であって、1個以上の水抜き孔を有する成形用下型と、この成形用下型の上に載置した通水性を有するフィルターと、このフィルターをシールするためのシール材を介して上面側から挟持する成形用型枠となり、前記成形用下型、成形用型枠、シール材、及びフィルターが各々分解できるように組立てられており、該フィルター面側からのみスラリー中の水分を減圧排水する濾過式成形型を用い、混合粉、イオン交換水と有機添加剤からなるスラリーを調製し、このスラリーを濾過式成形型に注入し、該フィルター面側からのみスラリー中の水分を減圧排水して成形体を作製し、得られたセラミックス成形体を乾燥脱脂後、焼成する。

【0079】

乾式法あるいは湿式法で得られた焼結体のバルク抵抗をターゲット全体として均一化するために還元処理ことが好ましい。還元工程は、必要に応じて設けられる工程である。適用することができる還元方法としては、例えば、還元性ガスによる方法や真空焼成又は不活性ガスによる還元等が挙げられる。

還元性ガスによる還元処理の場合、水素、メタン、一酸化炭素や、これらのガスと酸素との混合ガス等を用いることができる。

不活性ガス中での焼成による還元処理の場合、窒素、アルゴンや、これらのガスと酸素との混合ガス等を用いることができる。

10

20

30

40

50

尚、還元処理時の温度は、通常300～1200、好ましくは500～800である。また、還元処理の時間は、通常0.01～10時間、好ましくは0.05～5時間である。

【0080】

酸化物焼結体に、研磨等の加工を施すことによりターゲットとなる。具体的には、焼結体を、例えば、平面研削盤で研削して表面粗さRaを5μm以下とする。表面粗さは、Ra0.3μmであることがより好ましく、Ra0.1μmであることが特に好ましい。さらに、ターゲットのスパッタ面に鏡面加工を施して、平均表面粗さRaが1000オングストローム以下としてもよい。この鏡面加工(研磨)は機械的な研磨、化学研磨、メカノケミカル研磨(機械的な研磨と化学研磨の併用)等の、すでに知られている研磨技術を用いることができる。例えば、固定砥粒ポリッシャー(ポリッシュ液:水)で#2000以上にポリッシングしたり、又は遊離砥粒ラップ(研磨材:SiCペースト等)にてラッピング後、研磨材をダイヤモンドペーストに換えてラッピングすることによって得ることができる。このような研磨方法には特に制限はない。

10

【0081】

尚、ターゲットの清浄処理には、エアブローや流水洗浄等を使用できる。エアブローで異物を除去する際には、ノズルの向い側から集塵機で吸気を行なうとより有効に除去できる。エアブローや流水洗浄の他に、超音波洗浄等を行なうこともできる。超音波洗浄では、周波数25～300KHzの間で多重発振させて行なう方法が有効である。例えば周波数25～300KHzの間で、25KHz刻みに12種類の周波数を多重発振させて超音波洗浄を行なうのがよい。

20

【0082】

得られたターゲットを加工後、バックングプレートへボンディングすることにより、成膜装置に装着して使用できるスパッタリングターゲットとなる。バックングプレートは銅製が好ましい。ボンディングにはインジウム半田を用いることが好ましい。

【0083】

加工工程は、上記のようにして焼結して得られた焼結体を、さらにスパッタリング装置への装着に適した形状に切削加工し、またバックングプレート等の装着用治具を取り付けるための、必要に応じて設けられる工程である。ターゲットの厚みは通常2～20mm、好ましくは3～12mm、特に好ましくは4～6mmである。また、複数のターゲットを一つのバックングプレートに取り付け、実質一つのターゲットとしてもよい。また、表面は200～10,000番のダイヤモンド砥石により仕上げを行うことが好ましく、400～5,000番のダイヤモンド砥石により仕上げを行うことが特に好ましい。200番より小さい、あるいは10,000番より大きいダイヤモンド砥石を使用するとターゲットが割れやすくなるおそれがある。

30

【0084】

ターゲット中における各化合物の粒径は、それぞれ20μm以下が好ましく、10μm以下がさらに好ましく、5μm以下が特に好ましい。尚、粒径は電子プローブマイクロアナライザ(EPM A)で測定した平均粒径である。結晶粒径は、例えば、原料である酸化インジウム、酸化スズ、酸化亜鉛の各粉体の配合比や原料粉体の粒径、純度、昇温時間、焼結温度、焼結時間、焼結雰囲気、降温時間を調製することにより得られる。化合物の粒径が20μmより大きいとスパッタ時にノジュールが発生するおそれがある。

40

【0085】

ターゲットの相対密度は、理論密度の95%以上が好ましく、98%以上がより好ましく、99%以上が特に好ましい。ターゲットの密度が95%より小さいと強度が不十分となり成膜時にターゲットが破損するおそれがある。また、トランジスタを作製した際に性能が不均一になるおそれがある。相対密度とは、加重平均より算出した理論密度に対して相対的に算出した密度である。各原料の密度の加重平均より算出した密度が理論密度であり、これを100%とする。

ターゲットのバルク抵抗は、20m以下が好ましく、10m以下がより好ましく、

50

5 m 以下が特に好ましい。20 m より大きいとDCスパッタでの成膜時にターゲットが破損するおそれがある。また、異常放電によりスパークが発生し、ターゲットが割れたり、スパークにより飛び出した粒子が成膜基板に付着し、酸化物半導体膜としての性能を低下させたりする場合がある。また、放電時にターゲットが割れるおそれもある。尚、バルク抵抗は抵抗率計を使用し、四探針法により測定した値である。

【0086】

ターゲットの抗折力は、 8 kg/mm^2 以上であることが好ましく、 10 kg/mm^2 以上であることがより好ましく、 12 kg/mm^2 以上であることが特に好ましい。ターゲットの運搬、取り付け時に荷重がかかり、ターゲットが破損するおそれがあるという理由で、ターゲットには、一定以上の抗折力が要求され、 8 kg/mm^2 未満では、ターゲットとしての使用に耐えられないおそれがある。ターゲットの抗折力は、JIS R 1601に準じて測定することができる。

10

【0087】

ターゲット内における亜鉛以外の、陽性元素のばらつきの範囲が0.5%以内であることが好ましい。ターゲット内における密度のばらつきの範囲が3%以内であることが好ましい。

ターゲットの表面粗さ R_a 0.5 μm であり、方向性のない研削面を備えていることが好ましい。 R_a が0.5 μm より大きかったり、研磨面に方向性があると、異常放電が起きたり、パーティクルが発生するおそれがある。

ターゲット内におけるフェレー径2 μm 以上のピンホール数が単位面積当たり50個/ mm^2 以下が好ましく、20個/ mm^2 以下がより好ましく、5個/ mm^2 以下がさらに好ましい。尚、ターゲット内部のフェレー径2 μm 以上のピンホール数が50個/ mm^2 より多いと、ターゲット使用初期から末期までに異常放電が多発する傾向になって好ましくなく、また、得られるスパッタ膜の平滑性も低下する傾向にある。ターゲット内部のフェレー径2 μm 以上のピンホールが5個/ mm^2 以下だと、ターゲット使用初期から末期まで異常放電を抑制でき、また、得られるスパッタ膜は非常に平滑である。ここで、フェレー径とは、ピンホールを粒子として見立てた場合に、粒子を挟むある一定方向の平行線間隔のことをいう。例えば、倍率100倍のSEM像による観察で計測できる。

20

【0088】

本発明の半導体膜は、In原子、Sn原子及びZn原子を含む酸化物であり、かつ、 $Zn / (In + Sn + Zn)$ で表される原子組成比率が25原子%以上75原子%以下であり、 $Sn / (In + Sn + Zn)$ で表される原子組成比率が50原子%未満であり、Snの平均価数が+3.2以上であることを特徴とする。Snの平均価数は+3.6以上が好ましく、+3.8以上がさらに好ましい。

30

本発明の半導体膜は、上述した本発明のスパッタリングターゲットを使用して、成膜することで作製できる。電界効果型トランジスタの半導体層等に好適に使用できる。

尚、Snの平均価数は、X線光電子分光法(XPS)で測定した値である。

【実施例】

【0089】

電界効果型トランジスタを作製する前に、トランジスタの半導体層となる酸化物半導体膜を成膜し、エッチング性等、薄膜の特性を評価した。

40

【0090】

評価例1

(1) スパッタリングターゲットの製造

原料として、酸化インジウム、酸化亜鉛及び酸化錫の粉末を、原子比 $\{In / (In + Sn + Zn)\}$ が0.38、原子比 $\{Sn / (In + Sn + Zn)\}$ が0.15、原子比 $\{Zn / (In + Sn + Zn)\}$ が0.47となるように混合した。これを湿式ボールミルに供給し、72時間混合粉碎して原料微粉末を得た。酸化インジウム、酸化亜鉛及び酸化錫の原料粉末の比表面積はそれぞれ $15 \text{ m}^2/\text{g}$ 、 $4 \text{ m}^2/\text{g}$ 、 $8 \text{ m}^2/\text{g}$ であった。

50

得られた原料微粉末を造粒した後、直径10 cm、厚さ5 mmの寸法にプレス成形し、これを焼成炉に入れ、1400 で12時間焼成して、焼結体を得た。焼結体のバルク抵抗は3 m、理論相対密度は0.99であった。尚、理論相対密度は各酸化物の比重とその量比から計算した密度を、アルキメデス法で測定した密度との比率を計算して求めた。また、組成を分析したところ原子比〔In / (In + Sn + Zn)〕が0.38、原子比〔Sn / (In + Sn + Zn)〕が0.15、原子比〔Zn / (In + Sn + Zn)〕が0.47であり、Na含有量が100 ppm未満であった。X線回折で構造解析をしたところ、焼結体はピックスバイト構造化合物とスピネル構造化合物を含んでいた。電子プロブマイクロアナライザ(EPM A)で測定した平均粒径は、ピックスバイト構造化合物及びスピネル構造化合物ともに10 μm以下であった。

10

焼結体を加工・清浄処理した後、バックングプレートにボンディングしてスパッタリングターゲットとした。

【0091】

(2) 薄膜作製と評価

ガラス基板(コーニング1737)上に、上記(1)で製造したターゲットを使用して半導体層に相当する膜を形成し評価した。

スパッタ条件は、基板温度; 25、到達圧力; 1×10^{-6} Pa、雰囲気ガス; Ar 97%及び酸素3%、スパッタ圧力(全圧); 5×10^{-1} Pa、投入電力100 W、S-T距離100 mmとした。

得られた薄膜をICP法で分析した。原子比〔In / (In + Sn + Zn)〕が0.40、原子比〔Sn / (In + Sn + Zn)〕が0.15、原子比〔Zn / (In + Sn + Zn)〕が0.45であった。

20

上記薄膜を大気下で、280 で1時間の熱処理を行った。

得た薄膜について、XPSで測定したSn平均価数は、+3.8以上であった。尚、平均価数は、Snの5sバンドの相対強度から求めることができる。

また、X線局所構造解析(XAFS)法を用いたIn、Sn、Zn各金属元素周辺の局所構造解析において、Sn元素周りの構造はSnO₂と同様の構造を有しており、In、Zn元素周りの構造はIZO薄膜と同様の構造を有していることが確認できた。

また、比抵抗は10 Ω・cm、キャリア密度は 10^{16} cm⁻³であった。さらに、ホール効果の温度変化測定から非縮退半導体であることを確認した。

30

また、以下の項目について評価した。結果を表1に示す。

【0092】

(1) 結晶性

X線結晶構造解析により、ハローパターンが観測されたものを非晶質であると判断した。

(2) PAN耐性

PANによるエッチング速度が10 nm/分以上のものを×とし、それ以外のものとした。

ここで、PAN耐性の評価には、40 のPANエッチング液(リン酸87 wt%、硝酸3 wt%、酢酸10 wt%)を用いた。PANエッチング液(リン酸、硝酸、酢酸を含むエッチング液)は、通常リン酸が20~95 wt%、硝酸0.5~5 wt%、酢酸3~50 wt%の範囲にあるものが用いられる。

40

(3) 稼酸に対するエッチング性

稼酸系エッチング液として、35 のITO-06N(関東化学(株))を用いエッチング速度を測定した。尚、150%オーバーエッチング後に顕微鏡観察して残渣の有無を確認した。は残渣が少ないときであり、×は残渣が多いときである。

エッチング性の評価において、が最も良好で、は良好で、×は不良を示す。

(4) ドライエッチング性

反応性イオンエッチング(RIE)のエッチングレートを測定した。エッチングレート1 nm/分以上でエッチング可能であったものをドライエッチング可能()と判定した

50

。

【 0 0 9 3 】

評価例 2 - 2 4

原料粉末を配合比、成膜条件を、表 1 ~ 3 に示すように変更した他は、評価例 1 と同様に、酸化物半導体膜を形成し、評価した。

尚、評価例 1 8 で作製したターゲットのバルク抵抗は 2 m 、理論相対密度は 0.99 であった。また、評価例 1 と同様に得た薄膜について X P S で測定した S n 平均価数は、 $+3.8$ 以上であった。

【 0 0 9 4 】

評価例 2 5 - 2 7

原料粉末を配合比、成膜条件を、表 3 に示すように変更した他は、評価例 1 と同様に、酸化物半導体膜を形成し、評価した。

【 0 0 9 5 】

【表 1】

		評価例									
		1	2	3	4	5	6	7	8	9	10
ターゲット 原子比	In/(In+Sn+Zn)	0.38	0.33	0.28	0.28	0.23	0.18	0.14	0.53	0.43	0.33
	Sn/(In+Sn+Zn)	0.15	0.15	0.20	0.15	0.14	0.19	0.23	0.05	0.05	0.05
	Zn/(In+Sn+Zn)	0.47	0.52	0.52	0.57	0.63	0.63	0.63	0.42	0.52	0.63
成膜条件	雰囲気ガス	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%
	全圧[Pa]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
	酸素分圧[×10 ⁻³ Pa]	15	15	15	15	15	15	15	15	15	15
膜組成 原子比	成膜後の熱処理温度[°C]	280	280	280	280	280	280	280	280	280	280
	In/(In+Sn+Zn)	0.40	0.35	0.30	0.30	0.25	0.20	0.15	0.55	0.45	0.35
	Sn/(In+Sn+Zn)	0.15	0.15	0.20	0.15	0.15	0.20	0.25	0.05	0.05	0.05
薄膜特性	Zn/(In+Sn+Zn)	0.45	0.50	0.50	0.55	0.60	0.60	0.60	0.40	0.50	0.60
	図2示す組成領域	領域1	領域1	領域1	領域1	領域1	領域1	領域3	領域2	領域2	領域2
	結晶性(X線回折)	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質
PAN耐性	PAN耐性	○	○	○	○	○	○	○	×	×	×
	稀酸系エッチング液エッチング性	◎	◎	◎	○	○	○	○	○	○	○
	稀酸系エッチング液エッチング速度(nm/分)	150	200	100	300	350	200	100	200	300	400
	稀酸系エッチング後の残渣	○	○	○	○	○	○	○	○	○	○
	ドライエッチング適性	○	○	○	○	○	○	○	○	○	○

【表 2】

		評価例									
		11	12	13	14	15	16	17	18		
ターゲット	In/(In+Sn+Zn)	0.12	0.34	0.24	0.34	0.24	0.15	0.05	0.35		
原子比	Sn/(In+Sn+Zn)	0.13	0.24	0.24	0.34	0.34	0.33	0.32	0.15		
	Zn/(In+Sn+Zn)	0.73	0.42	0.52	0.32	0.42	0.52	0.63	0.50		
成膜条件	雰囲気ガス	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%		
	全圧[Pa]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5		
	酸素分圧[$\times 10^{-3}$ Pa]	15	15	15	15	15	15	15	15		
	成膜後の熱処理温度[°C]	280	280	280	280	280	280	280	280		
膜組成	In/(In+Sn+Zn)	0.15	0.35	0.25	0.35	0.25	0.15	0.05	0.37		
原子比	Sn/(In+Sn+Zn)	0.15	0.25	0.25	0.35	0.35	0.35	0.35	0.15		
	Zn/(In+Sn+Zn)	0.70	0.40	0.50	0.30	0.40	0.50	0.60	0.48		
薄膜特性	図2示す組成領域	領域4	領域外	領域3	領域外	領域外	領域外	領域外	領域1		
	結晶性(X線回折)	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質		
	PAN耐性	○	○	○	○	○	○	○	○		
	稀酸系エッチング液エッチング性	△	△	×	×	×	×	×	◎		
	稀酸系エッチング液エッチング速度(mm/分)	600	40	<10	<10	<10	<10	<10	170		
	稀酸系エッチング後の残渣	○	○	×	×	×	×	×	○		
	ドライエッチング適性	○	○	○	○	○	○	○	○		

【 0 0 9 7 】

10

20

30

40

【表 3】

		評価例									
		19	20	21	22	23	24	25	26	27	
ターゲット	In/(In+Sn+Zn)	0.14	0.18	0.23	0.33	0.38	0.38	0.25	0.25	0.20	
原子比	Sn/(In+Sn+Zn)	0.23	0.19	0.14	0.05	0.15	0.15	0.14	0.10	0.14	
	Zn/(In+Sn+Zn)	0.63	0.63	0.63	0.63	0.47	0.47	0.61	0.65	0.66	
成膜条件	雰囲気ガス	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:99% O2:1%	Ar:95% O2:5%	Ar:95% O2:5%	Ar:95% O2:5%	Ar:95% O2:5%	
	全圧[Pa]	0.5	0.5	0.5	0.5	0.5	0.5	0.4	0.4	0.4	
	酸素分圧[×10 ⁻³ Pa]	15	15	15	15	5	25	20	20	20	
	成膜後の熱処理温度[°C]	200	200	350	350	280	280	280	280	280	
膜組成	In/(In+Sn+Zn)	0.15	0.20	0.25	0.35	0.40	0.40	0.25	0.25	0.20	
原子比	Sn/(In+Sn+Zn)	0.25	0.20	0.15	0.05	0.15	0.15	0.14	0.10	0.14	
	Zn/(In+Sn+Zn)	0.60	0.60	0.60	0.60	0.45	0.45	0.61	0.65	0.66	
薄膜特性	図2示す組成領域	領域3	領域1	領域1	領域2	領域1	領域1	領域1	領域1	領域1	
	結晶性(X線回折)	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	
	PAN耐性	○	○	○	×	○	○	○	○	○	
	稀酸系エッチング液エッチング性	○	○	○	○	◎	◎	○	○	○	
	稀酸系エッチング液エッチング速度(nm/分)	100	200	350	400	150	150	350	350	350	
	稀酸系エッチング後の残渣	○	○	○	○	○	○	○	○	○	
	ドライエッチング適性	○	○	○	○	○	○	○	○	○	

【0098】

[電界効果トランジスタの作製]

実施例 1 - 17

10

20

30

40

50

図1に示すボトムゲート構造のエッチストッパー（ES）型の電界効果トランジスタを作製した。以下、図面を参照しながら製造過程を説明する。

図3a及び図3bは電界効果トランジスタの製造工程を示す図である。

ガラス基板10上に、室温のRFスパッタリングでモリブデン金属を200nm積層した後、ウェットエッチングでパターニングし、ゲート電極11を作製した（図3a（a））。

次に、ゲート電極11を作製した基板に、プラズマ化学気相成長装置（PECVD）にて、SiO_xを成膜し、ゲート絶縁膜12とした（図3a（b））。

次に、評価例1-17で製造した半導体層用ターゲットを、DCスパッタ法の一つであるDCマグネトロンスパッタリング法の成膜装置に装着し、ゲート絶縁膜12上に半導体層13（膜厚30nm）を成膜した（図3a（c））。スパッタ条件は、上述した評価例と同様とした。

次に、280℃で1時間（後述する保護層形成後の熱処理と同じ条件）熱処理した。

【0099】

次に、PECVDにてSiO_xを成膜し、薄膜16を形成した（図3a（d））。続けて、レジスト膜21を成膜し（図3a（e））、パターニングした（図3a（f））。

ドライエッチ（RIE）で薄膜16をパターニングして第一の保護層16（エッチストッパー）を形成した（図3b（g））。

レジスト膜21を除去した（図3b（h））。その後、ソース電極及びドレイン電極となる薄膜22を形成した（図3b（i））。薄膜22は、DCスパッタリングでTi/Al/Ti積層膜とした。成膜後、ドライエッチ（RIE）でパターニングしてソース電極14、ドレイン電極15を形成した。同時に半導体層13もエッチングした（図3b（j））。

さらに、PECVD（PECVD SiN_x:H）にてSiN_xを成膜し第二の保護層17とした（図3b（k））。コンタクトホール18を形成し、外部配線と接続した。

その後、大気下、280℃で1時間熱処理して、W=20μm、L=5μmのボトムゲート構造エッチストッパー型電界効果型トランジスタを製造した（図3b（l））。

【0100】

電界効果型トランジスタについて、下記の評価を行った。

（1）電界効果移動度（μ）、オンオフ比、オフ電流、S値、閾値電圧（V_{th}）

半導体パラメーターアナライザー（ケースレー4200）を用い、室温、遮光環境下で測定した。

（2）ヒステリシス

半導体パラメーターアナライザーを用い、昇電圧時の伝達曲線（I-V特性）と降電圧時の伝達曲線（I-V特性）を測定し、昇降時の電圧の差をV_gとする。V_gの最大値が0.5V以下であるものを「少ない」、0.5~3Vであるものを「ある」、3V以上であるものを「大きい」とした。

尚、図4は、昇電圧時及び降電圧時の伝達曲線（I-V特性）の例であり、（a）はヒステリシスの少ない例であり、（b）はヒステリシスの大きい例を示す。

（3）閾値電圧のシフト（ストレス試験）

ストレス条件は、ゲート電圧20Vで10μAの直流電圧を50℃で10⁵秒加えることとした。ストレスをかける前後のV_{th}を比較し、閾値電圧のシフト量（ΔV_{th}）を測定した。

（4）耐湿性

湿度85%環境下に120時間放置し、閾値電圧のシフトを評価した。

○：変化量が0.5V未満、△：変化量が0.5V以上2V未満、◇：変化量が2V以上5V以下、×：変化量が5V以上

実施例1及び実施例1と同じ形状トランジスタの実施例2-39について、電界効果型トランジスタの素子構成を表4-6に示す。

また、評価結果を表7、8に示す。

10

20

30

40

50

【 0 1 0 1 】

【 表 4 】

		実施例										
		1-17	18	19	20	21	22	23	24			
TFTの構造 成膜方法	タイプ	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-	ホトメゲート エッチストップパ-			
	チャンネル幅W(μm)	20	20	20	20	20	20	20	20			
	チャンネル長L(μm)	5	5	5	5	5	5	5	5			
	半導体層厚み	30	30	30	30	30	30	30	30			
	ゲート絶縁膜	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx			
	ソース・ドレイン(S/D)電極	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti			
	第一の保護層	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx			
	第二の保護層	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx			
	半導体層の種類	評価例1-17	評価例19	評価例20	評価例21	評価例22	評価例19	評価例20	評価例21			
	TFT作製 プロセス	ハターニング	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ			
	S/D電極形成	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ				
	保護層形成後の熱処理条件	280°C、1h	200°C、1h	200°C、1h	200°C、1h	200°C、1h	200°C、1h	350°C、1h	350°C、1h			

【 0 1 0 2 】

10

20

30

40

【 表 5 】

実施例		25	26	27	28	29	30	31	32
TFTの構造 成膜方法	タイプ	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー	ボトムゲート エッチストップパー
	チャンネル幅W(μm)	20	20	20	20	20	20	20	20
	チャンネル長L(μm)	5	5	5	5	5	5	5	5
	半導体層厚み	30	30	30	30	30	30	30	30
	ゲート絶縁膜	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	ソース・ドレイン(S/D)電極	Ti/Al/Ti	Al-Nd合金	Al-Nd合金	Al-Nd合金	Al-Nd合金	Al-Nd合金	Al-Nd合金	Al-Nd合金
	第一の保護層	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	第二の保護層	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx
	半導体層の種類	評価例22	評価例1	評価例2	評価例3	評価例4	評価例5	評価例6	評価例7
	TFT作製 プロセス	パターニング	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ
	半導体層形成	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	
	S/D電極形成	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	
	保護層形成後の熱処理条件	350°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h

【 0 1 0 3 】

10

20

30

40

【 表 6 】

		実施例											
		33	34	35	36	37	38	39					
TFTの構造 成膜方法	タイプ	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-	ボトムゲート エッチストップパ-					
	チャンネル幅W(μ m)	20	20	20	20	20	20	20					
	チャンネル長L(μ m)	5	5	5	5	5	5	5					
	半導体層厚み	30	30	30	15	60	30	30					
	ゲート絶縁膜	PECVD SiOx	PECVD SiNx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx				
	ソース・ドレイン(S/D)電極	Al-Nd合金 PECVD SiOx	Al-Nd合金 PECVD SiOx	Ti/Al/Ti PECVD SiOx	Ti/Al/Ti PECVD SiOx	Ti/Al/Ti PECVD SiOx	Ti/Al/Ti PECVD SiOx	Ti/Al/Ti PECVD SiOx	Ti/Al/Ti PECVD SiOx				
	第一の保護層	PECVD SiNx	PECVD SiNx	無し	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx				
	第二の保護層												
	半導体層の種類	評価例18	評価例18	評価例2	評価例1	評価例1	評価例1	評価例23	評価例24				
	TFT作製 プロセス	パターンニング	ウエットエッチ	ウエットエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ				
S/D電極形成		ウエットエッチ	ウエットエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ					
保護層形成後の熱処理条件		280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h				

【 0 1 0 4 】

10

20

30

40

【表 7】

実施例	1	2	3	4	5	6	7	8	9	10
半導体層の種類	評価例1	評価例2	評価例3	評価例4	評価例5	評価例6	評価例7	評価例8	評価例9	評価例10
TFT特性	移動度(cm ² /Vs) 10 ¹⁰ オンオフ比 0.01 オフ電流(pA) 0.1 S値 0.1 Vth(V) 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 少ない	23 10 ¹⁰ 0.01 0.1 0.2 少ない	23 10 ¹⁰ 0.01 0.1 0.2 少ない	20 10 ¹⁰ 0.01 0.1 0.5 少ない	16 10 ¹⁰ 0.01 0.1 1 少ない	16 10 ⁹ 0.1 0.3 -0.1 少ない	17 10 ¹⁰ 0.05 0.2 0 少ない	18 10 ¹⁰ 0.03 0.2 0.1 少ない
TFT信頼性	閾値電圧のシフトΔVth(V) 0.3 耐湿性 ◎	0.3 ◎	0.4 ◎	0.5 ◎	0.5 ◎	0.5 ◎	0.8 ◎	0.5 ◎	0.5 ◎	0.5 ◎

実施例	11	12	13	14	15	16	17	18	19	20
半導体層の種類	評価例11	評価例12	評価例13	評価例14	評価例15	評価例16	評価例17	評価例19	評価例20	評価例21
TFT特性	移動度(cm ² /Vs) 15 10 ¹⁰ オンオフ比 0.01 オフ電流(pA) 0.1 S値 0.1 Vth(V) 1.5 ヒステリシス 少ない	14 10 ⁹ 2 0.3 1 0.5 1 少ない	15 10 ¹⁰ 0.1 0.4 0.5 0.5 1 0.5 少ない	12 10 ⁹ 1 0.5 1 1 1 少ない	10 10 ⁹ 0.1 0.5 1 1 1 少ない	8 10 ⁹ 0.05 0.5 1 1 1 少ない	6 10 ⁹ 0.03 0.5 2 2 2 少ない	5 10 ¹⁰ 1 0.1 0.1 1.5 1.5 1.8 少ない	13 10 ¹⁰ 0.05 0.1 0.8 0.8 ◎	19 10 ¹⁰ 0.05 0.1 0.1 0.8 ◎
TFT信頼性	閾値電圧のシフトΔVth(V) 0.5 耐湿性 ◎	0.8 ◎	0.8 ◎	2 ◎	2 ◎	2 ◎	2 ◎	2 ◎	2 ◎	2 ◎

実施例	21	22	23	24	25	26	27	28	29	30	
半導体層の種類	評価例22	評価例19	評価例20	評価例21	評価例22	評価例1	評価例2	評価例3	評価例4	評価例5	
TFT特性	移動度(cm ² /Vs) 17 10 ¹⁰ オンオフ比 0.01 オフ電流(pA) 0.1 S値 0.1 Vth(V) 0.5 ヒステリシス 少ない	25 10 ¹⁰ 0.01 0.1 0.2 0.1 0.2 少ない	22 10 ¹⁰ 0.02 0.1 0.2 0.2 0.4 0.4 少ない	21 10 ¹⁰ 0.03 0.1 0.2 0.2 0.5 0.5 少ない	18 10 ¹⁰ 0.05 0.1 0.2 0.1 0.1 0.5 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 0.3 0.3 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 0.3 0.3 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 0.3 0.3 少ない	25 10 ¹⁰ 0.01 0.1 0.1 0.1 0.3 0.3 少ない	23 10 ¹⁰ 0.01 0.1 0.1 0.2 0.3 0.3 少ない	26 10 ¹⁰ 0.01 0.1 0.1 0.1 0.1 0.1 0.1 少ない
TFT信頼性	閾値電圧のシフトΔVth(V) 0.6 耐湿性 ◎	0.3 ◎	0.4 ◎	0.5 ◎	0.5 ◎	0.3 ◎	0.3 ◎	0.3 ◎	0.3 ◎	0.3 ◎	

【 0 1 0 5 】

【 表 8 】

実施例	31	32	33	34	35	36	37	38	39
半導体層の条件	評価例6	評価例7	評価例18	評価例18	評価例2	評価例1	評価例1	評価例23	評価例24
TFT特性	20 10 ¹⁰ 0.01 0.1 0.5 少ない	16 10 ¹⁰ 0.01 0.1 1 少ない	20 10 ¹⁰ 0.01 0.1 0.1 少ない	20 10 ¹⁰ 0.01 0.1 0.1 少ない	24 10 ¹⁰ 0.01 0.1 0.1 少ない	25 10 ¹⁰ 0.01 0.1 1 少ない	19 10 ¹⁰ 0.01 0.3 -0.3 少ない	25 10 ⁹ 0.1 0.3 -0.1 少ない	23 10 ¹⁰ 0.01 0.1 0.8 少ない
TFT信頼性	◎	◎	◎	◎	○	◎	◎	◎	◎
耐湿性									

【 0 1 0 6 】

実施例 1 8 - 2 5

半導体層形成時の条件を表 4、 5 に示す評価例と同様にした他は、実施例 1 と同様にトランジスタを作製し、評価した。結果を表 7 に示す。

10

20

30

40

50

【 0 1 0 7 】

実施例 2 6 - 3 2

表 4、5 に示すように、半導体層の形成、ソース・ドレイン電極を変更し、半導体層の形成とソース・ドレイン電極の形成をウェットエッチングで行った以外は、実施例 1 と同様に作製・評価した。

尚、半導体層は修酸系エッチング液を用いパターニングし、ソース電極・ドレイン電極は、P A N 系エッチング液を用いパターニングした。

【 0 1 0 8 】

実施例 3 3 , 3 4

表 6 に示したように T F T の構造、製造プロセスを変えた以外は、実施例 1 と同様にトランジスタを作製し、評価した。

【 0 1 0 9 】

実施例 3 5 - 3 7

表 6 に示したように、T F T の構造、製造プロセスを変えた以外は、実施例 1 と同様にトランジスタを作製し、評価した。

【 0 1 1 0 】

実施例 3 8 , 3 9

表 6 に示したように、半導体層成膜時の酸素分圧を変更した以外は実施例 1 と同様にトランジスタを作製・評価した。

【 0 1 1 1 】

実施例 4 0

図 5 に示す、ボトムゲートエッチストッパー電界効果型トランジスタを作製し、実施例 1 と同様に評価した。尚、図 5 (a) は実施例 4 0 で作製した電界効果型トランジスタの概略断面図であり、(b) は各部材の位置関係を示した概略上面図である。図 5 (a) は、図 5 (b) の A - A 断面図である。各部材の付番は図 1 と同様とし、説明を省略する。

本実施例では、熱酸化膜 1 1 ' (S i O x , 1 0 0 n m) 付 S i 基板 1 0 ' を用い、表 9 に示した T F T の構造、製造プロセスでトランジスタを作製した。S i 基板 1 0 ' がゲート電極を兼ねている。

実施例 4 0 及び実施例 4 0 と同じ形状トランジスタの実施例 4 1 - 4 6 について、電界効果型トランジスタの素子構成を表 9 に示す。

また、評価結果を表 1 0 に示す。

【 0 1 1 2 】

10

20

30

【 表 9 】

		実施例						
		40	41	42	43	44	45	46
TFTの構造 成膜方法	タイプ	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー	ボトムゲート (Si基板) エッチストッパー
	チャンネル幅W(μm)	20	20	20	20	20	20	20
	チャンネル長L(μm)	5	5	5	5	5	5	5
	半導体層厚み	30	30	30	30	30	30	30
	ゲート絶縁膜	熱酸化膜 SiOx	熱酸化膜 SiOx	熱酸化膜 SiOx	熱酸化膜 SiOx	熱酸化膜 SiOx	熱酸化膜 SiOx	熱酸化膜 SiOx
	ソース・ドレイン(S/D)電極	Al-Nd合金 RFスパッタ	Al-Nd合金 RFスパッタ	Al-Nd合金 RFスパッタ	Al-Nd合金 RFスパッタ	Al-Nd合金 RFスパッタ	Ti/Al/Ti RFスパッタ	Al-Nd合金 RFスパッタ
	第一の保護層	SiOx PECVD SiNx	HfOx PECVD SiNx	SiOx PECVD 無し	SiOx PECVD SiNx	SiOx PECVD SiNx	SiOx PECVD SiNx	SiOx PECVD SiNx
	第二の保護層							
	半導体層の種類	評価例18	評価例18	評価例18	評価例18	評価例18	評価例18	評価例18
	TFT作製 プロセス	半導体層形成 S/D電極形成 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h	ウエットエッチ ウエットエッチ 280°C、1h

【 0 1 1 3 】

10

20

30

40

【表 10】

実施例	40	41	42	43	44	45	46
半導体層の条件	評価例18	評価例18	評価例18	評価例18	評価例18	評価例18	評価例18
TFT特性	移動度(cm ² /Vs)	14	11	12	11	15	12
	オンオフ比	10 ⁹	10 ⁹	10 ⁹	10 ⁹	10 ⁹	10 ⁹
	オフ電流(pA)	0.1	0.1	0.1	0.1	0.1	0.1
	S値	0.6	0.9	0.6	0.6	0.4	0.7
	Vth(V)	3	4	3	3	1.5	3
	ヒステリシス	少ない	少ない	少ない	少ない	少ない	少ない
TFT信頼性	閾値電圧のシフトΔVth(V)	0.4	0.7	0.4	0.4	0.3	0.4
	耐湿性	◎	○	◎	◎	◎	◎

10

20

30

【0114】

40

実施例 4 1

第一の保護層をHfO_xとした他は、実施例 4 0 と同様にボトムゲート構造エッチストップ型電界効果型トランジスタを作製・評価した。

【0115】

実施例 4 2 - 4 6

表 9 に示すように、各電極、第一の保護層及び第二の保護層、作製プロセスを変更した他は、実施例 4 0 と同様の構造の電界効果型トランジスタを作製し、評価した。

【0116】

実施例 4 7

図 6 に示すボトムゲート構造のバックチャンネルエッチ (B C H) 型の電界効果トラン

50

ジスタを作製した。尚、各部材の付番は図1と同様とし、説明を省略する。

ガラス基板10上に、室温のRFスパッタリングでモリブデン金属を200nm積層した後、ウェットエッチングでパターンニングし、ゲート電極11を作製した。

次に、ゲート電極11を作製した基板にプラズマ化学気相成長装置(PECVD)にて、SiO_xを成膜し、ゲート絶縁膜12とした。

次に、評価例18で製造したターゲットを、DCスパッタ法の一つであるDCマグネトロンスパッタリング法の成膜装置に装着し、ゲート絶縁膜上に成膜した。スパッタ条件は、評価例18と同様とした。

【0117】

その後、修酸系エッチング液を用い、ウェットエッチでパターンニングして半導体層13 (膜厚30nm)を形成した。 10

続いて、DCスパッタリングでAl-Nd合金膜を成膜した。成膜後、PAN系エッチング液を用い、ウェットエッチでパターンニングしてソース電極・ドレイン電極14, 15を形成した。

次に、PECVDにて、SiO_xを成膜して、第一の保護層16とした。

さらに、第二の保護層17として、PECVD(PECVD SiN_x:H)にてSiN_xを成膜したのちコンタクトホール18を形成し、外部配線と接続した。

その後、大気下、280℃で1時間熱処理してW=20μm、L=5μmのボトムゲート構造バックチャンネルエッチ型電界効果型トランジスタを製造した。

実施例47及び実施例47と同じ形状トランジスタの実施例48-51について、電界効果型トランジスタの素子構成を表11に示す。 20

また、評価結果を表12に示す。

【0118】

【表 1 1】

		実施例				
		47	48	49	50	51
TFTの構造 成膜方法	タイプ	ボトムゲート バックチャネル エッチ	ボトムゲート バックチャネル ルエッチ	ボトムゲート バックチャネル ルエッチ	ボトムゲート バックチャネル ルエッチ	ボトムゲート バックチャネル ルエッチ
	チャンネル幅W(μm)	20	20	20	20	20
	チャンネル長L(μm)	5	5	5	5	5
	半導体層厚み	30	30	30	30	30
	ゲート絶縁膜	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	ソース・ドレイン(S/D)電極	Al-Nd合金	Al-Nd合金	Al-Nd合金	Al-Nd合金	Mo
TFT作製 プロセス	第一の保護層	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	第二の保護層	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx
	半導体層の種類	評価例18	評価例18	評価例18	評価例18	評価例18
	パターニング	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ
	保護層形成後の熱処理条件	ウエットエッチ 280°C、1h	リフトオフ 280°C、1h	ドライエッチ 280°C、1h	ウエットエッチ 280°C、1h	ウエットエッチ 280°C、1h

【 0 1 1 9 】

10

20

30

40

【表 1 2】

実施例		47	48	49	50	51
半導体層の条件		評価例18	評価例18	評価例18	評価例18	評価例18
TFT特性	移動度(cm ² /Vs)	20	20	20	23	17
	オンオフ比	10 ¹⁰	10 ¹⁰	10 ¹⁰	10 ¹⁰	10 ¹⁰
	オフ電流(pA)	0.01	0.01	0.01	0.01	0.01
	S値	0.1	0.1	0.1	0.3	0.3
	Vth(V)	0.1	0.1	0.1	0.3	0.5
	ヒステリシス	少ない	少ない	少ない	少ない	少ない
TFT信頼性	閾値電圧のシフトΔVth(V)	0.3	0.3	0.3	0.4	0.4
	耐湿性	◎	◎	◎	◎	◎

10

【 0 1 2 0 】

実施例 4 8 - 5 1

表 1 1 に示すように、各電極、第一の保護層及び第二の保護層、作製プロセスを変更した他は、実施例 4 7 と同様の構造の電界効果型トランジスタを作製し、評価した。

【 0 1 2 1 】

実施例 5 2 及び 5 3

表 1 3 に示す条件で、図 7 に示すコプラナー構造電界効果型トランジスタを作製し、評価した。尚、各部材の付番は図 1 と同様とし、説明を省略する。

ガラス基板 1 0 上にゲート電極 1 1 及びゲート絶縁膜 1 2 を形成した(図 7 (a)(b))。半導体層 1 3 を形成した後、第一の保護層 1 6 ' を成膜した(図 7 (c))。

20

第一の保護層 1 6 ' 上にレジスト膜 2 1 を形成した(図 7 (d))。基板 1 0 側から光を照射し、ゲート電極 1 1 をマスクとするようにして、レジスト膜の一部 2 1 ' を露光し、除去した(図 7 (e)(f))。その後、第一の保護層 1 6 ' をゲート電極 1 1 と整合するようパターニングし第一の保護層 1 6 とした(図 7 (g))。

PECVD (PECVD SiNx:H) にて SiNx を成膜し、第二の保護層 1 7 を形成すると同時に、半導体層部分 1 3 の第一の保護層 1 6 で覆われていない部分 1 3 a を低抵抗化させ、低抵抗化した半導体層部分 1 3 a とした(図 7 (h))。コンタクトホール 1 8 を形成し、ドレイン電極 1 4 及びソース電極 1 5 と接続して、コプラナー構造電界効果型トランジスタを作製した(図 7 (i))。

評価結果を表 1 4 に示す。

30

【 0 1 2 2 】

【 表 1 3 】

		実施例						
		52	53	54	55	56	57	58
TFTの構造 成膜方法	タイプ	ボトムゲート コプラナー	ボトムゲート コプラナー	トップゲート —	ボトムゲート コプラナー	ボトムゲート エッチストッパー	ボトムゲート エッチストッパー	ボトムゲート エッチストッパー
	チャンネル幅W(μm)	20	20	20	20	20	20	20
	チャンネル長L(μm)	5	5	5	5	20	20	20
	半導体層厚み	30	30	30	30	30	30	30
	ゲート絶縁膜	PECVD SiOx	RFスパッタ SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	ソース・ドレイン(S/D)電極	半導体層の一部を 低抵抗化	半導体層の一部を 低抵抗化	Al-Nd合金	半導体層の一部を 低抵抗化	Al-Nd合金	Al-Nd合金	Al-Nd合金
	第一の保護層	PECVD SiOx	RFスパッタ SiOx	PECVD SiNx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx
	第二の保護層	PECVD SiNx	PECVD SiNx	無し	PECVD SiNx	PECVD SiNx	PECVD SiNx	PECVD SiNx
	半導体層の種類	評価例18	評価例18	評価例18	評価例18	評価例25	評価例26	評価例27
	パターニング	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ	ウエットエッチ
TFT作製 プロセス	S/D電極形成	半導体層の一部 を低抵抗化	半導体層の一部 を低抵抗化	半導体層の一部 を低抵抗化	半導体層の一部 を低抵抗化	ウエットエッチ	ウエットエッチ	ウエットエッチ
	保護層形成後の熱処理条件	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h	280°C、1h

【 0 1 2 3 】

10

20

30

40

その後、コンタクトホール 18 を形成し、外部配線と接続した。

その後、大気下、280 で 1 時間熱処理して $W = 20 \mu\text{m}$ 、 $L = 5 \mu\text{m}$ のボトムゲート構造コプラナー型電界効果型トランジスタを製造した。

トランジスタの評価結果を表 14 に示す。

【0128】

実施例 56 - 58

表 13 に示すように、半導体層の形成、ソース・ドレイン電極を変更し、半導体層の形成とソース・ドレイン電極の形成をウェットエッチングで行った以外は、実施例 1 と同様に作製・評価した。

尚、半導体層は修酸系エッチング液を用いパターニングし、ソース電極・ドレイン電極は、PAN 系エッチング液を用いパターニングした。

10

【0129】

比較例 1 - 5

表 15 に示す構成のボトムゲート構造バックチャンネルエッチ型電界効果型トランジスタを作製した。

半導体層は、表 16 に示す条件で、2 種のターゲット (ZnO と $\text{In}_2\text{O}_3 - \text{SnO}_2$ (原子比 $\text{In} : \text{Sn} = 1 : 1$)) を用いコスパッタで形成した。

図 11 は、コスパッタによる薄膜形成の概念図である。

回転台 31 に基板 10 を固定し、スパッタ処理中に軸 32 によって回転台 31 を回転させる。これにより、 $\text{In}_2\text{O}_3 - \text{SnO}_2$ ターゲット 33 及び ZnO ターゲット 34 の両者を使用した成膜ができる。

20

尚、 ZnO ターゲットは RF スパッタ、 $\text{In}_2\text{O}_3 - \text{SnO}_2$ (原子比 $\text{In} : \text{Sn} = 1 : 1$) ターゲットは DC スパッタを用い成膜した。

実施例 1 と同様に、XPS で測定した比較例 1 及び 5 の Sn 平均価数は、それぞれ +2.9、+3.0 であった。

尚、比較例で作製した電界効果型トランジスタの素子構成を表 15 に示す。また、比較例で使用した半導体層の成膜条件、半導体層の組成、特性を表 16、17 に示す。さらに、比較例のトランジスタの評価結果を表 18 に示す。

【0130】

【表 15】

		比較例									
		1-5	6-14	15	16	17	18	19	20		
TFTの構造 成膜方法	タイプ	ボトムゲート (Si基板) バックチャネル ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート (Si基板) バックチャネル ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート エッチストッパ ルエッチ	ボトムゲート エッチストッパ ルエッチ	
	チャンネル幅W(μm)	300	20	20	20	20	20	20	20	20	
	チャンネル長L(μm)	50	5	5	5	5	5	5	5	5	
	半導体層厚み(nm)	45	30	30	30	30	30	30	30	30	
	ゲート絶縁膜	熱酸化膜 SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	熱酸化膜 SiOx	PECVD SiOx	PECVD SiOx	
	ソース・ドレイン(S/D)電極	Ti/Au	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Ti/Al/Ti	Al-Nd合金	Ti/Al/Ti	Ti/Al/Ti	
	第一の保護層	無し	PECVD SiOx	PECVD SiOx	PECVD SiOx	PECVD SiOx	無し	無し	無し	PECVD SiOx	
	第二の保護層	無し	PECVD SiNx	無し	無し	無し	無し	無し	無し	PECVD SiNx	
	TFT作製 プロセス	ハターニング	ウエットエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ウエットエッチ	ドライエッチ	ドライエッチ	
		S/D電極形成	リフトオフ	ドライエッチ	ドライエッチ	ドライエッチ	ドライエッチ	ウエットエッチ	ドライエッチ	ドライエッチ	
熱処理条件		大気下 300℃	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	保護層形成後 280℃ 1時間	

【 0 1 3 1 】

10

20

30

40

【表 16】

		比較例									
		1	2	3	4	5	6	7	8	9	10
ターゲット 原子比	In/(In+Sn+Zn)						0.00	0.37	0.58	0.81	0.09
	Sn/(In+Sn+Zn)						0.00	0.00	0.00	0.00	0.09
	Zn/(In+Sn+Zn)						1.00	0.63	0.42	0.21	0.82
成膜条件	雰囲気ガス	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:100%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%	Ar:97% O2:3%
	全圧[Pa]	1	1	1	1	1	0.5	0.5	0.5	0.5	0.5
	酸素分圧[×10 ⁻³ Pa]	0	0	0	0	0	15	15	15	15	15
膜組成 原子比	In/(In+Sn+Zn)	0.48	0.43	0.38	0.34	0.28	0.00	0.40	0.60	0.80	0.10
	Sn/(In+Sn+Zn)	0.47	0.42	0.37	0.33	0.27	0.00	0.00	0.00	0.00	0.10
	Zn/(In+Sn+Zn)	0.05	0.15	0.25	0.33	0.45	1.00	0.60	0.40	0.20	0.80
薄膜特性	結晶性(X線回折)	非晶質	非晶質	非晶質	非晶質	非晶質	結晶	非晶質	非晶質	非晶質	非晶質
	PAN耐性	○	○	○	○	○	×	×	×	×	○
	稀酸系エッチング液エッチング性	×	×	×	×	×	×	◎	◎	◎	×
	稀酸系エッチング液エッチング速度(nm/分)	<10	<10	<10	<10	<10	>1000	350	200	100	>1000
	稀酸系エッチング後の残渣	×	×	×	×	×	○	○	○	○	○
	ドライエッチング適性	○	○	○	○	○	○	○	○	○	○

【 0 1 3 2 】

10

20

30

40

【表 17】

		比較例									
		11	12	13	14	15	16	17	18	19	20
ターゲット 原子比	In/(In+Sn+Zn)	0.61	0.00	0.39	0.20	0.37	0.58	0.58	0.35	0.38	0.40
	Sn/(In+Sn+Zn)	0.15	0.39	0.40	0.75	0.00	0.00	0.00	0.15	0.15	0.39
	Zn/(In+Sn+Zn)	0.21	0.61	0.21	0.05	0.63	0.42	0.42	0.50	0.47	0.21
成膜条件	雰囲気ガス	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%	Ar:97% O ₂ :3%
	全圧[Pa]	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5	0.5
膜組成 原子比	酸素分圧[×10 ⁻³ Pa]	15	15	15	15	15	15	15	15	15	15
	In/(In+Sn+Zn)	0.65	0.00	0.40	0.20	0.40	0.60	0.60	0.37	0.40	0.40
	Sn/(In+Sn+Zn)	0.15	0.40	0.40	0.75	0.00	0.00	0.00	0.15	0.15	0.40
薄膜特性	Zn/(In+Sn+Zn)	0.20	0.60	0.20	0.05	0.60	0.40	0.40	0.48	0.45	0.20
	結晶性(X線回折)	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質	非晶質
	PAN耐性	○	○	○	○	○	×	×	○	○	○
	修酸系エッチング液エッチング性	◎	×	×	×	◎	◎	◎	◎	◎	×
	修酸系エッチング液エッチング速度(mm/分)	100	<10	<10	<10	350	200	200	170	150	<10
修酸系エッチング後の残渣 ドライエッチング適性	○	×	×	×	○	○	○	○	○	×	
		○	○	○	○	○	○	○	○	○	○

【 0 1 3 3 】

10

20

30

40

【表 18】

比較例 TFT特性	移動度(cm ² /Vs)	13	11	8	6	4	3	2	1	10	
	オンオフ比	10 ⁷	10 ⁷	10 ⁷	10 ⁸	10 ⁸	10 ⁸	10 ⁸	10 ⁷	10 ⁶	
	オフ電流(pA)	100	100	20	10	10	10	100	1	100	
	S値	3.1	2.7	0.9	0.5	0.5	0.4	2.9	0.6	3.6	
	Vth(V)	-19	-1.5	6	10	10	12	-15	2.5	-10	
	ヒステリシス	大きい	大きい	大きい	大きい	大きい	大きい	ある	少ない	ある	
	閾値電圧のシフトΔVth(V)	6	6	6	6	6	6	10	5	7	
	耐湿性	×	×	×	×	×	×	◎	◎	◎	
	比較例	11	12	13	14	15	16	17	18	19	20
	TFT特性	移動度(cm ² /Vs)	6	2	3	0.5	12	7	5	8	9
オンオフ比		10 ⁶	10 ⁷	10 ⁷	10 ⁴	10 ⁸	10 ⁸	10 ⁷	10 ⁷	10 ⁶	
オフ電流(pA)		100	10	10	100	1	10	100	100	100	
S値		3.6	2	1.1	4.2	0.6	0.6	1.2	1.2	0.8	
Vth(V)		-10	6	3	-25	2.5	-2	-5	11	9	
ヒステリシス		ある	大きい	ある	大きい	ある	ある	ある	ある	大きい	
TFT信頼性	閾値電圧のシフトΔVth(V)	7	6	3	12	5	6	6	5	4	
	耐湿性	◎	◎	◎	◎	×	×	×	△	△	

10

20

30

40

【0134】

比較例 6 - 14

半導体層の組成比を表16、17に示すように変えた他は、実施例1と同様にして、電界効果型トランジスタを製造し、評価した。

【0135】

50

比較例 15 - 19

表 17 に示す条件で半導体層を形成し、表 15 に示した T F T 構造及び製造プロセスとした他は、実施例 1 と同様にして、電界効果型トランジスタを製造し、評価した。

【 0 1 3 6 】

比較例 20

組成比を変更し、半導体層をドライエッチした他は、実施例 55 と同様に電界効果型トランジスタを作製し、評価した。

その結果、半導体層の組成比が同じである比較例 13 と比べて、トランジスタ特性が大幅に低下した。半導体の一部を低抵抗化させる際に錫の低級酸化物が生成してしまいコンタクト抵抗が大きくなったためと考えられる。これは錫の量が多く、 $S n / Z n$ 比も大きいことが原因と考えられる。

10

【 0 1 3 7 】

[実施例及び比較例の検討]

(1) 半導体層における $Z n$ 量 ($Z n / (I n + S n + Z n)$)

図 12 に $I n$ と $S n$ 比を一定にした時の $Z n$ 量 ($Z n / (I n + S n + Z n)$) と移動度 (a)、オフ電流 (b) の関係を示した。図 12 において、実施例の測定値に基づく線を A で、比較例の測定値に基づく線を B で示してある。

保護層の無い比較例 1 ~ 5 に比べ、保護層を形成した後に熱処理を加えたものは、 $Z n$ 量が増えても移動度が低下しなかった。 $Z n / (I n + S n + Z n) = 0.6$ 付近で非常に高い移動度と低いオフ電流を示し、実用的な T F T が構成できることが分かる。

20

【 0 1 3 8 】

(2) $I n$ 量 ($I n / (I n + S n + Z n)$)、あるいは $S n$ 量 ($S n / (I n + S n + Z n)$)

図 13 に $Z n$ 量を一定にした時の $I n$ 量 ($I n / (I n + S n + Z n)$) と移動度 (a)、オフ電流 (b) の関係を示す。図 13 は、実施例 18 - 25 から得られた結果を、図 2 に示す組成領域 1 - 3 について、熱処理温度を変えて比較した結果を示している。350 で熱処理した場合は、移動度が高いオフ電流が低いなど領域 3 の特性が良好で、200 で熱処理した場合は、移動度が高いなど領域 2 の特性が良好であった。

また、保護層を付けた後に 280 熱処理を加えたものは $S n / I n$ 比が 0.33 から 1 付近で非常に高い移動度と低いオフ電流を示し、実用的な T F T が構成できることが分かる。

30

また、熱処理温度の比較から $S n / I n$ 比が小さいと ($S n$ 量が少ないと)、低温の熱処理でも良好な T F T 特性が得られ、適正な錫量で低温プロセスに対応できることが分かる。

【 0 1 3 9 】

(3) 保護層

比較例 18 と実施例 42 の比較から、第一の保護層の形成後に熱処理をすることで、トランジスタ特性の向上 (オンオフ比の向上、オフ電流の低減、 S 値の低減、閾値電圧の低減) と耐湿性の向上の効果を確認できた。

実施例 42 と実施例 40 の比較から、第二の保護層の形成後に熱処理をすることで、さらに耐湿性や S 値が向上することが分かった。

40

同様に、実施例 1 と比較例 19 の比較から、第一、第二の保護層により、トランジスタ特性の向上 (オンオフ比の向上、オフ電流の低減、 S 値の低減、閾値電圧の低減) と耐湿性の向上の効果があった。

【 0 1 4 0 】

(4) 錫原子の添加

比較例 17 と 19 の比較から、保護層が無い状態でも錫の添加により耐湿性が向上することが分かった。

また、実施例 15、12、8、比較例 8 の雰囲気温度による閾値電圧のシフト量 ($V_{th}(temp)$) を比較した。 $S n$ を含まない比較例 8 は $V_{th}(temp)$ が 12

50

V以上であったのに対して、Snを含む実施例15、12、8は $V_{th}(temp)$ が6V以下であった。Snが含まれることにより雰囲気温度に対する安定性も改良されていることが確認できた。

尚、雰囲気温度25と80での V_{th} の差 ($V_{th}(25) - V_{th}(80)$) を雰囲気温度による閾値電圧のシフト量 ($V_{th}(temp)$) とした。

【0141】

(5) 成膜時の酸素分圧

実施例1, 38, 39から、酸素分圧 5×10^{-3} Pa から 2.5×10^{-2} Pa で良好な特性が得られることが分かった。

【0142】

(6) 半導体層の組成領域によるプロセス上の特徴

図2に示す各領域は、下記のプロセスが適用できることが確認できた。尚、図2中、で示した点は実施例の組成を示し、xで示した点は比較例の組成を示す。

領域1：半導体層の稼酸等によるウェットエッチングが可能、ソース・ドレイン電極のPAN等によるウェットエッチングが可能

領域2：半導体層の稼酸等によるウェットエッチングが可能

領域3：半導体層の稼酸等によるウェットエッチングが可能、ソース・ドレイン電極のPAN等によるウェットエッチングが可能

領域4：ソース・ドレイン電極のPAN等によるウェットエッチングが可能

領域外：ソース・ドレイン電極のPAN等によるウェットエッチングが可能

尚、領域1～4及びそれらの領域外ともにドライエッチングが可能であった。

【0143】

(7) ターゲット

なお、評価例1、7、19、25、26、27、比較例6、12、15のターゲットの性状を表19にまとめた。

$Zn / (In + Sn + Zn)$ で表される原子組成比率が70原子%以下であり、 $In / (In + Sn + Zn)$ で表される原子組成比率が33原子%未満であり、 $Sn / (In + Sn + Zn)$ で表される原子組成比率が5原子%以上15原子%未満であるターゲット(評価例7、25、26、27)の性状が、In(インジウム)含有量が少なく、 Zn_2SnO_4 で表されるスピネル構造化合物を主成分として、ターゲット性状が特に良好であった。また、電界効果トランジスタを作製した際の特性も良好であった。

【0144】

10

20

30

【表 19】

ターゲット 原子比	評価例						比較例					
	1	7	19	25	26	27	6	12	15			
In/(In+Sn+Zn)	0.38	0.23	0.14	0.25	0.25	0.20	0.00	0.00	0.37			
Sn/(In+Sn+Zn)	0.15	0.14	0.23	0.14	0.10	0.14	0.00	0.39	0.00			
Zn/(In+Sn+Zn)	0.47	0.63	0.63	0.61	0.65	0.66	1.00	0.61	0.63			
ターゲット の性状	In ₂ O ₃ で表される ピックスバイト構造 化合物とZn ₂ SnO ₄ で表されるスピネ ル構造化合物	Zn ₂ SnO ₄ で表 されるスピネ ル構造化合物	Zn ₂ SnO ₄ で表 されるスピネ ル構造化合物	Zn ₂ SnO ₄ で表 されるスピネ ル構造化合物	Zn ₂ SnO ₄ で表 されるスピネ ル構造化合物	Zn ₂ SnO ₄ で表 されるスピネ ル構造化合物	ZnOで表され るウルツ鉱構 造化化合物	Zn ₂ SnO ₄ で 表されるスピ ネル構造化 合物	In ₂ O ₃ (ZnO) ₅ で表される六 方晶層状化 合物			
バルク抵抗(mΩ)	3	2	90	2	1	2	5000000	5000	9			
相対密度(%)	99	99	93	99	99	99	78	81	97			
抗折強度(kg/mm ²)	12.0	12.5	10.5	12.5	13.0	12.5	7.0	5.0	9.0			

【産業上の利用可能性】

【0145】

本発明の電界効果型トランジスタは、ディスプレイ用パネル、RFIDタグ、
X線ディテクタパネル・指紋センサ・フォトセンサ等のセンサ等に好適に使用できる。

上記に本発明の実施形態及び/又は実施例を幾つか詳細に説明したが、当業者は、本発
明の新規な教示及び効果から実質的に離れることなく、これら例示である実施形態及び/

10

20

30

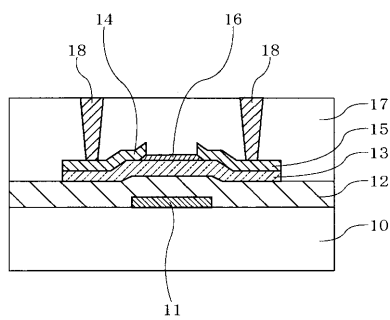
40

50

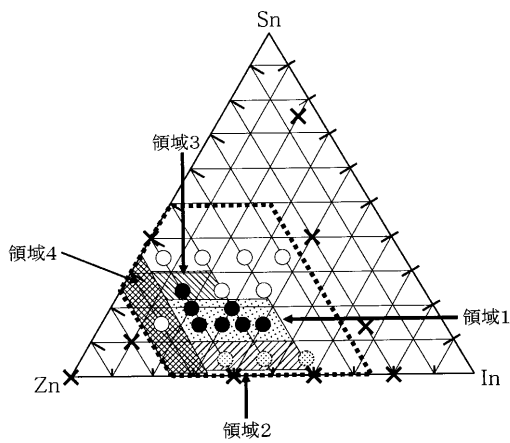
又は実施例に多くの変更を加えることが容易である。従って、これらの多くの変更は本発明の範囲に含まれる。

この明細書に記載の文献の内容を全てここに援用する。

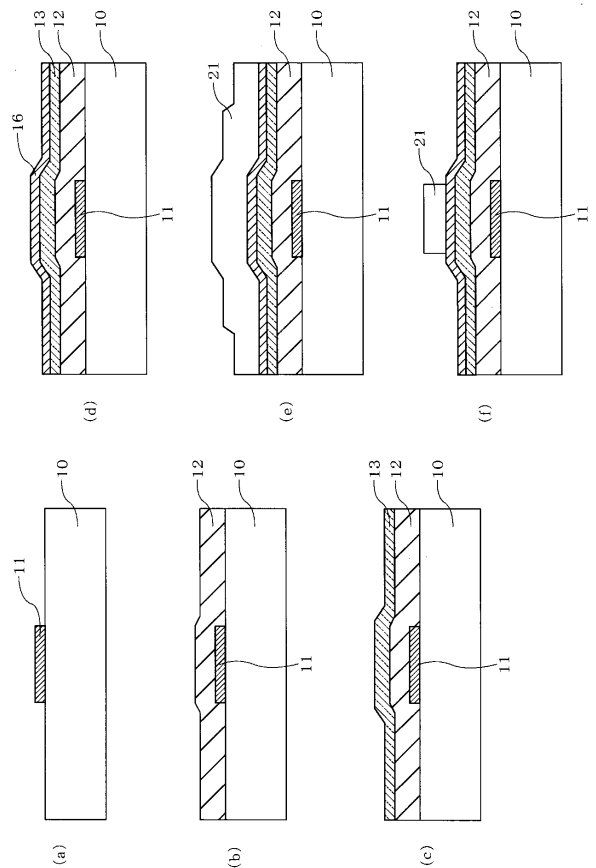
【図1】



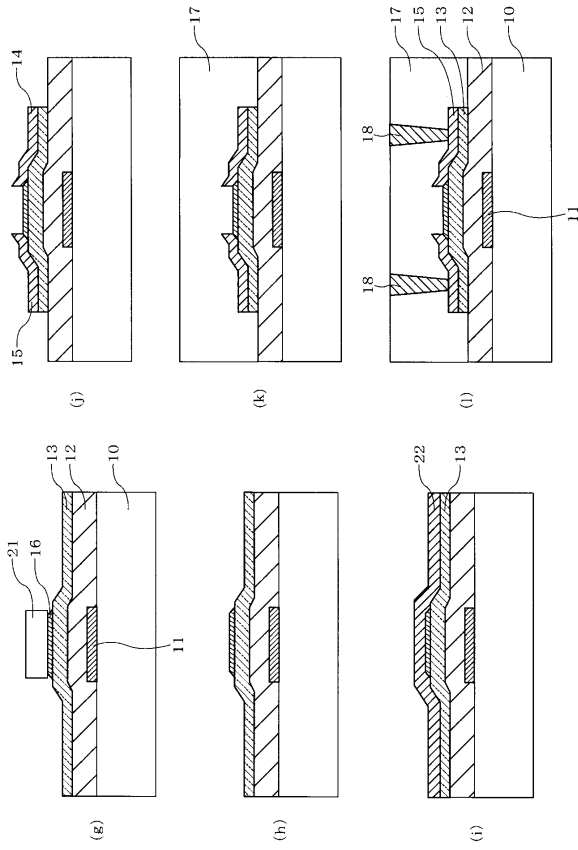
【図2】



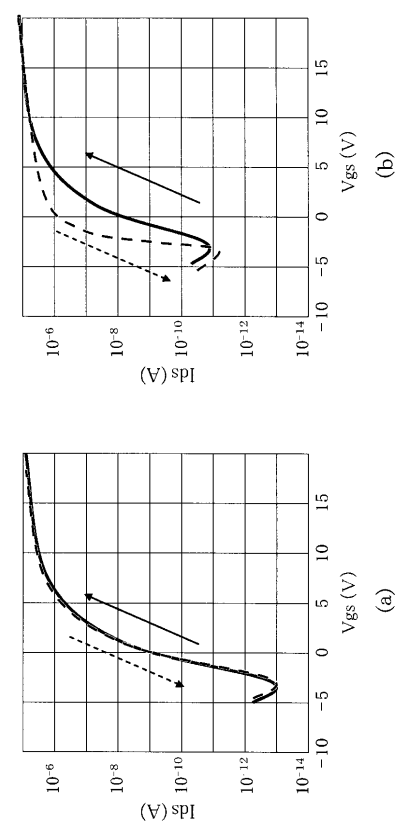
【図3a】



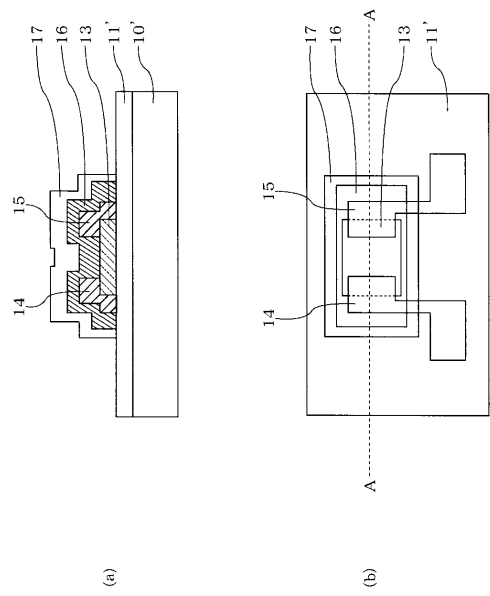
【図3b】



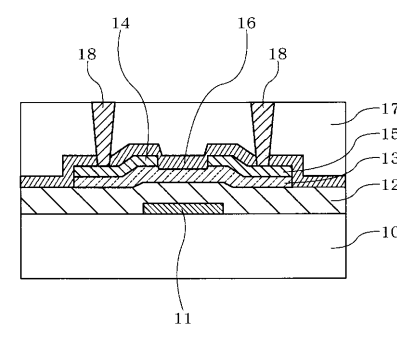
【図4】



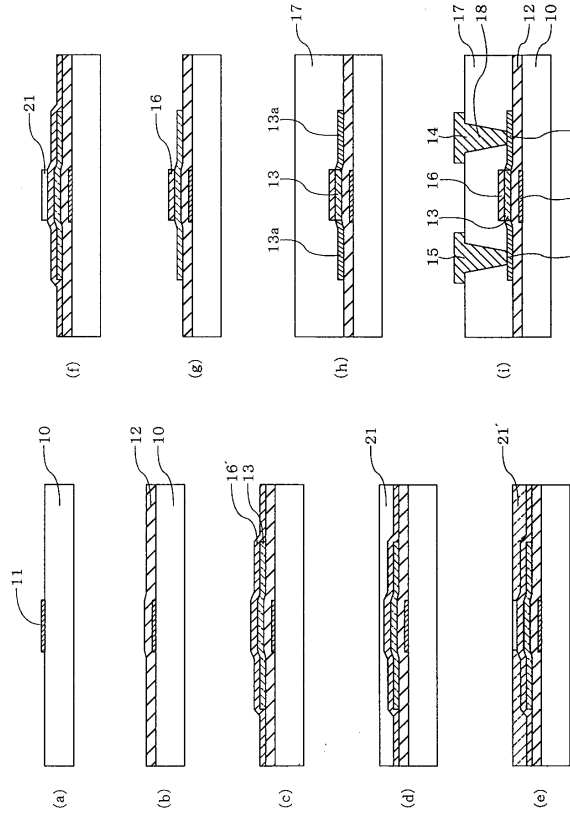
【図5】



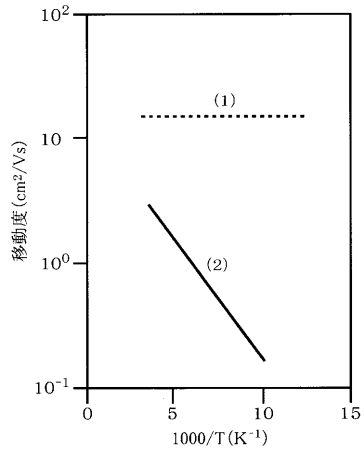
【図6】



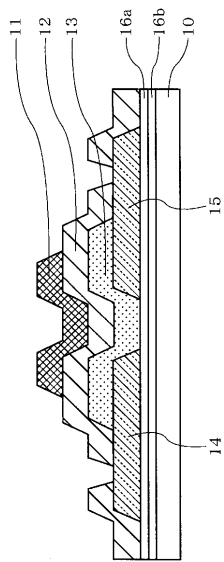
【図7】



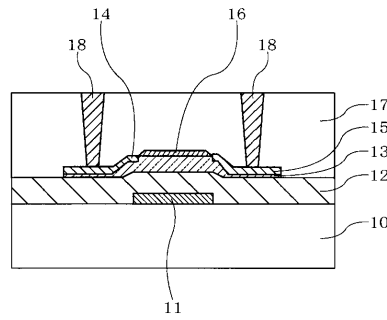
【図8】



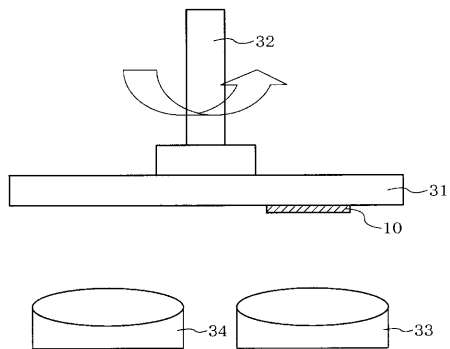
【図9】



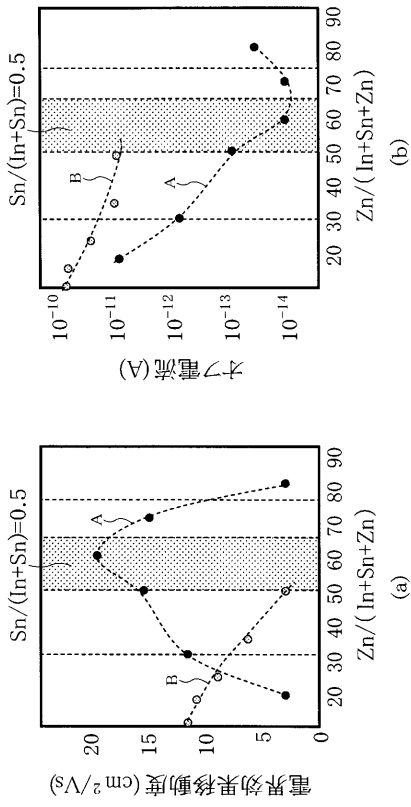
【図10】



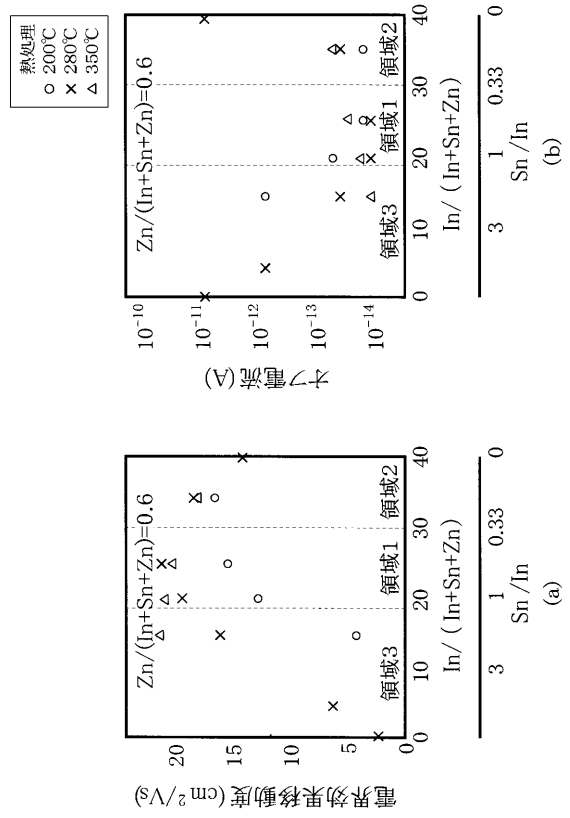
【図11】



【図 1 2】



【図 1 3】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 21/363

合議体

審判長 鈴木 匡明

審判官 西脇 博志

審判官 近藤 幸浩

- (56)参考文献 国際公開第2007/034733(WO,A1)
国際公開第2007/037191(WO,A1)
特開2007-073559(JP,A)
特開2007-212699(JP,A)
国際公開第2007/058232(WO,A1)
特開2001-230117(JP,A)
特開2007-115735(JP,A)
特開平04-177736(JP,A)
特開2005-259970(JP,A)
特開昭61-201482(JP,A)

(58)調査した分野(Int.Cl.,DB名)

H01L 29/786

H01L 21/336

H01L 21/363

C01G 19/00-19/02