



(19)
Bundesrepublik Deutschland
Deutsches Patent- und Markenamt

(10) **DE 10 2007 019 761 A1** 2008.10.23

(12)

Offenlegungsschrift

(21) Aktenzeichen: **10 2007 019 761.8**

(22) Anmeldetag: **19.04.2007**

(43) Offenlegungstag: **23.10.2008**

(51) Int Cl.⁸: **H01L 21/283** (2006.01)
H01L 21/768 (2006.01)

(71) Anmelder:

Qimonda AG, 81739 München, DE

(74) Vertreter:

Maikowski & Ninnemann, Pat.-Anw., 10707 Berlin

(72) Erfinder:

Nölscher, Christoph, Dr., 90419 Nürnberg, DE

(56) Für die Beurteilung der Patentfähigkeit in Betracht
gezogene Druckschriften:

DE 102 28 807 A1

US2006/02 16 938 A1

US2006/00 24 621 A1

US 54 29 988 A

US 50 17 515 A

US 64 20 104 B1

WO 97/10 612 A1

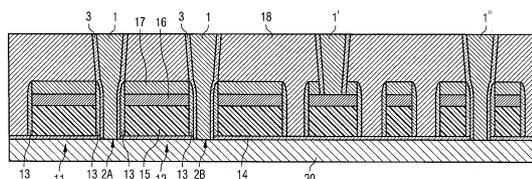
Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gemäß § 44 PatG ist gestellt.

(54) Bezeichnung: **Verfahren zur Herstellung eines Kontaktelementes, eine Struktur in einem Halbleiterbauelement, eine integrierte Schaltung und ein Halbleiterbauelement**

(57) Zusammenfassung: Verfahren zur Herstellung mindestens eines elektrisch leitenden Kontaktelementes zwischen zwei elektrisch leitenden Schichten eines Halbleiterbauelements, mit mindestens zwei in einer Ebene liegende benachbarte Strukturen (11, 12, 101, 102) des Halbleiterbauelements mittels einer Pattern-by-Fill-Technik hergestellt werden, wobei das mindestens eine Kontaktelement (1) zwischen den benachbarten Strukturen (11, 12, 101, 102) angeordnet ist und ein Kontakt von einem Anschluss oberhalb zu einem Anschluss (2A, 2B) in einer unterhalb des mindestens einen Kontaktelements (1) liegenden leitenden Schicht hergestellt wird.

Ferner betrifft die Erfindung eine Struktur in einem Halbleiterbauelement.



Beschreibung

[0001] Verfahren zur Herstellung eines Kontaktelementes, eine Struktur in einem Halbleiterbauelement, eine integrierte Schaltung und ein Halbleiterbauelement

[0002] Bei der Herstellung von Halbleiterbauelementen, wie z. B. Speicherbausteinen, ist es fortlaufend erforderlich, kleinere Strukturen herzustellen, um eine höhere Integrationsdichte zu erreichen.

[0003] Eine Möglichkeit besteht darin, kürzere Wellenlängen, wie z. B. bei der EUV Lithographie zu verwenden. Bei einer anderen Möglichkeit, der Immersionslithographie, wird die Strukturgröße verkleinert, indem ein flüssiges Medium anstelle eines Luftspaltes zwischen Optik und der Oberfläche des Substrates (z. B. einem Siliziumwafer) angeordnet wird.

[0004] Diese Maßnahmen erfordern erhebliche Entwicklungskosten. Daher besteht ein Anreiz, Verfahren und Strukturen zu entwickeln, bei denen herkömmliche Technologien verwendet werden können und trotzdem kleine Strukturen erzeugt werden können. Ein Beispiel dafür ist die Line-by-Fill Technologie (siehe US20060024621A1). Dabei ist häufig die gesamte Fläche mit leitfähigem Material bedeckt, bis auf die Ergebnisse von Spacern im Zuge der integrativen Herstellung einer Ebene: Bis auf Prozessbiases sind zumindest Teile der Schaltung derart, dass benachbarte Strukturen konform mit konstantem Abstand erzeugt wurden. Eine Kontaktierung von einer darüberliegenden Schicht in eine darunterliegende Schicht ist in der üblichen Art damit nicht mehr möglich, da übliche Kontaktierungskanäle durch Füllmaterial bedeckt sind.

[0005] Die Erfindung wird nachfolgend unter Bezugnahme auf die Figuren der Zeichnungen an mehreren Ausführungsbeispielen näher erläutert. Es zeigen:

[0006] [Fig. 1](#) eine schematische Schnittansicht eines Halbleiterbauelementes nach einer ersten Ausführungsform;

[0007] [Fig. 2](#) eine schematische Schnittansicht eines Halbleiterbauelementes nach einer zweiten Ausführungsform;

[0008] [Fig. 3A–C](#) eine schematische Darstellung von Schritten zur Herstellung von Strukturen mittels einer Pattern-by-Fill (line-by-fill) Technik;

[0009] [Fig. 4](#) eine schematische Draufsicht auf einen Ausschnitt eines Layouts eines Halbleiterbauelements mit Stellen, die mittels einer Ausführungsform der Erfindung kontaktierbar sind.

[0010] Im Folgenden wird die Erfindung anhand ei-

niger Ausführungsformen dargestellt, dabei wird die Erfindung vor allem anhand einer Kontaktierung zwischen zwei Ebenen eines Halbleiterbauelementes beschrieben, wobei die Kontaktierung zwischen zwei Gate-Stackstrukturen **11**, **12** erfolgt. Das Halbleiterbauelement ist hier ein DRAM-Chip. Die erfindungsgemäßen Verfahren und Strukturen sind aber nicht auf diese Anwendungen beschränkt, vielmehr können Ausführungsformen auch auf andere Halbleiterbauelemente, wie z. B. einen NROM-Speicherchip, einen Flash-Speicherchip, einen Mikroprozessor, ein optoelektronisches Bauelement oder ein mikroelektromechanisches Bauelement angewandt werden. In all diesen Anwendungen gibt es die Notwendigkeit, zwei Ebenen durch ein elektrisch leitfähiges Kontaktelement **1** zu verbinden.

[0011] In [Fig. 1](#) ist eine erste Ausführungsform einer Struktur dargestellt, die mit einer Ausführungsform des erfindungsgemäßen Verfahrens herstellbar ist.

[0012] Auf einem Substrat **20**, hier einem Silizium-Wafer, sind die zueinander benachbarten Strukturen **11**, **12** angeordnet. Im ersten Ausführungsbeispiel sind diese benachbarten Strukturen Gate-Stackstrukturen **11**, **12**, die mittels einer Pattern-by-Fill Technik zumindest teilweise als Füllstruktur hergestellt wurden. Zwischen den Gate-Stackstrukturen **11**, **12** und dem Silizium-Substrat **20** befindet sich noch eine dielektrische Substratschicht **14**, z. B. aus SiO_2 . Ein Beispiel für die Pattern-by-Fill Technik wird in [Fig. 3](#) beschrieben.

[0013] Die Gate-Stackstrukturen **11**, **12** weisen in an sich bekannter Weise einen Schichtenstapel aus Polysilizium **15**, einer Metallschicht **16** und einer SiN Schicht **17** auf. Die zumindest teilweise mit der Pattern-by-Fill Technik hergestellten Gate-Stackstrukturen **11**, **12** weisen seitlich jeweils eine Spacer-Schicht **13** auf, die z. B. aus SiO_2 besteht.

[0014] Seitlich neben den Gate-Stackstrukturen **11**, **12** befinden sich Anschlüsse **2A**, **2B** (hier ein Drain-Anschluss **2A** und ein Source-Anschluss **2B**) im Substrat **20**, die aus einer oberhalb liegenden Ebene kontaktiert werden. Die Anschlüsse **2A**, **2B** werden durch eine entsprechende Dotierung im Substrat **20** gebildet.

[0015] Nach der Durchführung der Pattern-by-Fill Technik befinden sich auf dem Substrat **20** die benachbarten Gate-Stackstrukturen **11**, **12**, zwischen denen die Kontaktierung (z. B. durch eine BPSG-Schicht **18**) erfolgen soll. Bedingt durch die Pattern-by-Fill Technik ist der Zwischenraum sehr schmal. Der Abstand zwischen den zwei benachbarten Strukturen **11**, **12** kann weniger als 50 nm betragen. Der Abstand kann im Übrigen das Einfache oder das Doppelte der Breite der Spacerschicht **13** betragen. Auch ist es möglich, dass der Abstand zwischen

den Strukturen **11**, **12** einen Wert zwischen dem Einfachen und dem Doppelten der Breite der Spacerschicht **13** einnimmt.

[0016] Der Abstand zwischen den Strukturen **11**, **12** ist gemessen zwischen den Kanten der Spacerschichten der Strukturen **11** und **12**.

[0017] Der Bereich zwischen den benachbarten Strukturen **11**, **12** wird durch eine Ätzung geöffnet und der Zwischenraum zwischen den benachbarten Strukturen **11**, **12** wird anschließend mit einem Kontaktelement **1** ausgefüllt. Als Materialien für das mindestens eine Kontaktelement **1** kommen insbesondere Wolfram, Kobalt, Aluminium, Kupfer und Legierungen dieser Metalle in Frage.

[0018] Die Auffüllung erfolgt selbstjustierend zwischen den beiden Gate-Stackstrukturen **11**, **12**.

[0019] Dabei sehen Substratkontakte dieser Art die gleiche Umgebung und daher ist die sehr kritische Ätzung und die Abscheidung für alle Kontakte gleich, insbesondere auch im Fall der gleichzeitigen Öffnung der Arraykontakte CB. Bei dieser Ausführungsform kommen nur Kontakte vor, bei denen entweder ein benachbarter GC Stack aus einem ersten Pattern und der andere aus dem Füll Pattern entstanden ist, oder bei denen der Kontakt zwischen zwei ersten Strukturen liegt.

[0020] Zusätzlich ist es möglich, dass vor der Auffüllung mit dem Kontaktelement **1** eine Dotierung der Anschlüsse **2A**, **2B** im Substrat **20** erfolgt.

[0021] Auch ist es möglich, dass vor der Auffüllung mit dem Kontaktelement **1** eine Abscheidung einer dielektrischen Linerschicht **3** erfolgt, die das Kontaktelement **1** mindestens teilweise umgibt. Als Material für die Linerschicht **3** kann z. B. SiO_2 , Si_3N_4 oder SiON verwendet werden. Durch die Linerschicht **3** werden Kurzschlüsse verhindert.

[0022] Im Weiteren können eine oder beide der benachbarten Strukturen (z. B. GC-Stacks) **11**, **12** Dummy-Strukturen zur selbstjustierenden Bildung der Kontaktelemente **1** darstellen.

[0023] Die Dummy-Struktur kann sich aus der Notwendigkeit der Erzeugung von ersten Strukturen und der durch Pattern-by-Fill bedingten Erzeugung von Fill-Strukturen ergeben, die elektrisch oft keine Funktion ausüben, oder durch absichtlich platzierte erste Strukturen, so dass ein Abstand zwischen 1. Strukturen und Füllstrukturen an einer Stelle entsteht wo ein Substratkontakt platziert werden soll.

[0024] In der ersten Ausführungsform werden GC-Stacks **11**, **12** als benachbarte Strukturen verwendet. Alternativ können aber auch andere Struktu-

ren, die eng benachbart mittels einer Pattern-by-Fill Struktur hergestellt wurden, verwendet werden. Beispiel dafür sind z. B. Metallbahnen, die z. B. Wolfram, Polysilizium, Aluminium und/oder Kupfer aufweisen oder aus diesen Materialien bestehen. Der Kontakt kann dann z. B. von einer ersten Metallschicht durch eine zweite Metallschicht zu GC und zum Substrat gehen, wie z. T. auch auf die zweite Metallschicht.

[0025] In der ersten Ausführungsform ist das Kontaktelement **1** genau in dem Zwischenraum zwischen den benachbarten Strukturen **11**, **12** angeordnet.

[0026] In einer zweiten alternativen Ausführungsform, ist das Kontaktelement **1** zwar auch noch zwischen den benachbarten Strukturen **11**, **12** angeordnet, wobei aber nach Bildung dieser Strukturen **11**, **12** diese zumindest teilweise weggeätzt werden, so dass die Kontaktelemente **1** mindestens teilweise in einem Bereich angeordnet werden, der vorher von einer der Strukturen **11**, **12** eingenommen wurde.

[0027] Dies ist in [Fig. 2](#) dargestellt, wobei der Aufbau der Schichten im Wesentlichen dem in [Fig. 1](#) entspricht, so dass auf die entsprechende Beschreibung Bezug genommen wird. Auch hier sind die benachbarten Strukturen durch eine Pattern-by-Fill Technik hergestellt.

[0028] In [Fig. 2](#) ist dargestellt, dass eine Gate-Stackstruktur **12**, als eine der benachbarten Strukturen **11**, **12**, zumindest teilweise bis auf das Substrat **20** weggeätzt wurde.

[0029] Anschließend erfolgt die Auffüllung mit dem elektrisch leitfähigen Material zur Bildung des Kontaktelementes **1**. Wie auch in der ersten Ausführungsform, ist das Kontaktelement **1** zur Vermeidung von Kurzschlüssen mit einer dielektrischen Linerschicht **3** umgeben.

[0030] In [Fig. 1](#) und [Fig. 2](#) sind beispielhaft mehrere Kontaktelemente **1** dargestellt. Das Kontaktelement **1'** auf die rechte GC-Stack-Struktur ist ein CG-Kontakt, der meist gleichzeitig mit den Substratkontakten (CA = Contact an active area) lithographisch erzeugt wird. Das Kontaktelement **1''** rechts daneben ist wieder ein Substratkontakt, diesmal im dichten Array, auch CB Kontakt genannt

[0031] In [Fig. 3](#) wird anhand eines Beispiels die Pattern-by-Fill Technik erläutert, bei der zwei eng benachbarte Strukturen **101**, **102** erzeugt werden. In den bisher ausgeführten Beispielen waren die eng benachbarten Strukturen Gate-Stackstrukturen **11**, **12** (siehe [Fig. 1](#), [Fig. 2](#)). In den folgenden Figuren können die eng benachbarten Strukturen auch andere Funktionen (z. B. Leitungen) haben, so dass im Folgenden allgemein der Begriff Strukturen **101**, **102** verwendet wird, wobei Gate-Stackstrukturen **11**, **12**

spezielle Ausführungsformen sind.

[0032] Ausgangspunkt sind in [Fig. 3A](#) zwei Strukturen **101**, die relativ weit beabstandet sind. Diese Strukturen können z. B. Hartmaskenstrukturen zur Erzeugung von ersten Leitungsbahnen (Carrier-Ebene, da diese Träger der Spacer in der Fill-Technik sind) in einem DRAM-Speicherchip sein.

[0033] Auf beiden Strukturen **101** wird eine Spacerschicht **103**, die hier aus Si_3N_4 gebildet ist, abgetrennt. Alternativ können z. B. auch SiO_2 oder SiON als Materialien für die Spacer verwendet werden. Dabei bildet sich seitlich an den Strukturen **101** eine Spacerlinerschicht. Die Herstellung solcher Spacerschichten **103** ist grundsätzlich bekannt.

[0034] Nach der Entfernung der horizontalen Teile der Spacerschicht **103** wird eine Füllstruktur **102** abgetrennt, die die Strukturen **101** mit den lateralen Spacern überdeckt ([Fig. 3B](#)).

[0035] Wenn anschließend eine Planarisierung mit CMP oder eine Rückätzung durchgeführt wird, liegen die ersten Strukturen **101** und die zweiten Strukturen **102** (Füllstrukturen) nur durch eine Spacerbreite voneinander benachbart. Es ergibt sich ein abwechselndes Nebeneinander von ersten (Carrier-)Strukturen **101** aus der Abscheidung und von zweiten (Fill-)Strukturen **102** aus dem Füllschritt, die jeweils eng benachbart sind, oder von 2 Strukturen **101** die durch weniger als die doppelte Spacerbreite entfernt sind. Im weiteren Verlauf wird der Spacer entfernt und die Strukturen **101** und **102** dienen als Hartmaske zur Erzeugung der gewünschten Strukturen die auf dem Wafer verbleiben. Die Hartmaskenstrukturen **101** und **102** werden dabei i. d. R. entfernt.

[0036] In [Fig. 4](#) ist eine Draufsicht auf ein Layout dargestellt, bei dem eine erste Struktur **101** und eine zweite Struktur **102** dargestellt sind. Überall in diesem Layout kommen Stellen vor, bei denen eine erste Struktur **101** und eine zweite Struktur **102**, die mittels der Pattern-by-Fill Technik im Füllschritt hergestellt wurde, durch einen engen Spalt, nämlich durch einen Spacerliner, getrennt sind.

[0037] Im Bereich, der mit einem Y gekennzeichnet ist, besteht nun die Aufgabe, durch je einen schmalen Spalt hindurch je eine separate Kontaktierung zu Anschlüssen in einer darunter liegenden Ebene durchzuführen. In dem mit X gekennzeichneten Kontakt kann auch durch zwei eng benachbarte Spalte je ein gemeinsamer Kontakt zum gleichen Gebiet hergestellt werden Grundsätzlich ist es mit den Ausführungsformen der vorliegenden Erfindung möglich, die Möglichkeiten der Pattern-by-Fill Technik (d. h. Herstellung von Strukturen mit sehr kleinen Abständen zwischen den Strukturen) mit einer selbstjustierenden Kontaktierung zu verbinden. Die Zwischenräume

zwischen den benachbarten Strukturen **11**, **12**, **101**, **102** werden so gelegt, dass sie über den Soll-Anschlüssen **2A**, **2B** liegen.

[0038] Insbesondere werden dort, wo die Fläche zwischen zwei funktionalen Hauptstrukturen durch eine Fill-Struktur oder eine Carrier-Struktur geschlossen ist, Zwischenräume erzeugt. In [Fig. 4](#) (z. B. die Gebiete X, Y) sind Strukturen vorhanden, die nur zum Zweck der Erzeugung von Spalten für Kontakte generiert wurden. Dies geschieht durch abbildende Hilfsstrukturen, die so gelegt werden dass eine ihrer Kanten (unter Berücksichtigung der Kantenverschiebungen durch Prozessbiases) über den Soll-Anschlüssen **2A**, **2B** liegt. In dichten Gebieten werden die Kanten so gelegt, dass eine Kontaktierung durch die Zwischenräume möglich ist, gegebenenfalls durch zwei Spalte.

[0039] Eine Implantation erfolgt, soweit notwendig, durch diese Zwischenräume entweder vor Abscheidung eines Dielektrikums (BPSG-Schicht) oder nach Ätzung eines Lochs im BPSG, oder nach einer Spacerätzung im Loch.

[0040] Alternativ oder an einigen Stellen ergänzend erfolgt der Substrat-Kontakt auf Diffusionsgebiet (CD-Kontakte) durch das GC-Gebiet in isolierender Weise und die Implantation erfolgt gegebenenfalls durch das geätzte Kontaktloch. D. h. es wird durch den GC-Stack geätzt (bzw. es wird zwischen den GC-Strukturen durch die BPSG Schicht geätzt) und dann erfolgt gegebenenfalls die Implantation, wobei dann ein die Außenwand isolierender Kontaktlochspacer erzeugt wird und dann aufgefüllt wird. Alternativ kann auch nach der Spacerätzung implantiert werden. Um die GC-Stackätzung nur auf die CD-Kontakte zu begrenzen wird eine relativ kostengünstige Lithographie mit der Vorgänger-Generierung durchgeführt.

[0041] Mit den Ausführungsformen der vorliegenden Erfindung ist die Kontaktierung sublithographischer Strukturen möglich, wobei ein kritischer Lithographieschritt, z. B. die Entfernung von Füllstrukturen eingespart wird.

[0042] Die Erfindung beschränkt sich in ihrer Ausführung nicht auf die vorstehend angegebenen bevorzugten Ausführungsbeispiele. Vielmehr ist eine Anzahl von Varianten denkbar, die von dem erfindungsgemäßen Verfahren und der erfindungsgemäßen Struktur auch bei grundsätzlich anders gearteten Ausführungen Gebrauch machen.

ZITATE ENTHALTEN IN DER BESCHREIBUNG

Diese Liste der vom Anmelder aufgeführten Dokumente wurde automatisiert erzeugt und ist ausschließlich zur besseren Information des Lesers aufgenommen. Die Liste ist nicht Bestandteil der deutschen Patent- bzw. Gebrauchsmusteranmeldung. Das DPMA übernimmt keinerlei Haftung für etwaige Fehler oder Auslassungen.

Zitierte Patentliteratur

- US 20060024621 A1 [\[0004\]](#)

Patentansprüche

1. Verfahren zur Herstellung mindestens eines elektrisch leitenden Kontaktelementes zwischen zwei elektrisch leitenden Schichten eines Halbleiterbauelements, mit mindestens zwei in einer Ebene liegende benachbarte Strukturen (**11**, **12**, **101**, **102**) des Halbleiterbauelements mittels einer Pattern-by-Fill-Technik hergestellt werden, wobei das mindestens eine Kontaktelement (**1**) zwischen den benachbarten Strukturen (**11**, **12**, **101**, **102**) angeordnet ist und ein Kontakt von einem Anschluss oberhalb zu einem Anschluss (**2A**, **2B**) in einer unterhalb des mindestens einen Kontaktelements (**1**) liegenden leitenden Schicht hergestellt wird.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, dass oberhalb und/oder unterhalb der mindestens zwei benachbarten Strukturen (**11**, **12**, **101**, **102**) eine der elektrisch leitenden Schichten angeordnet sind.

3. Verfahren nach Anspruch 1 oder 2, dadurch gekennzeichnet, dass die mindestens zwei benachbarten Strukturen leitfähig sind und mindestens eine Gate-Stackstruktur (**11**, **12**) und/oder eine Metallbahn aufweisen.

4. Verfahren nach Anspruch 3, dadurch gekennzeichnet, dass die Metallbahn Wolfram, Polysilizium, Kobalt, Molybdän, Aluminium und/oder Kupfer aufweist.

5. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass Kontaktlöcher einer Kontaktloch lithographie zwischen den mindestens zwei benachbarten Strukturen (**11**, **12**, **101**, **102**), insbesondere zwischen zwei Gate-Stackstrukturen (**11**, **12**) angeordnet werden.

6. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass mindestens eine Struktur (**11**, **12**, **101**, **102**) einen Spacer (**13**) aufweist.

7. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass mindestens ein Zwischenraum für das mindestens eine Kontaktelement (**1**) durch mindestens eine Dummy-Struktur geschaffen wird.

8. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass eine Erzeugung einer Struktur (**11**, **12**, **101**, **102**) und einer Füllstruktur, die beide als Dummy-Strukturen ausgebildet sind, derart erfolgt, dass der Zwischenraum genau über einer Landefläche eines Kontakts zu einer darunterliegenden Schicht und unter einer darüberliegenden kontaktierenden Leiterbahn liegt.

9. Verfahren nach Anspruch 7 oder 8, dadurch gekennzeichnet, dass eine Dummy-Struktur zur Begrenzung einer ersten Seite des Zwischenraums mittels eines ersten Lithographieschrittes erzeugt wird und die zweite Seite des Zwischenraums durch eine strukturierende Fülltechnik erfolgt

10. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass der Zwischenraum an der Stelle angeordnet wird, an der das Kontaktloch realisiert wird.

11. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass nach der Kontaktlochätzung und vor dem Einbringen des leitfähigen Materials des mindestens einen Kontaktelements (**1**) eine dielektrische Schicht (**3**) eingebracht wird, die die Seitenwand des Kontaktloches bedeckt.

12. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Kontaktelement (**1**) selbstjustierend zwischen zwei Gate-Stackstrukturen (**11**, **12**, **101**, **102**) eingebracht wird bevor das Dielektrikum aufgebracht wird, das dann in der Kontaktloch lithographie strukturiert wird.

13. Verfahren nach Anspruch 12, dadurch gekennzeichnet, dass die Gate-Stackstrukturen (**11**, **12**, **101**, **102**) in Siliziumnitrid eingekapselt sind

14. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das untere Ende des mindestens einen Kontaktelements (**1**) mit einem Drain-Anschluss (**2A**) oder einem Source-Anschluss (**2B**) eines Transistors elektrisch leitend verbunden ist.

15. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass vor der Auffüllung des Zwischenraums mit dem mindestens einen Kontaktelement (**1**) eine Implantation, insbesondere für die Herstellung eines Source-Bereiches oder Drain-Bereiches, vorgenommen wird.

16. Verfahren nach mindestens einem der vorhergehenden Ansprüche, dadurch gekennzeichnet, dass das Halbleiterbauelement ein Speicherchip, insbesondere ein DRAM-Speicherchip, ein NROM-Speicherchip, ein PCRAM, RAMBUS- oder ein Flash-Speicherchip, ein Mikroprozessor, ein Logik-Baustein, ein optoelektronisches Bauelement oder ein mikroelektromechanisches Bauelement ist.

17. Struktur in einem Halbleiterbauelement, mit mindestens einem elektrisch leitenden Kontaktelement (**1**), wobei
a) mindestens zwei benachbarte Strukturen (**11**, **12**,

101, 102) des Halbleiterbauelements mittels einer Pattern-by-Fill-Technik hergestellt werden,
 b) wobei das mindestens eine Kontaktelement (**1**) zwischen den benachbarten Strukturen (**11, 12, 101, 102**) angeordnet wird
 c) und ein Kontakt zu einem Anschluss (**2A, 2B**) in einer unterhalb des mindestens einen Kontaktelements (**1**) leitenden Schicht hergestellt wird.

27. Halbleiterbauelement nach Anspruch 26, dadurch gekennzeichnet, dass es als Mikroprozessor, Logik-Baustein, Speicherelement, insbesondere DRAM-Speicher, PCRAM-Speicher, Flash-Speicher oder Mikroelektromechanisches Bauelement ausgebildet ist.

Es folgen 4 Blatt Zeichnungen

18. Struktur nach Anspruch 17, dadurch gekennzeichnet, dass die mindestens zwei benachbarten Strukturen mindestens eine Gate-Stackstruktur (**11, 12**) aufweisen.

19. Struktur nach Anspruch 17 oder 18, gekennzeichnet durch einen Abstand zwischen zwei benachbarten Strukturen (**11, 12, 101, 102**), insbesondere zwischen zwei Gate-Stackstrukturen (**11, 12**) von weniger als 50 nm.

20. Struktur nach mindestens einem der Ansprüche 17 bis 19, gekennzeichnet durch einen Abstand zwischen benachbarten Strukturen (**11, 12, 101, 102**), insbesondere zwei Gate-Stackstrukturen (**11, 12**), der zwischen dem Einfachen und dem Doppelten einer Spacerbreite beträgt.

21. Struktur nach mindestens einem der Ansprüche 17 bis 20, dadurch gekennzeichnet, dass das mindestens eine Kontaktelement (**1**) selbstjustierend zwischen benachbarten Strukturen (**11, 12, 101, 102**), insbesondere zwei Gate-Stackstrukturen (**11, 12**), angeordnet ist.

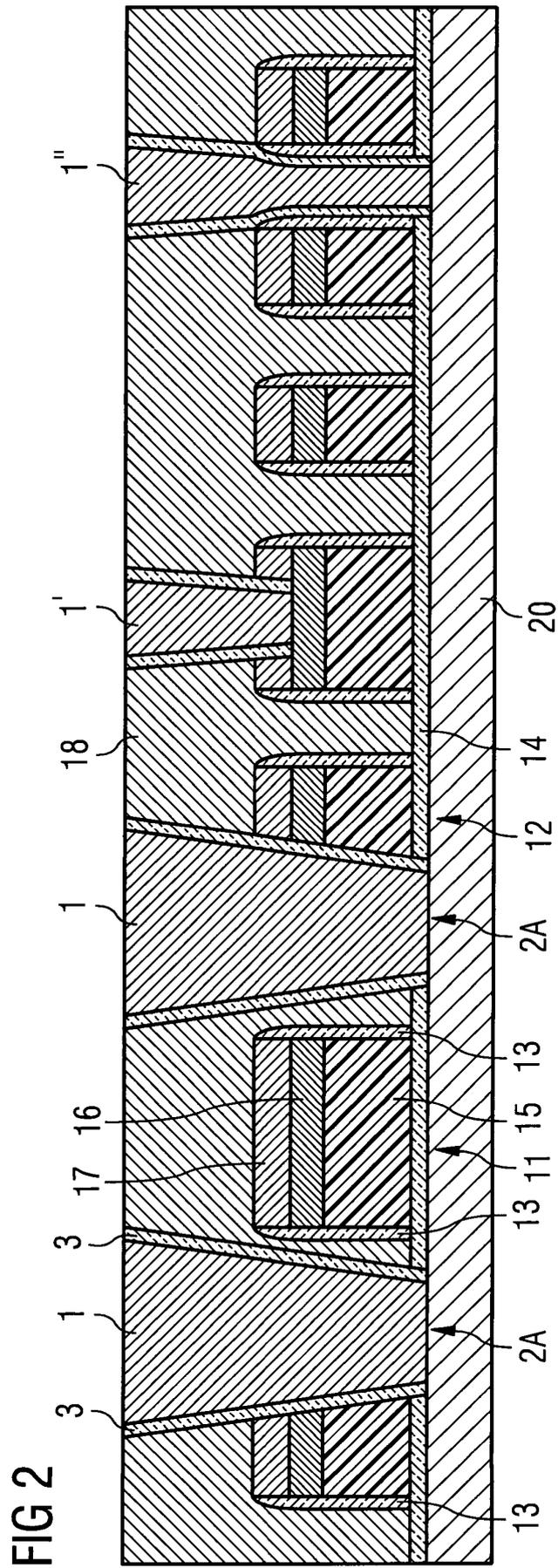
22. Struktur nach mindestens einem der Ansprüche 17 bis 21, dadurch gekennzeichnet, dass das mindestens eine Kontaktelement (**1**) mindestens teilweise von einer dielektrischen Schicht (**3**) in einer SiO₂- bzw. BPSG-Umgebung umgeben ist.

23. Struktur nach Anspruch 22 gekennzeichnet durch eine dielektrische Schicht (**3**), die aus SiO₂, Si₃N₄ oder SiON besteht oder diese Substanzen aufweist.

24. Struktur nach mindestens einem der Ansprüche 17 bis 23, dadurch gekennzeichnet, dass das Halbleiterbauelement ein Speicherchip, insbesondere ein DRAM-Speicherchip, ein NROM-Speicherchip, ein PCRAM oder Rambus-Speicherchip oder ein Flash-Speicherchip, ein Mikroprozessor, ein Logik-Baustein, ein optoelektronisches Bauelement oder ein mikroelektromechanisches Bauelement ist.

25. Integrierte Schaltung mit mindestens einer Struktur gemäß mindestens einem der Ansprüche 17 bis 24.

26. Halbleiterbauelement mit einer integrierten Schaltung nach Anspruch 25.



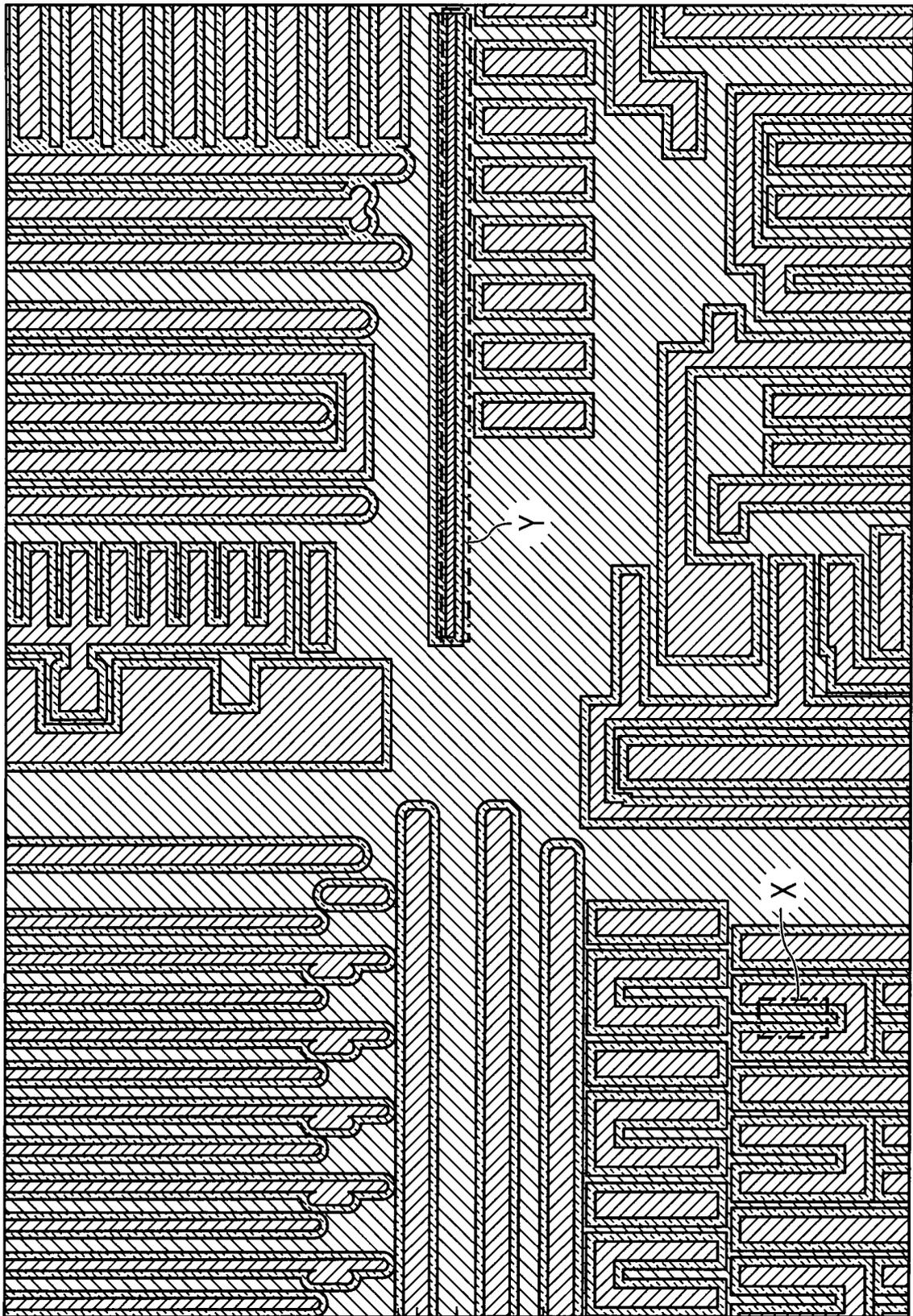


FIG 4

103
101
102
103

FIG 3A

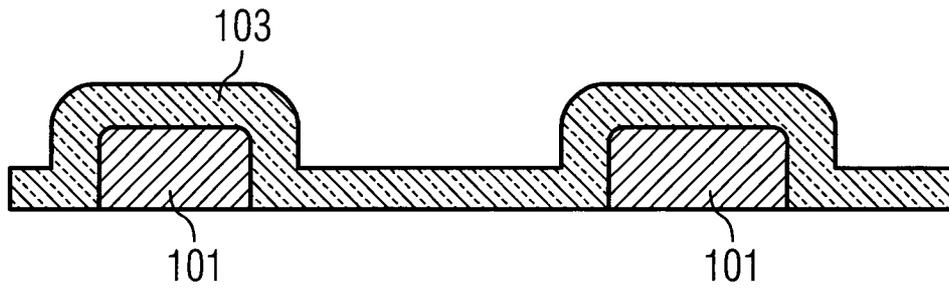


FIG 3B

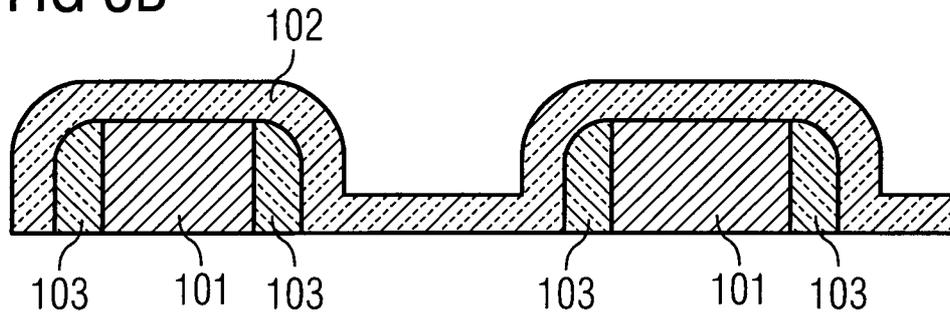


FIG 3C

