



반도체 기판 위의 절연막 상부에 배치된 제1 금속막 패턴;

상기 제1 금속막 패턴 및 절연막 위에 배치되며 상기 제1 금속막 패턴의 상부면을 노출시키는 비아홀을 갖는 금속간절연막;

상기 제1 금속막 패턴의 상부면과 접촉되도록 상기 비아홀의 하부에 배치되며 제1 비저항을 갖는 금속막으로 이루어지는 제1 금속컨택플러그;

상기 제1 금속컨택플러그의 상부에서 상기 비아홀의 상부를 채우면서 상기 제1 비저항보다 낮은 제2 비저항을 갖는 금속막으로 이루어지는 제2 금속컨택플러그; 및

상기 제2 금속컨택플러그 및 금속간절연막 위에 배치되고 상기 제2 금속컨택플러그와 동일한 금속막으로 이루어지는 제2 금속막 패턴을 포함하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선.

## 청구항 2.

제1항에 있어서,

상기 제1 금속컨택플러그는 상기 비아홀 하부로부터 상기 비아홀 깊이의 65%이내에 배치되도록 하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선.

## 청구항 3.

제1항에 있어서,

상기 제1 금속컨택플러그는 텅스텐막으로 이루어지고, 상기 제2 금속컨택플러그는 알루미늄막으로 이루어지는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선.

## 청구항 4.

삭제

## 청구항 5.

제1항에 있어서,

상기 제2 금속막 패턴은 알루미늄막 또는 구리막으로 이루어질수 있는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선.

## 청구항 6.

제1항에 있어서,

상기 비아홀의 측벽 및 하부면에 배치되는 금속장벽층을 더 포함하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선.

## 청구항 7.

반도체 기판 위의 절연막 상부에 제1 금속막 패턴을 형성하는 단계;

상기 절연막 및 제1 금속막 패턴 위에 금속간절연막을 형성하는 단계;

상기 금속간절연막의 일부를 제거하여 상기 제1 금속막 패턴의 일부 표면을 노출시키는 비아홀을 형성하는 단계;

상기 비아홀의 하부가 매립되도록 상기 제1 금속막 패턴 위에 제1 비저항을 갖는 제1 금속컨택플러그를 형성하는 단계;

상기 비아홀 내의 금속간절연막 및 제1 금속컨택플러그 위에 상기 제1 비저항보다 낮은 제2 비저항을 갖는 금속막을 형성하는 단계;

상기 금속간절연막 상부의 금속막을 패터닝 하여 상기 제1 금속컨택플러그와 함께 비아홀을 매립하는 제2 금속컨택플러그 및 제2 금속막 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

### 청구항 8.

제7항에 있어서,

상기 제1 금속컨택플러그를 형성하는 단계는,

상기 비아홀이 채워지도록 상기 제1 금속막 패턴의 노출면 및 금속간절연막 위에 제1 금속컨택플러그용 금속막을 형성하는 단계;

상기 금속간절연막의 상부면이 노출되도록 평탄화를 수행하여 상기 제1 금속컨택플러그용 금속막의 일부를 제거하는 단계; 및

상기 제1 금속컨택플러그용 금속막에 대한 식각공정을 수행하여 상기 비아홀의 상부 일부가 비워지도록 하는 단계를 포함하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

### 청구항 9.

제8항에 있어서,

상기 식각공정은, 상기 제1 금속컨택플러그가 상기 비아홀 깊이의 65%이내에 배치되도록 수행하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

### 청구항 10.

제7항에 있어서,

상기 식각공정은, SF<sub>6</sub> 및 Ar을 이용한 이방성 식각방법을 사용하여 수행하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

### 청구항 11.

제7항에 있어서,

상기 제2 비저항을 갖는 금속막을 형성하는 단계는, 물리적기상증착방법으로 수행하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

## 청구항 12.

제11항에 있어서,

상기 물리적기상증착방법으로서 스퍼터링법을 사용하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

## 청구항 13.

제7항에 있어서,

상기 제2 비저항을 갖는 금속막을 형성하는 단계 이전에,

상기 제1 금속컨택플러그에 대한 클리닝공정을 수행하는 단계를 더 포함하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

## 청구항 14.

제13항에 있어서,

상기 클리닝공정은 불소 소스를 갖는 산화막 세정액을 사용하여 수행하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

## 청구항 15.

제7항에 있어서,

상기 제1 금속컨택플러그는 텅스텐막으로 형성하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

## 청구항 16.

제7항에 있어서,

상기 제2 금속컨택플러그 및 제2 금속막 패턴은 알루미늄막 또는 구리막으로 형성하는 것을 특징으로 하는 낮은 저항을 갖는 반도체소자의 금속배선 제조 방법.

명세서

## 발명의 상세한 설명

### 발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자 및 그 제조 방법에 관한 것으로서, 보다 상세하게는 낮은 저항을 갖는 반도체소자의 금속배선 및 그 제조 방법에 관한 것이다.

최근 반도체 메모리소자가 고집적화 됨에 따라 소자가 점점 미세화 및 고밀도화 되고 있다. 그러나 고집적화는 소자 크기의 감소 뿐만 아니라 소자 내에 복잡한 기능을 갖는 회로의 집적을 가능하게 하므로 소자와 소자간을 연결하는 신호선의 길이를 상대적으로 증가시키게 된다. 이와 같은 경우 집적회로의 속도 향상을 위해 신호선 길이의 단축이 반드시 필요하다. 따라서, 금속배선을 다층으로 형성하여 소자간의 접촉 길이를 줄이고, 접촉 저항을 감소시켜 복잡한 회로를 구현하고 있다.

도 1은 종래에 따른 반도체소자의 금속배선 구조를 나타낸 단면도이다.

도 1에 도시한 바와 같이, 반도체 기판(100) 위의 절연막(105) 상부에 제1 금속막 패턴(110)이 배치된다. 제1 금속막 패턴(110) 위에는 금속간절연막(120)이 배치된다. 금속간절연막(120)에는 금속간절연막(120)을 관통하여 제1 금속막 패턴(110)과 전기적으로 연결되는 금속컨택플러그(140)가 배치된다. 금속컨택플러그(140)의 양측벽과 바닥면에는 장벽층(130)이 배치된다. 금속컨택플러그(140)는 텅스텐막으로 형성된다. 금속컨택플러그(140)의 상부면 위에는 제2 금속막 패턴(150)이 배치된다. 제2 금속막 패턴(150)은 알루미늄막으로 형성된다.

이와 같은 반도체소자의 금속배선은 앞서 설명한 바와 같이 텅스텐으로 이루어지는 금속컨택플러그(140)에 의해 제1 금속막 패턴(110)과 제2 금속막 패턴(150)이 전기적으로 연결된다. 이와 같이 금속컨택플러그(140)를 구성하는 텅스텐은 반도체 기판을 형성하고 있는 물질, 예컨대 실리콘(silicon)의 열팽창 계수와 비슷한 특성을 갖고 있고, 고용점 금속이기 때문에 전자이탈 현상의 억제 및 고온공정에 적용하여 형성할 수 있는 이점이 있다. 또한, 화학적기상증착방법(CVD:Chemical Vapor Deposition)을 수행할 경우의 텅스텐은 단차피복성이 우수하여 진공 증착이나 스퍼터링에 의한 것보다 좋은 특성이 있다.

그러나 텅스텐은 알루미늄과 같은 다른 배선막에 비하여 높은 비저항을 갖는 물질이다. 그럼에도 불구하고 텅스텐이 금속컨택플러그로서 이용되는 경우는, 앞서 언급한 바와 같이 단차피복성이 우수하여 비아홀을 채우는데 있어서 상대적으로 낮은 비저항을 갖는 알루미늄이나 구리보다 유리하기 때문이다. 그러나 다층화되고 있는 금속배선구조에서 금속컨택플러그의 사용빈도 또한 증가하고 있으며, 그 결과 텅스텐의 높은 비저항으로인하여 소자의 전기적인 특성이 점점 열화되고 있다.

### 발명이 이루고자 하는 기술적 과제

본 발명이 이루고자 하는 기술적 과제는, 소자의 전기적인 특성을 향상시키기 위하여 상대적으로 낮은 저항을 갖는 반도체 소자의 금속배선구조를 제공하는 것이다.

본 발명이 이루고자 하는 다른 기술적 과제는, 상기와 같은 반도체 소자의 금속배선구조를 제조하는 방법을 제공하는 것이다.

### 발명의 구성

상기 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체 소자의 금속배선은, 반도체기판 위의 절연막 상부에 배치된 제1 금속막 패턴과, 상기 제1 금속막 패턴 및 절연막 위에 배치되며 상기 제1 금속막 패턴의 상부면을 노출시키는비아홀을 갖는 금속간절연막 상기 제1 금속막 패턴의 상부면과 접촉되도록 상기 비아홀의 하부에 배치되며 제1 비저항을 갖는 금속막으로 이루어지는 제1 금속컨택플러그 상기 제1 금속컨택플러그의 상부에서 상기 비아홀의 상부를 채우면서 상기 제1 비저항보다 낮은 제2 비저항을 갖는 금속막으로 이루어지는 제2 금속컨택플러그 및 상기 제2 금속컨택플러그 및 금속간절연막 위에 배치되는 제2 금속막 패턴을 포함하는 것을 특징으로 한다.

상기 제1 금속컨택플러그는 상기 비아홀 하부로부터 상기 비아홀 깊이의 65% 이내에 배치되도록 할 수 있다.

상기 제1 금속컨택플러그는 텅스텐막으로 이루어지고, 상기 제2 금속컨택플러그는 알루미늄막으로 이루어질 수 있다.

상기 제2 금속막 패턴은 상기 제2 금속컨택플러그와 동일한 금속막일 수 있다.

상기 제2 금속막 패턴은 알루미늄막 또는 구리막으로 이루어질 수 있다.

본 발명에 있어서, 상기 비아홀의 측벽 및 하부면에 배치되는 금속장벽층을 더 포함할 수도 있다.

상기 다른 기술적 과제를 달성하기 위하여, 본 발명에 따른 반도체소자의 금속배선 제조 방법은, 반도체 기판 위의 절연막 상부에 제1 금속막 패턴을 형성하는 단계 상기 절연막 및 제1 금속막 패턴 위에 금속간절연막을 형성하는 단계 상기 금속간절연막의 일부를 제거하여 상기 제1 금속막 패턴의 일부 표면을 노출시키는 비아홀을 형성하는 단계 상기 비아홀의 하부가 매립되도록 상기 제1 금속막 패턴 위에 제1 비저항을 갖는 제1 금속컨택플러그를 형성하는 단계 상기 비아홀 내의 금속간절연막 및 제1 금속컨택플러그 위에 상기 제1 비저항보다 낮은 제2 비저항을 갖는 금속막을 형성하는 단계 및 상기 금속간절연막 상부의 금속막을 패터닝하여 상기 제1 금속컨택플러그와 함께 비아홀을 매립하는 제2 금속컨택플러그 및 제2 금속막 패턴을 형성하는 단계를 포함하는 것을 특징으로 한다.

상기 제1 금속컨택플러그를 형성하는 단계는, 상기 비아홀이 채워지도록 상기 제1 금속막 패턴의 노출면 및 금속간절연막 위에 제1 금속컨택플러그용 금속막을 형성하는 단계와, 상기 금속간절연막의 상부면이 노출되도록 평탄화를 수행하여 상기 제1 금속컨택플러그용 금속막의 일부를 제거하는 단계와, 그리고 상기 제1 금속컨택플러그용 금속막에 대한 식각공정을 수행하여 상기 비아홀의 상부 일부가 비워지도록 하는 단계를 포함할 수 있다.

여기서 상기 식각공정은, 상기 제1 금속컨택플러그가 상기 비아홀 깊이의 65% 이내에 배치되도록 수행하는 것이 바람직하다.

또한 상기 식각공정은, SF6 및 Ar을 이용한 이방성 식각방법을 사용하여 수행할 수 있다.

상기 제2 비저항을 갖는 금속막을 형성하는 단계는, 물리적기상증착방법으로 수행할 수 있다.

여기서 상기 물리적기상증착방법으로서 스퍼터링법을 사용할 수 있다.

본 발명에 있어서, 상기 제2 비저항을 갖는 금속막을 형성하는 단계 이전에, 상기 제1 금속컨택플러그에 대한 클리닝공정을 수행하는 단계를 더 포함할 수 있다.

이 경우 상기 클리닝공정은 산화막 제거를 위하여 불소 소스를 갖는 세정액을 사용하여 수행할 수 있다.

상기 제1 금속컨택플러그는 텅스텐막으로 형성할 수 있다.

상기 제2 금속컨택플러그 및 제2 금속막 패턴은 알루미늄막 또는 구리막으로 형성할 수 있다.

이하 첨부한 도면을 참조하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 도면에서 여러층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다.

도 2f는 본 발명에 따른 반도체 소자의 금속배선을 나타내 보인 단면도이다. 도 2f를 참조하면, 반도체기판(200) 위의 절연막(205) 상부에 제1 금속막 패턴(210)이 배치된다. 제1 금속막 패턴(210)과 절연막(205) 위에는 제1 금속막 패턴(210)의 상부표면을 노출시키는 비아홀(225)을 갖는 금속간절연막(220)이 배치된다. 비아홀(225) 내에는 장벽층(230)이 배치되고, 이 장벽층(230) 위에는 제1 금속컨택플러그(245)가 배치된다. 이때 제1 금속컨택플러그(245)는 비아홀(225)을 완전히 채우지 않고 바닥으로부터 대략 65% 이내의 깊이에 해당하는 두께를 갖도록 배치된다. 제1 금속컨택플러그(245)는 텅스텐으로 이루어진다. 제1 금속컨택플러그(245)에 의해 채워지지 않은 비아홀(225)의 상부에는 제2 금속컨택플러그용 금속막(250)으로 채워진다. 제2 금속컨택플러그용 금속막(250)은 제1 금속컨택플러그(245)보다 낮은 비저항을 갖는 금속막이다. 예컨대 제1 금속컨택플러그(245)가 텅스텐막인 경우, 제2 금속컨택플러그용 금속막(250)은 알루미늄막 또는 구리막으로 이루어진다. 제2 금속컨택플러그용 금속막(250)은 비아홀(225)을 다 채우고, 그 위에까지 연장되어 제2 금속막 패턴(255)으로 작용한다. 경우에 따라서 제2 금속막 패턴(255)은 제2 금속컨택플러그용 금속막(250)과 다른 금속막을 사용하여 배치할 수도 있다.

이와 같은 구조에 있어서, 비아홀(225)을 채우는 금속컨택플러그로서 상대적으로 높은 비저항을 갖는 제1 금속컨택플러그(245)와 함께 낮은 비저항을 갖는 제2 금속컨택플러그용 금속막(255)을 사용함으로써 전체적인 금속컨택플러그의 저항을 낮출 수 있다.

도 2a 내지 도 2f는 본 발명에 따른 반도체소자의 금속배선의 제조 방법을 설명하기 위해 나타낸 단면도들이다.

먼저 도 2a를 참조하면, 반도체 기판(200) 위의 절연막(205) 상부에 제1 금속막 패턴(210)을 형성한다. 다음에 절연막(205) 및 제1 금속막 패턴(210) 위에 금속간절연막(220)을 형성한 후에, 금속간절연막(220)의 일부를 제거하여 상기 제1 금속막 패턴(210)의 일부 표면을 노출시키는 비아홀(225)을 형성한다.

다음에 도 2b를 참조하면, 금속간절연막(220) 및 비아홀(225)에 의해 노출되는 제1 금속막 패턴(210)의 노출표면 위에 티타늄/티타늄나이트라이드(Ti/TiN)으로 이루어지는 장벽층(230)을 형성한다. 그리고 비아홀(225)이 매립되도록 장벽층(230) 위에 제1 컨택플러그용 금속막(240)을 형성한다. 제1 컨택플러그용 금속막(240)은 화학적기상증착방법(CVD:Chemical Vapor Deposition)을 사용하여 텅스텐막으로 형성할 수 있다.

다음에 도 2c를 참조하면, 금속간절연막(220)의 표면이 노출되도록 제1 컨택플러그용 금속막(240) 및 장벽층(230)에 대한 평탄화공정을, 예컨대 화학적기계적 연마(CMP:Chemical Mechanical Polishing) 방법을 사용하여 수행한다.

다음에 도 2d를 참조하면, 제1 금속컨택플러그용 금속막(240)의 상부를 소정두께 제거하여 제1 금속컨택플러그(245)를 형성한다. 이때 제거를 위한 식각공정은 SF<sub>6</sub> 및 Ar등을 이용한 이방성 식각방법을 사용하여 수행하며, 비아홀(225)의 전체 깊이의 15% 이상의 비율로 제거한다. 경우에 따라서는 평탄화공정을 수행하지 않고 제1 컨택플러그용 금속막(240)에 대한 식각공정만을 수행하여 평탄화 및 식각공정을 수행한 것과 동일한 결과를 얻을 수 있다. 이 경우에도 앞서 언급한 바와 같이 SF<sub>6</sub> 및 Ar등을 이용한 이방성 식각방법을 사용하여 수행할 수 있다.

다음에 도 2e를 참조하면, 비아홀(225)의 하부에서 비아홀(225)의 일부, 즉 65% 이내의 깊이에 해당하는 두께를 갖는 제1 금속컨택플러그(245) 및 금속간절연막(220) 위에 제2 금속컨택플러그용 금속막(250)을 형성한다. 이때 제2 금속컨택플러그용 금속막(250)은 제1 금속컨택플러그(245)보다 낮은 비저항을 갖는 금속물질로 형성한다. 예컨대 제1 금속컨택플러그(245)를 텅스텐막으로 형성하는 경우, 제2 금속컨택플러그용 금속막(250)은 알루미늄막(Al) 또는 구리막(Cu)를 이용하여 형성한다. 제2 금속컨택플러그용 금속막(250)을 상대적으로 낮은 비저항을 갖는 금속막으로 형성함으로써, 제2 금속컨택플러그용 금속막(250)이 비아홀(225) 내부에 충전되는 비율이 높을수록 전체 저항은 감소된다. 예컨대, 비저항이 12 $\mu\Omega$ cm인 텅스텐막으로만 비아홀(225) 내에 모두 충전된 경우에 비해 비저항이 12 $\mu\Omega$ cm인 텅스텐막 80% 및 비저항이 3 $\mu\Omega$ cm인 알루미늄막 20%로 비아홀(225) 내에 충전시키는 경우 대략 15%의 전체 저항이 감소된다는 사실을 확인 할 수 있다. 이러한 저항의 감소정도는 제2 금속컨택플러그용 금속막(250)이 비아홀(225) 내에 충전되는 비율이 높을수록 높아진다. 예컨대, 제2 금속컨택플러그용 금속막(250)의 충전율이 25%일 경우에는 대략 19%, 30%일 경우에는 대략 23%, 40%일 경우에는 대략 30%의 전체저항감소율을 얻을 수 있다. 상기 제2 금속컨택플러그용 금속막(250)은 스퍼터링(sputtering)과 같은 물리적기상증착방법(PVD:Physical Vapor Deposition) 으로 이용하여 형성할 수 있다. 경우에 따라서 제2 금속컨택플러그용 금속막(250)을 형성하기 이전에 비아홀(225) 내부에 제거되고 남은 제1 금속컨택플러그(245) 및 금속간절연막(220) 위에 존재할 가능성이 있는 산화성 이물질을 불소(F)를 이용한 식각용액을 사용한 클리닝공정을 수행하여 제거할 수 있다.

다음에 도 2f를 참조하면, 제2 금속컨택플러그용 금속막(도 2e의 250) 위에 제2 금속막 패턴 형성영역을 정의하는 감광막 패턴(미도시)을 통상의 포토리소그래피에 따른 노광 및 현상공정으로 형성하고, 이 감광막 패턴을 식각마스크로 한 식각공정을수행하여 제2 금속막 패턴(255)을 형성한다. 포토공정 진행시 주변 제2 금속막 예컨대 알루미늄막의 불균일한 표면두께로 인하여 난반사가 일어날 경우에는 부분적으로 평탄화하는 파셜(Patial) CMP를 수행하여 제2 금속컨택플러그용 금속막(250)의 표면두께를 균일하게 한 다음 포토공정을 수행하거나, 광식각 작업을 하는데 있어서 언더레이어(Underlayer)의 영향성을 최소화 하고자 하는 목적으로 감광막 코팅전 토포하는 물질로서 OBARC를 사용하여 포토공정을 수행할 수 있다.

본 실시예에서는 하나의 금속막을 사용하여 제2 금속컨택플러그(255) 및 제2 금속막 패턴(260)을 형성하였지만, 경우에 따라서는 서로 다른 금속막을 사용하여 형성할 수도 있다는 것은 당연하다.

도 3은 본 발명의 실시예에 따른 반도체소자의 금속배선 형성 방법에 의해 형성된 금속컨택플러그를 나타낸 사진이다.

도 3을 참조하면, 금속간절연막(320) 내의 비아홀이 제1 금속컨택플러그(345)와 제2 금속컨택플러그(355)(B)에 의해 순차적으로 채워져 있는 모양을 나타낸 사진으로써, 비아홀의 전체 깊이(H<sub>1</sub>)중에서 제1 금속컨택플러그(345)(A) 즉, 텅스텐막과 제1 금속컨택플러그(345) 위로 제2 컨택플러그/제2 금속막패턴(355)(B)이 형성되어 있는 것을 확인 할 수 있다.

**발명의 효과**

지금까지 설명한 바와 같이, 본 발명에 따른 반도체소자의 금속배선 형성 방법에 따르면, 금속컨택플러그의 상부를 소정두께 제거한 후에 제거된 부분에 금속컨택플러그 형성 물질보다 비저항이 낮은 제2 금속막 형성물질을 충전시켜 서로 다른 물질로 이루어진 금속컨택플러그를 형성할 수 있다. 이에 따라, 제거된 금속컨택플러그 위에 충전되는 제2 금속막의 충전 비율에 따라 금속컨택플러그의 저항이 낮아지므로 소자의 전체적인 저항을 최소화할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 보호 범위에 속하는 것이다.

**도면의 간단한 설명**

도 1은 종래기술에 따른 반도체소자의 금속배선구조를 나타낸 단면도이다.

도 2a 내지 도 2f는 본 발명에 따른 반도체소자의 금속배선의 제조 방법을 설명하기 위해 나타낸 단면도들이다.

도 3은 본 발명에 따른 반도체소자의 금속배선구조를 나타내 보인 섀미(SEM) 사진이다.

-도면의 주요부분에 대한 부호의 설명-

200 : 반도체기판 205 : 절연막

210 : 제1 금속막 패턴 220 : 금속간절연막

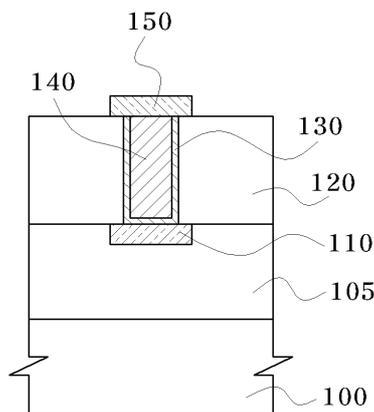
225 : 비아홀 230 : 장벽층

240 : 컨택플러그용 금속막 245 : 금속컨택플러그

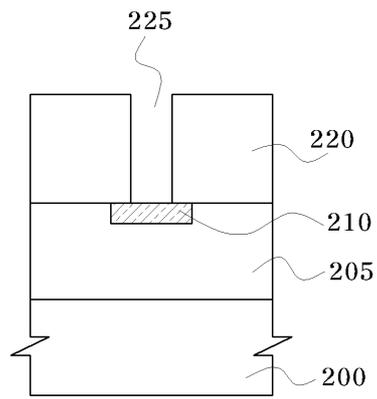
250 : 제2 금속막 255 : 제2 금속막 패턴

**도면**

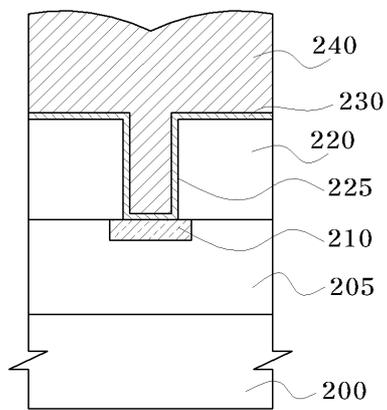
**도면1**



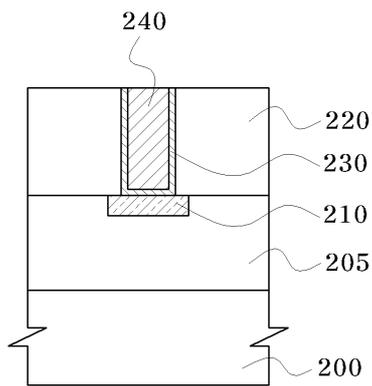
도면2a



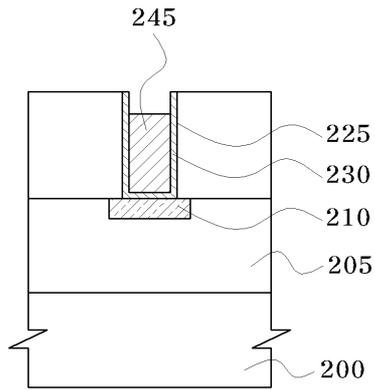
도면2b



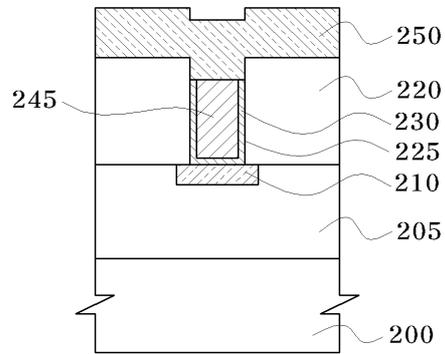
도면2c



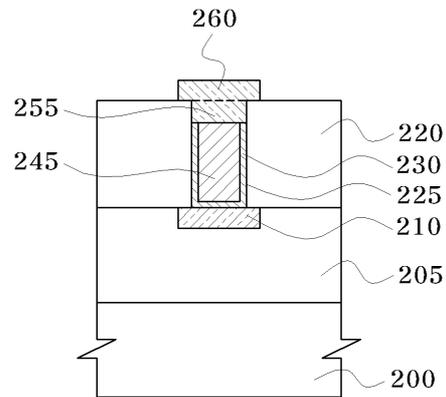
도면2d



도면2e



도면2f



도면3

