

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第5041631号  
(P5041631)

(45) 発行日 平成24年10月3日(2012.10.3)

(24) 登録日 平成24年7月20日(2012.7.20)

(51) Int.Cl.

F I

G 1 1 C 11/4074 (2006.01)

G 1 1 C 11/34 3 5 4 F

請求項の数 6 (全 37 頁)

(21) 出願番号	特願2001-181403 (P2001-181403)	(73) 特許権者	302062931
(22) 出願日	平成13年6月15日 (2001.6.15)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2002-373490 (P2002-373490A)		神奈川県川崎市中原区下沼部1753番地
(43) 公開日	平成14年12月26日 (2002.12.26)	(74) 代理人	100064746
審査請求日	平成20年5月30日 (2008.5.30)		弁理士 深見 久郎
		(74) 代理人	100085132
			弁理士 森田 俊雄
		(74) 代理人	100083703
			弁理士 仲村 義平
		(74) 代理人	100096781
			弁理士 堀井 豊
		(74) 代理人	100109162
			弁理士 酒井 将行
		(74) 代理人	100111246
			弁理士 荒川 伸夫

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

通常モードとディープパワーダウンモードとを有する半導体記憶装置であって、  
データ読出動作、データ書込動作およびデータ保持動作を実行するための内部回路と、  
第1の外部電源電圧の供給を受ける第1の外部電源配線と、  
前記第1の外部電源電圧よりも低い第2の外部電源電圧の供給を受ける第2の外部電源  
配線と、  
前記内部回路に対して内部電源電圧を伝達するための内部電源配線と、  
前記第1および第2の外部電源電圧を受けて、前記内部電源電圧を生成するための内部  
電源回路とを備え、  
前記内部電源回路は、  
前記第1および第2の外部電源電圧を受けて、前記内部電源電圧の目標レベルに対応す  
る参照電圧を生成するための参照電圧生成部と、  
前記ディープパワーダウンモード時に、前記参照電圧生成部の動作電流を遮断するた  
めの第1の電流遮断スイッチと、  
前記内部電源電圧と前記参照電圧との比較に基づいて、前記内部電源電圧を前記目標レ  
ベルに維持するための内部電源電圧発生部と、  
前記ディープパワーダウンモード時に、前記内部電源電圧発生部の動作電流を遮断す  
るための第2の電流遮断スイッチと、  
前記ディープパワーダウンモード時に、前記第1および第2の外部電源配線の一方を前

10

20

記内部電源配線と電氣的に結合するための接続スイッチとを含み、

前記半導体記憶装置は、

第1のコマンドに伴って外部から入力されるモード設定を保持するためのモードレジスタをさらに備え、

前記モード設定は、前記通常モードから前記ディープパワーダウンモードへの移行を行なうかどうかの指定を含み、

前記モード設定において前記移行を行なうことが指定されている場合において、第2のコマンドに応答して前記ディープパワーダウンモードは開始され、

前記内部回路は、

行列状に配置された複数のメモリセルと、

前記複数のメモリセルの行にそれぞれ対応して配置され、選択的に活性化される複数のワード線と、

前記複数のメモリセルの列にそれぞれ対応して配置され、活性化されたワード線に対応するメモリセルのそれぞれと結合される複数のビット線とを含み、

前記第2のコマンドは、前記データ保持動作を指示するためのリフレッシュコマンドであり、

前記リフレッシュコマンドの入力後において、各前記ワード線が非活性化された状態において、前記ディープパワーダウンモードは開始される、半導体記憶装置。

【請求項2】

前記ディープパワーダウンモード時において、前記第2のコマンドの入力前に第1のレベルに設定される外部制御信号の前記第1のレベルから第2のレベルへの変化に対応して、前記通常モードへの復帰を指示するための制御回路をさらに備える、請求項1記載の半導体記憶装置。

【請求項3】

前記第1および第2のレベルは、前記第1および第2の外部電源電圧の一方ずつにそれぞれ対応し、

前記外部制御信号を受けて内部制御信号を生成するための内部制御信号生成回路をさらに備え、

前記内部制御信号生成回路は、

前記ディープパワーダウンモードにおいて動作する、前記第1の外部電源電圧で駆動される第1のバッファと、

前記通常モードにおいて動作する、前記内部電源電圧で駆動される前記外部制御信号を受けるための第2のバッファと、

前記第1および第2のバッファのうちの動作している一方で受けた前記外部制御信号に応じて、前記内部制御信号を前記内部電源電圧および前記第2の外部電源電圧のいずれかに設定する論理回路とを含み、

前記制御回路は、前記内部制御信号にตอบสนองして前記復帰を指示する、請求項2記載の半導体記憶装置。

【請求項4】

前記内部電源回路は、

前記参照電圧生成部と前記内部電源電圧発生部との間に設けられ、前記参照電圧生成部からの前記参照電圧を前記内部電源電圧発生部に伝達するためのバッファ部と、

前記ディープパワーダウンモード時に、前記バッファ部の動作電流を遮断するための第3の電流遮断スイッチとを含む、請求項1記載の半導体記憶装置。

【請求項5】

前記バッファ部は、

動作電流量を制御するための動作電流制御部をさらに含み、

前記動作電流制御部は、前記ディープパワーダウンモードから前記通常モードへの移行期間における前記動作電流量を、前記通常モード時よりも大きく設定する、請求項4記載の半導体記憶装置。

10

20

30

40

50

## 【請求項 6】

前記参照電圧生成部は、前記ディープパワーダウンモードにおいて、前記参照電圧を前記第 2 の外部電源電圧に設定し、

前記移行期間は、前記参照電圧が所定レベル以下である期間に相当する、請求項 5 記載の半導体記憶装置。

## 【発明の詳細な説明】

## 【0001】

## 【発明の属する技術分野】

この発明は、半導体記憶装置に関し、より特定的には、低消費電力で動作可能な半導体記憶装置に関する。

10

## 【0002】

## 【従来の技術】

近年、バッテリー駆動を前提とする携帯機器等への搭載に対応するため、低消費電力駆動が可能な半導体記憶装置が要求されている。このような要求に対応するために、半導体記憶装置には、データ読出やデータ書込などの通常動作が要求される通常モード時以外において、内部回路の大部分を待機動作状態に設定して、消費電力を削減するための低消費電力モードが備えられる。すなわち、外部からの動作要求に応じて、通常モードと低消費電力モードとを切換えることによって、半導体記憶装置の低消費電力化が図られる。

## 【0003】

低消費電力化には低電圧動作化が有効であるため、外部から供給される外部電源電圧のレベルも低下する傾向にある。たとえば、従来の汎用系においては、3.3V系(3.0V~3.6V)外部電源電圧が使用されていたが、低電圧動作に対応するタイプとして、2.7V系(2.7V~3.0V)や、2.5V系(2.3V~2.7V)外部電源電圧が使用されるようになっている。

20

## 【0004】

## 【発明が解決しようとする課題】

一方で、低消費電力化が進むにしたがって、半導体記憶装置全体の消費電力に対する、内部電源電圧を発生するための内部電源回路の消費電力の比率が増加している。さらに、低電圧動作に伴って内部電源回路の電力効率が低下するため、内部電源電圧の供給先である内部回路を待機状態にして消費電力を削減するのみでなく、内部電源回路の自体の消費電力をも削減する、より強力な低消費電力モードを導入する必要性が生じてきている。

30

## 【0005】

このような低消費電力モードにおいても、そのモードエントリが、特別なエントリ方法を用いるのではなく、既存の制御系を共用した形で、実行できることが望ましい。さらに、低消費電力モードへの移行、および通常モードへの復帰がスムーズに行なわれることも望まれる。

## 【0006】

さらに、上述したようにさまざまなレベルの外部電源電圧が適用される下で、半導体記憶装置の設計に汎用性を持たせるためには、異なるレベルの外部電源電圧に対応可能な構成を有する必要がある。たとえば、異なるレベルの外部電源電圧が適用されても、内部電源電圧の制御応答性を一様に維持できる構成が、内部電源回路に要求される。

40

## 【0007】

さらに、半導体記憶装置が組込まれるシステム内のインターフェイス仕様によっては、1.8V系のTTL(Transistor-Transistor Logic)レベルのI/O(Input/Output)信号レベルに対応する必要もあるので、信号入力回路系においても、異なるI/O信号レベルを、入力可能な構成とすることが望ましい。

## 【0008】

一方、さまざまな動作条件、たとえば外部電源電圧レベルやI/O信号レベルに可能なように汎用的に設計された半導体記憶装置において、マスク切替等によって、適用される動作条件をハード的に固定する場合においては、この固定された動作条件を、半導体記憶装

50

置外部から、容易に検知可能な構成も必要になってくる。

【0009】

この発明は、このような問題点を解決するためになされたものであって、この発明の目的は、低消費電力動作が可能な半導体記憶装置を提供することである。

【0010】

この発明の他の目的は、さまざまなレベルの外部電源電圧およびI/O信号に対応して動作可能な半導体記憶装置を提供することである。

【0011】

この発明のさらにもう1つの目的は、さまざまな動作条件に対応可能なように設計された半導体記憶装置において、適用される動作条件を外部から容易に検知可能な構成を提供することである。

10

【0012】

【課題を解決するための手段】

請求項1記載の半導体記憶装置は、通常モードとディープパワーダウンモードとを有する半導体記憶装置であって、データ読出動作、データ書込動作およびデータ保持動作を実行するための内部回路と、第1の外部電源電圧の供給を受ける第1の外部電源配線と、第1の外部電源電圧よりも低い第2の外部電源電圧の供給を受ける第2の外部電源配線と、内部回路に対して内部電源電圧を伝達するための内部電源配線と、第1および第2の外部電源電圧を受けて、内部電源電圧を生成するための内部電源回路とを備える。内部電源回路は、第1および第2の外部電源電圧を受けて、内部電源電圧の目標レベルに対応する参照電圧を生成するための参照電圧生成部と、ディープパワーダウンモード時に、参照電圧生成部の動作電流を遮断するための第1の電流遮断スイッチと、内部電源電圧と参照電圧との比較に基づいて、内部電源電圧を目標レベルに維持するための内部電源電圧発生部と、ディープパワーダウンモード時に、内部電源電圧発生部の動作電流を遮断するための第2の電流遮断スイッチと、低消費電力モード時に、第1および第2の外部電源配線の一方を内部電源配線と電氣的に結合するための接続スイッチとを含む。半導体装置は、第1のコマンドに伴って外部から入力されるモード設定を保持するためのモードレジスタをさらに備える。モード設定は、通常モードから低消費電力モードへの移行を行なうかどうかの指定を含み、モード設定において移行を行なうことが指定されている場合において、第2のコマンドに応答して低消費電力モードは開始される。さらに、内部回路は、行列状に配置された複数のメモリセルと、複数のメモリセルの行にそれぞれ対応して配置され、選択的に活性化される複数のワード線と、複数のメモリセルの列にそれぞれ対応して配置され、活性化されたワード線に対応するメモリセルのそれぞれと結合される複数のビット線とを含む。第2のコマンドは、データ保持動作を指示するためのリフレッシュコマンドであり、リフレッシュコマンドの入力後において、各ワード線が非活性化された状態において、ディープパワーダウンモードは開始される。

20

30

【0018】

請求項2記載の半導体記憶装置は、請求項1記載の半導体記憶装置であって、ディープパワーダウンモード時において、第2のコマンドの入力前に第1のレベルに設定される外部制御信号の第1のレベルから第2のレベルへの変化に対応して、通常モードへの復帰を指示するための制御回路をさらに備える。

40

【0019】

請求項3記載の半導体記憶装置は、請求項2記載の半導体記憶装置であって、第1および第2のレベルは、第1および第2の外部電源電圧の一方ずつにそれぞれ対応し、外部制御信号を受けて内部制御信号を生成するための内部制御信号生成回路をさらに備える。内部制御信号生成回路は、ディープパワーダウンモードにおいて動作する、第1の外部電源電圧で駆動される第1のバッファと、通常モードにおいて動作する、内部電源電圧で駆動される外部制御信号を受けるための第2のバッファと、第1および第2のバッファのうちの動作している一方で受けた外部制御信号に応じて、内部制御信号を内部電源電圧および第2の外部電源電圧のいずれかに設定する論理回路とを含む。制御回路は、内部制御信号

50

に応答して復帰を指示する。

【 0 0 2 0 】

請求項 4 記載の半導体記憶装置は、請求項 1 記載の半導体記憶装置であって、内部電源回路は、参照電圧生成部と内部電源電圧発生部との間に設けられ、参照電圧生成部からの参照電圧を内部電源電圧発生部に伝達するためのバッファ部と、ディープパワーダウンモード時に、バッファ部の動作電流を遮断するための第 3 の電流遮断スイッチとを含む。

【 0 0 2 1 】

請求項 5 記載の半導体記憶装置は、請求項 4 記載の半導体記憶装置であって、バッファ部は、動作電流量を制御するための動作電流制御部をさらに含む。動作電流制御部は、ディープパワーダウンモードから通常モードへの移行期間における動作電流量を、通常モード時よりも大きく設定する。

10

【 0 0 2 2 】

請求項 6 記載の半導体記憶装置は、請求項 5 記載の半導体記憶装置であって、参照電圧生成部は、ディープパワーダウンモードにおいて、参照電圧を第 2 の外部電源電圧に設定し、移行期間は、参照電圧が所定レベル以下である期間に相当する。

【 0 0 4 2 】

【発明の実施の形態】

以下において、本発明の実施の形態について図面を参照して詳しく説明する。なお、図中における同一符号は、同一または相当部分を示すものとする。

【 0 0 4 3 】

20

[実施の形態 1]

図 1 は、本発明の実施の形態 1 に従う半導体記憶装置 1 0 0 0 の全体構成を示す概略ブロック図である。

【 0 0 4 4 】

図 1 を参照して、本発明の実施の形態 1 に従う半導体記憶装置 1 0 0 0 は、メモリアレイ部 1 0 を備える。メモリアレイ部 1 0 は、メモリセルアレイ 2 0 と、行選択部 3 0 と、列選択部およびセンスアンプ 4 0 とを含む。

【 0 0 4 5 】

メモリセルアレイ 2 0 は、行列状に配置された複数のメモリセル M C を有する。メモリセル M C の構成は特に限定されず、種々のタイプの D R A M (Dynamic Random Access Memory) セルを本願発明に適用可能である。

30

【 0 0 4 6 】

メモリセル M C の各行に対応して、行選択を実行するためのワード線 W L が配置される。メモリセル M C の各列に対応して、ビット線対 B L P が配置される。ビット線対 B L P は、相補のビット線 B L および / B L を有する。各メモリセル行において、メモリセル M C の各々は、ビット線 B L および / B L のいずれか一方と結合されている。図 1 においては、1 個のメモリセルに対するワード線およびビット線対の配置が代表的に示されている。

【 0 0 4 7 】

行選択部 3 0 は、アドレス信号に従って、選択行に対応するワード線 W L を選択的に活性化する。選択行に対応するメモリセルのそれぞれは、ビット線 B L または / B L と接続される。列選択部およびセンスアンプ 4 0 は、各ビット線対 B L P において、ビット線 B L および / B L の電圧差を増幅するセンスアンプと、アドレス信号に従って選択列に対応するビット線対 B L P を選択するための列選択部とを含む。

40

【 0 0 4 8 】

半導体記憶装置 1 0 0 0 は、さらに、入力初段回路 5 0 と、周辺回路制御部 6 0 と、メモリアレイ部制御回路 7 0 , 7 5 と、出力回路 8 0 とをさらに備える。

【 0 0 4 9 】

入力初段回路 5 0 は、クロック、コマンド、アドレスおよび書込データを総括的に示す入力信号を外から受ける。周辺回路制御部 6 0 は、入力初段回路 5 0 を介して伝達された入力信号によって示されるコマンドを実行するための制御信号を生成し、メモリアレイ部

50

制御回路 70, 75 等の内部回路に伝達する。

【0050】

外部から入力されるコマンドには、データ読出を指示するリードコマンド READ、データ書込を指示するライトコマンド WRITE、モードレジスタの保持内容を更新するためのモードレジスタセットコマンド MRS、特に動作状態が指示されないノーオペレーションコマンド NOP、特定のバンクを活性化するためのバンクアクティブコマンド ACT、特定のバンクをプリチャージ状態とするためのバンクプリチャージコマンド PRE、オートリフレッシュコマンド AREF およびセルフリフレッシュコマンド SREF などが含まれる。

【0051】

オートリフレッシュコマンド AREF およびセルフリフレッシュコマンド SREF は、メモリセルアレイ 20 に記憶されたデータの消失を防止するための、データ保持動作（リフレッシュ動作）を指示する。

【0052】

リフレッシュ動作時には、ワード線 WL が順に活性化されて、活性化されたワード線に対応するメモリセルに対するデータの読出、増幅および再書込が、センスアンプによって実行される。

【0053】

オートリフレッシュコマンド AREF は、データ読出やデータ書込といったランダムアクセス動作中に割込んで指示される。一方、セルフリフレッシュコマンド SREF は、電池バックアップ期間等のスタンバイ期間において、メモリアレイ部 10 における記憶情報を保持するために指示される。

【0054】

周辺回路制御部 60 は、モードレジスタ 65 を有する。モードレジスタ 65 においては、外部から指示されたモードレジスタセットコマンド MRS に対応して入力されるアドレスを構成するアドレスビットのそれぞれを保持する。モードレジスタ 65 に保持されたアドレスビットに応じて、レイテンシ設定や、バースト動作に関する設定等が実行される。

【0055】

メモリアレイ部制御回路 70 は、周辺回路制御部 60 によって生成された行系動作制御信号 SGr に応答して、メモリアレイ部 10 に対する行系動作を制御する。メモリアレイ部制御回路 75 は、周辺回路制御部 60 によって生成された列系動作制御信号 SGc に応答して、メモリアレイ部 10 における列系動作を制御する。

【0056】

出力回路 80 は、リードコマンド READ が入力された場合において、メモリアレイ部 10 からの読出データを外部に対して出力する。

【0057】

半導体記憶装置 1000 は、さらに、内部電源回路 100 を備える。内部電源回路 100 は、外部電源配線 90 および接地配線 95 から外部電源電圧 Ext. Vdd および接地電圧 Vss をそれぞれ受けて、内部電源電圧を生成する。

【0058】

内部電源電圧は、ワード線電圧 VPP、基板電圧 VBB、セルプレート電圧 VCP、ビット線電圧 VBL、周辺回路電源電圧 VDDP、メモリアレイ電源電圧 VDDs を含む。セルプレート電圧 VCP およびビット線電圧 VBL は、メモリアレイ電源電圧 VDDs の 1/2 のレベルに設定される。

【0059】

さらに、内部電源回路 100 は、外部入力信号用参照電圧 VREFI を生成する。入力初段回路 50 は、外部入力信号用参照電圧 VREFI に基づいて、入力信号の H レベル / L レベルを認識する。

【0060】

ワード線電圧 VPP、基板電圧 VBB、セルプレート電圧 VCP およびビット線電圧 VB

10

20

30

40

50

Lは、メモリアレイ部10に供給される。メモリアレイ電源電圧VDD Sは、メモリアレイ部制御回路70および75に供給される。周辺回路電源電圧VDD Pは、周辺回路制御部60に対して供給される。

【0061】

周辺回路制御部60は、外部から入力された所定コマンドに基づいて、半導体記憶装置1000を低消費電力モードに移行させる。低消費電力モード時においては、周辺回路制御部60は、パワーカット信号P C U T eをHレベルに活性化する。内部電源回路100における消費電力は、パワーカット信号P C U T eの活性化に応答して削減される。

【0062】

なお、以下の説明で明らかになるように、本発明の実施の形態1に従う低消費電力モードは、セルフリフレッシュコマンドS R E F等によって、メモリアレイ部10における記憶データ保持を前提とする従来の低消費電力モードより一段進んで、さらなる低消費電力動作化を追求したものである。したがって、以下においては、半導体記憶装置1000における低消費電力モードを、特に「ディープ・パワーダウンモード」と称することとする。

10

【0063】

[ディープ・パワーダウンモードにおける内部電源電圧レベルの設定]

図2は、通常モードおよびディープ・パワーダウンモードにおける内部電源電圧の設定を説明する図である。

【0064】

図2を参照して、通常モードにおいて、周辺回路電源電圧VDD Pは、2.5Vに設定される。したがって、外部動作電源電圧が2.5V系である場合には、外部電源電圧E x t . V d dがそのまま周辺回路電源電圧VDD Pとして使用される。それ以外の場合、たとえば外部電源電圧が2.7V系である場合には、外部電源電圧E x t . V d dを降圧して、周辺回路電源電圧VDD Pが生成される。

20

【0065】

ディープ・パワーダウンモードにおいては、外部電源電圧E x t . V d dが2.5V系である場合には、周辺回路電源電圧VDD Pは、通常モードと同様に、外部電源電圧E x t . V d dがそのまま使用できる。一方、外部電源電圧が2.7V系である場合には、外部電源電圧E x t . V d dをV t n降圧させて、周辺回路電源電圧VDD Pが生成される。ディープ・パワーダウンモードにおける内部電源電圧の生成については、後ほど詳細に説明するが、V t nは、内部電源回路100内に配置されるN型トランジスタのしきい値電圧に相当する。

30

【0066】

メモリアレイ電源電圧VDD Sは、通常モードでは外部電源電圧E x t . V d dを降圧して2.0Vに設定される。一方、ディープ・パワーダウンモードにおいては、周辺回路電源電圧VDD Pと同様に、E x t . V d d - V t nに設定される。

【0067】

ビット線電圧V B Lおよびセルプレート電圧V C Pは、通常モードでは、メモリアレイ電源電圧VDD Sの1/2に、すなわち1.0Vに設定される。ディープ・パワーダウンモードにおいては、ビット線電圧V B Lおよびセルプレート電圧V C Pの供給は中止され、対応する内部電源配線は、開放(O p e n)状態とされる。

40

【0068】

基板電圧V B Bは、通常モードでは-1.0Vに設定され、ディープ・パワーダウンモードでは、0Vすなわち接地電圧V s sに設定される。

【0069】

ワード線電圧V P Pは、通常モード時においては、外部電源電圧E x t . V d dを昇圧して、3.7Vに設定される。ディープ・パワーダウンモードにおいては、ワード線電圧V P Pは、周辺回路電源電圧VDD Pと同様に、E x t . V d dまたはE x t . V d d - V t nに設定される。

【0070】

50

なお、図2に示した、通常モードにおける内部電源電圧の設定レベルは一例にすぎず、これらの内部電源電圧がその他の電圧レベルに設定される場合においても、本願発明に従うディープ・パワーダウンモードを適用することが可能である。

【0071】

[ディープ・パワーダウンモードへのエントリ方式]

図3は、モードレジスタセットに用いられるアドレスビットの構成を説明する図である。

【0072】

図3を参照して、モードレジスタセットコマンドMRSによって入力されるアドレスビットA0～A11, BA0, BA1は、モードレジスタ65内に保持される。

【0073】

モードレジスタ65内に保持されたこれらのアドレスビットに応じて、半導体記憶装置1000の動作状態の一部が設定される。たとえば、モードレジスタ65に保持されるアドレスビットA0～A2は、バースト長設定を示す。また、アドレスビットA3は、バーストタイプ(シーケンシャル/インタリーブ)設定を示し、アドレスビットA4～A6は、レイテンシモード設定すなわちCASレイテンシに相当するクロックサイクル数を示す。また、アドレスビットA9によって、ライトモード(1ビットライト/バーストライト)設定が示される。

【0074】

半導体記憶装置1000において、ディープ・パワーダウンモードを適用するか否かは、通常のモードレジスタセットに未使用のアドレスビットを用いて実行される。たとえば、  
20  
以上で述べたモードレジスタセットに未使用のアドレスビットA7およびA8を用いて、ディープ・パワーダウンモードの適用、すなわち所定の条件がそろった場合に、ディープ・パワーダウンモードにエントリすることを設定するためのモードレジスタセットが実行される。

【0075】

図4は、半導体記憶装置1000における、ディープ・パワーダウンモードへのエントリ方式の一例を説明するタイミングチャートである。

【0076】

図4を参照して、半導体記憶装置1000に対するコマンドCMDの入力は、外部クロックEXCLKに同期して実行される。時刻t0において、外部からセルフリフレッシュ  
30  
コマンドSREFが指示される。セルフリフレッシュコマンドSREF入力時には、外部クロックイネーブル信号EXCKEは、Lレベルに設定される。

【0077】

これに回答して、半導体記憶装置1000内部では、リフレッシュ動作の実行が指示され、リフレッシュ対象のワード線を活性化するために、内部制御信号INTRASがHレベルに活性化され、活性化されたワード線に対応するメモリセルに対して、データ読出、増幅および再書込が実行される。

【0078】

1回分の行系動作が実行し、内部制御信号INTRASがHレベルからLレベルに変化すると、これに回答して制御信号SODが所定期間Hレベルに活性化される。一旦活性化された制御信号SODが非活性化されたタイミングにおいて、メモリアレイ部10においては、すべてのワード線WLが非活性化状態であり、各ビット線BLおよび/BLはプリチャージされているものとする。

【0079】

モードレジスタセットによって、ディープ・パワーダウンモードが適用されている場合には、制御信号SODの非活性化(Hレベル→Lレベル)に回答して、時刻t1において、パワーカット信号PCUTEがHレベルに活性化される。これに伴って、内部電源回路100における内部動作が切替わる。この結果、内部電源電圧は、ディープ・パワーダウンモードに対応する、図2に示した電圧レベルに設定される。

【0080】

10

20

30

40

50



すなわち、通常モードからディープ・パワーダウンモードへの移行は、モードレジスタセットコマンドMRSによって、ディープ・パワーダウンモードの適用が設定されている場合において、セルフリフレッシュコマンドSREFが要求されたときに、少なくとも1回の行系動作およびビット線プリチャージ動作の終了後に実行される。

【0081】

したがって、ワード線が活性化されてメモリセルからデータが読出されている期間を避けて、メモリアレイ部10が安定な状態においてディープ・パワーダウンモードへ移行することができる。

【0082】

ディープ・パワーダウンモードから通常モードへの復帰は、外部クロックイネーブル信号EXTCKEの活性化(Lレベル Hレベル)にตอบสนองして実行される。すなわち、外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして、パワーカット信号PCUTEは、時刻t2においてLレベルに非活性化される。この結果、ディープ・パワーダウンモードは終了し、内部電源回路100の内部動作が再び切換わる。この結果、内部電源電圧は、図2に示した通常モードに対応する電圧レベルに設定される。

10

【0083】

なお、パワーカット信号PCUTEの非活性状態(Lレベル)および活性状態(Hレベル)における電圧は、接地電圧Vssおよび外部電源電圧Ext.Vddにそれぞれ設定される。

【0084】

一方、モードレジスタセットによって、ディープ・パワーダウンモードが適用されていない場合には、本来のセルフリフレッシュコマンドSREFが実行されて、リフレッシュ動作が順次実行される。

20

【0085】

図5は、ディープ・パワーダウンモードへのエントリ方式の他の例を説明するタイミングチャートである。

【0086】

図5を参照して、モードレジスタセットによってディープ・パワーダウンモードが適用されている場合において、ディープ・パワーダウンモードへの移行は、セルフリフレッシュコマンドSREF以外の、所定の専用コマンドを用いて実行することもできる。

30

【0087】

たとえば、時刻t0において、当該専用コマンドとして定義されたディープ・パワーダウンモードエントリコマンドDPEが入力される。これにตอบสนองして、時刻t1において、パワーカット信号PCUTEが、Hレベルに活性化される。

【0088】

ディープ・パワーダウンモードから通常モードへの復帰は、図4の場合と同様に、外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして実行される。すなわち、時刻t2における外部クロックイネーブル信号EXTCKEの活性化にตอบสนองして、パワーカット信号PCUTEはLレベルに非活性化される。これに伴い、ディープ・パワーダウンモードは終了して、内部電源電圧は、通常モードに対応する図2に示した電圧レベルに設定される。

40

【0089】

[内部電源回路の構成]

図6は、内部電源回路100の構成を示すブロック図である。

【0090】

まず、通常モードに対応する内部電源回路100の構成について説明する。

図6を参照して、内部電源回路100は、定電流発生回路102を含む。定電流発生回路102は、定電流供給線104および106に定電流ICONS Tを供給する。

【0091】

内部電源回路100は、さらに、周辺回路電源電圧VDDPを生成するために設けられる

50

、参照電圧発生回路 110、バッファ回路 112 および内部電源電圧発生回路 116 を含む。

【0092】

参照電圧発生回路 110 は、定電流供給線 106 から定電流 ICONST の供給を受けて、周辺回路電源電圧 VDDP の目標レベルに対応する参照電圧 VREFP0 を生成する。バッファ回路 112 は、参照電圧発生回路 110 からの参照電圧 VREFP0 に基づいて、参照電圧配線 114 に参照電圧 VREFP を生成する。

【0093】

内部電源電圧発生回路 116 は、外部電源電圧 Ext. Vdd を降圧して、内部電源配線 118 に周辺回路電源電圧 VDDP を出力する。通常モードにおいて、内部電源電圧発生回路 116 は、周辺回路電源電圧 VDDP と参照電圧 VREFP との比較に基づいて、周辺回路電源電圧 VDDP を目標レベルに維持しようとする。

10

【0094】

内部電源回路 100 は、さらに、メモリアレイ電源電圧 VDD S を生成するための、参照電圧発生回路 120、バッファ回路 122 および内部電源電圧発生回路 126 を含む。

【0095】

参照電圧発生回路 120 は、定電流供給線 106 から定電流 ICONST の供給を受けて、メモリアレイ電源電圧 VDD S の目標レベルに対応する参照電圧 VREFS0 を生成する。バッファ回路 122 は、参照電圧発生回路 120 からの参照電圧 VREFS0 に基づいて、参照電圧配線 124 に参照電圧 VREFS を生成する。

20

【0096】

内部電源電圧発生回路 126 は、外部電源電圧 Ext. Vdd を降圧して、内部電源配線 128 にメモリアレイ電源電圧 VDD S を出力する。通常モードにおいて、内部電源電圧発生回路 126 は、メモリアレイ電源電圧 VDD S と参照電圧 VREFS との比較に基づいて、メモリアレイ電源電圧 VDD S を目標レベルに維持しようとする。

【0097】

内部電源回路 100 は、さらに、ワード線電圧 VPP を生成するための、参照電圧発生回路 130、バッファ回路 132 および電圧昇圧回路 136 を含む。

【0098】

参照電圧発生回路 130 は、定電流供給線 106 から定電流 ICONST の供給を受けて、ワード線電圧 VPP の目標レベルに対応する参照電圧 VRED0 を生成する。バッファ回路 132 は、参照電圧発生回路 130 からの参照電圧 VREFD0 に基づいて、参照電圧配線 134 に参照電圧 VREFD を生成する。

30

【0099】

電圧昇圧回路 136 は、外部電源電圧 Ext. Vdd を昇圧して、内部電源配線 138 にワード線電圧 VPP を出力する。通常モードにおいて、電圧昇圧回路 136 は、ワード線電圧 VPP と参照電圧 VREFD との比較に基づいて、ワード線電圧 VPP を目標レベルに維持しようとする。

【0100】

参照電圧 VREFP0、VREFP と、VREFS0、VREFS と、VREFD0、VREFD とは、図 2 に示した通常モードでの、周辺回路電源電圧 VDDP と、メモリアレイ電源電圧 VDD S と、ワード線電圧 VPP との設定レベルにそれぞれ対応して定められる。

40

【0101】

外部電源電圧 Ext. Vdd を降圧する内部電源電圧発生回路 116 および 126 には、一般的な構成の電圧降下回路 (VDC: Voltage Down Converter) を適用することができる。

【0102】

内部電源回路 100 は、さらに、メモリアレイ電源電圧 VDD S を受けて、セルプレート電圧 VCP を生成する VCP 発生回路 140 と、ビット線電圧 VBL を生成する VBL 発

50

生回路145とを含む。VCP発生回路140およびVBL発生回路145は、たとえば、トリミング機能付きの分圧回路で構成され、内部電源配線128から供給されるメモリアレイ電源電圧VDD5を受けて、セルプレート電圧VCPおよびビット線電圧VBLを生成する。

【0103】

内部電源回路100は、さらに、基板電圧発生回路160を含む。基板電圧発生回路160は、外部電源電圧Ext.Vddを受けて動作し、負電圧の基板電圧VBBを内部電源配線168に生成する。基板電圧発生回路160はたとえば、チャージポンプ回路によって構成される。

【0104】

このような構成とすることにより、通常モードでの内部電源電圧は、図2に示した電圧レベルに設定される。

【0105】

次に、ディープ・パワーダウンモードに対応する内部電源回路100の構成について説明する。

【0106】

内部電源回路100は、さらに、ディープ・パワーダウンモードにおいてバッファ回路112の動作電流を遮断するためのPMOSトランジスタ210と、ディープ・パワーダウンモードにおいて参照電圧配線114と接地電圧Vssとの間を電氣的に結合するためのNMOSトランジスタ212と、ディープ・パワーダウンモードにおいて内部電源配線118と外部電源電圧Ext.Vddとの間を電氣的に結合するためのNMOSトランジスタ214とを含む。

【0107】

PMOSトランジスタ210は、外部電源電圧Ext.Vddとバッファ回路112との間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。NMOSトランジスタ212は、参照電圧配線114と接地電圧Vssとの間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。NMOSトランジスタ214は、外部電源配線90と内部電源配線118との間に電氣的に結合され、ゲートにパワーカット信号PCUTEを受ける。

【0108】

なお、本実施の形態においては、MOSトランジスタは、接続スイッチとして用いられる電界効果型トランジスタの代表例として適用される。

【0109】

内部電源回路100は、さらに、メモリアレイ電源電圧VDD5生成系に対して配置される、PMOSトランジスタ220およびNMOSトランジスタ222、224と、ワード線電圧VPP発生系に対応して配置されるPMOSトランジスタ230およびNMOSトランジスタ232、234とを含む。

【0110】

PMOSトランジスタ222および232は、PMOSトランジスタ212と同様に配置される。NMOSトランジスタ224および234は、NMOSトランジスタ214と同様に配置される。NMOSトランジスタ214、224および234のしきい値電圧は、図2中に表記したVtnに相当する。また、NMOSトランジスタ234に代えて、ゲートにパワーカット信号の反転信号/PCUTEを受けるPMOSトランジスタを配置すれば、ディープ・パワーダウンモードにおけるワード線電圧VPPをExt.Vddに設定できる。

【0111】

このような構成とすることにより、ディープ・パワーダウンモードにおいて、内部電源電圧発生回路116、126および電圧昇圧回路136を動作させることなく、周辺回路電源電圧VDDP、メモリアレイ電源電圧VDD5およびワード線電圧VPPを、Ext.Vdd-Vtnに設定することができる。この結果、ディープ・パワーダウンモードにお

10

20

30

40

50

いては、内部電源電圧発生回路116, 126および電圧昇圧回路136にそれぞれ入力される参照電圧 $V_{REFP}$ ,  $V_{REFS}$ ,  $V_{REFD}$ の生成も不要となる。したがって、ディープ・パワーダウンモードにおいて、参照電圧 $V_{REFP}$ ,  $V_{REFS}$ および $V_{REFD}$ は、トランジスタ212, 222および232によって、接地電圧 $V_{SS}$ にそれぞれ固定される。

#### 【0112】

これに伴い、さらに前段に配置された、参照電圧発生回路110, 120, 130と、バッファ回路112, 122, 132との動作も不要となり、これらの回路群における消費電力を削減することができる。

#### 【0113】

内部電源回路100は、さらに、ディープ・パワーダウンモードにおいて、定電流発生回路102と接地電圧 $V_{SS}$ との間を切離すためのNMOSトランジスタ200と、ディープ・パワーダウンモードにおいて外部電源電圧 $E_{xt} \cdot V_{dd}$ と定電流供給線106との間を電氣的に結合するためのPMOSトランジスタ202とを含む。

#### 【0114】

NMOSトランジスタ200は、定電流発生回路102と接地電圧 $V_{SS}$ との間に電氣的に結合されて、ゲートにパワーカット信号 $PCUTE$ を受ける。PMOSトランジスタ202は、外部電源電圧 $E_{xt} \cdot V_{dd}$ と定電流供給線106との間に電氣的に結合されて、反転されたパワーカット信号 $\overline{PCUTE}$ をゲートに受ける。

#### 【0115】

この結果、ディープ・パワーダウンモードにおいて、定電流発生回路102による定電流 $I_{CONST}$ の供給が停止されて、消費電力が削減される。また、定電流供給線106は、トランジスタ202によって、外部電源電圧 $E_{xt} \cdot V_{dd}$ に固定される。

#### 【0116】

図7は、参照電圧発生回路の構成を示す回路図である。図6に示される参照電圧発生回路110, 120, 130の構成は同様であるので、図7においては、参照電圧発生回路110の構成について代表的に説明する。

#### 【0117】

図7を参照して、参照電圧発生回路110は、外部電源電圧 $E_{xt} \cdot V_{dd}$ とノード $N_0$ との間に直列に結合される、抵抗250と、PMOSトランジスタ251および252とを有する。ノード $N_0$ には、参照電圧 $V_{REFP0}$ が生成される。参照電圧 $V_{REFP0}$ は、バッファ回路112に伝達される。

#### 【0118】

PMOSトランジスタ251のゲートは、定電流供給線106と結合される。PMOSトランジスタ252のゲートには、パワーカット信号 $PCUTE$ が入力される。

#### 【0119】

参照電圧発生回路110は、さらに、ノード $N_0$ と接地電圧 $V_{SS}$ との間に直列に結合される $N$ 個( $N$ :自然数)のPMOSトランジスタ253を有する。 $N$ 個のPMOSトランジスタ253のゲートの各々は、接地電圧 $V_{SS}$ と結合される。したがって、 $N$ 個のトランジスタ253の各々は、抵抗素子として機能する。

#### 【0120】

このような構成とすることにより、パワーカット信号 $PCUTE$ が非活性状態(Lレベル)に設定される通常モード時には、参照電圧発生回路110は、外部電源電圧 $E_{xt} \cdot V_{dd}$ から接地電圧 $V_{SS}$ の間に生じる動作電流を用いて、参照電圧 $V_{REFP0}$ を生成する。ノード $N_0$ と接地電圧 $V_{SS}$ との間の電気抵抗値を適切に調整することによって、所望の参照電圧 $V_{REFP0}$ を得ることができる。

#### 【0121】

図7に示すように、PMOSトランジスタ253のそれぞれと並列に、バイパス用のヒューズ素子255をさらに配置することによって、ノード $N_0$ と接地電圧 $V_{SS}$ との間の電気抵抗値を、ヒューズブローによって微調整することが可能となる。

10

20

30

40

50

## 【0122】

一方、パワーカット信号PCUTEが活性状態（Hレベル）に設定されるディープ・パワーダウンモードでは、PMOSトランジスタ252がターンオフされるので、外部電源電圧Ext.Vddと接地電圧Vssの間の貫通電流、すなわち参照電圧発生回路110の動作電流は遮断される。

## 【0123】

これにより、ディープ・パワーダウンモードにおいては、動作電流を遮断することによって、不要となった参照電圧VREFP0の生成を中止して、参照電圧発生回路110の消費電力を削減することができる。

## 【0124】

図8は、図6に示されたバッファ回路の構成を示す回路図である。図6に示されるバッファ回路112、122および132の構成は同様であるので、図8においてはバッファ回路112の構成について代表的に説明する。

## 【0125】

図8を参照して、バッファ回路112は、PMOSトランジスタ210を介して外部電源電圧Ext.Vddと電氣的に結合されるノードN1と、ノードN2との間に電氣的に結合されるPMOSトランジスタ260と、ノードN1およびN3の間に電氣的に結合されるPMOSトランジスタ262と、ノードN2およびN4の間に電氣的に結合されるNMOSトランジスタ264と、ノードN3およびN4の間に電氣的に結合されるNMOSトランジスタ266とを有する。

## 【0126】

PMOSトランジスタ260および262のゲートは、ノードN2と結合される。NMOSトランジスタ264のゲートには、参照電圧発生回路110からの参照電圧VREFP0が入力される。ノードN3およびトランジスタ266のゲートは、参照電圧VREFPを伝達する参照電圧配線114と結合される。

## 【0127】

バッファ回路112は、さらに、ノードN4と接地電圧Vssとの間に電氣的に結合されるNMOSトランジスタ267を有する。NMOSトランジスタ267のゲートには、制御電圧1が入力される。

## 【0128】

このような構成とすることにより、トランジスタ210がオンする通常モード時においては、制御電圧1に応じた動作電流がバッファ回路112に供給される。バッファ回路112は、動作電流量に応じた応答速度で、内部電源電圧発生回路116に伝達される参照電圧VREFPを、参照電圧発生回路110からの参照電圧VREFP0と同様のレベルに設定する。このようにバッファ回路112を介して、参照電圧VREFPを伝達することによって、参照電圧VREFPがノイズ等によって変動することを防止できる。

## 【0129】

一方、ディープ・パワーダウンモードにおいては、パワーカット信号PCUTEの活性化（Hレベル）に応答して、トランジスタ210がターンオフされるので、バッファ回路112の動作電流が遮断される。これにより、不要となった参照電圧VREFPの生成を中止して、バッファ回路112における消費電力を削減できる。

## 【0130】

再び図6を参照して、内部電源回路100は、さらに、ディープ・パワーダウンモードにおいて、基板電圧発生回路160を外電源電圧Ext.Vddから切離すためのPMOSトランジスタ240と、内部電源配線168を接地電圧Vssと電氣的に結合するためのPMOSトランジスタ244とをさらに含む。PMOSトランジスタ240のゲートには、パワーカット信号PCUTEが入力される。PMOSトランジスタ244のゲートには、反転されたパワーカット信号/PCUTEが入力される。

## 【0131】

したがって、ディープ・パワーダウンモードでは、PMOSトランジスタ240がターン

10

20

30

40

50

オフされるとともに、PMOSトランジスタ244がターンオンされる。この結果、基板電圧VBBは、図2に示したように接地電圧Vssに設定される。すなわち、ディープ・パワーダウンモードにおいて、基板電圧発生回路160は動作する必要がなくなるので、PMOSトランジスタ240のターンオフにตอบสนองして、基板電圧発生回路160の動作電流を遮断することによって、基板電圧発生回路160における消費電力を削減することができる。

#### 【0132】

内部電源回路100は、さらに、外部入力信号用参照電圧VREFIを生成する外部入力信号用参照電圧発生回路270をさらに含む。外部入力信号用参照電圧VREFIは、入力初段回路50に伝達されて、入力信号がHレベル/Lレベルのいずれであるかを認識するために用いられる。

10

#### 【0133】

図9は、外部入力信号用参照電圧発生回路270の構成を示す回路図である。

図9を参照して、外部入力信号用参照電圧発生回路270は、外部電源電圧Ext.VddとノードN5との間に直列に結合される、抵抗271と、PMOSトランジスタ272および273とを有する。ノードN5には、外部入力信号用参照電圧VREFIが生成される。

#### 【0134】

外部入力信号用参照電圧発生回路270は、さらに、ノードN5と接地電圧Vssとの間に直列に結合されるM個(M:自然数)のPMOSトランジスタ274を有する。M個のPMOSトランジスタ274のゲートの各々は、接地電圧Vssと結合される。したがって、M個のトランジスタ274の各々は、抵抗素子として機能する。

20

#### 【0135】

PMOSトランジスタ272のゲートには、参照電圧VREFSおよびVREFPの一方が選択的に入力される。PMOSトランジスタ272のゲートには、パワーカット信号PCUTEが入力される。

#### 【0136】

このような構成とすることにより、通常モードでは、外部入力信号用参照電圧VREFIのレベルを切換えることができる。たとえば、参照電圧VREFP(2.5V)がPMOSトランジスタ272のゲートに入力される場合には、外部入力信号用参照電圧VREFIは1.4Vに設定される。一方、PMOSトランジスタ272のゲートに参照電圧VREFS(2.0V)が入力される場合には、外部入力信号用参照電圧VREFIは0.9Vに設定される。このような構成とすることにより、異なるI/O信号レベルの入力信号について、外部入力信号用参照電圧VREFIを切換えて対応することが可能となる。

30

#### 【0137】

図9に示すように、PMOSトランジスタ274のそれぞれと並列に、バイパス用のヒューズ素子275を配置することによって、外部入力信号用参照電圧VREFIのレベルを、ヒューズブローによって微調整することが可能となる。

#### 【0138】

一方、ディープ・パワーダウンモードでは、入力信号が外部から入力されることはないので、外部入力信号用参照電圧VREFIは不要となる。したがって、ディープ・パワーダウンモードにおいては、パワーカット信号PCUTEの活性化(Hレベル)にตอบสนองし、PMOSトランジスタ273をターンオフして動作電流を遮断することにより、外部入力信号用参照電圧発生回路270の消費電力を削減することができる。

40

#### 【0139】

以上説明したように、内部電源回路100においては、ディープ・パワーダウンモードにおける消費電力を大幅に削減することが可能となる。

#### 【0140】

また、パワーカット信号PCUTEは、外部電源電圧Ext.Vddを遮断するためのNMOSトランジスタ214、224および234等のゲートに入力されるので、そのLレ

50

ベルおよびHレベルは、接地電圧 $V_{SS}$ および外部電源電圧 $E_{xt} \cdot V_{dd}$ にそれぞれ設定する必要がある。

【0141】

[ディープ・パワーダウンモードからスムーズに復帰するための構成]

既に説明したように、ディープ・パワーダウンモードから通常モードへの復帰は、外部クロックイネーブル信号 $E_{XTCKE}$ に応答して実行される。半導体記憶装置1000内においては、外部クロックイネーブル信号 $E_{XTCKE}$ をバッファリングして生成される内部クロックイネーブル信号 $I_{NTCKE}$ に基づいて、このようなモードの復帰が制御される。したがって、ディープ・パワーダウンモードにおいて、周辺回路電源電圧 $V_{DDP}$ を $E_{xt} \cdot V_{dd} - V_{tn}$ に設定する場合においても、外部クロックイネーブル信号 $E_{XTCKE}$ のレベル遷移を正確に反映して、内部クロックイネーブル信号 $I_{NTCKE}$ を生成する構成が必要である。

10

【0142】

図10は、内部クロックイネーブル信号生成回路280の構成を示す回路図である。内部クロックイネーブル信号生成回路280は、たとえば、入力初段回路50内に配置される。

【0143】

図10を参照して、内部クロックイネーブル信号生成回路280は、外部電源電圧 $E_{xt} \cdot V_{dd}$ によって駆動される論理ゲート281と、周辺回路電源電圧 $V_{DDP}$ によって駆動される論理ゲート282~285とを有する。

20

【0144】

論理ゲート281は、外部クロックイネーブル信号 $E_{XTCKE}$ と、パワーカット信号 $P_{CUTe}$ の $NAND$ 演算結果を出力する。論理ゲート282は、外部クロックイネーブル信号 $E_{XTCKE}$ とパワーカット信号の反転信号との $NAND$ 演算結果を出力する。

【0145】

したがって、論理ゲート281は、パワーカット信号 $P_{CUTe}$ がHレベルに設定されるディープ・パワーダウンモードにおいて、外部クロックイネーブル信号 $E_{XTCKE}$ のバッファとして動作する。一方、論理ゲート282は、パワーカット信号 $P_{CUTe}$ がLレベルに設定される通常モードにおいて、外部クロックイネーブル信号 $E_{XTCKE}$ を受け

30

【0146】

インバータ283および284は、論理ゲート281および282のそれぞれ出力を反転する。論理ゲート285は、インバータ283および284の出力の $OR$ 演算結果を内部クロックイネーブル信号 $I_{NTCKE}$ として出力する。

【0147】

このような構成とすることにより、通常モード時においては、周辺回路電源電圧 $V_{DDP}$ によって駆動されるバッファ(論理ゲート282)によって内部クロックイネーブル信号 $I_{NTCKE}$ が生成される。一方、ディープ・パワーダウンモードにおいては、外部電源電圧 $E_{xt} \cdot V_{dd}$ によって駆動されるバッファ(論理ゲート281)によって、内部クロックイネーブル信号 $I_{NTCKE}$ が生成される。

40

【0148】

この結果、通常モードおよびディープ・パワーダウンモードのいずれにおいても、外部クロックイネーブル信号 $E_{XTCKE}$ のレベル遷移を正確に反映して、内部クロックイネーブル信号 $I_{NTCKE}$ を生成することができる。

【0149】

内部クロックイネーブル信号 $I_{NTCKE}$ は、周辺回路制御部60に含まれるパワーカット信号生成回路300に伝達される。

【0150】

パワーカット信号生成回路300は、インバータ302とフリップフロップ304と、レベル変換回路306とを含む。インバータ302とフリップフロップ304とは、周辺回

50

路電源電圧  $V_{DDP}$  によって駆動される。

【0151】

インバータ 302 は、内部クロックイネーブル信号  $INTCKE$  を反転して出力する。インバータ 302 の出力は、フリップフロップ 304 に対して、リセット入力として与えられる。一方、フリップフロップ 304 のセット入力には制御信号 /  $DPD$  が与えられる。制御信号 /  $DPD$  は、ディープ・パワーダウンモードのエントリ条件が整った場合に L レベルに設定される信号である。たとえば、図 4 に示すエントリ方式に従えば、制御信号 /  $DPD$  は、制御信号  $S0D$  での非活性化にตอบสนองして L レベルに活性化される。また、図 5 に示すモードエントリ方式に従えば、ディープ・パワーダウンモードエントリコマンド  $DPPE$  の入力にตอบสนองして、制御信号 /  $DPD$  は L レベルに活性化される。

10

【0152】

したがって、フリップフロップ 304 の出力信号は、制御信号 /  $DPD$  の L レベルへの活性化にตอบสนองして、H レベルにセットされ、内部クロックイネーブル信号  $INTCKE$  の H レベルへの遷移にตอบสนองして L レベルにリセットされる。

【0153】

レベル変換回路 306 は、フリップフロップ 304 の出力信号を接地電圧  $V_{SS}$  ~ 外部電源電圧  $Ext. V_{DD}$  振幅にレベル変換して、パワーカット信号  $PCUTE$  を生成する。

【0154】

これにより、図 4 および図 5 に示したモードエントリ方式に従って、パワーカット信号  $PCUTE$  を設定することができる。さらに、ディープ・パワーダウンモードから通常モードへの復帰を確実に実行できる。

20

【0155】

ディープ・パワーダウンモードから通常モードへの復帰時には、内部電源回路内の内部電源電圧発生回路 116, 126 および電圧昇圧回路 136 を早急に動作させて、内部電源電圧を再び切換える必要がある。したがって、ディープ・パワーダウンモードでは接地電圧  $V_{SS}$  に固定される参照電圧  $V_{REFP}$ ,  $V_{REFS}$ ,  $V_{REFD}$  を、高速に所定レベルまで復帰させる必要が生じる。特に、外部電源電圧  $Ext. V_{DD}$  を昇圧するワード線電圧  $V_{PP}$  に対応する参照電圧  $V_{REFD}$  を高速に生成する必要がある。

【0156】

図 11 は、通常モードへの復帰時にตอบสนอง性の高いバッファ回路の構成を示す回路図である。図 11 においては、ワード線電圧  $V_{PP}$  に対応するバッファ回路 132 の構成が代表的に示される。

30

【0157】

図 11 を参照して、バッファ回路 132 は、図 8 に示されるバッファ回路と同様に配置される、PMOS トランジスタ 260, 262 および NMOS トランジスタ 264, 266, 267 に加えて、NMOS トランジスタ 267 と並列に接続される NMOS トランジスタ 268 を有する点で異なる。

【0158】

NMOS トランジスタ 268 は、ノード  $N4$  と接地電圧  $V_{SS}$  の間に電氣的に結合されて、パワーオンリセット信号 /  $PORr$  の活性化 (L レベル) にตอบสนองしてターンオンする。

40

【0159】

パワーオンリセット信号 /  $PORr$  は、通常、起動時において一定期間活性化されるが、本実施の形態においては、これに加えて、ディープ・パワーダウンモードから通常モードへの復帰時においても、所定期間 L レベルに活性化される。

【0160】

このような構成とすることにより、図 11 に示されるバッファ回路 132 は、図 8 に示された構成を有するバッファ回路と比較して、パワーオンリセット信号 /  $PORr$  の活性化期間における動作電流を増加させて、通常モードへの復帰時に参照電圧  $V_{REFD}$  を接地電圧  $V_{SS}$  から高速に立ち上げることができる。

【0161】

50



図12は、パワーオンリセット信号生成回路310の構成を示す回路図である。

【0162】

図12を参照して、パワーオンリセット信号生成回路310は、外部電源電圧 $E_{xt} \cdot V_{dd}$ とノードN6との間に電氣的に結合されるPMOSトランジスタ311と、ノードN6およびN7の間に電氣的に結合されるPMOSトランジスタ312と、ノードN7および接地電圧 $V_{ss}$ の間に電氣的に結合されるNMOSトランジスタ313と、ノードN7の電圧レベルを反転してパワーオンリセット信号/PORrを生成するインバータ315とを有する。

【0163】

PMOSトランジスタのゲートには、反転されたパワーカット信号/PCUTEが入力される。ノードN6には、参照電圧発生回路130からの参照電圧VREFD0が印加される。PMOSトランジスタ312およびNMOSトランジスタ313は、参照電圧配線114と結合されるゲートを有し、インバータを構成する。

【0164】

ディープ・パワーダウンモードにおいては、PMOSトランジスタ311がターンオンするとともに、参照電圧VREFDは、接地電圧 $V_{ss}$ に固定される。この結果、PMOSトランジスタ312がオンし、NMOSトランジスタ313がオフすることになる。したがって、パワーオンリセット信号/PORrは、通常モードへの復帰に備えて、Lレベルに活性化される。

【0165】

ディープ・パワーダウンモードから通常モードへ切り換えられると、参照電圧発生回路130からの参照電圧VREFD0およびVREFDは、通常モードにおけるワード線電圧VPPの目標レベルに対応する電圧に変化を始める。したがって、参照電圧VREFDがNMOSトランジスタ313のしきい値電圧に相当する所定電圧を超えるまでの所定期間、NMOSトランジスタ313はオフ状態を維持するので、パワーオンリセット信号/PORrの活性状態(Lレベル)も維持される。

【0166】

その後、参照電圧VREFDが当該所定電圧を超えると、NMOSトランジスタ313がオンするので、パワーオンリセット信号/PORrはHレベルに非活性化される。

【0167】

このような構成とすることにより、通常モードへの復帰時にPMOSトランジスタ210のターンオンにตอบสนองして、バッファ回路132の動作電流経路が確保されると、NMOSトランジスタ267および268の双方によって、バッファ回路132の動作電流を供給することができる。この結果、ディープ・パワーダウンモードから通常モードへの復帰時において、参照電圧VREFPの接地電圧 $V_{ss}$ からの立上がりを高速化して、ワード線電圧VPPを速やかに復帰させることができる。

【0168】

なお、図11に示したバッファ回路の構成は、周辺回路電源電圧VDDPおよびメモリアレイ電源電圧VDDSにそれぞれ対応する、図6に示したバッファ回路112および122にも適用することができる。この場合には、図12に示したパワーオンリセット信号生成回路を、バッファ回路112、122および132で共有することも可能である。

【0169】

[実施の形態2]

実施の形態2においては、異なるレベルの外部電源電圧に対応して、内部電源電圧の制御応答性を一様に維持するための、内部電源回路の構成について説明する。

【0170】

図13は、外部電源電圧レベルに対応した、内部電源電圧の設定レベルの相違を説明する図である。

【0171】

図13を参照して、実施の形態2においては、外部電源電圧として、2.5V系と、それ

10

20

30

40

50

よりも高い 2.7V 系の 2 種類が適用されるケースを考える。

【0172】

2.7V 系外部電源電圧の適用時には、メモリアレイ電源電圧 VDD S および周辺回路電源電圧 VDD P は、外部電源電圧 E x t . V d d ( 2 . 7 V ) を降圧して、2.0V および 2.5V にそれぞれ設定される。ワード線電圧 V P P は、外部電源電圧 E x t . V d d ( 2 . 7 V ) を昇圧して、3.7V に設定される。また、基板電圧 V B B は、負電圧 - 1V に設定される。

【0173】

これに対して、2.5V 系外部電源電圧適用時には、メモリアレイ電源電圧 VDD S 、ワード線電圧 V P P および基板電圧 V B B は、2.7V 系外部電源電圧適用時と同様に、2.0V、3.7V および - 1V にそれぞれ設定される。

10

【0174】

しかしながら、外部電源電圧 E x t . V d d が低い 2.5V 系では、ドライバ駆動力の低下によって、内部電源電圧の制御応答性が妨げられるおそれがあるので、メモリアレイ電源電圧発生系において、コンパレータおよびドライバの速応性アップが図られる。同様の理由から、ワード線電圧 V P P の発生系においても、ポンプキャパシタのサイズアップ等を図って、昇圧動作速度を上昇させる必要が生じる。

【0175】

2.5V 系外部電源電圧適用時には、周辺回路電源電圧 VDD P ( 2 . 5 V ) は、外部電源電圧 E x t . V d d をそのまま用いることができる。以下においては、このような外部電源電圧が適用される場合を、「外部電源電圧直結モード」とも称する。外部電源電圧直結モードでは、周辺回路電源電圧 VDD P を供給する内部電源配線 118 と外部電源配線とを直結するとともに、そのドライバもサイズアップして電流供給能力の向上を図る。

20

【0176】

次に、実施の形態 2 に従う、周辺回路電源電圧 VDD P 発生系の構成について説明する。実施の形態 2 に従う構成においては、周辺回路電源電圧 VDD P 発生系において、図 6 に示した参照電圧発生回路 110、バッファ回路 112 および内部電源電圧発生回路 116 に代えて、参照電圧発生回路 410、バッファ回路 412 および内部電源電圧発生回路 416 が配置される。

30

【0177】

図 14 は、実施の形態 2 に従う参照電圧発生回路 410 の構成を示す回路図である。

【0178】

図 14 を参照して、参照電圧発生回路 410 は、図 7 に示した、実施の形態 1 に従う参照電圧発生回路の構成と比較して、論理ゲート 415 をさらに有する点で異なる。

【0179】

論理ゲート 415 は、パワーカット信号 P C U T e と、制御信号 V D 1 の O R 演算結果を出力する。論理ゲート 415 の出力は、P M O S トランジスタ 252 のゲートに入力される。

【0180】

制御信号 V D 1 は、外部電源電圧 E x t . V d d の電圧レベルに応じて設定される。具体的には、外部電源電圧直結モードに対応する外部電源電圧の適用時、すなわち図 13 の例では 2.5V 系外部電源電圧が適用される場合に、制御信号 V D 1 は H レベルに設定される。既に説明したように、2.5V 系外部電源電圧の適用時には、外部電源電圧 E x t . V d d と内部電源配線 118 とを直結して周辺回路電源電圧 VDD P を生成するので、参照電圧 V R E F P 0 の生成は不要となる。

40

【0181】

外部電源電圧直結モードよりも高い外部電源電圧が適用される場合、すなわち図 13 の例では 2.7V 系外部電源電圧が適用される場合には、制御信号 V D 1 は L レベルに設定される。

50

## 【 0 1 8 2 】

このような構成とすることにより、PMOSトランジスタ252は、ディープ・パワーダウンモード時に加えて、通常モード時においても、適用される外部電源電圧レベルに応じてターンオフされる。これに伴い、参照電圧VREFP0の生成が不要となる外部電源電圧直結モードにおいて、参照電圧発生回路410における動作電流を遮断して、消費電力を削減できる。

## 【 0 1 8 3 】

図15は、実施の形態2に従うバッファ回路412への電流供給を説明する回路図である。

## 【 0 1 8 4 】

図15を参照して、バッファ回路412の構成は、図8に示したバッファ回路112と同様であるが、実施の形態2においては動作電流の供給態様が異なる。

## 【 0 1 8 5 】

外部電源電圧Ext.Vddとバッファ回路412との間に電氣的に結合されるPMOSトランジスタ210のゲートには、図14と同様の論理ゲート415の出力が与えられる。したがって、参照電圧発生回路410と同様に、参照電圧VREFPの生成が不要となる外部電源電圧直結モードにおいて、バッファ回路412の動作電流を遮断して消費電力を削減できる。

## 【 0 1 8 6 】

図16は、実施の形態2に従う内部電源電圧発生回路416の構成を示す回路図である。

## 【 0 1 8 7 】

図16を参照して、内部電源電圧発生回路416は、コンパレータ430と、PMOSトランジスタ432と、NMOSトランジスタ434と、論理ゲート436、437と、インバータ438と、内部電源電流供給部440とを有する。内部電源電流供給部440は、ドライバトランジスタ442、445を有する。

## 【 0 1 8 8 】

コンパレータ430は、周辺回路電源電圧VDDPに対応する参照電圧VREFPと周辺回路電源電圧VDDPとの電圧差を増幅してノードN8に出力する。具体的には、ノードN8の電圧は、 $VDDP > VREFP$ の場合Hレベル（外部電源電圧Ext.Vdd）側に設定され、 $VDDP < VREFP$ の場合Lレベル（接地電圧Vss）側に設定される。

## 【 0 1 8 9 】

PMOSトランジスタ432は、外部電源電圧Ext.Vddとコンパレータ430との間に電氣的に結合される。NMOSトランジスタ434は、ノードN8および接地電圧Vssの間に電氣的に結合される。

## 【 0 1 9 0 】

論理ゲート436は、制御信号VD1およびテストモード信号TMDVのOR演算結果をPMOSトランジスタ432のゲートに与える。テストモード信号TMDVは、動作テスト時に、外部電源電圧直結モードに対応するテストを試験的に実行するとき、Hレベルに活性化される。

## 【 0 1 9 1 】

論理ゲート437は、論理ゲート436と同様に、制御信号VD1およびテストモード信号TMDVのOR演算結果を出力する。論理ゲート437の出力は、NMOSトランジスタ434のゲートに与えられる。

## 【 0 1 9 2 】

ドライバトランジスタ442は、ノードN8と結合されたゲートを有し、外部電源配線90と内部電源配線118との間に電氣的に結合される。ドライバトランジスタ445は、ドライバトランジスタ442と並列に、外部電源配線90と内部電源配線118との間に電氣的に結合される。ドライバトランジスタ442および445は、PMOSトランジスタで構成される。ドライバトランジスタ445のゲートには、インバータ438によって反転された論理ゲート437の出力が入力される。

10

20

30

40

50

## 【 0 1 9 3 】

このような構成とすることにより、通常動作時にはテストモード信号 T M D V が L レベルに設定されるので、外部電源電圧直結モードよりも高い 2.7 V 系外部電源電圧が適用される（制御信号 V D 1 は L レベル）場合には、論理ゲート 4 3 6 および 4 3 7 の出力は、L レベルに設定される。したがって、P M O S トランジスタ 4 3 2 はオンし、N M O S トランジスタ 4 3 4 はオフする。さらに、ドライバトランジスタ 4 4 5 も強制的にターンオフされる。したがって、ノード N 8 の電圧、すなわちコンパレータ 4 3 0 の電圧比較結果に応じて、ドライバトランジスタ 4 4 2 は、外部電源配線 9 0 から内部電源配線 1 1 8 に対して、内部電源電流を供給する。

## 【 0 1 9 4 】

これに対して、外部電源電圧直結モードに対応する 2.5 V 系外部電源電圧が適用される（制御信号 V D 1 は H レベル）場合には、論理ゲート 4 3 6 および 4 3 7 の出力は、H レベルに設定される。したがって、P M O S トランジスタ 4 3 2 はオフし、N M O S トランジスタ 4 3 4 はオンする。

## 【 0 1 9 5 】

したがって、コンパレータ 4 3 0 の動作電流が遮断されるとともに、ノード N 8 は接地電圧  $V_{ss}$  に固定される。この結果、並列に配置されるドライバトランジスタ 4 4 2 および 4 4 5 の両方が強制的にターンオンされ、外部電源配線 9 0 と内部電源配線 1 1 8 とを結合することによって、内部電源電流が供給される。

## 【 0 1 9 6 】

この結果、外部電源電圧が低く、ドライバトランジスタの電流供給能力が相対的に低下する外部電源電圧直結モードにおいても、周辺回路電源電圧  $V_{DDP}$  の制御応答性を同様に確保できる。

## 【 0 1 9 7 】

また、動作テスト時にテストモード信号 T M D V を H レベルに設定した場合には、論理ゲート 4 3 6 および 4 3 7 の出力が H レベルに強制的に変化するので、通常動作時における外部電源電圧直結モードと同様の回路動作を試験的に実行することができる。

## 【 0 1 9 8 】

図 1 7 は、実施の形態 2 に従う内部電源電圧発生回路 4 2 6 の構成を示す回路図である。

## 【 0 1 9 9 】

図 1 7 を参照して、内部電源電圧発生回路 4 2 6 は、コンパレータ 4 5 0 と、コンパレータ 4 5 0 の動作電流量を制御するための N M O S トランジスタ 4 5 2 , 4 5 4 , 4 5 6 と、トランスファークロウ 4 5 9 と、内部電源電流供給部 4 6 0 と、論理ゲート 4 5 7 , 4 6 6 と、インバータ 4 6 7 と、P M O S トランジスタ 4 6 8 とを含む。内部電源電流供給部 4 6 0 は、ドライバトランジスタ 4 6 2 および 4 6 5 を有する。

## 【 0 2 0 0 】

コンパレータ 4 5 0 は、メモリアレイ電源電圧  $V_{DD S}$  に対応する参照電圧  $V_{REF S}$  とメモリアレイ電源電圧  $V_{DD S}$  との電圧差を増幅してノード N 9 に出力する。具体的には、 $V_{DD S} > V_{REF S}$  の場合にはノード N 9 は H レベル（外部電源電圧  $E_{xt} \cdot V_{dd}$ ）側に設定され、 $V_{DD S} < V_{REF S}$  の場合にはノード N 9 には L レベル（接地電圧  $V_{ss}$ ）側に設定される。

## 【 0 2 0 1 】

N M O S トランジスタ 4 5 2 , 4 5 4 および 4 5 6 は、コンパレータ 4 5 0 と接地電圧  $V_{ss}$  との間に並列に接続される。N M O S トランジスタ 4 5 2 のゲートには論理ゲート 4 5 7 の出力が入力される。論理ゲート 4 5 7 は、制御信号 V D 1 およびテストモード信号 T M D V の O R 演算結果を出力する O R ゲートと、この O R ゲートの出力と制御信号 S R E F の反転信号との間の A N D 演算結果を出力する A N D ゲートとを有する。制御信号 S R E F は、セルフリフレッシュコマンドの実行時に H レベルに設定され、それ以外の期間においては L レベルに設定される。

## 【 0 2 0 2 】

10

20

30

40

50

このような構成とすることにより、NMOSトランジスタ452のゲート電圧は、セルフリフレッシュコマンド実行時には強制的にLレベル（接地電圧 $V_{SS}$ ）に設定される。セルフリフレッシュコマンド実行時以外においては、制御信号VD1もしくはテストモード信号TMDVがHレベルに設定されたとき、すなわち、外部電源電圧直結モードに対応する2.5V系外部電源電圧が適用されたとき、もしくは動作テスト時に所定の動作テストが指示されたときにおいて、NMOSトランジスタ452のゲート電圧はHレベル（外部電源電圧 $Ext. V_{DD}$ ）に設定される。

【0203】

NMOSトランジスタ454のゲートには、制御信号SREFの反転信号が入力される。この結果、NMOSトランジスタ454は、セルフリフレッシュコマンド実行時にターンオフされ、それ以外の期間には、ターンオンされる。NMOSトランジスタ456のゲートには、制御電圧1が入力される。これにより、NMOSトランジスタ456は、微小電流をコンパレータ450に対して、常時供給する。

10

【0204】

したがって、コンパレータ450の動作電流は、セルフリフレッシュコマンド実行時においてはNMOSトランジスタ456のみによって供給される。セルフリフレッシュコマンド実行時以外においては、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合には、NMOSトランジスタ454および456によって、コンパレータ450の動作電流が供給され、外部電源電圧直結モードに対応する外部電源電圧が適用される場合には、NMOSトランジスタ452、454および456によってコンパレータ450の動作電流が供給される。

20

【0205】

このような構成とすることにより、外部電源電圧直結モードにおけるコンパレータ450の応答速度は、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合よりも向上する。また、セルフリフレッシュコマンド実行時において、コンパレータ450の動作電流を絞って、消費電流を削減することができる。セルフリフレッシュ実行時においては、メモリアレイ部10における消費電流が少ないため、メモリアレイ電源電圧VDD5に要求される制御応答性は厳しくないからである。

【0206】

ドライバトランジスタ462および465は、外部電源配線90および内部電源配線128の間に並列に接続されるPMOSトランジスタでそれぞれ構成される。ドライバトランジスタ462のゲートは、ノードN9と結合される。ドライバトランジスタ465のゲートは、トランスファージェート459を介してノードN9と結合される。さらに、ドライバトランジスタ465のゲートは、PMOSトランジスタ468を介して外部電源電圧 $Ext. V_{DD}$ とも電氣的に結合される。

30

【0207】

トランスファージェート459は、論理ゲート466の出力にตอบสนองしてオン/オフする。具体的には、制御信号VD1もしくはテストモード信号TMDVがHレベルに設定された場合において、トランスファージェート459はオンする。一方、制御信号VD1およびテストモード信号TMDVの両方がLレベルに設定されている場合には、トランスファージェート459はオフする。

40

【0208】

PMOSトランジスタ468は、外部電源電圧 $Ext. V_{DD}$ とドライバトランジスタ465のゲートとの間に電氣的に結合され、論理ゲート466の出力をゲートに受ける。

【0209】

このような構成とすることにより、外部電源電圧直結モードよりも高い外部電源電圧が適用される場合には、PMOSトランジスタ468がオンする一方で、トランスファージェート459はオフされる。したがって、ドライバトランジスタ465は強制的にターンオフされるので、ドライバトランジスタ462によって、ノードN9の電圧に応じて、外部電源配線90から内部電源配線128に対して内部電源電流が供給される。

50

## 【0210】

これに対して、外部電源電圧直結モードにおいては、トランスファークラーク459がオンする一方で、PMOSトランジスタ468がオフされる。この結果、ノードN9は、ドライバトランジスタ462および465のゲートと結合される。したがって、並列に配置されたドライバトランジスタ462および465によって、内部電源電流を供給することができるので、ドライバトランジスタの電流駆動力が相対的に低下する外部電源電圧直結モードにおいても、メモリアレイ電源電圧VDD5の制御応答性を維持できる。

## 【0211】

また、動作テスト時において、テストモード信号TMDVをHレベルに設定することによって、論理ゲート457および466の出力をHレベルに設定できるので、外部電源電圧直結モードの回路動作を試験的に実行できる。

10

## 【0212】

さらに、実施の形態2に従う構成においては、図6に示した電圧昇圧回路136に代えて、電圧昇圧回路470が配置される。

## 【0213】

図18は、実施の形態2に従う電圧昇圧回路470の構成を示すブロック図である。

## 【0214】

図18を参照して、電圧昇圧回路470は、非常時検出部500と、アクティブ時検出部510と、スタンバイ時検出部520と、アクティブ検出部制御回路530と、昇圧ユニット制御回路545と、アクティブ昇圧ユニット550と、スタンバイ昇圧ユニット570とを含む。

20

## 【0215】

非常時検出部500は、動作時において、ワード線電圧VPPが対応する参照電圧VREFDよりも低下したときに、検出信号LOWEをHレベルに活性化する。アクティブ時検出部510およびスタンバイ時検出部520は、非常時検出部500と同様に動作し、それぞれの動作時において、ワード線電圧VPPが対応する参照電圧VREFDよりも低下したときに、対応する検出信号LOWNおよびLWSをそれぞれHレベルに活性化する。

## 【0216】

スタンバイ時検出部520は、常時動作する。非常時検出部500は、セルフリフレッシュコマンドの実行期間を除いて、スタンバイ時検出部520の検出信号LWSの活性化にตอบสนองして動作する。アクティブ時検出部510は、検出部活性化信号ACTEの活性化にตอบสนองして動作する。

30

## 【0217】

アクティブ検出部制御回路530は、内部クロックイネーブル信号INTCKEのHレベル期間もしくは、セルフリフレッシュコマンド実行期間において、制御信号ACTORまたは検出信号LOWNの活性化期間(Hレベル)にตอบสนองして、検出部活性化信号ACTEを活性化状態(Hレベル)に設定する。

## 【0218】

昇圧ユニット制御回路545は、非常時検出部500およびアクティブ時検出部510のそれぞれからの検出信号LOWEおよびLOWNと、制御信号ACTORとに基づいて、アクティブ昇圧ユニット550を動作させるためのイネーブル信号/PMを生成する。アクティブ昇圧ユニット550は、イネーブル信号/PMの活性化期間において動作する。

40

## 【0219】

昇圧ユニット制御回路545は、検出信号LOWEの活性化期間において、イネーブル信号/PMを活性化する。さらに、昇圧ユニット制御回路545は、検出信号LOWNがHレベルに活性化された場合には、制御信号ACTORまたは検出信号LOWEがHレベルに活性化されていることを条件に、イネーブル信号/PMを活性化する。この場合には、一旦活性化されたイネーブル信号/PMは、検出信号LOWNが非活性化(Lレベ

50

ル)されるまでの間、活性状態が維持される。

【0220】

アクティブ昇圧ユニット550は、リング発振器555と、分周回路560と、並列に配置されたポンプ回路600a, 600bを有する。

【0221】

リング発振器555は、イネーブル信号/PMeの活性化にตอบสนองして動作して、発振信号PCLK0を生成する。分周回路560は、発振信号PCLK0を分周して、周期Tc2のポンプクロックPCLKを生成する。

【0222】

ポンプ回路600aおよび600bは、ポンプクロックPCLKにตอบสนองして、外部電源電圧Ext.Vddをチャージポンプ動作によって昇圧して、内部電源配線138にワード線電圧VPPを出力する。

10

【0223】

スタンバイ昇圧ユニット570は、リング発振器575とポンプ回路610とを有する。リング発振器575は、スタンバイ時検出部520の検出信号LWSの活性化にตอบสนองして動作状態に設定され、周期Tc1(>Tc2)の周期を有するポンプクロックを生成する。ポンプ回路610は、リング発振器575が生成するポンプクロックにตอบสนองして、外部電源電圧Ext.Vddを昇圧して、内部電源配線138にワード線電圧VPPを生成する。

【0224】

20

アクティブ昇圧ユニット550で用いられるポンプクロックの周期は、スタンバイ昇圧ユニット570で用いられるポンプクロックの周期よりも短く設定される。また、アクティブ昇圧ユニット550内のチャージポンプキャパシタの容量は、スタンバイ昇圧ユニット570内のチャージポンプキャパシタよりも大きく設計される。したがって、アクティブ昇圧ユニット550は、その消費電力は相対的に大きいものの、高速に昇圧動作を行なえる。一方、スタンバイ昇圧ユニット570は、昇圧動作は比較的低速であるが、消費電力は小さい。

【0225】

次に、電圧昇圧回路470の各部分の回路構成について詳細に説明する。

図19は、リング発振器555の構成を示す回路図である。

30

【0226】

図19を参照して、リング発振器555は、循環状に接続された $2n+1$ 段( $n$ :自然数)のインバータ556を有する。インバータ556の各々に対しては、イネーブル信号/PMeの活性化にตอบสนองして、外部電源電圧Ext.Vddが供給される。さらに、隣接するインバータ556同士の間には、たとえば拡散抵抗で形成される遅延素子558が設けられる。

【0227】

このような構成とすることにより、リング発振器555による発振信号PCLK0の周期に対する電圧依存性を抑制することができる。すなわち、異なるレベルの外部電源電圧Ext.Vddが適用された場合においても、発振信号PCLK0の周期の変動を抑制できる。この結果、内部電源電圧の制御に対する外乱を抑制できる。

40

【0228】

次に、非常時検出部500、アクティブ時検出部510およびスタンバイ時検出部520の構成について説明する。これらの検出部の構成は同様であるので、図20においては、非常時検出部500の構成について代表的に説明する。

【0229】

図20を参照して、非常時検出部500は、PMOSTランジスタ501~503と、NMOSTランジスタ504~506とを有する。

【0230】

PMOSTランジスタ501は、外部電源電圧Ext.VddとノードN10との間に電

50

氣的に結合されて、ゲートにパワーカット信号 P C U T e を受ける。P M O S トランジスタ 5 0 2 および 5 0 3 は、ノード N 1 0 とノード N 1 1 および N 1 3 との間に、それぞれ電氣的に結合される。P M O S トランジスタ 5 0 2 および 5 0 3 のゲートは、ノード N 1 1 と結合される。

#### 【 0 2 3 1 】

N M O S トランジスタ 5 0 4 および 5 0 5 は、ノード N 1 1 および N 1 3 と、ノード N 1 2 との間にそれぞれ電氣的に結合される。N M O S トランジスタ 5 0 4 のゲートには、ワード線電圧に対応する参照電圧 V R E F D が入力される。N M O S トランジスタ 5 0 5 のゲートには、ワード線電圧 V P P が入力される。トランジスタ 5 0 6 は、ノード N 1 2 と接地電圧 V s s との間に電氣的に結合される。トランジスタ 5 0 6 のゲートには、動作状態制御信号が入力される。

10

#### 【 0 2 3 2 】

動作状態制御信号は、非常時検出部 5 0 0 においては、制御信号 S R E F の反転信号 / S R E F と、検出信号 L O W S との A N D 演算結果に応じて生成される。したがって、制御信号 / S R E F が L レベルに設定される期間、すなわちセルフリフレッシュの実行期間を除いて、検出信号 L O W S の活性化期間 ( H レベル ) において、N M O S トランジスタ 5 0 6 をオンさせて、非常時検出部 5 0 0 の動作電流を供給することができる。

#### 【 0 2 3 3 】

また、既に説明したように、ディープ・パワーダウンモードにおいては、ワード線電圧 V P P を生成する必要がないので、パワーカット信号 P C U T e に応答して P M O S トランジスタ 5 0 1 がカットオフされて、非常時検出部 5 0 0 の動作は停止されて消費電力の削減が図られる。

20

#### 【 0 2 3 4 】

動作電流の供給時において、非常時検出部 5 0 0 は、ワード線電圧 V P P およびこれに対応する参照電圧 V R E F D の電圧差を増幅して、検出信号 L O W E としてノード N 1 3 に出力する。すなわち、ワード線電圧 V P P が対応する参照電圧 V R E F D よりも低下した場合には、検出信号 L O W E が H レベルに活性化される。

#### 【 0 2 3 5 】

アクティブ時検出部 5 1 0 においては、N M O S トランジスタ 5 0 6 のゲートに入力される動作状態制御信号は、アクティブ検出部制御回路 5 3 0 からの検出部活性化信号 A C T e に相当する。同様に、スタンバイ時検出部 5 2 0 においては、動作状態制御信号は、常に H レベルに設定される。

30

#### 【 0 2 3 6 】

アクティブ時検出部 5 1 0 およびスタンバイ時検出部 5 2 0 のその他の部分の回路構成は、非常時検出部 5 0 0 と同様であり、ディープ・パワーダウンモードにおいては、動作電流が遮断されることによって、消費電力が削減される。

#### 【 0 2 3 7 】

再び図 1 8 を参照して、ポンプ回路 6 0 0 a および 6 0 0 b は、同様の構成を有し、外部電源電圧 E x t . V d d のレベルに応じて、その昇圧動作を切換えることが可能である。

#### 【 0 2 3 8 】

なお以下においては、ポンプ回路 6 0 0 a および 6 0 0 b を総称してポンプ回路 6 0 0 とも称する。

40

#### 【 0 2 3 9 】

図 2 1 は、ポンプ回路 6 0 0 の構成を示す回路図である。

図 2 1 を参照して、ポンプ回路 6 0 0 は、ポンプクロック P C L K ( 振幅 E x t . V d d ) を受けてノード N b 0 に昇圧電圧を生成する昇圧動作部 6 2 0 と、ノード N b 0 と内部電源配線 1 3 8 との間に電氣的に結合される伝達トランジスタ 6 3 0 と、トランジスタ 6 3 0 のゲート電圧を昇圧するためのゲート昇圧部 6 4 0 とを含む。

#### 【 0 2 4 0 】

昇圧動作部 6 2 0 は、論理ゲート 6 2 2 , 6 2 4 と、P M O S トランジスタ 6 2 6 と、N

50



M O S トランジスタ 6 2 8 と、ポンプキャパシタ C 1 , C 2 とを有する。

【 0 2 4 1 】

論理ゲート 6 2 2 は、制御信号 P D B とポンプクロック P C L K との N A N D 演算結果を出力する。論理ゲート 6 2 4 は、制御信号 P D B とポンプクロック P C L K との A N D 演算結果を出力する。制御信号 P D B は、昇圧動作を高速化したい場合（以下、「ダブルブースト時」とも称する）において、H レベルに活性化され、それ以外の場合（以下、「シングルブースト時」とも称する）において L レベルに設定される。

【 0 2 4 2 】

P M O S トランジスタ 6 2 6 は、外部電源電圧 E x t . V d d とノード N p c との間に電氣的に結合される。N M O S トランジスタ 6 2 8 は、ノード N p c と接地電圧 V s s との間に電氣的に結合される。トランジスタ 6 2 6 のゲートには、論理ゲート 6 2 2 の出力が入力され、トランジスタ 6 2 8 のゲートには、論理ゲート 6 2 4 の出力が入力される。

10

【 0 2 4 3 】

ポンプキャパシタ C 1 は、ポンプクロック P C L K が入力されるノード N i とノード N b 0 との間に結合される。ポンプキャパシタ C 2 はノード N p c とノード N b 0 との間に結合される。

【 0 2 4 4 】

ダブルブースト時において、論理ゲート 6 2 2 および 6 2 4 は、ポンプクロック P C L K の反転クロックを出力する。この結果、インバータとして動作する P M O S トランジスタ 6 2 6 および N M O S トランジスタ 6 2 8 は、動作状態に設定されて、ポンプクロック P C L K と同位相のクロック信号をノード N p c に出力する。したがって、昇圧動作部 6 2 0 においては、並列に接続されたポンプキャパシタ C 1 および C 2 を用いて、昇圧動作が実行されることになる。この結果、1 回のポンプ動作によって蓄えられる電荷量が増大するので、内部電源配線 1 3 8 に供給される内部電源電流を増加させて、昇圧動作速度を相対的に高めることができる。

20

【 0 2 4 5 】

一方、シングルブースト時においては、論理ゲート 6 2 2 および 6 2 4 の出力は、H レベルおよび L レベルにそれぞれ固定される。したがって、P M O S トランジスタ 6 2 6 および N M O S トランジスタ 6 2 8 の両方はターンオフされて、ノード N p c は、ハイインピーダンスとなる。したがって、シングルブースト時においては、ポンプキャパシタ C 1 のみで昇圧動作が実行される。

30

【 0 2 4 6 】

このような構成とすることにより、チャージポンプ動作によってポンプ回路 6 0 0 から供給される内部電源電流は、ダブルブースト時においてシングルブースト時よりも相対的に多くなる。

【 0 2 4 7 】

伝達トランジスタ 6 3 0 は、ノード N b 2 の電圧、すなわちゲート電圧に応じて、ノード N b 0 と内部電源配線 1 3 8 とを電氣的に結合する。ノード N b 0 に昇圧動作部 6 2 0 によって供給された電荷を内部電源配線 1 3 8 に伝達するためには、昇圧動作部 6 2 0 によるチャージポンプ動作に同期させて、ノード N b 2 を昇圧する必要がある。

40

【 0 2 4 8 】

ゲート昇圧部 6 4 0 は、昇圧ユニット 6 5 0 と、昇圧ユニット 6 5 0 にサブクロック P c を供給するサブクロック生成部 6 5 5 と、サブクロック P d を供給するサブクロック生成部 6 6 0 と、サブクロック生成部 6 6 0 とノード N b 1 との間に電氣的に結合されるキャパシタ 6 7 0 と、インバータ 6 7 5 と、インバータ 6 7 5 の出力ノードとノード N b 2 との間に結合されるキャパシタ 6 8 0 と、ノード N b 2 に対して設けられる昇圧ユニット 6 9 0 とを有する。

【 0 2 4 9 】

昇圧ユニット 6 5 0 は、外部電源電圧 E x t . V d d とノード N b 1 との間に電氣的に結合される N M O S トランジスタ 6 5 2 と、サブクロック生成部 6 5 5 と N M O S トランジ

50

スタ652のゲートとの間に結合されるキャパシタ654と、外部電源電圧 $E_{xt} \cdot V_{dd}$ とNMOSトランジスタ652のゲートとの間に電氣的に結合されるNMOSトランジスタ656とを有する。NMOSトランジスタ656のゲートには外部電源電圧 $E_{xt} \cdot V_{dd}$ が入力される。

【0250】

サブクロック生成部655は、ポンプクロック $PCLK$ に基づいて生成されたサブクロック $P_a$ および制御信号 $PDB$ に応じて、サブクロック $P_c$ を生成する。サブクロック生成部660は、同様に、サブクロック $P_a$ と制御信号 $PDB$ とに応じて、サブクロック $P_d$ を生成する。

【0251】

インバータ675は、サブクロック $P_a$ に 응답して、ノード $N_{b1}$ および接地電圧 $V_{ss}$ のいずれかを、ノード $N_{12}$ と電氣的に結合する。昇圧ユニット690は、サブクロック $P_b$ に 응답して昇圧動作を実行し、外部電源電圧 $E_{xt} \cdot V_{dd}$ を昇圧してノード $N_{b1}$ に伝達する。サブクロック $P_b$ は、ポンプクロック $PCLK$ の反転クロックに相当する。

【0252】

昇圧ユニット690は、外部電源電圧 $E_{xt} \cdot V_{dd}$ とノード $N_{b2}$ との間に電氣的に結合されるNMOSトランジスタ692と、NMOSトランジスタ692のゲートと結合されてサブクロック $P_b$ の供給を受けるキャパシタ694と、外部電源電圧 $E_{xt} \cdot V_{dd}$ とノード $N_{b0}$ との間に電氣的に結合されるNMOSトランジスタ695と、外部電源電圧 $E_{xt} \cdot V_{dd}$ とNMOSトランジスタ692のゲートとの間に電氣的に結合されるNMOSトランジスタ696とを有する。NMOSトランジスタ695のゲートは、NMOSトランジスタ692のゲートと接続される。NMOSトランジスタ696のゲートには外部電源電圧 $E_{xt} \cdot V_{dd}$ が入力される。

【0253】

昇圧ユニット690は、さらに、外部電源電圧 $E_{xt} \cdot V_{dd}$ とNMOSトランジスタ692のゲートとの間に直列に接続されるNMOSトランジスタ697および698を有する。NMOSトランジスタ697および698の各々は、ダイオード接続される。NMOSトランジスタ695、697および698によって、NMOSトランジスタ692のゲート電圧の過昇圧が防止される。

【0254】

図22は、ポンプ回路600の動作を説明するためのタイミングチャートである。

【0255】

図22(a)には、制御信号 $PDB = L$ レベル、すなわちシングルブースト時における動作が示される。

【0256】

図22(a)を参照して、サブクロック $P_b$ は、ポンプクロック $PCLK$ の反転クロックに相当する。サブクロック $P_a$ は、サブクロック $P_b$ と比較して、その立下がりエッジは遅延しているが、立上がりエッジは揃っている。サブクロック $P_c$ は、サブクロック生成部655によって、シングルブースト時には、サブクロック $P_a$ と極性が反転したクロックとして生成される。また、サブクロック $P_d$ は、シングルブースト時には、Lレベル(接地電圧 $V_{ss}$ )に固定される。

【0257】

したがって、シングルブースト時において、ノード $N_{b1}$ の電圧 $V_{N_{b1}}$ は、 $E_{xt} \cdot V_{dd}$ に固定される。したがって、ノード $N_{b2}$ の電圧 $V_{N_{b2}}$ は、サブクロック $P_a$ に 응답して、 $E_{xt} \cdot V_{dd}$ と $2 \cdot E_{xt} \cdot V_{dd}$ の間をスイングするように昇圧される。これにより、昇圧動作部620によってノード $N_{b0}$ に生成される昇圧電圧 $V_{N_{b0}}$ は、伝達トランジスタ630を介して、内部電源配線138に伝達される。

【0258】

図22(b)においては、ダブルブースト時におけるポンプ回路600の動作が示される。

10

20

30

40

50

## 【0259】

図22(b)を参照して、ダブルブースト時においては、サブクロックPcは、サブクロック生成部655によって、サブクロックPaと同位相のクロックに設定される。また、サブクロック生成部660は、ダブルモード時においては、サブクロックPdをサブクロックPaの反転クロックに設定する。

## 【0260】

このような構成とすることにより、ノードNb1の電圧VNb1は、Ext.Vddと2・Ext.Vddとの間をスイングするように昇圧される。これにตอบสนองして、ノードNb2の電圧VNb2もExt.Vddと3・Ext.Vddとの間をスイングするように昇圧される。すなわち、伝達トランジスタ630のゲート電圧における昇圧量を、シングルブースト時よりも大きくできる。

10

## 【0261】

したがって、ダブルブースト時において、昇圧動作部620によってノードNb0に供給された電荷を、伝達トランジスタ630によって内部電源配線138に伝達して、ワード線電圧VPPの昇圧速度を相対的に速くすることができる。

## 【0262】

このような構成とすることにより、外部電源電圧が相対的に低く設定される(たとえば2.5V系外部電源電圧適用時)場合において、ポンプ回路600をダブルブースト動作させ、外部電源電圧が相対的に高い場合(たとえば2.7V系外部電源電圧適用時)において、ポンプ回路600をシングルブースト動作させることにより、異なるレベルの外部電源電圧の適用に対応して、ワード線電圧VPPの制御応答性を維持できる。具体的には、適用される外部電源電圧のレベルに応じて、制御信号PDBを設定すればよい。

20

## 【0263】

また、制御信号PDBに代えて、制御信号PDBと、動作テスト時にHレベルに設定されるテスト制御信号とのOR演算結果を入力する構成とすれば、ダブルブースト時の回路動作を試験的に実行できる。

## 【0264】

再び図18を参照して、スタンバイ昇圧ユニット570に用いられるポンプ回路610については、図21に示されたポンプ回路600の構成から、昇圧動作部620において、論理ゲート622, 624、トランジスタ626, 628およびポンプキャパシタC2の配置を省略した構成として適用される。さらに、ポンプキャパシタC1の容量は、ポンプ回路600よりも小さく設定される。ポンプ回路610においては、高速の応答性は要求されないので、外部電源電圧のレベルに応じた、チャージポンプキャパシタ容量の切換機能を具備しない構成としている。

30

## 【0265】

以上述べたように、実施の形態2に従う構成においては、異なるレベルの外部電源電圧の適用に対応して、相対的に低い外部電源電圧が適用された場合においても、内部電源電圧の制御応答性を確保することが可能である。

## 【0266】

[実施の形態3]

本発明の実施の形態に従う半導体記憶装置においては、I/O信号レベルおよび外部電源電圧について、複数の電圧レベルを適用可能な構成を有している。この結果、適用されるI/O信号レベルおよび外部電源電圧レベルが異なる半導体記憶装置に対する設計を、汎用的なものとすることができる。

40

## 【0267】

すでに説明したように、このような汎用的な設計を用いた場合においては、適用されるI/O信号レベルおよび外部電源電圧のレベル等の動作条件に応じて、内部電源回路の動作状態を切換えられるための制御信号のレベルが固定的に設定される。実施の形態3においては、適用された動作条件を、半導体記憶装置外部から容易に検知可能な構成について説明する。

50

## 【 0 2 6 8 】

図 2 3 は、実施の形態 3 に従うテストモード制御回路の構成を示す回路図である。

## 【 0 2 6 9 】

図 2 3 を参照して、実施の形態 3 に従うテストモード制御回路 7 0 0 は、アドレス信号を構成するアドレスビット A 0 ~ A m ( m : 自然数 ) の組合せに应答して、特定の動作テストが指示されたことを検知するテストモードエントリ回路 7 0 2 , 7 0 4 , 7 0 6 を有する。

## 【 0 2 7 0 】

テストモードエントリ回路 7 0 2 , 7 0 4 , 7 0 6 の各々は、共通の動作テストにエントリするための回路である。しかしながら、テストモードエントリ回路 7 0 2 , 7 0 4 , 7 0 6 のそれぞれにおいて、動作テスト指示が検知されるアドレスビットの組合せは異なる。テストモードエントリ回路 7 0 2 , 7 0 4 , 7 0 6 のそれぞれは、アドレスビット A 0 ~ A m の異なる特定の組合せにそれぞれ应答して、動作テスト指示を検知した場合に H レベル信号を出力する。テストモードエントリ回路 7 0 2 は、テストエントリ信号 T E a を出力する。

10

## 【 0 2 7 1 】

テストモード制御回路 7 0 0 は、さらに、論理ゲート 7 1 0 、 7 2 0 、 7 3 0 および 7 4 0 を有する。論理ゲート 7 1 0 は、テストモードエントリ回路 7 0 4 の出力信号と制御信号 L V V D との N A N D 結果を、テストエントリ信号 T E b として出力する。制御信号 L V V D は、たとえば、外部電源電圧が特定のレベルに設定されている場合に L レベルに設定され、それ以外の場合には H レベルに設定される。

20

## 【 0 2 7 2 】

論理ゲート 7 2 0 は、テストモードエントリ回路 7 0 6 の出力信号と制御信号 L V I O との N A N D 結果を、テストエントリ信号 T E c として出力する。制御信号 L V I O は、たとえば、I / O 信号レベルが特定のレベルに設定されている場合に L レベルに設定され、それ以外の場合には H レベルに設定される。

## 【 0 2 7 3 】

論理ゲート 7 3 0 は、テストエントリ信号 T E b および T E c の N A N D 演算結果を出力する。論理ゲート 7 4 0 は、論理ゲート 7 3 0 の出力信号とテストエントリ信号 T E a との O R 演算結果を、制御信号 T M S として出力する。制御信号 T M S の H レベルへの活性化に应答して、テストモードエントリ回路 7 0 2 , 7 0 4 , 7 0 6 に対応する動作テストが起動される。

30

## 【 0 2 7 4 】

制御信号 L V V D が L レベルに設定されている場合においては、テストモードエントリ回路 7 0 4 の出力信号にかかわらず、テストエントリ信号 T E b は、H レベルに固定される。この結果、テストモードエントリ回路 7 0 4 に対応するアドレスビット A 0 ~ A m の特定の組合せを与えた場合においても、対応する特定の動作テストへのエントリは論理ゲート 7 3 0 によって無効化される。すなわち、当該動作テストを起動することができない。

## 【 0 2 7 5 】

反対に、制御信号 L V V D が H レベルに設定されている場合には、テストモードエントリ回路 7 0 4 に対応するアドレスビット A 0 ~ A m の組合せを入力した場合には、テストエントリ信号 T E b は L レベルに変化する。したがって、制御信号 T M S を H レベルに活性化することができる。

40

## 【 0 2 7 6 】

したがって、テストモードエントリ回路 7 0 4 に対応するアドレスビット A 0 ~ A m の特定の組合せを与えた場合に、制御信号 T M S が活性化されるどうか、すなわち特定の動作テストを起動できるかどうかをチェックすることによって、適用される外部電源電圧が、特定のレベルであるか否かを判定することができる。

## 【 0 2 7 7 】

同様に、テストモードエントリ回路 7 0 6 に対応するアドレスビット A 0 ~ A m の特定の

50

組合せを与えた場合に、制御信号TMSが活性化されるどうか、すなわち特定の動作テストを起動できるかどうかをチェックすることによって、適用されるI/O信号レベルが、特定のレベルであるか否かを判定することができる。

【0278】

また、制御信号LVVDおよびLVIOの両方がLレベルに設定されている場合においても、テストエントリ信号TEaを活性化するための、テストモードエントリ回路702に対応するアドレスビットA0~Amの特定の組合せを与えることによって、制御信号TMSに対応する特定の動作テストを起動することができる。

【0279】

[実施の形態3の変形例]

実施の形態3の変形例においては、実施の形態2で説明した外部電源電圧直結モードに対応する外部電源電圧が適用されているかどうかを簡易に判定するための構成について説明する。

【0280】

図24は、実施の形態3の変形例に従う外部電源電圧レベル検出回路760の構成を示す回路図である。

【0281】

図24を参照して、外部電源電圧レベル検出回路760は、動作テスト時において、外部パッド750とノードNpとの間を電氣的に結合するためのトランジスタスイッチ765と、ノードNpおよび接地電圧Vssの間に電氣的に結合されるトランジスタスイッチ767とを有する。

【0282】

トランジスタスイッチ765は、テスト制御信号/TEをゲートに受けるPMOSトランジスタで構成される。テスト制御信号/TEは、内部電源電圧発生回路116の動作を確認するために、外部パッド750によって参照電圧VREFPを直接入力する動作テスト実行時に、Lレベルに活性化される。

【0283】

内部電源電圧発生回路416は、図16に示した構成のうちの一部を抜粋して表記しており、外部電源電圧Ext.Vddを受けて、周辺回路電源電圧VDDPを生成する。上述したように、外部電源電圧直結モードでは、制御信号LVVDがHレベルに設定されるので、ドライバトランジスタ445によって、外部電源電圧Ext.Vddと内部電源配線118とが直接結合される。すなわち、コンパレータ430における電圧比較動作を行なうことなく、周辺回路電源電圧VDDPは、外部電源電圧Ext.Vddと同一の電圧レベルに設定される。

【0284】

VREFP発生回路770は、図14および図15にそれぞれ示された、周辺回路電源電圧VDDPに対応する参照電圧発生回路410およびバッファ回路412を総括的に示したものである。すなわち、制御信号LVVDがHレベルに設定される外部電源電圧直結モードでは、VREFP発生回路の動作電流は遮断されて、ノードNpに対する参照電圧VREFPの生成は停止される。

【0285】

テスト制御信号/TEがLレベルに活性化された場合に、制御信号LVVDがHレベルに設定されていれば、すなわち外部電源電圧直結モードが適用されている場合には、外部パッド750に対してリーク電流が生じる。したがって、外部パッド750に生じるリーク電流を検出することによって、適用される外部電源電圧のレベルが、外部電源電圧直結モードに対応しているか否かを容易に判定することができる。

【0286】

今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される

10

20

30

40

50

。【0287】

【発明の効果】

請求項1および2記載の半導体記憶装置は、ディープパワーダウンモードにおいて、参照電圧生成部および内部電源電圧生成部の動作を停止させた状態で内部電源電圧を生成できるので、内部電源回路自体の消費電力を削減することができるとともに、一般的なモードレジスタによるモード設定に基づいて、ディープパワーダウンモードへの移行可否を選択的に設定できる。さらに、内部回路が不安定な状態である期間を避けて、通常モードからディープパワーダウンモードに移行できる。

【0290】

請求項3記載の半導体記憶装置は、ディープパワーダウンモードにおいても外部制御信号のレベル遷移を正確に反映して内部制御信号を生成することができる。したがって、請求項2記載の半導体記憶装置が奏する効果に加えて、ディープパワーダウンモードから通常モードへの復帰を確実に実行できる。

【0291】

請求項4記載の半導体記憶装置は、バッファ部を介して参照電圧を内部電源電圧発生部に伝達するので、請求項1記載の半導体記憶装置が奏する効果に加えて、ノイズ等の影響による参照電圧の変動を抑制できる。

【0292】

請求項5および6記載の半導体記憶装置は、請求項4記載の半導体記憶装置が奏する効果に加えて、ディープパワーダウンモードから通常モードへの復帰時において、参照電圧を高速に立ち上げることができるので、内部電源電圧を速やかに復帰させることができる。

【図面の簡単な説明】

【図1】 本発明の実施の形態1に従う半導体記憶装置の全体構成を示す概略ブロック図である。

【図2】 通常モードおよびディープ・パワーダウンモードにおける内部電源電圧の設定を説明する図である。

【図3】 モードレジスタセットに用いられるアドレスビットの構成を説明する図である。

【図4】 ディープ・パワーダウンモードへのエントリ方式の一例を説明するタイミングチャートである。

【図5】 ディープ・パワーダウンモードへのエントリ方式の他の例を説明するタイミングチャートである。

【図6】 図1に示される内部電源回路の構成を示すブロック図である。

【図7】 図6に示される参照電圧発生回路の構成を示す回路図である。

【図8】 図6に示されるバッファ回路の構成を示す回路図である。

【図9】 図6に示される外部入力信号用参照電圧発生回路の構成を示す回路図である。

【図10】 内部クロックイネーブル信号生成回路の構成を示す回路図である。

【図11】 通常モードへの復帰時に応答性の高いバッファ回路の構成を示す回路図である。

【図12】 パワーオンリセット信号生成回路の構成を示す回路図である。

【図13】 外部電源電圧レベルに対応した、内部電源電圧の設定レベルの相違を説明する図である。

【図14】 実施の形態2に従う、周辺回路電源電圧に対応する参照電圧発生回路の構成を示す回路図である。

【図15】 実施の形態2に従う、バッファ回路への電流供給を説明する回路図である。

【図16】 実施の形態2に従う内部電源電圧発生回路の構成を示す回路図である。

【図17】 実施の形態2に従う内部電源電圧発生回路の構成を示す回路図である。

【図18】 実施の形態2に従う電圧昇圧回路の構成を示すブロック図である。

10

20

30

40

50

- 【図19】 図18に示されるリング発振器の構成を示す回路図である。  
 【図20】 図18に示される非常時検出部の構成を示す回路図である。  
 【図21】 図18に示されるポンプ回路の構成を示す回路図である。  
 【図22】 図21に示されるポンプ回路の動作を説明するためのタイミングチャートである。  
 【図23】 実施の形態3に従うテストモード制御回路の構成を示す回路図である。  
 【図24】 実施の形態3の変形例に従う外部電源電圧レベル検出回路の構成を示す回路図である。

【符号の説明】

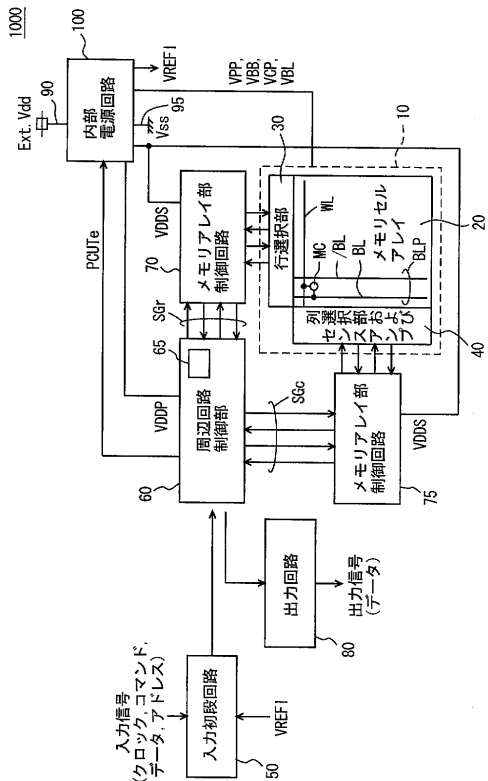
10 メモリアレイ部、20 メモリセルアレイ、30 行選択部、40 センスアンプ  
 および列選択部、50 入力初段回路、60 周辺回路制御部、65 モードレジスタ、7  
 0, 75 メモリアレイ部制御回路、80 出力回路、90 外部電源配線、95 接地  
 配線、100 内部電源回路、110, 120, 130, 410 参照電圧発生回路、1  
 12, 122, 132, 412 バッファ回路、116, 126, 416, 426 内部  
 電源電圧発生回路、118, 128, 138, 168 内部電源配線、136 電圧昇圧  
 回路、160 基板電圧発生回路、270 外部入力信号用参照電圧発生回路、280  
 内部クロックイネーブル信号生成回路、300 パワーカット信号生成回路、306 レ  
 ベル変換回路、310 パワーオンリセット信号生成回路、440, 460 内部電源電  
 流供給部、442, 445, 462, 465 ドライバトランジスタ、500 非常時検  
 出部、510 アクティブ時検出部、520 スタンバイ時検出部、530 アク  
 ティブ検出部制御回路、545 昇圧ユニット制御回路、550 アクティブ昇圧ユニ  
 ャット、555 リング発振器、570 スタンバイ昇圧ユニット、575 リング発振器、  
 600a, 600b, 610 ポンプ回路、620 昇圧動作部、630 伝達トランジ  
 スタ、640 ゲート昇圧部、700 テストモード制御回路、702, 704, 706  
 テストモードエントリ回路、750 外部パッド、760 外部電源電圧レベル検出回  
 路、1000 半導体記憶装置、C1, C2 ポンプキャパシタ、EXTCKE 外部クロ  
 ックイネーブル信号、Ext.Vdd 外部電源電圧、INTCKE 内部クロックイネ  
 ーブル信号、PCUTE パワーカット信号、VDDP 周辺回路電源電圧、VDDS  
 メモリアレイ電源電圧、VPP ワード線電圧、VREFI 外部入力信号用参照電圧、  
 Vss 接地電圧。

10

20

30

【図1】



【図2】

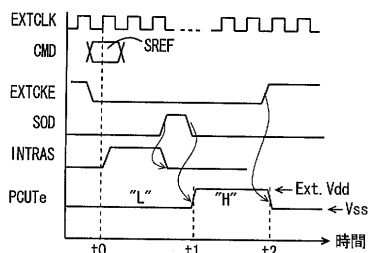
電源名	通常モード	ディープパワーダウンモード
VDDP	Ext. Vdd (2.5V系) 2.5V (2.7V系)	Ext. Vdd
VDDS	2.0V	Ext. Vdd-Vtn
VBL, VCP	1.0V	Open
VBB	-1.0V	0V (Vss)
VPP	3.7V	Ext. Vdd (または Ext. Vdd-Vtn)

【図3】

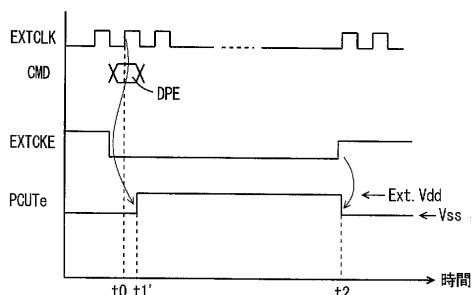
BA1	BA0	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0
0	0	0	0	WM	0	0	LTMODE		BT	BL			

ディープパワーダウンモード  
エントリに使用

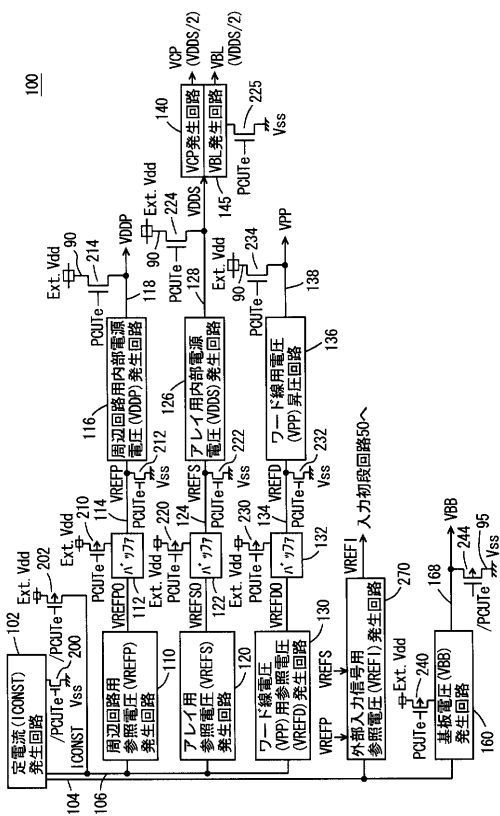
【図4】



【図5】

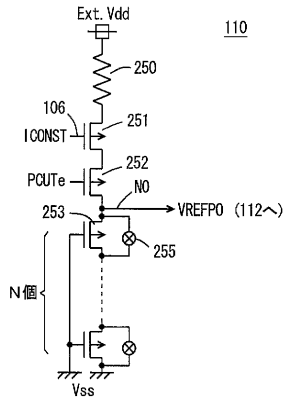


【図6】

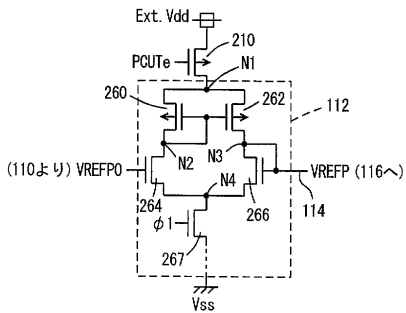




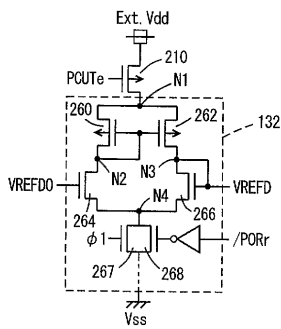
【図 7】



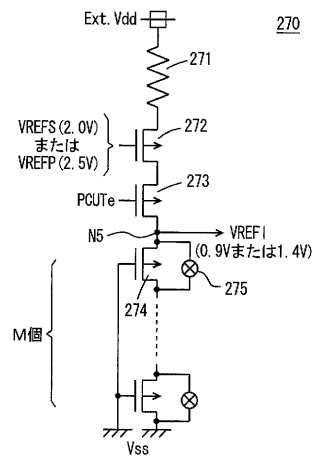
【図 8】



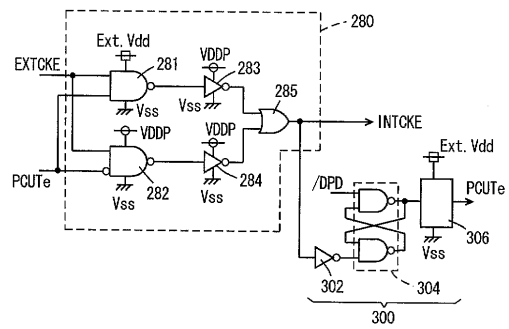
【図 11】



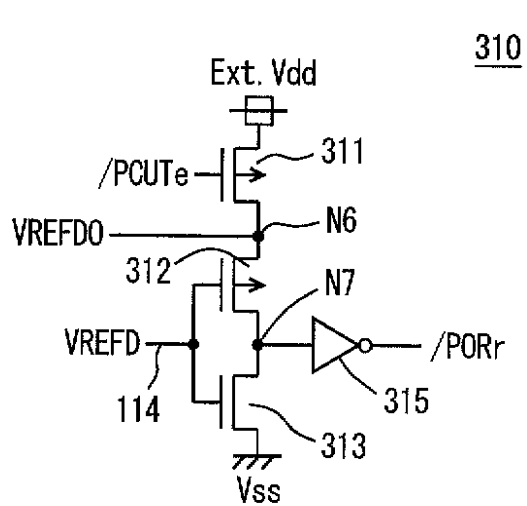
【図 9】



【図 10】



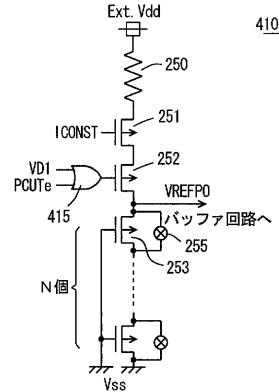
【図 12】



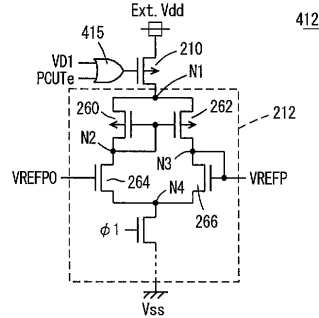
【図13】

電源名	2.5V系Ext. Vdd	2.7V系Ext. Vdd	Ext. Vddレベルによる相違
VDD5	2.0V	2.0V	2.5V系ではコンパレータとドライバとの対応性アップ
VDDP	Ext. Vdd	2.5V	2.5V系ではドライバを介してExt. VddとVDDP配線を通結するとともに、ドライバも2倍以上にサイズアップ
VPP	3.7V	3.7V	2.5Vモード時に、アクティブポンプキャパシタのサイズアップ。またスタンバイ・アクティブ共にゲートを2段階圧
VBB	-1V	-1V	同じ

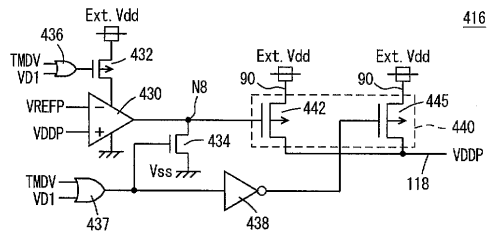
【図14】



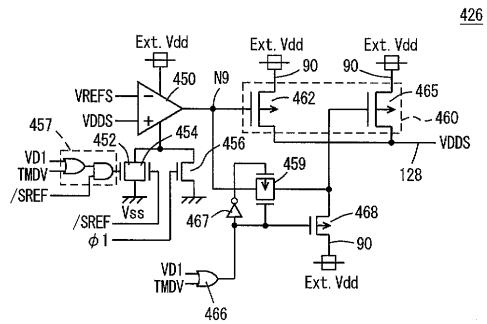
【図15】



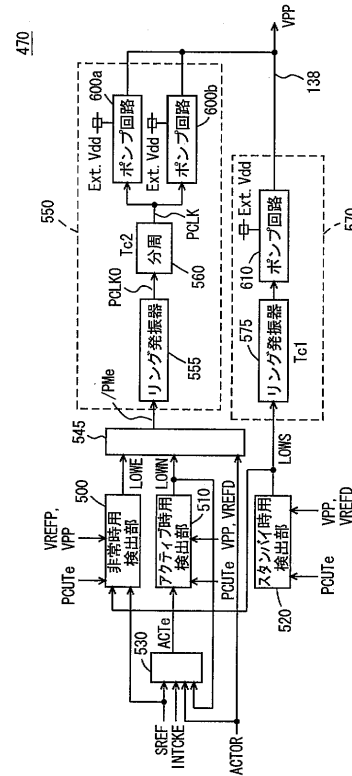
【図16】



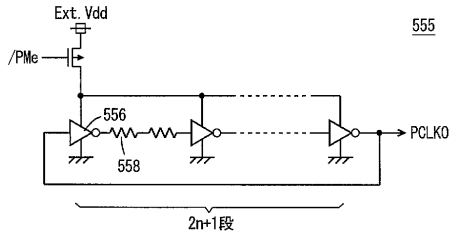
【図17】



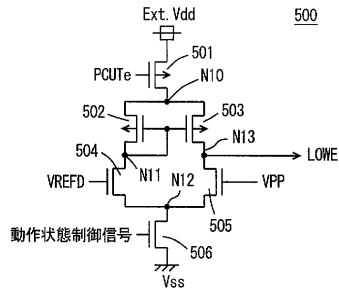
【図18】



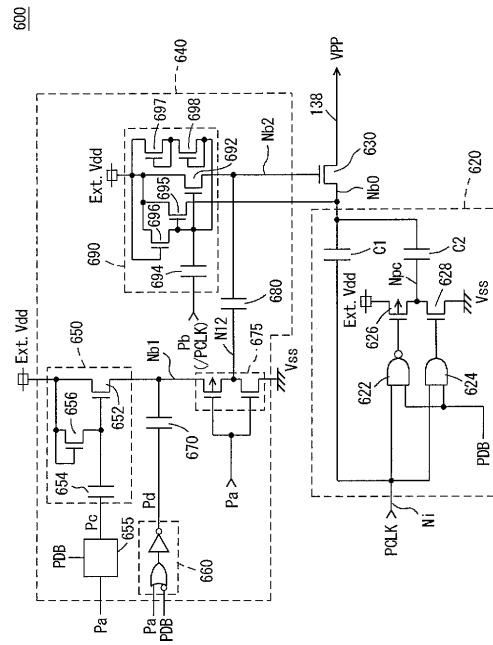
【図19】



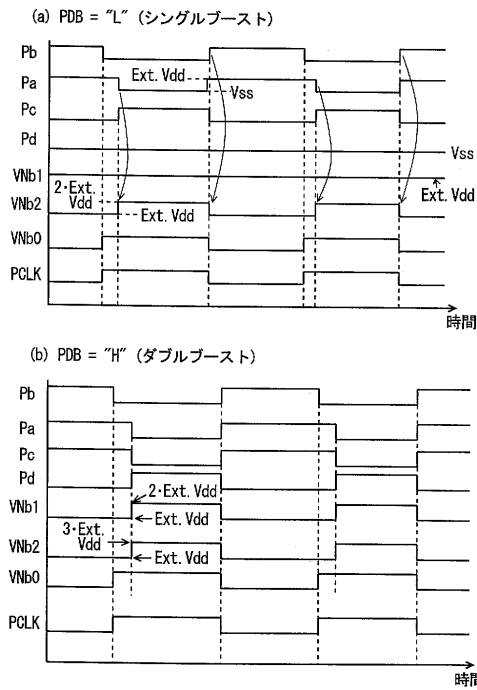
【図20】



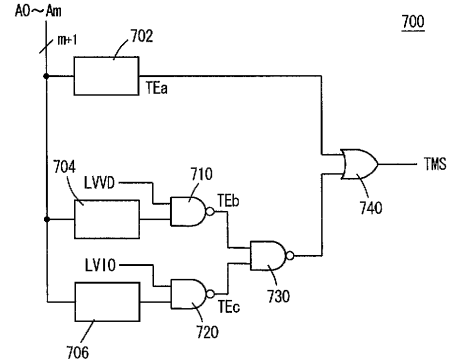
【図21】



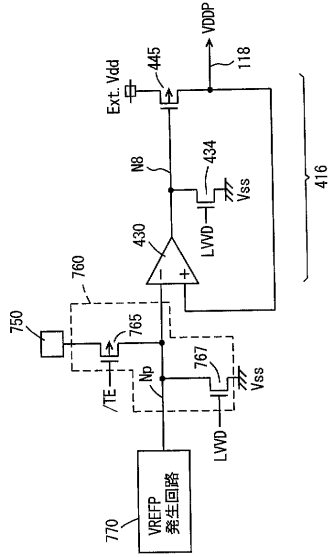
【図22】



【図23】



【 図 2 4 】



---

フロントページの続き

- (74)代理人 100124523  
弁理士 佐々木 真人
- (74)代理人 100098316  
弁理士 野田 久登
- (72)発明者 岡本 武郎  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 山内 忠昭  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
- (72)発明者 松本 淳子  
東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内

審査官 堀田 和義

- (56)参考文献 欧州特許出願公開第01100089(E P, A1)  
特開2002-124082(J P, A)

- (58)調査した分野(Int.Cl., D B名)  
G11C 11/4074