

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4247048号
(P4247048)

(45) 発行日 平成21年4月2日(2009.4.2)

(24) 登録日 平成21年1月16日(2009.1.16)

(51) Int.Cl. F I
H O 2 M 3/28 (2006.01) H O 2 M 3/28 L

請求項の数 1 (全 11 頁)

(21) 出願番号	特願2003-160891 (P2003-160891)	(73) 特許権者	000001133
(22) 出願日	平成15年6月5日(2003.6.5)		株式会社小糸製作所
(65) 公開番号	特開2004-364433 (P2004-364433A)		東京都港区高輪4丁目8番3号
(43) 公開日	平成16年12月24日(2004.12.24)	(74) 代理人	100088155
審査請求日	平成17年9月29日(2005.9.29)		弁理士 長谷川 芳樹
		(74) 代理人	100092657
			弁理士 寺崎 史朗
		(74) 代理人	100108257
			弁理士 近藤 伊知良
		(72) 発明者	市川 知幸
			静岡県静岡市清水北脇500番地 株式会
			社小糸製作所 静岡工場内
		(72) 発明者	太田 真司
			静岡県静岡市清水北脇500番地 株式会
			社小糸製作所 静岡工場内

最終頁に続く

(54) 【発明の名称】 直流電圧変換回路

(57) 【特許請求の範囲】

【請求項1】

トランス及びスイッチング素子を含むフライバック型の回路構成を有し、該スイッチング素子がオン状態である間にトランスがエネルギーを蓄え、該スイッチング素子がオフ状態の間に該エネルギーを二次巻線から出力するとともに、該エネルギーを二次巻線から全て出力し終わった時点でスイッチング素子がオン状態となるように電流境界状態での制御を行う制御手段を備えた直流電圧変換回路において、

上記スイッチング素子がNチャンネルMOS型FETであり、そのドレイン-ソース間電圧を微分用コンデンサによって微分してエッジ検出を行うことで上記トランスの二次側電流がゼロになる吐出終了時点を検出し、上記制御手段によりスイッチング周波数を変化させており、

上記制御手段は、

上記吐出終了時点を検出するタイミング検出部と、

上記タイミング検出部からの信号に応じて周波数が可変制御されるランプ波を発生させるランプ波発生部と、

上記ランプ波発生部からのランプ波と制御電圧をレベル比較して上記スイッチング素子に制御信号を送出する演算制御部と、

を備え、

上記スイッチング素子のドレインが上記トランスの1次巻線に接続され、ソースがグラウンドに接続されており、

上記タイミング検出部は、

上記微分用コンデンサを介して上記スイッチング素子のドレインに接続されると共に、抵抗を介して所定電圧の電源に接続されたゲートと、当該電源に接続されたドレインと、グラウンドに接続されたソースとを有するタイミング検出用トランジスタと、

上記タイミング検出用トランジスタのゲートに接続されたカソードとグラウンドに接続されたアノードとを有するダイオードと、

を有し、

上記ランプ波発生部は、

所定電圧の電源とグラウンドとの間に接続されたランプ波用コンデンサと、

上記ランプ波用コンデンサの電源側の端子に接続されたドレインと、上記ランプ波用コンデンサのグラウンド側の端子に接続されたソースと、上記タイミング検出用トランジスタのドレインに接続されたゲートとを有するランプ波用トランジスタと、

を有し、

上記タイミング検出部によって上記吐出終了時点が検出されるまでの間、上記ランプ波用コンデンサが充電されて、上記タイミング検出部によって上記吐出終了時点が検出されたときに、上記ランプ波用コンデンサが放電されることによって、上記ランプ波が発生される

ことを特徴とする直流電圧変換回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、フライバック型の直流電圧変換回路において、回路効率を高め、コストを低減するための技術に関する。

【0002】

【従来の技術】

直流入力電圧を所望の直流電圧に変換する電圧変換回路（所謂DC-DCコンバータ）は、例えば、放電灯（メタルハライドランプ等）の点灯回路に用いられ、フライバック型の構成形態が知られており、トランス及びその一次側に設けられたスイッチング素子を備え、該素子の駆動信号についてデューティ等を変化させることで出力制御が行われる。つまり、変換用トランスの一次巻線にスイッチング素子を接続して該素子のオン/オフ制御を行うとともに、トランスの二次側に整流ダイオード及び平滑コンデンサを設けた構成を備えている。

【0003】

そして、トランスを流れる電流が境界状態となるようにスイッチング素子を動作させるようにした構成形態が知られている（例えば、特許文献1参照）。

【0004】

尚、トランスに蓄えられたエネルギーを該トランスの二次側へ完全に放出した時点でスイッチング素子がオン状態となるように制御する場合（電流境界モード）には、整流ダイオードの電流がゼロアンペアになった後にスイッチング素子がオン状態となるので、逆回復時間での電力損失が発生しないことや、比較的高い（数百キロヘルツ以上）の高周波スイッチングの場合に電気効率が良い（電力損失が少ない）といった利点がある。

【0005】

【特許文献1】

特開平8-195290号公報

【0006】

【発明が解決しようとする課題】

ところで、電流境界モードを実現するためのスイッチング周波数は、常に一定している訳ではなく、入力電圧の変動や負荷変動の影響によって変化することが問題となる。

【0007】

例えば、放電灯点灯回路の場合、バッテリー電圧が変動したり、あるいは負荷である放電灯

10

20

30

40

50

を点灯させた直後の過渡状態と、放電灯の定常点灯状態とでは放電灯への投入電力が異なり、それらの影響を受けて電流境界モードとなる周波数が変化する。

【0008】

従って、電流境界状態を目標状態として、これに近づけるようにスイッチング周波数を制御するためにはトランスの二次側電流がゼロになる吐出終了時点を検出してスイッチング周波数を制御する必要がある。しかし、そのための検出回路が複雑であったり、高耐圧の回路素子等を要したのでは、小型化や低コスト化等に支障を来す虞が生じる。

【0009】

そこで、本発明は、フライバック型構成の直流電圧変換回路において、電流境界状態での制御を実現するとともに、そのために著しいコスト上昇を伴わないようにすることを課題とする。

10

【0010】

【課題を解決するための手段】

本発明は、上記した課題を解決するために、下記に示す構成を備えたものである。

【0011】

・トランス及びスイッチング素子を含むフライバック型の回路構成を有し、該スイッチング素子がオン状態である期間にトランスがエネルギーを蓄え、該スイッチング素子がオフ状態の期間に該エネルギーを二次巻線から出力するとともに、該エネルギーを二次巻線から全て出力し終わった時点でスイッチング素子がオン状態となるように電流境界状態での制御を行う制御手段を備えていること。

20

【0012】

・スイッチング素子にかかる電圧を微分してトランスの二次側電流がゼロになる吐出終了時点を検出して制御手段によりスイッチング周波数を変化させること。

【0013】

従って、本発明によれば、スイッチング素子にかかる電圧を微分してトランスの二次側電流に係る吐出終了時点を検出してスイッチング周波数を制御することにより、電流境界モードでの駆動制御を実現することができ、しかも、そのために回路構成の複雑化等の弊害を伴うことがない。

【0014】

【発明の実施の形態】

30

本発明に係る直流電圧変換回路は、トランス及びスイッチング素子を含むフライバック型の回路構成を有する。そして、電流境界モードでの駆動制御を実現することにより、電気効率の向上や、回路装置の小型化、低コスト化が可能であり、例えば、放電灯点灯回路（特に、車両用灯具の光源として用いられる、メタルハライドランプ等の放電灯において、その点灯回路を含む装置の設置スペースに制約が課せられる場合の当該点灯回路）に適用することができるが、これに限らず、電源回路等の各種用途に広く適用できることは勿論である。

【0015】

図1は本発明に係る直流電圧変換回路を放電灯点灯回路に適用する場合の基本構成例を示すものである。

40

【0016】

放電灯点灯回路1は、直流電源2、直流-直流変換回路3、直流-交流変換回路4、起動回路5、制御回路7を備えている。

【0017】

直流-直流変換回路3は、直流電源2からの電源電圧を受けて電圧変換を行うために設けられる。即ち、直流電源2からの直流入力電圧（これを「 V_{in} 」と記す。）を受けて所望の直流電圧に変換するものであり、トランス及びスイッチング素子を用いたフライバック型の回路構成を有する（後で詳述する。）。

【0018】

直流-交流変換回路4は、直流-直流変換回路3の出力電圧を交流電圧に変換した後で起

50

動回路 5 を介して当該電圧を放電灯 6 に供給するために設けられている。例えば、4 つの半導体スイッチング素子を用いたブリッジ型回路とその駆動回路を備えており、2 組のスイッチング素子対を相反的にオン/オフ制御することによって、交流電圧を出力するものである。

【 0 0 1 9 】

起動回路（所謂スタータ）5 は、放電灯 6 に対する起動用の高電圧パルス信号（起動用パルス）を発生させて該放電灯に起動をかけるために設けられており、該信号は直流 - 交流変換回路 4 の出力する交流電圧に重畳されて放電灯 6 に印加される。

【 0 0 2 0 】

制御回路 7 は、放電灯 6 にかかる電圧や該放電灯に流れる電流又はそれらに相当する電圧や電流についての検出信号を受けて放電灯 6 に投入する電力を制御するとともに直流 - 直流変換回路 3 の出力を制御するものである。例えば、直流 - 直流変換回路 3 の出力電圧や出力電流を検出するための検出部 8 によって取得される検出信号を受けて、放電灯 6 の状態に応じた供給電力を制御するために設けられており、直流 - 直流変換回路 3 に対して制御信号を送出することで、その出力電圧を制御する。また、直流 - 交流変換回路 4 に対して制御信号を送出して交番出力に係る極性切換について制御を行う。尚、放電灯 6 の点灯前に該放電灯への供給電圧をあるレベルまで高めることで、放電灯の点灯を確実にするための出力制御を行うことも制御回路 7 の役目である。また、直流 - 直流変換回路 3 に係るスイッチング制御方式として、PWM（パルス幅変調）方式、PFM（パルス周波数変調）方式等が知られている。

【 0 0 2 1 】

図 2 は、フライバック式 DC - DC コンバータの基本構成例 9（上記直流 - 直流変換回路 3 との関係では、放電灯への給電系を構成する回路部分に相当する。）について要部を示すものであり、下記の要素を備えている（括弧内の数字は符号を示す。）。

【 0 0 2 2 】

- ・トランス（10）
- ・スイッチング素子（11）
- ・整流ダイオード（12）
- ・平滑コンデンサ（13）。

【 0 0 2 3 】

図中に示す端子「Ti+」、「Ti-」は入力端子であって上記直流入力電圧「Vin」が供給され、両端子間にはコンデンサ 14 が設けられている。また、「To+」、「To-」は出力端子であって変換後の出力電圧（これを「Vout」と記す。）が後段回路（直流 - 交流変換回路）に送出される。

【 0 0 2 4 】

トランス 10 の一次巻線 10 p には、スイッチング素子 11 が接続されており、該素子には制御回路 7 からの駆動信号が供給される。図には、スイッチング素子 11 として、N チャンネル MOS 形 FET（電界効果トランジスタ）が用いられており、そのドレインがトランス 10 の一次巻線 10 p に接続され、FET のソースが入力端子「Ti-」に接続されている。

【 0 0 2 5 】

トランス 10 の二次側には、整流ダイオード 12 及び平滑コンデンサ 13 が設けられている。つまり、トランス 10 の二次巻線 10 s の一端が整流ダイオード 12 のアノードに接続され、該巻線 10 s の他端が、端子「Ti-」と「To-」とを繋ぐラインに接続されている。そして、整流ダイオード 12 のカソードが端子「To+」及び平滑コンデンサ 13 の一端に接続されている。尚、平滑コンデンサ 13 は、出力端子「To+」、「To-」の間に設けられていて、該コンデンサの両端電圧が Vout として出力される。

【 0 0 2 6 】

図中の「Ip」はトランス 10 の一次側電流、「Is」はトランス 10 の二次側電流をそれぞれ示しており、「VG」は FET のゲート駆動用信号電圧（制御回路 7 から供給される

10

20

30

40

50

制御電圧に相当する。)を示している。

【0027】

図3はフライバック型の回路動作について説明するための図であり、電流境界モードにおいて、上からVG、Ip、Isの順にそれぞれの波形を概略的に示したものである。

【0028】

トランス10に蓄えられたエネルギーを該トランス10の二次側へ完全に放出した時点でスイッチング素子11がオン状態となるように制御され、図示のように、トランス10の二次側電流Isがゼロアンペアになる時にスイッチング素子11がオンし、VGの立ち上がり開始時点でIp、Isがともにゼロアンペアとなる。

【0029】

トランス10の二次側に設けられた整流ダイオード12の逆回復時間における電力損失に着目した場合に、電流境界モードでは、整流ダイオード12の電流がゼロアンペアになってからスイッチング素子11がオン状態となるので、逆回復時間での電力損失が発生しない。また、DC-DCコンバータ全体としての効率については、数百キロヘルツ以上の高周波スイッチングにおいて電流境界モードで最も電気効率が低いことが判明しているが、そのためにはスイッチング周波数の制御が必要となる。

【0030】

直流入力電圧「Vin」の変動や負荷変動の影響により、電流境界状態を維持するための周波数は変化し、負荷が重い場合(入力電圧が低い場合や出力電力が大きい場合)には、1回のスイッチング動作でトランスに蓄えられるエネルギー量が大きくなるため、スイッチング素子のオン時間が長くなってスイッチング周波数が低くなる。但し、オン時間があまりに長いとトランスの磁気飽和が起きるためスイッチング周波数には下限値が決められる。

【0031】

従って、スイッチング周波数の制御については、重負荷時に下限値又はこれに近い値となり、また、軽負荷又は定常負荷時には電流境界状態を達成すべくスイッチング周波数が変化するが、そのためには、トランスの二次側電流がゼロになる吐出終了時点を検出する必要がある。

【0032】

本発明では、スイッチング素子の非制御端子にかかる電圧を微分することにより吐出終了時点を検出してスイッチング周波数を変化させる。尚、トランスの二次電圧を微分して検出する方法も挙げられるが、スイッチング素子の方が発生する電圧が低いので耐圧やコスト等の面で有利である。

【0033】

図4は、本発明に係る直流電圧変換回路の構成例15を示したものであり、直流-直流変換部及び制御部の要部について概要を示している。尚、本例では、PWM制御方式(制御パルスのデューティサイクルを変化させる方式)を採用している。また、トランス10については、その一次巻線10pと二次巻線10sの一端同士が接続されてNチャンネルFETのドレインに接続されている点において、図2に示した構成と異なるが本質的な相違はない。

【0034】

図中に示す「VDS」はスイッチング素子であるFETのドレイン-ソース間電圧、「VGS」はFETのゲート-ソース間電圧をそれぞれ示し、「Vs」はトランス10の二次電圧を示す。

【0035】

制御手段16は、トランス10においてスイッチング素子11のオン期間に蓄えられたエネルギーをスイッチング素子11のオフ期間において二次巻線10sから全て出力し終えた時点で再びスイッチング素子11がオン状態となるように制御する、上記電流境界モードでの制御を実現するために設けられており、下記に示す構成要素を備えている(括弧内の数字は符号を示す)。

10

20

30

40

50

【 0 0 3 6 】

- ・電力演算部 (1 7)
- ・演算制御部 (1 8)
- ・タイミング検出部 (1 9)
- ・ランプ波発生部 (2 0)。

【 0 0 3 7 】

電力演算部 1 7 は、トランス 1 0 の出力電圧や電流を検出するための検出回路 (図示せず。) からの検出信号に基いて出力制御を行うために設けられている。回路構成については制御形態に依存するが、例えば、電力演算用エラーアンプ 2 1 はトランス 1 0 の出力段に設けられた分圧抵抗によって検出される出力電圧や、トランス 1 0 の出力段に設けられた電流検出用抵抗によって電圧変換されて検出される出力電流から電力を求めて制御電圧信号を生成して P W M コンパレータ 2 2 の正入力端子に送出する。

10

【 0 0 3 8 】

演算制御部 1 8 は、ランプ波発生部 2 0 から供給されるランプ波と電力演算部 1 7 からの制御電圧をレベル比較してスイッチング素子 1 1 に制御信号を送出する。

【 0 0 3 9 】

P W M コンパレータ 2 2 は演算制御部 1 8 を構成しており、その負入力端子には、後述するランプ (ramp) 波発生部 2 0 からのランプ波 (あるいは鋸歯状波) が供給される。該ランプ波の信号とエラーアンプ 2 1 からの信号とのレベル比較に基く矩形波状パルス信号 (P W M パルス) が出力されて図示しないバッファ等を介して上記スイッチング素子 1 1 の制御端子 (F E T ではゲート) に送出される。

20

【 0 0 4 0 】

タイミング検出部 1 9 は、トランス 1 0 の二次側電流 I_s について 0 A になるタイミングを検出するものである。電流境界モードでは、トランス 1 0 に蓄えられたエネルギーを二次側へ完全に放出した時点でスイッチング素子 1 1 がオン状態となるように制御する必要があるため、スイッチング素子 1 1 にかかる電圧をコンデンサによって微分して二次側電流 I_s に係る吐出終了時点を検出する。

【 0 0 4 1 】

本例では、スイッチング素子 1 1 として F E T を用いており、そのドレイン - ソース間電圧 V_{DS} の波形に基いて二次側電流に係る吐出し終了のタイミング (I_s がゼロになる時点) をコンデンサ 2 3 で微分することにより検出している。尚、二次電圧 V_s に基いてタイミング検出を行う回路形態では、例えば、G N D (グランド) 電位に対して正及び負の電圧が発生するために、後段回路部への信号入力に関して、正電圧及び負電圧のリミッタが必要になる分、構成が複雑化する。これに対して、 V_{DS} を検出する回路形態では、 V_{DS} のレベルが G N D 電位に対して常に正の電圧であるため、 V_s を用いた回路形態に比べて負の電圧が発生し難い。

30

【 0 0 4 2 】

コンデンサ 2 3 の一端は F E T のドレインに接続され、その他端 (以下、この電位を「 V_{23} 」と記す。) が抵抗 2 4 を介して N P N トランジスタ 2 5 のベースに接続されている。

【 0 0 4 3 】

ダイオード 2 6 は G N D 以下の電圧をクランプするために設けられている。該ダイオードのカソードはコンデンサ 2 3 と抵抗 2 4 の接続点に接続されるとともに、ダイオード 2 7 や抵抗 2 8 を介して所定電圧 (これを「 V_{cc} 」と記す。) の電源端子 2 9 に接続されている。また、ダイオード 2 6 のアノードは接地されている。尚、ダイオード 2 7 のアノードがダイオード 2 6 のカソードに接続され、ダイオード 2 7 のカソードが電源端子 2 9 に接続されている。

40

【 0 0 4 4 】

エミッタ接地とされる N P N トランジスタ 2 5 のコレクタは、抵抗 3 0 を介して電源端子 2 9 に接続されるとともに、N P N トランジスタ 3 1 のベースに接続されている。

【 0 0 4 5 】

50

ランプ波発生部 20 は、タイミング検出部 19 からの信号に応じて周波数が可変制御されるランプ波を発生させるものである。本例では、コンデンサ 32 とその充放電動作を制御する部分を備え、タイミング検出部 19 によって上記吐出終了時点が検出されるまでの間、コンデンサ 32 が充電され、タイミング検出部 19 によって上記吐出終了時点が検出されたときにトランジスタ 31 がオン状態となってコンデンサ 32 が放電されるように構成されている。

【0046】

コンパレータを構成する演算増幅器 33 において、その非反転入力端子には、分圧抵抗 34、34 による所定電圧が供給され、また、その反転入力端子にはコンデンサ 32 の端子電圧が供給される。そして、演算増幅器 33 の出力端子が抵抗 35 を介してコンデンサ 32 に接続されるとともにダイオード 36 のカソードに接続されており、該ダイオード 36 のアノードがコンデンサ 32 の一端に接続されている。尚、演算増幅器 33 の非反転入力端子と出力端子との間には、抵抗 37 が介挿されている。

10

【0047】

コンデンサ 32 に対して並列に設けられた NPN トランジスタ 31 はエミッタ接地とされ、そのコレクタがコンデンサ 32 の一端（非接地側端子）に接続されており、タイミング検出部 19 によって上記吐出終了時点が検出されたときに、トランジスタ 31 のオンによりコンデンサ 32 の放電経路が形成される。これにより、コンデンサ 32 の充放電動作が電流境界モードでの周波数を実現すべく行われ、該コンデンサの端子電圧がランプ波として PWM コンパレータ 22（の負入力端子）に送出される。尚、ランプ波の周波数下限値については、トランジスタ 31 のオフ状態でコンデンサ 32 の端子電圧が演算増幅器 33 の非反転入力端子の電位を超えたときにコンデンサ 32 が放電するタイミングにより規定される。

20

【0048】

図 5 は、動作説明のための波形図であり、図中に示す各記号の意味は以下の通りである。

【0049】

「V_{ramp}」= ランプ波発生部 20 により生成されるランプ波を示す信号レベル

「V_{err}」= エラーアンプ 21 の出力信号レベル

尚、「I_p」、「I_s」、「V_DS」、「V₂₃」、「V_GS」については、既述の通りである。

【0050】

また、t₁ 乃至 t₅ に示す各時刻の意味は下記の通りである。

30

【0051】

「t₁」= 一次側電流 I_p の通電開始時点

「t₂」= V_DS の立ち上り時点

「t₃」= V_DS の立ち下り時点

「t₄」= コンデンサ 32 の放電開始時点

「t₅」= コンデンサ 32 の放電終了時点

尚、図では、説明の便宜上 V_{err} を一定としており、V_{ramp} については、時刻 t₁ からコンデンサ 32 が充電されて一定の傾斜をもって次第に増加していき、時刻 t₄ でコンデンサ 32 が放電されてレベルが下がり時刻 t₅ でゼロに戻るといった動作が繰り返される。

40

【0052】

I_s に係る吐出終了時には、V_DS について共振が生じるため、V_DS をコンデンサ 23 によって微分してエッジ検出を行うことで共振開始を示す時点を知ることができる。つまり、タイミング検出部 19 は V_DS のネガティブエッジ (Negative Going Edge) の検出を行い、クランプ用ダイオード 26 により GND 以下の検出電圧がクランプされてトランジスタ 25 がオフ状態となったときに、トランジスタ 31 がオン状態となり、コンデンサ 32 が放電される。

【0053】

尚、t₁ から t₂ までの期間中、I_p は次第に増加していくが、t₂ の時点においてゼロになり、また、I_s については、t₂ の時点で立ち上がって、ある値を示した後、時間経

50

過とともに減少してゼロになる。

【0054】

VDSについては、 t_2 の時点で立ち上がった後、 t_3 の時点で立ち下がるが、V23はこの立ち下りエッジをコンデンサ23で微分したものであり(t_3 からある時間ゼロポルトを示すが、それ以外の期間ではVccを示す。)、ダイオード27のアノードとダイオード26のカソードとの接続点の電位を示す。

【0055】

VrampとVerrがPWMコンパレータ22において比較され、VrampがVerrを超えた時点でVGSがL(ロー)レベルを示し、VrampがVerrを下回った時点でVGSがH(ハイ)レベルを示す。

10

【0056】

時刻 $t_1 \sim t_5$ に示す期間の長さがランプ波の周期に相当し、その周波数は入力電圧変動や負荷変動の影響を受けるが、上記吐出終了時点を検出してランプ波を制御し、ある一定値以上のスイッチング周波数をもって該周波数を変化させることにより、直流電圧変換回路を電流境界モードで動作させることができる。

【0057】

尚、本発明の適用においては、図4に示す構成に限られないので、例えば、図6に示す例が挙げられる。

【0058】

タイミング検出部19の構成は、図4と基本的に同じであり、図4と図6との相違点は主としてランプ波発生部20Aの構成にある。

20

【0059】

演算増幅器33の非反転入力端子がPWMコンパレータ22の負入力端子に接続されるとともに、抵抗38を介してトランジスタ31のコレクタに接続されている。

【0060】

そして、コンデンサ32については、その非接地側の端子が演算増幅器33の非反転入力端子に接続されるとともに、抵抗39を介して電源端子29に接続されている。

【0061】

コンデンサ32に対して並列に設けられたNPNトランジスタ40はエミッタ接地とされ、そのコレクタが抵抗41を介してコンデンサ32に接続され、また、そのベースが抵抗42を介して演算増幅器33の出力端子に接続されている。

30

【0062】

演算増幅器33の反転入力端子には分圧抵抗34、34が設けられており、その一方には所定の基準電圧(Vref)が供給され、他方はNPNトランジスタ43のコレクタに接続されている。

【0063】

トランジスタ43はエミッタ接地とされ、演算増幅器33を用いて構成されるコンパレータにヒステリシス特性を持たせる役割をもち、そのベースが抵抗44を介して演算増幅器33の出力端子及び定電流源45に接続されている。尚、演算増幅器33の出力端子は定電流源45を介して電源端子29に接続されている。

40

【0064】

本例でも、コンデンサ32の端子電圧がVrampとしてPWMコンパレータ22に送られるが、該コンデンサに対して2つのトランジスタ31、40が並列に設けられている。トランジスタ40は、ランプ波の周波数下限値を規定する役目をもち、該トランジスタがオン状態となったときにコンデンサ32の放電経路が形成される。尚、トランジスタ31の役目は上記と同様に、電流境界検出時にコンデンサ32を放電させることである。

【0065】

しかして、上記の構成を自動車用灯具の光源である放電灯の点灯回路に適用することにより、装置の小型化に寄与することができる。即ち、車両用途では一般に部品の設置スペース等が限られるため小型化の要求が厳しく、そのためには、点灯回路を構成する直流-直

50

流変換回路の高周波化、高効率化が求められるが、上記に説明した構成を用いることによって対処することが可能となる。

【0066】

【発明の効果】

以上に記載したところから明らかなように、請求項1や請求項4に係る発明によれば、電流境界モードでの制御を実現することができ、しかも、そのために回路構成の複雑化等の弊害を伴うことがないので、小型化や省スペース化、コスト面で有利である。

【0067】

請求項2に係る発明によれば、微分検出手段の構成が簡単である。

【0068】

請求項3に係る発明によれば、低耐圧化や構成の単純化に適する。

【0069】

請求項5に係る発明によれば、ランプ波発生部を構成するコンデンサの充放電動作によりランプ波の周波数制御を容易に行うことができる。

【図面の簡単な説明】

【図1】放電灯点灯回路の構成例を示す回路ブロック図である。

【図2】直流-直流変換回路の構成例を示す回路図である。

【図3】電流境界モードの説明図である。

【図4】本発明に係る直流電圧変換回路の構成例を示す図である。

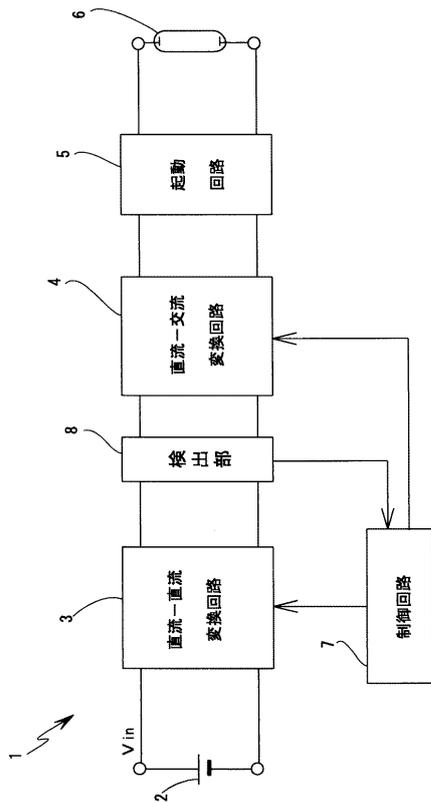
【図5】図4の回路動作を説明するための波形図である。

【図6】本発明に係る直流電圧変換回路の構成について別例を示す図である。

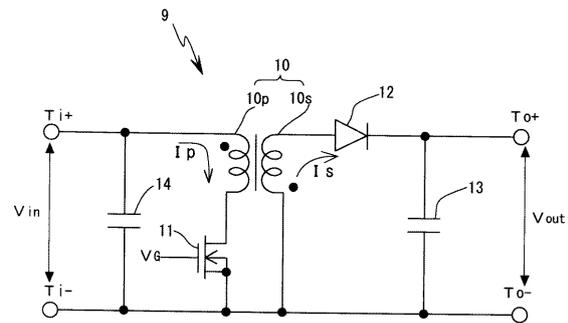
【符号の説明】

10...トランス、10p...一次巻線、10s...二次巻線、11...スイッチング素子、15...直流電圧変換回路、16...制御手段、18...演算制御部、19...タイミング検出部、20、20A...ランプ波発生部

【図1】



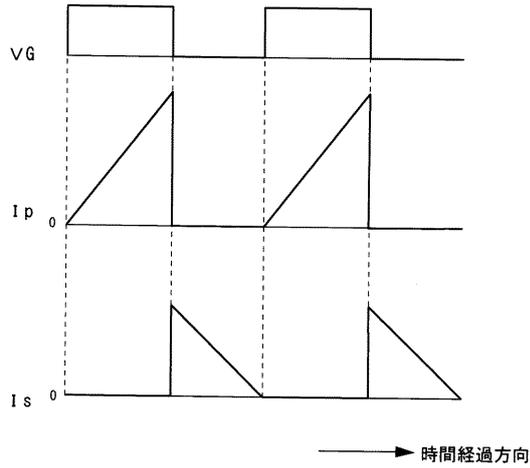
【図2】



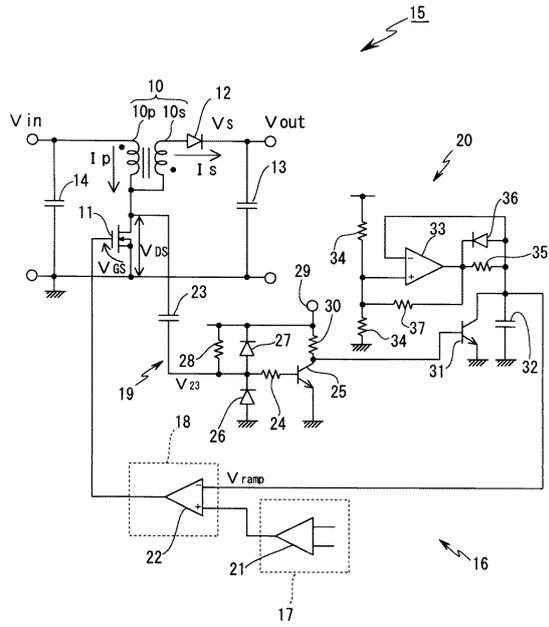
10

20

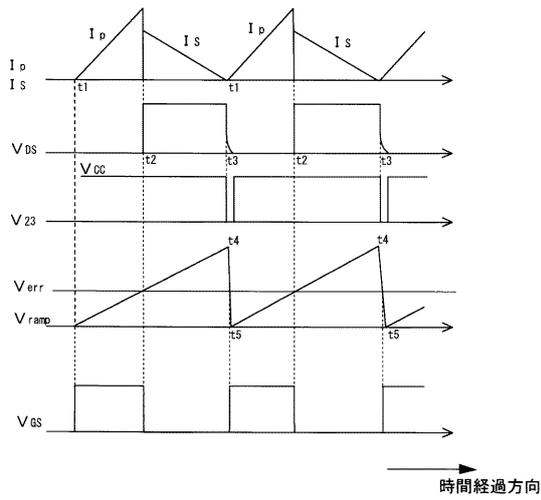
【 図 3 】



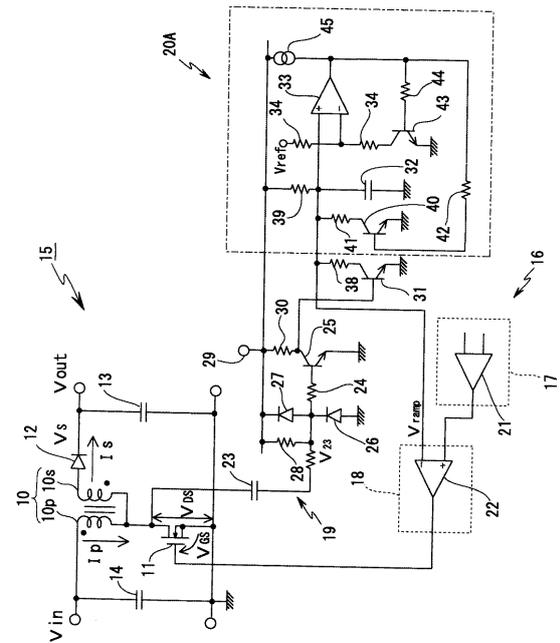
【 図 4 】



【 図 5 】



【 図 6 】



フロントページの続き

審査官 松本 泰典

- (56)参考文献 特開平02 - 184265 (JP, A)
特開2001 - 339943 (JP, A)
特表2003 - 524359 (JP, A)
特開2002 - 84756 (JP, A)
特開2002 - 84745 (JP, A)
特開平11 - 356042 (JP, A)
特開2003 - 259641 (JP, A)

(58)調査した分野(Int.Cl., DB名)

H02M 3/28