

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2018年5月24日(24.05.2018)

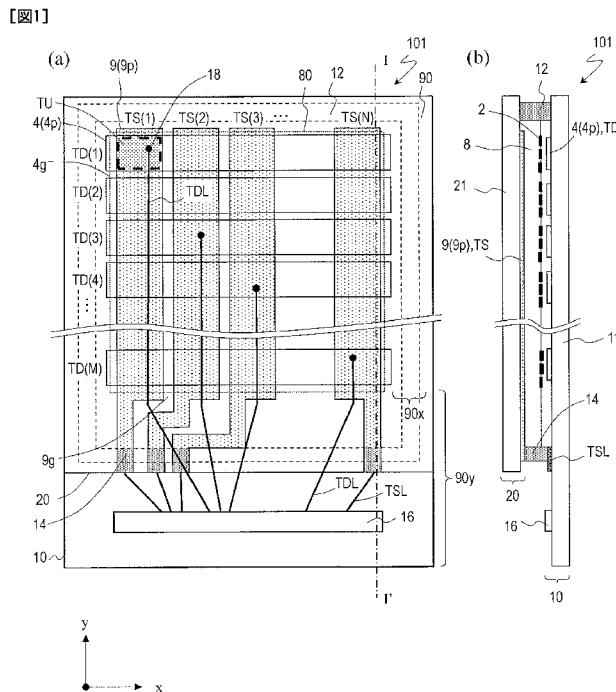


(10) 国際公開番号
WO 2018/092758 A1

- (51) 国際特許分類:
G06F 3/041 (2006.01) G02F 1/1343 (2006.01)
G02F 1/133 (2006.01) G06F 3/044 (2006.01)
G02F 1/1333 (2006.01)
- (71) 出願人: シャープ株式会社(SHARP KABUSHIKI KAISHA) [JP/JP]; 〒5908522 大阪府堺市堺区匠町1番地 Osaka (JP).
- (21) 国際出願番号: PCT/JP2017/040901
- (72) 発明者: 冨永 真克 (TOMINAGA Masakatsu). 原 義仁 (HARA Yoshihito). 吉田 昌弘 (YOSHIDA Masahiro).
- (22) 国際出願日: 2017年11月14日(14.11.2017)
- (25) 国際出願の言語: 日本語
- (74) 代理人: 奥田 誠司 (OKUDA Seiji); 〒5410041 大阪府大阪市中央区北浜一丁目8番16号 大阪証券取引所ビル10階 奥田国際特許事務所 Osaka (JP).
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-225873 2016年11月21日(21.11.2016) JP
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO,

(54) Title: LIQUID CRYSTAL DISPLAY APPARATUS WITH TOUCH SENSOR AND METHOD FOR DRIVING SAME

(54) 発明の名称: タッチセンサ付き液晶表示装置およびその駆動方法



(57) Abstract: A liquid crystal display apparatus (101) with a touch sensor is provided with: a first substrate (10); a second substrate (20); a liquid crystal layer (8) that is provided between the first substrate and the second substrate; a plurality of pixel electrodes (2) and a first common electrode (4) for applying a voltage to the liquid crystal layer; and a plurality of first electrodes and a plurality of second electrodes for the touch sensor, wherein the liquid crystal layer includes a liquid crystal that has a negative dielectric anisotropy, the first substrate has the plurality of pixel electrodes (2)



WO 2018/092758 A1

DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類 :

- 一 国際調査報告 (条約第21条(3))

and the first common electrode (4) disposed across the plurality of pixel electrodes with an insulating layer therebetween, the second substrate has a second transparent substrate (21) and a second common electrode (9) that is formed on the liquid crystal layer side of the second transparent substrate, the first common electrode (4) includes a plurality of first common electrode portions (4p) that also serve as the plurality of first electrodes for the touch sensor, and the second common electrode (9) includes a plurality of second common electrode portions (9p) that also serve as the plurality of second electrodes for the touch sensor.

(57) 要約 : タッチセンサ付き液晶表示装置 (101) は、第1基板 (10) と、第2基板 (20) と、第1基板と第2基板との間に設けられた液晶層 (8) と、液晶層に電圧を印加するための複数の画素電極2および第1の共通電極 (4) と、タッチセンサ用の複数の第1電極および複数の第2電極とを備え、液晶層は負の誘電率異方性を有する液晶を含み、第1基板は、複数の画素電極 (2) と、複数の画素電極と絶縁層を介して配置された第1の共通電極 (4) とを有し、第2基板は、第2透明基板 (21) と、第2透明基板の液晶層側に形成された第2の共通電極 (9) とを有し、第1の共通電極 (4) は、タッチセンサ用の複数の第1電極を兼ねた複数の第1の共通電極部分 (4p) を含み、第2の共通電極 (9) は、タッチセンサ用の複数の第2電極を兼ねた複数の第2の共通電極部分 (9p) を含む。

明 細 書

発明の名称：タッチセンサ付き液晶表示装置およびその駆動方法 技術分野

[0001] 本発明は、タッチセンサ付き液晶表示装置およびその駆動方法に関し、特に静電容量方式のタッチセンサを備えた液晶表示装置およびその駆動方法に関する。

背景技術

[0002] 近年、タッチセンサを備えた表示装置（以下、「タッチパネル」という）は、スマートフォン、タブレット型携帯端末等に広く利用されている。タッチセンサには、抵抗膜式、静電容量式、光学式など、種々の方式のものが知られている。これらの内、多点タッチに対応することが可能で、精度の高いタッチ位置検出が可能な、投影型静電容量方式のタッチセンサの利用が広がっている。静電容量方式のタッチセンサは、誘電体層を挟んで互いに対向配置された駆動電極（以下、「タッチスキャン電極」と呼ぶ）およびタッチ検出電極を有する。タッチスキャン電極とタッチ検出電極との間に形成される静電容量は、物体（例えば指）の接触の有無によって変化する。従って、静電容量の変化に応じた検出信号を形成することで、接触の有無を検出できる。

[0003] タッチパネルには、外付け型（観察者側に配置された偏光板のさらに観察者側にタッチセンサを配置したもの）と、内蔵型とがある。内蔵型タッチパネルには、オンセル型タッチパネルとインセル型タッチパネルとがある。ここで、セルは表示セル（以下では、「表示パネル」という。）を指し、例えば、液晶表示パネルは、液晶層を間に介して互いに対向する一对の基板（例えばT F T基板と対向基板）を含み、偏光板を含まない。「インセル型」は、表示パネル内にタッチパネル機能を担う層を有するものをいう。一方、「オンセル型」は、タッチパネル機能を担う層が、表示パネルと偏光板との間（例えば対向基板と偏光板との間）に配置されているものをいう。また、タ

タッチパネル機能を担う層を、表示パネル内と、表示パネルと偏光板との間とのそれぞれに配置した「ハイブリッド型」もあるが、ここでは、この「ハイブリッド型」も、タッチパネル機能を担う層の少なくとも一部が表示パネルと偏光板との間に配置されている点から「オンセル型」と呼ぶことにする。内蔵型タッチパネルは、外付け型タッチパネルよりも薄型化、軽量化などに有利であり、光の透過率の高められるという利点を有している。

[0004] 特許文献1および2は、横電界モードの液晶表示パネルを用いた内蔵型タッチパネルにおいて、TFT基板に設けられた共通電極を、タッチスキャン電極として利用することを開示している。これにより、利用者（指）の電位に影響を受けにくいタッチセンサが得られる。

[0005] 例えば、特許文献2には、Fringe Field Switching (FFS) モードの液晶表示パネルを用いたインセル型およびオンセル型のタッチパネルが開示されている。液晶層にはポジ型液晶材料が用いられている（特許文献2の図10参照）。特許文献2のインセル型タッチパネルでは、TFT基板に形成された共通電極をタッチスキャン電極として利用し、かつ、タッチ検出電極を対向基板の液晶層側に形成している（特許文献2の図13、図14等）。オンセル型タッチパネルでは、TFT基板に形成された共通電極をタッチスキャン電極として利用し、かつ、タッチ検出電極を対向基板の観察者側（対向基板と偏光板との間）に形成している（特許文献2の図9等）。このオンセル型タッチパネルでは、対向基板の透明基板（ガラス基板）における、カラーフィルタ層などが形成される液晶層側表面とは反対側の表面にタッチ検出電極を形成する必要がある、インセル型タッチパネルと比べて、製造コストが高い、ガラス基板の薄板化が難しいなどの問題がある。

先行技術文献

特許文献

[0006] 特許文献1：特開2014-109904号公報

特許文献2：特開2009-244958号公報

発明の概要

発明が解決しようとする課題

[0007] しかしながら、本発明者が検討したところ、特許文献2に開示されているインセル型タッチパネルでは、タッチ検出動作時に、タッチスキャン電極への駆動信号の印加に伴い、光の透過率の低下、表示ムラの発生などの問題が生じ得ることを見出した。また、液晶表示動作（画素電極への書き込み動作）時に、液晶配向の乱れによって、高い表示品位が得られない場合があることが分かった。詳細は後述する。

[0008] 本発明の実施形態は、上記事情を鑑みてなされたものであり、その目的は、光透過率および表示品位を高めることの可能な、タッチセンサ付き液晶表示装置を提供することにある。

課題を解決するための手段

[0009] 本発明の一実施形態のタッチセンサ付き液晶表示装置は、第1方向および前記第1方向と交差する第2方向に2次元に配列された複数の画素を含む表示領域と、前記表示領域の周辺に位置する周辺領域とを有するタッチセンサ付き液晶表示装置であって、第1基板と、前記第1基板に対向するように配置された第2基板と、前記第1基板と前記第2基板との間に設けられた液晶層と、前記液晶層に電圧を印加するための複数の画素電極および第1の共通電極と、タッチセンサ用の複数の第1電極および複数の第2電極であって、前記複数の第1電極および複数の第2電極の一方は複数のタッチ検出電極であり、他方は複数のタッチスキャン電極である、複数の第1電極および複数の第2電極とを備え、前記表示領域は複数のタッチ検出単位を含み、前記複数のタッチ検出単位のそれぞれは、前記複数のタッチ検出電極の1つと前記複数のタッチスキャン電極の1つとが交差した部分であり、前記液晶層は、負の誘電率異方性を有する液晶を含み、前記第1基板は、第1透明基板と、それぞれが前記第1方向に延設された複数のゲート線と、それぞれが前記第2方向に延設された複数のソース線と、前記第1透明基板の前記液晶層側に配置された、前記複数の画素電極と、前記第1透明基板の前記液晶層側に、

前記複数の画素電極と絶縁層を介して配置された前記第1の共通電極とを有し、前記第2基板は、第2透明基板と、前記第2透明基板の前記液晶層側に形成された第2の共通電極とを有し、前記第1の共通電極は、複数の第1の共通電極部分を含み、前記複数の第1の共通電極部分はタッチセンサ用の前記複数の第1電極を兼ねており、前記第2の共通電極は、複数の第2の共通電極部分を含み、前記複数の第2の共通電極部分はタッチセンサ用の前記複数の第2電極を兼ねている。

[0010] ある実施形態において、前記第2基板は、前記第1基板の観察者側に配置されており、前記複数の第1の共通電極部分は前記複数のタッチスキャン電極を兼ねており、前記複数の第2の共通電極部分は前記複数のタッチ検出電極を兼ねている。

[0011] ある実施形態において、前記周辺領域において、前記第1基板は、前記複数の第1の共通電極部分に接続されたスキャンドライバと、半導体チップが搭載された半導体チップ搭載領域とをさらに有し、前記スキャンドライバは、前記半導体チップ搭載領域または前記半導体チップ搭載領域と前記表示領域との間に配置されている。

[0012] ある実施形態において、前記第1基板は、前記複数の第1の共通電極部分と前記スキャンドライバとを接続する複数のスキャン配線をさらに備え、前記複数のスキャン配線のそれぞれは、前記表示領域内に位置する部分を有する。

[0013] ある実施形態において、前記複数の第1の共通電極部分のそれぞれに対して2以上の前記スキャン配線が設けられている。

[0014] ある実施形態において、前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第1方向に延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延びている。

[0015] ある実施形態において、記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延びている。

- [0016] ある実施形態において、前記第1基板は、前記第2基板の観察者側に配置されており、前記複数の第1の共通電極部分は前記複数のタッチ検出電極を兼ねており、前記複数の第2の共通電極部分は前記複数のタッチスキャン電極を兼ねている。
- [0017] ある実施形態において、前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延びている。
- [0018] ある実施形態において、前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延びている。
- [0019] ある実施形態において、前記第2の共通電極部分のそれぞれは、前記表示領域を横切って、前記周辺領域まで延びており、前記第2の共通電極部分のそれぞれにおける前記周辺領域に位置する部分は、前記第1基板と前記第2基板との間に配置されたコンタクト柱を介して、前記第1基板側に電氣的に接続されている。
- [0020] ある実施形態において、前記第2基板は、カラーフィルタ層をさらに備え、前記第2の共通電極は前記カラーフィルタ層と前記第2透明基板との間に配置されている。
- [0021] ある実施形態において、前記第2基板は、カラーフィルタ層をさらに備え、前記第2の共通電極は前記カラーフィルタ層と前記液晶層との間に配置されている。
- [0022] ある実施形態において、前記画素電極は、前記第1の共通電極と前記液晶層との間に配置されている。
- [0023] ある実施形態において、前記第1の共通電極は、前記画素電極と前記液晶層との間に配置されている。
- [0024] ある実施形態において、上記タッチセンサ付き液晶表示装置は、前記複数のゲート線に接続されたゲートドライバと、前記複数のソース線に接続されたソースドライバと、前記複数のタッチスキャン電極に接続されたスキャン

ドライバと、前記複数のタッチ検出電極に接続された検出ドライバと、前記ゲートドライバ、前記ソースドライバ、前記スキャンドライバおよび前記検出ドライバの制御を行う制御回路とをさらに備え、前記複数のタッチスキャン電極のそれぞれは、前記表示領域を前記第1方向に延びており、前記表示領域は、前記表示領域を前記第1方向に分割した複数のサブ領域を有し、前記制御回路は、選択したサブ領域に対するタッチ検出動作および画素の書き込み動作が終了した後で、次のサブ領域に対するタッチ検出動作および画素の書き込み動作を行い、かつ、各サブ領域に対して、画素の書き込み動作を停止した状態でタッチ検出動作を行った後、タッチ検出動作を停止した状態で画素の書き込み動作を行うように、前記制御を行う。

- [0025] 本発明の一実施形態のタッチセンサ付き液晶表示装置の駆動方法は、上記に記載のタッチセンサ付き液晶表示装置の駆動方法であって、前記複数のタッチスキャン電極のそれぞれは、前記表示領域を前記第1方向に延びており、前記表示領域は、前記表示領域を前記第1方向に分割した複数のサブ領域を有し、前記複数のサブ領域のそれぞれは、前記複数のタッチ検出単位における1つまたは2以上のタッチ検出単位に対応しており、前記駆動方法は、
- (A) 前記複数のサブ領域のうちの選択されたあるサブ領域について、画素書き込み動作を停止した状態で、タッチ検出動作を行うタッチ検出工程であって、前記複数のタッチスキャン電極のうち前記選択されたサブ領域に配置された選択タッチスキャン電極にスキャン信号を入力し、前記複数のタッチ検出電極に共通信号を入力し、前記複数のタッチ検出電極のうち前記選択されたサブ領域に配置された選択タッチ検出電極の電位の変化を検出信号として読み取る工程を含む、タッチ検出工程と、
- (B) 前記選択されたサブ領域について、タッチ検出動作を停止して、画素書き込み動作を行う画素書き込み工程であって、前記複数のタッチスキャン電極および前記複数のタッチ検出電極には共通信号を入力する、画素書き込み工程とを包含し、全てのサブ領域について前記工程(A)および(B)を繰り返す。

- [0026] ある実施形態において、前記工程(A)では、前記複数のタッチスキャン

電極のうち前記選択タッチスキャン電極以外の非選択タッチスキャン電極には共通信号が入力されているか、または前記非選択タッチスキャン電極はフローティング状態である。

[0027] ある実施形態において、前記工程（A）では、前記複数のゲート線のうち前記選択されたサブ領域に配置された選択ゲート線に、前記スキャン信号と同相かつ同振幅のゲート信号を供給する。

[0028] ある実施形態において、前記工程（B）では、前記複数のゲート線のうち前記選択ゲート線以外の非選択ゲート線にはゲートオフ電圧 V_{gl} が供給されているか、または前記非選択ゲート線はフローティング状態である。

発明の効果

[0029] 本発明の実施形態によると、光透過率および表示品位を高めることの可能な、タッチセンサ付き液晶表示装置が提供される。

図面の簡単な説明

[0030] [図1]（a）および（b）は、それぞれ、第1の実施形態のタッチパネル101の上面図および断面図である。

[図2]（a）は、第1基板10の表示領域80の一部を示す拡大平面図であり、（b）は、タッチパネル101における単一の画素の構造を示す断面図である。

[図3]（a）および（b）は、それぞれ、タッチパネル101の変形例を例示する断面図である。

[図4]タッチパネル101の第1基板10における周辺領域90の構造を説明するための模式的な平面図である。

[図5]タッチパネル101におけるタッチ検出方法を説明するための模式図である。

[図6]（a）および（b）は、タッチ検出単位TUに生じる静電容量を説明するための断面図である。

[図7]（a）および（b）は、それぞれ、タッチスキャン電極TDに入力するスキャン信号、およびタッチ検出電極TSから出力される検出信号の波形を

例示する図である。

[図8] (a) は、タッチパネル101における、タッチ検出時の液晶配向を説明するための断面図であり、(b) は、ポジ型液晶材料を用いた比較例1のタッチパネル1001の液晶配向を示す断面図である。

[図9] タッチパネル101におけるタッチスキャン配線TDLの数を説明するための平面図である。

[図10] (a) および(b) は、比較例2のタッチパネル1002の断面図およびタッチスキャン配線TDLの数を説明するための図である。

[図11] (a) および(b) は、それぞれ、第1基板10において、タッチスキャン電極TDとタッチスキャン配線TDLとの接続例を示す平面図である。

[図12] (a) は、第1の実施形態の他のタッチパネル102を示す平面図であり、(b) はタッチパネル102における画素構造を示す断面図である。

[図13] 第1の実施形態のさらに他のタッチパネル103における画素構造を示す断面図である。

[図14] 第1の実施形態のさらに他のタッチパネル104における画素構造を示す断面図である。

[図15] 第1の実施形態のさらに他のタッチパネル105を示す平面図である。

[図16] (a) および(b) は、それぞれ、第2の実施形態のタッチパネル2001を例示する平面図および断面図であり、(c) は、タッチパネル201における画素構造を示す断面図である。

[図17] 第2の実施形態の他のタッチパネル202を例示する平面図である。

[図18] 第2の実施形態の他のタッチパネル203を例示する平面図である。

[図19] (a) および(b) は、それぞれ、第2の実施形態の他のタッチパネル204を例示する平面図および断面図である。

[図20] (a) ~ (d) は、それぞれ、駆動方法を説明するための模式的な平面図である。

[図21]タッチ検出工程および画素書き込み工程におけるタッチスキャン電極TDおよびタッチ検出電極TSの信号波形の一例を示す図である。

[図22]タッチ検出工程および画素書き込み工程におけるゲート線GLの信号波形の一例を示す図である。

発明を実施するための形態

[0031] 従来のインセル型タッチパネルには次のような問題がある。

[0032] 特許文献2に開示された内蔵型タッチパネルは、誘電率異方性が正であるポジ型液晶材料を用いており、液晶分子は、その長軸方向が電界方向に揃おうとする性質を有する。従って、タッチ検出電極とTF T基板側電極とで電気力線が生じると、液晶分子は電気力線に対して平行になるように配向し、液晶分子が縦方向（液晶層の厚さ方向）を向いてしまう。この結果、光の透過率が大きく低下するおそれがある。例えば、タッチ検出時には、タッチスキャン電極を動作させる（すなわちタッチスキャン電極の電位を変える）ときに、タッチ検出電極とタッチスキャン電極との間に生じる垂直方向の電気力線が変化する。このため、タッチスキャン電極のパターンに応じた縞状の表示ムラが生じる場合がある。

[0033] 特にインセル型タッチパネルでは、タッチ検出電極は、対向基板における透明基板（例えばガラス基板）よりも液晶層側に配置され、液晶層を介して、TF T基板に配置された電極（画素電極およびタッチスキャン電極、以下、「TF T基板側電極」と呼ぶ）と対向している。このため、ガラス基板を間に介してタッチ検出電極とTF T基板側電極とが対向配置されるインセル型タッチパネルと比べて、タッチ検出電極とTF T基板側電極との間で生じる電気力線が液晶層に与える影響が大きくなり、表示ムラが生じやすくなる。

[0034] そこで、本発明者は、誘電率異方性が負であるネガ型液晶材料を液晶層に用いる構成を検討した。ネガ型液晶材料は、液晶分子の短軸方向が電界方向に揃おうとする性質を有する。このため、タッチ検出電極とTF T基板側電極とで電気力線が生じて、液晶分子は電気力線に対して垂直になるように

横方向に配向し、縦方向には変化しない。従って、ポジ型液晶材料を用いる場合と比べて、電極間の電気力線に起因する透過率の低下や表示ムラの発生を抑制できる。

[0035] しかしながら、ネガ型液晶材料を用いても、例えば対向基板側に物体(帯電した人など)が接触した場合などに、対向基板側に横方向(基板と平行)の電界成分が生じることがある。横方向の電界成分が生じると、液晶分子は縦方向に配向しようとして回転してしまう。このような液晶配向の乱れは、表示ムラの要因となる。

[0036] これに対し、本発明者は、対向基板に設けられたタッチセンサ用の電極を、共通電極として利用する構成を採用した。本明細書では、TFT基板に設けられた共通電極を「第1の共通電極」、対向基板に設けられた共通電極を「第2の共通電極」と呼ぶ。画素電極への電位書き込み動作時には、第1および第2の共通電極には共通信号が供給される。第2の共通電極を設けることで、対向基板側への物体の接触等によって電荷が発生しても、その電気力線は第2の共通電極に吸収され、液晶配向に影響を及ぼさない。このため、第1の共通電極と第2の共通電極との間で、液晶の配向をより安定化させることができる。また、タッチセンサ用の電極と第2の共通電極とを兼用させることで、対向基板に別途導電層を形成する必要がない。従って、タッチパネルの厚さや製造コストの増大を抑えつつ、液晶配向の乱れに起因する表示品位の低下を抑制できる。

[0037] 以下、本発明の実施形態によるタッチセンサ付き液晶表示装置(以下、「タッチパネル」)をより具体的に説明する。本発明の実施形態によるタッチパネルは、以下に説明するタッチパネルに限られない。また、以下の図面において、実質的に同じ機能を有する構成要素は、共通の参照符号で示し、その説明を省略することがある。

[0038] (第1の実施形態)

本発明による第1の実施形態のタッチパネルは、横電界モード(例えばFFSモード)の液晶表示パネルを用いたインセル型タッチパネルである。

[0039] <タッチパネル101の全体構造>

図1(a)および(b)は、それぞれ、第1の実施形態のタッチパネル101の上面図および断面図である。図1(b)は、図1(a)における1-1'線に沿った断面を示す。

[0040] タッチパネル101は、表示領域80と、表示領域80の周辺に位置する周辺領域90とを有する。図示していないが、表示領域80は、x方向(第1方向)に略平行に延設された複数のゲート線と、y方向(第2方向)に略平行に延設された複数のソース線と、x方向およびy方向に2次元に配列された複数の画素とを含む。y方向は、x方向と交差する方向であり、x方向と直交していてもよい。

[0041] 表示領域80は、さらに、2次元に配列された複数のタッチ検出単位TUを含む。図示する例では、タッチ検出単位TUはx方向およびy方向に2次元に配列されている。各タッチ検出単位TUは、例えば、2以上の画素に対応して配置されていてもよい。

[0042] 一方、周辺領域90には、駆動回路を含む周辺回路、端子部などが設けられる。周辺領域90に、一部または全部の駆動回路を含む半導体チップ16が搭載されていてもよい。図示していないが、駆動回路は、ゲートドライバ、ソースドライバ、スキンドライバおよび検出ドライバを含む。これらの駆動回路は、例えば第1基板10に設けられている(実装または一体的に形成されている)。本明細書では、周辺領域90のうち、表示領域80に対してゲート線の延びる方向(x方向)に隣接する領域を第1周辺領域90x、表示領域80に対してソース線の延びる方向(y方向)に隣接する領域を第2周辺領域90yと呼ぶ。図1(a)では、周辺領域90のうち表示領域80の右側および左側に位置する部分が第1周辺領域90xであり、表示領域80の下側および上側に位置する部分が第2周辺領域90yである。一例として、第2周辺領域90yに、ソースドライバ、スキンドライバおよび検出ドライバを含む半導体チップ16が搭載され、第1周辺領域90xにゲートドライバが一体的(モノリシック)に形成されていてもよい。

- [0043] タッチパネル101は、TFT基板（以下、「第1基板」）10と、第1基板10に対向するように配置された対向基板（以下、「第2基板」）20と、第1基板10と第2基板20との間に設けられた液晶層8とを有する。
- [0044] 液晶層8は、負の誘電異方性を有する（ネガ型）ネマチック液晶材料を含む水平配向型液晶層である。ネガ型液晶材料を用いることにより、後で詳述するように、タッチ検出動作時の光透過率の低下や表示ムラを抑制できる。ネガ型液晶材料は、第1基板10と第2基板20との間にシール材12によって封入されている。
- [0045] タッチパネル101は、液晶層8に電圧を印加するための一对の電極と、タッチセンサ用の一对の電極とを有する。液晶層8に電圧を印加するための電極として、第1基板10に、複数の画素電極2および第1の共通電極4が設けられている。タッチセンサ用の電極として、第1基板10に第1電極、第2基板20に第2電極が設けられている。第1電極および第2電極の一方は、タッチセンサの受信側電極であるタッチ検出電極TSであり、他方がタッチセンサの送信側電極であるタッチスキャン電極TDである。典型的には、第1基板10および第2基板20のうち観察者側に配置された基板の電極がタッチ検出電極TS、非観察者側に配置された基板の電極がタッチスキャン電極TDである。タッチパネル101の法線方向から見たとき、タッチスキャン電極TD（ここでは第1の共通電極部分4p）およびタッチ検出電極TS（ここでは第2の共通電極部分9p）が交差する部分が、それぞれ、タッチ検出単位TUとなる。ここでは、第2基板20が、第1基板10の観察者側に配置されており、第1電極がタッチ検出電極TS、第2電極がタッチ検出電極TSである例を説明する。
- [0046] 第1基板10は、第1透明基板（例えばガラス基板）11と、第1透明基板11の液晶層8側に形成された第1の共通電極4および複数の画素電極2とを有する。画素電極2と第1の共通電極4とは絶縁層を介して配置されている。図1では、画素電極2は第1の共通電極4の液晶層8側に配置されているが、第1の共通電極4の第1透明基板11側に配置されていてもよい。

画素電極 2 は、画素ごとに電氣的に独立である。第 1 の共通電極 4 は、間隔 4 g を空けて配列された複数の第 1 の共通電極部分 4 p を含んでいる。この例では、x 方向に延びる第 1 の共通電極部分 4 p が、間隔 4 g を空けて y 方向に配列されている。各第 1 の共通電極部分 4 p は、タッチスキャン電極 T D を兼ねている。第 1 の共通電極部分 4 p は、複数の画素に対応して配置されてもよい。各第 1 の共通電極部分 4 p は、タッチスキャン配線 T D L を介して、不図示のスキンドライバに接続されている。スキンドライバは、例えば半導体チップ 1 6 に配置されていてもよい。

[0047] 第 2 基板 2 0 は、第 2 透明基板（例えばガラス基板） 2 1 と、第 2 透明基板 2 1 の液晶層 8 側に形成された第 2 の共通電極 9 とを有する。図示していないが、第 2 基板 2 0 は、カラーフィルタ層をさらに有していてもよい。第 2 の共通電極 9 は、間隔 9 g を空けて配列された複数の第 2 の共通電極部分 9 p を含んでいる。この例では、y 方向に延びる第 2 の共通電極部分 9 p が、間隔 9 g を空けて x 方向に配列されている。各第 2 の共通電極部分 9 p は、タッチ検出電極 T S を兼ねている。第 2 の共通電極部分 9 p は、複数の画素に対応して配置されてもよい。各第 2 の共通電極部分 9 p は、タッチ検出配線 T S L を介して検出ドライバに接続されている。検出ドライバは、例えば半導体チップ 1 6 に配置されていてもよい。

[0048] 各第 2 の共通電極部分 9 p は、周辺領域 9 0 において、第 1 基板 1 0 と第 2 基板 2 0 との間に配置されたコンタクト柱 1 4 を介して、第 1 基板 1 0 側に電氣的に接続されていてもよい。コンタクト柱 1 4 としては柱状の導電性部材が使用できるが、この例では、シール材 1 2 として、導電性が付与されたシール材（例えば球状の導電性粒子を含有する樹脂を含むシール材）を用い、シール材 1 2 の一部をコンタクト柱 1 4 として利用している。このように、第 2 の共通電極部分 9 p をコンタクト柱 1 4 を介して第 1 基板 1 0 側に接続させることにより、検出ドライバを第 1 基板 1 0 に設けることが可能になる。この結果、第 1 基板 1 0 側からの信号入力のみでタッチセンサ用の 2 つの電極を駆動させることが可能になり、第 2 基板 2 0 にタッチセンサ用の

駆動回路を別途実装する必要がない。従って、第2基板20に別途タッチセンサ用の駆動回路を実装する場合と比べて、タッチパネル101の厚さを大幅に低減できる。

[0049] スキャンドライバは、第2周辺領域90yに配置されていてもよい。例えば、スキャンドライバは、第2周辺領域90yにおいて、半導体チップ搭載領域内（半導体チップ16上を含む）、または半導体チップ搭載領域と表示領域80との間に配置されていてもよい。この場合、タッチスキャン配線TDLは、第2周辺領域90yから表示領域80に延設され、かつ、表示領域80において、対応する第1の共通電極部分4pまでy方向に延びていてもよい。このように、各タッチスキャン配線TDLの一部を表示領域80内（画素内）に配置することにより、各タッチスキャン配線TDLの全体を周辺領域90に配置する場合と比べて、周辺領域90の面積を縮小できる。

[0050] タッチ検出単位TUの配置は特に限定しないが、好ましくは、x方向およびy方向にマトリクス状に配列される。本明細書では、x方向に配列された複数のタッチ検出単位TUを「タッチ検出単位行」、y方向に配列された複数のタッチ検出単位TUを「タッチ検出単位列」と呼ぶ。タッチ検出単位行ごとに1つの分離されたタッチ検出電極TS（またはタッチスキャン電極TD）が配置され、タッチ検出単位列ごとに1つの分離されたタッチスキャン電極TD（またはタッチ検出電極TS）が配置されていてもよい。上記構成によると、十分な幅を有するタッチスキャン電極TDおよびタッチ検出電極TSを形成できるので、タッチスキャン電極TDおよびタッチ検出電極TSを例えば透明導電膜のみで形成しても、電気抵抗を十分に低くできる。従って、これらの電極を低抵抗な金属膜でアシストしなくても、タッチ検出動作を行うことが可能であり、積層数の増大を抑制できる。

[0051] 図1に示す例では、第1の共通電極部分4pのそれぞれは、1つのタッチ検出単位行に対応し、x方向に延びている。第2の共通電極部分9pのそれぞれは、1つのタッチ検出単位列に対応し、y方向に延びている。なお、後述するように、各第1の共通電極部分4pはy方向に延び、各第2の共通電

極部分 9 p は x 方向に延びていてもよい。また、x 方向に一行に配置された画素からなる行を「画素行」、y 方向に一列に配置された画素からなる列を「画素列」とすると、第 1 の共通電極部分 4 p は、1 または 2 以上の画素行（または画素列）に対応して配置され、第 2 の共通電極部分 9 p は、1 または 2 以上の画素列（または画素行）に対応して配置されていてもよい。

[0052] なお、上記では、タッチ検出単位 TU が配列された領域（タッチセンサアレイ領域）と表示領域 80 とが略同じとして説明したが、タッチセンサアレイ領域は表示領域 80 と少なくとも部分的に重なっていればよく、例えば表示領域 80 よりも大きくてもよいし、小さくてもよい。

[0053] <タッチパネル 101 の各画素の構造>

次いで、タッチパネル 101 における各画素の構造をより詳しく説明する。

[0054] 図 2 (a) は、第 1 基板 10 の表示領域 80 の一部を示す拡大平面図であり、2 つ分の画素を示している。

[0055] 第 1 基板 10 の表示領域 80 は、x 方向に延びるゲート線 GL と、y 方向に延びるソース線 SL と、x 方向および y 方向にマトリクス状に配列された複数の画素領域 P i x とを有している。画素領域 P i x はタッチパネル 101 における画素に対応する領域である。この例では、各画素領域 P i x は、ゲート線 GL およびソース線 SL によって画定されている。

[0056] 各画素領域 P i x は、第 1 透明基板に支持された TFT 30 と、画素電極 2 と、第 1 の共通電極（不図示）とを備える。画素電極 2 は、画素ごとに少なくとも 1 つのスリットまたは切り欠き部を有している。TFT 30 は、特に限定しないが、例えばボトムゲート型の TFT である。TFT 30 は、ゲート電極 32 と、半導体層 34 と、ゲート電極 32 と半導体層 34 との間に配置されたゲート絶縁層と、半導体層 34 に電氣的に接続されたソース電極 36 およびドレイン電極 38 とを有する。ゲート電極 32 は対応するゲート線 GL に電氣的に接続され、ソース電極 36 は対応するソース線 SL に電氣的に接続されている。ゲート電極 32 はゲート線 GL と同一の層（ゲートメ

タル層)内に形成され、ソース電極36およびドレイン電極38はソース線SLと同一の層(ソースメタル層)内に形成されていてもよい。ドレイン電極38は画素電極2に電氣的に接続されている。本明細書では、ドレイン電極38と画素電極2との接続部を「画素コンタクト部」と呼ぶ。この例では、画素コンタクト部において、ドレイン電極38と画素電極2とは、これらの間に位置する絶縁層に設けられた開口部(以下、「画素コンタクトホール」)CH1内で接続されている。

[0057] 表示領域80には、また、複数のタッチスキャン配線TDLが配置されている。タッチスキャン配線TDLは、各第1の共通電極部分に対して少なくとも1つ設けられていればよく、全ての画素領域P_ixに配置されていなくてもよい。

[0058] タッチスキャン配線TDLは、対応する第1の共通電極部分まで、例えばy方向に延びていてもよい。この例では、第1基板10の法線方向から見て、タッチスキャン配線TDLはソース線SLと重なるように延びている。タッチスキャン配線TDLは、対応する第1の共通電極部分に電氣的に接続されている。本明細書では、タッチスキャン配線TDLと第1の共通電極部分との接続部を「タッチスキャン電極コンタクト部」と呼ぶ。この例では、タッチスキャン電極コンタクト部において、タッチスキャン配線TDLと第1の共通電極部分とは、これらの間に位置する絶縁層に設けられた開口部(以下、「タッチスキャン電極コンタクトホール」)CH2内で接続されている。タッチスキャン電極コンタクト部は、1つの第1の共通電極部分に対して少なくとも1つ設けられていればよい。

[0059] 図示するように、各タッチスキャン配線TDLは、第1の幅を有する第1部分と、第1の幅よりも大きい第2の幅を有する第2部分とを含んでいてもよい。第2部分の幅(第2の幅)はソース線SLの幅よりも大きくてもよい。第1部分および第2部分は、いずれも、対向基板に配置されたブラックマトリクスによって遮光される遮光領域内に配置されることが好ましい。例えば、第1基板10の法線方向から見たとき、ゲート線GLとソース線SLとの

交差部近傍に第2部分を配置することにより、幅の大きい第2部分も遮光領域内に配置できる。図示する例では、各タッチスキャン配線TDLは、ソース線SLと重なるようにy方向に延びており、各タッチスキャン配線TDLのうちゲート線GLと交差する部分が第2の幅を有する第2部分、隣接する2つの第2部分の間に位置する部分が第1の幅を有する第1部分である。タッチスキャン電極コンタクトホールCH2は、タッチスキャン配線TDLの第2部分と重なるように配置されることが好ましい。これにより、タッチスキャン電極コンタクトホールCH2のサイズを大きくでき、より低抵抗なコンタクト部を形成できる。

[0060] 図2(b)は、タッチパネル101における単一の画素の構造を示す断面図であり、図2(a)のI-I'線に沿った断面を示している。

[0061] 各画素は、第1基板10と、第2基板20と、これらの間に配置された液晶層8とを備える。第1基板10の外側（液晶層8と反対側）には偏光板41、第2基板20の外側（液晶層8と反対側）には偏光板42が配置されている。

[0062] 第1基板10は、第1透明基板11と、第1透明基板11の液晶層8側に配置されたアクティブマトリクス層43と、アクティブマトリクス層43上に配置された第1絶縁層50とを有する。アクティブマトリクス層43は、TFTを含む層であり、ゲート線GLおよびゲート電極を含むゲート金属層と、ゲート絶縁層33と、半導体層と、ソース線SLおよびソース/ドレイン電極を含むソース金属層とを含む。第1絶縁層50は、TFTを覆う無機絶縁層（パッシベーション層）50aを含む。第1絶縁層50は、無機絶縁層50aとその上に形成された有機絶縁層50bとを含む積層構造を有していてもよい。

[0063] 第1絶縁層50上には、第1の共通電極4を含む第1共通電極層44と、画素電極2を含む画素電極層46と、第1共通電極層44と画素電極層46との間に位置する第2絶縁層52とが形成されている。第2絶縁層52上に、タッチスキャン配線TDLを含むスキャン配線層48がさらに形成されて

いてもよい。この例では、第1の共通電極4上に第2絶縁層52が配置され、第2絶縁層52上にタッチスキャン配線TDLおよび画素電極2が配置されている。図示していないが、第1基板10は、配向膜をさらに有していてもよい。

[0064] 各タッチスキャン配線TDLの一部を表示領域80内（画素内）に配置する場合、タッチスキャン配線TDLは、画素電極層46、第1共通電極層44、ソースメタル層およびゲートメタル層とは別層に形成される（言い換えると、画素電極2、ソース線SL、ゲート線GL、第1の共通電極4とは異なる導電膜を用いて形成される）ことが好ましい。

[0065] 第2基板20は、第2透明基板21と、カラーフィルタ層60と、第2の共通電極9を含む第2共通電極層62とを有している。この例では、第2共通電極層62は、カラーフィルタ層60よりも液晶層8側に配置されている。また、第2共通電極層62とカラーフィルタ層60との間に、オーバーコート層64が設けられている。

[0066] なお、第1基板10および第2基板20における積層順序は、図2（b）に示す例に限定されない。

[0067] 第1基板10において、タッチスキャン配線TDLは、第1の共通電極4よりも第1透明基板11側に配置されてもよい。例えば図3（a）に示すように、第1絶縁層50上にタッチスキャン配線TDL、タッチスキャン配線TDLを覆う第3絶縁層54、第1の共通電極4、第2絶縁層52および画素電極2がこの順に配置されていてもよい。この例では、タッチスキャン電極コンタクトホールCH2は第3絶縁層54に設けられる。タッチスキャン配線TDLを第1の共通電極4よりも第1透明基板11側に配置することにより、図2（b）に示す例と比べて、タッチスキャン配線TDLの液晶配向への影響を抑えることが可能である。

[0068] 第2基板20において、第2の共通電極9は第2透明基板21よりも液晶層8側に配置されていることが好ましい。第2の共通電極9が第2透明基板21よりも液晶層8側に配置されていると、コンタクト柱14を介して、第

2の共通電極9を第1基板10側に接続することが可能である。このため、タッチセンサ用のドライバ（スキャンドライバおよび検出ドライバ）をいずれも第1基板10に設けることができるので、部材点数のより少ないタッチパネルを実現できる。例えば図3（b）に例示するように、第2の共通電極9は、カラーフィルタ層60と第2透明基板21との間に配置されていてもよい。

[0069] <タッチパネル101の周辺領域90の構造>

周辺領域90には、駆動回路として、ソースドライバ、ゲートドライバ、スキャンドライバおよび検出ドライバが設けられる。ソースドライバはソース線SL、ゲートドライバはゲート線GL、スキャンドライバはタッチスキャン電極TDおよびタッチスキャン配線を駆動する。検出ドライバはタッチ検出電極TSからの信号を検出する。

[0070] ソースドライバおよびゲートドライバは、典型的には、第1基板10に実装されるか、モノリシックに形成される。好ましくは、スキャンドライバも第1基板10に実装されるか、モノリシックに形成される。これにより、スキャンドライバを第2基板20側に実装する場合よりも、タッチパネル101全体の厚さを小さくできる。また、同一の半導体チップ上に、ソースドライバなどの他の駆動回路とスキャンドライバとを設けてもよい。これにより、部材点数の増加を抑えることができる。同様に、検出ドライバも、第1基板10側に設けられることが好ましく、半導体チップ上に配置されてもよい。

[0071] 以下、COG（Chip On Glass）実装方式によりソースドライバ、スキャンドライバおよび検出ドライバが第1基板10に搭載され、かつ、ゲートドライバが第1基板10にモノリシックに形成された例を説明する。

[0072] 図4は、タッチパネル101の第1基板10における周辺領域90の構造を説明するための模式的な平面図である。

[0073] 第1基板10は、複数の画素領域Pixおよびタッチ検出単位TUを含む

表示領域 80 と、表示領域 80 の周辺に位置する周辺領域 90 とを有する。周辺領域 90 には、ゲートドライバ 71、ソースドライバ 72、スキャンドライバ 73 および検出ドライバ 74 が設けられている。ゲートドライバ 71 は複数のゲート線 GL に接続されており、ソースドライバ 72 は複数のソース線 SL に接続されている。スキャンドライバ 73 は、タッチスキャン配線 TDL を介して複数のタッチスキャン電極 TD に接続されている。検出ドライバ 74 は、タッチ検出配線 TSL を介して複数のタッチ検出電極 TS に接続されている。

[0074] この例では、表示領域 80 の右側および左側に位置する第 1 周辺領域 90 x のそれぞれに、ゲートドライバ 71 が一体的（モノリシック）に形成されている。また、表示領域 80 の下側に位置する第 2 周辺領域 90 y に半導体チップ 16 が実装されている。半導体チップ 16 は、ソースドライバ 72、スキャンドライバ 73 および検出ドライバ 74 を含む。図 4 では、ソースドライバ 72 の両側に検出ドライバ 74 およびスキャンドライバ 73 が 2 つずつ配置されているが、半導体チップ 16 上のこれらの駆動回路の個数や配列順序はこの例に限定されない。

[0075] 第 1 基板 10 は、また、制御部をさらに備える。制御部は、上記のドライバ 71 ~ 74 の動作を制御する制御回路 76 を含む。各ドライバ 71 ~ 74 は、例えば、FPC を介して、制御回路 76 が形成されたプリント基板に接続されている。制御回路 76 は、例えばタイミングコントローラを含み、外部から供給された映像信号に基づいて、ドライバ 71 ~ 74 にそれぞれ制御信号を供給することで、これらの回路の動作を制御する。

[0076] なお、ここでは、ゲートドライバ 71 をモノリシックに形成しているが、ゲートドライバ 71 を実装しても構わない。また、他のドライバ 72 ~ 74 の一部または全部をモノリシックに形成しても構わない。例えば、後述するように、スキャンドライバ 73 を周辺領域 90 にモノリシックに形成してもよい。

[0077] <タッチパネル 101 のタッチ検出動作>

次に、図5を参照して、タッチパネル101におけるタッチ検出方法を説明する。

- [0078] タッチセンサは、第1基板10に設けられたタッチスキャン電極TDと、第2基板20に設けられたタッチ検出電極TSとを有する。この例では、第1基板10には、x方向（図の左右方向）に延びる複数のタッチスキャン電極TDが設けられている。タッチ検出動作を行う場合、各タッチスキャン電極TDには、スキャンドライバから駆動信号（スキャン信号）が順次供給され、時分割的に順次走査駆動が行われる。複数のタッチ検出電極TSはそれぞれy方向に延びており、検出ドライバに接続されている。タッチスキャン電極TDとタッチ検出電極TSとが互いに交差した部分（タッチ検出単位）には静電容量が形成される。
- [0079] スキャンドライバがタッチスキャン電極TDにスキャン信号を供給することにより、タッチ検出電極TSから検出ドライバに検出信号が出力され、タッチ検出が行われる。互いに交差した電極パターンは、タッチ検出単位TU（静電容量式タッチセンサ）をマトリクス状に構成しており、タッチ検出面全体に亘って走査することにより、タッチの有無の検出およびタッチ位置の座標の特定が可能となっている。
- [0080] 図6（a）および（b）は、タッチ検出単位TUに生じる静電容量を説明するための断面図である。第1基板10における第1の共通電極部分4pよりも下側の部分の図示を省略している。図6（a）は、第2基板20の観察者側の表面に物体（例えば指）が接触していない状態、図6（b）は、物体が接触している状態をそれぞれ示す。
- [0081] また、図7（a）および（b）は、それぞれ、タッチスキャン電極TDに入力するスキャン信号、およびタッチ検出電極TSから出力される検出信号の波形を例示する図である。
- [0082] タッチ検出時には、図7（a）に示すように、タッチスキャン電極TDに順次スキャン信号を入力してAC駆動させる。ここでは、スキャン信号として、交流矩形波（ $V_{com} \pm V_M$ ）を用いる。

- [0083] 図6(a)に示すように、物体の接触がない状態では、タッチスキャン電極TDである第1の共通電極部分4pと、タッチ検出電極TSである第2の共通電極部分9pとの間には、第1の容量C1が生じる。第1の容量C1は、タッチスキャン電極TDとタッチ検出電極TSとの重なり面積、これらの電極間に位置する誘電体の厚さおよび誘電率に応じた容量である。
- [0084] この状態では、タッチ検出電極TSには常に共通電位Vcomが入力されるが、スキャン信号の影響で突き上げおよび突き下げを受ける。このため、図7(b)に示すような波形を有する検出信号が得られる。
- [0085] タッチ検出単位TUに、指などの導電体が接触または近接すると、図6(b)に示すように、物体とタッチ検出電極TSとの間に、第2の容量C2が生じる。このため、当該タッチ検出単位TUに生じる容量値が変化する。この結果、図7(b)に示すように、タッチ検出電極TSの信号波形が変わる。従って、タッチ検出電極TSからの検出信号を読み取ることで、接触の有無を検出することが可能である。
- [0086] タッチパネル101の駆動方法は特に限定されない。1フレームをタッチ検出時間と画素書き込み時間とに時分割してもよい。例えば、全タッチスキャン電極TDを順次駆動させてタッチ検出動作を行った後、全ゲート線GLを順次駆動させて画素書き込み動作を行ってもよい。あるいは、後述するように、表示領域80を複数のサブ領域に分け、サブ領域ごとにタッチ検出および画素書き込み動作を行うことも可能である。
- [0087] 次いで、タッチ検出動作の液晶配向への影響を説明する。
- [0088] 図8(a)は、本実施形態のタッチパネル101における、タッチ検出時の液晶配向を説明するための断面図である。比較のため、ポジ型液晶材料を用いた比較例1のタッチパネル1001の液晶配向を図8(b)に示す。
- [0089] タッチ検出動作において、タッチスキャン電極TDにスキャン信号が供給されると、液晶層8の厚さ方向に電気力線111が発生する。このとき、ポジ型液晶材料を用いた比較例1のタッチパネル1001では、図8(b)に示すように、液晶分子112は電気力線111に平行になるように配向する

ため、液晶層 8 の屈折率異方性がなくなる。このため、スキャン信号の有無で輝度差が生じ、表示ムラの要因となる。これに対し、ネガ型液晶材料を用いたタッチパネル 101 では、図 8 (a) に示すように、液晶分子 112 は電気力線 111 に垂直になるように配向する。つまり、液晶分子 112 は、液晶層 8 に電圧が印加されていない状態と同じ配向方向（水平方向）を保つ。このため、ポジ型液晶を用いた場合よりも、電気力線 111 による輝度の変化を抑制できるので、高い表示品位が得られる。

[0090] <タッチセンサ用の信号配線の数および配置>

タッチパネル 101 は、タッチセンサ用の信号配線として、タッチスキャン配線 TDL およびタッチ検出配線 TSL を有する。タッチスキャン配線 TDL は、共通配線を兼用していてもよい。例えば、タッチスキャン配線 TDL は、画素書き込み時には第 1 の共通電極部分 4p に共通信号 Vcom を入力し、タッチ検出時には第 1 の共通電極部分 4p にタッチセンサの駆動信号（スキャン信号）を入力するように構成されていてもよい。共通信号 Vcom は、スキャン信号を兼用していてもよい。タッチ検出配線 TSL も、共通配線を兼用していてもよい。例えば、画素書き込み時には第 2 の共通電極部分 9p に共通信号 Vcom を入力し、タッチ検出時には第 2 の共通電極部分 9p から検出信号を出力するように構成されていてもよい。

[0091] 各タッチスキャン電極 TD に、1 または 2 以上のタッチスキャン配線 TDL が接続されていてもよい。同様に、各タッチ検出電極 TS に、1 または 2 以上のタッチ検出配線 TSL が接続されていてもよい。

[0092] 図 9 は、タッチパネル 101 におけるタッチスキャン配線 TDL の数を説明するための平面図である。図 10 (a) および (b) は、比較例 2 のタッチパネル 1002 の断面図およびタッチスキャン配線 TDL の数を説明するための図である。

[0093] 比較例 2 のタッチパネル 1002 は、タッチセンサ用の電極層が 1 層のみ形成されている（タッチ検出電極のみを有し、タッチスキャン電極を有していない）タッチパネルである。比較例 2 のタッチパネルでは、図 10 (a)

および (b) に例示するように、第 1 基板 10 に、タッチ検出単位ごと分離されたタッチ検出電極 TS を有している。共通電極 4 がタッチ検出電極 TS を兼用していてもよい。各タッチ検出電極 TS は信号配線 TL に接続されている。この構成では、信号配線 TL は、タッチ検出単位 TU ごとに設けられる。例えば、タッチ検出単位 TU が M 行および N 列にマトリクス状に配列されていると、 $M \times N$ のタッチ検出電極 TS および信号配線 TL が必要になる。

[0094] これに対し、本実施形態では、タッチスキャン電極 TD およびタッチ検出電極 TS の交差部をタッチ検出単位 TU として利用する。これにより、タッチ検出単位 TU の数よりも信号配線の数を低減できる。

[0095] 一例として、複数のタッチ検出単位 TU を M 行および N 列にマトリクス状に配列する場合、図 9 に示すように、行ごとにタッチスキャン電極 TD (またはタッチ検出電極 TS) を配置し、列ごとにタッチ検出電極 TS (またはタッチスキャン電極 TD) を配置する。そうすると、必要となる信号配線の数 (タッチスキャン電極 TD に接続する信号配線 TD L とタッチ検出電極 TS に接続する信号配線 TS L との合計数) は $M + N$ となる。従って、比較例 2 のタッチパネル 1002 よりも、信号配線数を大幅に低減でき、レイアウトの自由度が大きくなる。

[0096] なお、信号配線の数は、上述した信号配線の必要数 ($M + N$) よりも多くてもよい。例えば、1 つのタッチスキャン電極 TD またはタッチ検出電極 TS に対して 2 以上の信号配線を接続してもよい。

[0097] 図 11 (a) および (b) は、それぞれ、第 1 基板 10 において、タッチスキャン電極 TD として機能する各第 1 の共通電極部分 4 p に、複数 (ここでは 2 つ) のタッチスキャン配線 TD L を接続する例を示す平面図である。

[0098] 第 1 基板 10 の法線方向から見て、表示領域 80 には、複数 (ここでは 5 つ) のタッチスキャン電極 TD (1) ~ TD (5) が、y 方向に配列されている。周辺領域 90 のうち表示領域 80 の下側に位置する領域 90 y には、スキンドライバ 73 が配置されている。タッチスキャン電極 TD (1) ~

TD (5) は、それぞれ、タッチスキャン電極コンタクト部18において、対応する2つのタッチスキャン配線TDL (1) ~TDL (5) に接続され、タッチスキャン配線TDL (1) ~TDL (5) を介してスキンドライバ73と電氣的に接続されている。なお、簡単のため、ここでは5つのタッチスキャン電極を図示しているが、タッチスキャン電極の数はこれに限定されない。

[0099] 各タッチスキャン電極TDに複数のタッチスキャン配線TDLを接続させることで、共通信号およびスキャン信号の遅延を改善できる。この結果、タッチ検出感度をさらに高めることが可能になる。また、グリーニッシュ (Greenish) や縞状のムラが抑制され、表示品位を高めることができる。「グリーニッシュ」とは、共通信号の鈍りなどに起因して、特定の画素の液晶層に印加される電圧が異なることによって生じる色付き現象である。

[0100] タッチスキャン配線TDL (1) ~TDL (5) は、その長さの差ができるだけ小さくなるように配置されてもよい。これにより、共通信号およびスキャン信号が各タッチスキャン電極TDに伝わる時間 (遅延時間) の差を小さくできるので、表示特性およびタッチ検出特性の低下を抑制できる。例えば、図11 (a) に示すように、第2周辺領域90yのx方向の幅の中央部近傍にスキンドライバ73が配置されている場合、タッチスキャン配線TDL (1) ~TDL (5) は、表示領域80において、より遠いタッチスキャン電極TDに接続されるタッチスキャン配線TDLがより中央部側になるように配置されていてもよい。

[0101] また、図11 (b) に示すように、2つのスキンドライバ73a、73bが、それぞれ、第2周辺領域90yの両端部に1つずつ配置されていてもよい。この場合、1つのタッチスキャン電極TD (n) (n: 1~5) に対し、スキンドライバ73aに接続するタッチスキャン配線TDL a (n) と、スキンドライバ73bに接続するタッチスキャン配線TDL b (n) とを設けてもよい。この例でも、タッチスキャン配線TDL a (1) ~TDL a (5)、TDL b (1) ~TDL (5) は、その長さの差ができるだけ

小さくなるように、表示領域 80 において、より近いタッチスキャン電極 TD に接続されるタッチスキャン配線 TDL a、TDL b がより中央部側に配置されていてもよい。

[0102] さらに、図 11 (a) および (b) に示すように、第 1 基板 10 の法線方向から見たとき、複数のタッチスキャン電極コンタクト部 18 は、表示領域 80 を y 方向に横切る線 19 に対して、略線対称に配置されていることが好ましい。つまり、各タッチスキャン電極 TD (n) における 2 つのタッチスキャン電極コンタクト部 18 と線 19 との距離は互いに等しいことが好ましい。線 19 は、例えば表示領域 80 を y 方向に 2 等分する中心線であってもよい。これにより、第 2 周辺領域 90 y のサイズ（特に表示領域 80 とスキヤンドライバ 73 との間隔）を増大させることなく、スキヤンドライバ 73 からタッチスキャン電極 TD (1) ~ TD (5) までの距離をより均一に近づけて抵抗差を抑えることができる。

[0103] <変形例>

次いで、本実施形態のタッチパネルの変形例を説明する。以下では、各変形例について、タッチパネル 101 と異なる点を主に説明し、タッチパネル 101 と重複する説明を省略する。

[0104] 図 12 (a) は、本実施形態の他のタッチパネル 102 を示す平面図であり、図 12 (b) はタッチパネル 102 における画素構造を示す断面図である。

[0105] タッチパネル 102 では、前述したタッチパネル 101 と同様に、第 1 基板 10 に形成された第 1 の共通電極部分 4 p がタッチスキャン電極 TD を兼ね、第 2 基板 20 に形成された第 2 の共通電極部分 9 p がタッチ検出電極 TS を兼ねている。ただし、第 1 の共通電極部分 4 p が y 方向に延び、第 2 の共通電極部分 9 p が x 方向に延びている点でタッチパネル 101 と異なる。

[0106] 各第 1 の共通電極部分 4 p は、表示領域 80 内を y 方向に横切って延びて、第 2 周辺領域 90 y でタッチスキャン配線 TDL に接続される。タッチスキャン配線 TDL は、例えば半導体チップ 16 上のスキヤンドライバに接続

されている。タッチスキャン配線TDLは、周辺領域90（ここでは第2周辺領域90y）において、スキンドライバと第1の共通電極部分4pのスキンドライバ側の端部とを接続する。このように、タッチパネル102では、タッチスキャン配線TDLは周辺領域90にのみ配置され、表示領域80内（画素内）に位置しない。従って、各タッチスキャン配線TDLの一部を画素内に配置する場合よりも画素開口率を高くできる。

[0107] 一方、第2の共通電極部分9pは、表示領域80をx方向に横切って延び、表示領域80の両側にある第1周辺領域90xで、コンタクト柱14を介して、第1基板10に形成されたタッチ検出配線TSLに接続されている。タッチ検出配線TSLは、検出ドライバに接続されている。この例では、タッチ検出配線TSLは第1周辺領域90x内を延びて、例えば第2周辺領域90yの半導体チップ16に配置された検出ドライバに接続されている。

[0108] 図13は、本実施形態のさらに他のタッチパネル103における画素構造を示す断面図である。

[0109] タッチパネル103は、第2基板20において、第2の共通電極9の液晶層8側にオーバーコート層64を配置する点で、タッチパネル101と異なる。なお、カラーフィルタ層60と第2の共通電極9との間に、他のオーバーコート層をさらに設けてもよい。

[0110] タッチパネル103では、タッチ検出電極TSとタッチスキャン電極TDとの間にオーバーコート層64が位置している。このため、タッチ検出電極TSとタッチスキャン電極TDの間にかかるスキャン電圧が、オーバーコート層64にもかかるため、液晶層8にかかる電圧を小さくできる。従って、タッチスキャン電極TDによるAC駆動の液晶への影響を小さくできるので、タッチ検出時の表示不良（例えば縞状の表示ムラ）をより効果的に改善できる。

[0111] 図14は、本実施形態のさらに他のタッチパネル104における画素構造を示す断面図である。

[0112] タッチパネル104は、第1基板10において、第1の共通電極4を画素

電極 2 と液晶層 8 との間に配置する点で、タッチパネル 101 と異なる。この例では、第 1 絶縁層 50 上に画素電極 2 およびタッチスキャン配線 TDL が形成されている。画素電極 2 およびタッチスキャン配線 TDL 上には、第 2 絶縁層 52 を介して第 1 の共通電極 4 が形成されている。第 1 の共通電極 4 は、タッチ検出単位ごとに分離され、タッチスキャン電極 TD として機能する。これに加えて、第 1 の共通電極 4 には、画素ごとにスリットまたは切り欠き部が設けられる。一方、画素電極 2 は、画素ごとに分離されていればよく、スリット等が形成されていなくてもよい。

[0113] タッチパネル 104 では、タッチパネル 101 と比べて、タッチスキャン電極 TD をタッチ検出電極 TS（第 2 の共通電極 9）により近づけて配置することができる。このため、タッチスキャン電極 TD とタッチ検出電極 TS との間隔をより小さくできるので、スキャン信号をよりダイレクトにタッチ検出電極 TS に伝えることが可能になる。従って、タッチ検出感度をより高めることができる。

[0114] 図 15 は、本実施形態のさらに他のタッチパネル 105 の平面図である。

[0115] タッチパネル 105 は、第 1 基板 10 にスキンドライバ 73 をモノリシックに形成している点で、タッチパネル 101 と異なる。

[0116] スキンドライバ 73 をモノリシックに形成することにより、半導体チップ 16 に配置する場合と比べて、半導体チップ 16 のコストを削減できる。また、スキンドライバ 73 を駆動させるために必要な信号配線 78（例えばクロック配線、開始信号線や定電位配線）の本数は、タッチスキャン配線 TDL の本数より少なくすむ。そのため、半導体チップ 16 からの配線の本数を削減できるので、周辺領域 90 をより狭くできる。

[0117] タッチパネル 105 では、第 2 周辺領域 90y に、2 つのスキンドライバ 73a、73b（以下、「スキンドライバ 73」と総称する場合がある）が間隔を空けて配置されている。なお、スキンドライバ 73 の数は 1 つでもよいし、3 以上でもよい。

[0118] スキンドライバ 73 は、好ましくは表示領域 80 と半導体チップ 16 と

の間に配置され得る。この例では、第1基板10を法線方向から見たとき、スキャンドライバ73は、シール材12で包囲された領域であって、かつ、表示領域80の下側に位置する領域に配置されている。

[0119] 図示するように、スキャンドライバ73a、73bは、第2周辺領域90yにおいて、ソースドライバとソース線SLとを接続するソース信号引き出し線の両側にそれぞれ配置されていてもよい。スキャンドライバ73a、73bは、タッチスキャン配線TDLa、TDLbを介して各タッチスキャン電極TDに接続されている。タッチスキャン配線TDLa、TDLbのそれぞれは、表示領域80内（画素内）に位置し、画素列を横切って延びる部分を有していてもよい。

[0120] なお、他のドライバの配置は特に限定しないが、例えば、ゲートドライバ（不図示）は第1周辺領域90xにモノリシックに形成され、ソースドライバおよび検出ドライバ74a、74bは半導体チップ16に設けられていてもよい。

[0121] （第2の実施形態）

第2の実施形態のタッチパネルは、TF T基板が対向基板よりも観察者側に位置し、TF T基板側にタッチ表面が配置される。従って、TF T基板側に検出電極、対向基板側にスキャン電極が配置される点で、第1の実施形態と異なる。

[0122] 検出電極の電位変化は、スキャン電極の電位変化よりも小さい（図7参照）。本実施形態によると、TF T基板に検出電極を配置するので、TF T基板にスキャン電極を配置するよりも、検出電極と画素電極との結合容量が大きいため、タッチ検出時の検出電極と画素電極との電位差が小さくなる。そのため、表示品位への影響が少なくなる。

[0123] 図16(a)は、第2の実施形態のタッチパネル201を例示する平面図であり、図16(b)は、図16(a)における「| | | - | | |」線に沿った断面図である。また、図16(c)は、タッチパネル201における画素構造を示す断面図である。図16では、タッチパネル101と同様の構成要

素には同じ参照符号を付している。以下、タッチパネル101と異なる点を主に説明し、重複する説明は省略する。

[0124] タッチパネル201では、第1基板10は、対向基板である第2基板20よりも観察者側に位置し、第1基板10側がタッチ表面となる。第1基板10における第1の共通電極4は、複数の第1の共通電極部分4pに分離されてタッチ検出電極TSを兼ねている。また、第2基板20における第2の共通電極9は、複数の第2の共通電極部分9pに分離されてタッチスキャン電極TDを兼ねている。

[0125] 第1の共通電極部分4pのそれぞれは、表示領域80をy方向に横切って延びていてもよい。この場合、第1の共通電極部分4pは、タッチ検出配線TSLを介して、例えば第2周辺領域90yに配置された検出ドライバに電氣的に接続される。これにより、タッチ検出配線TSLを周辺領域90内のみ配置できるので、タッチパネルの信号配線が画素内に位置することによる開口率の低下を抑制できる。

[0126] 一方、第2の共通電極部分9pのそれぞれは、表示領域80をx方向に横切って延びていてもよい。この場合、第2の共通電極部分9pは、第1周辺領域90xにおいて、コンタクト柱14を介して第1基板10上のタッチスキャン配線TDLに接続されてもよい。タッチスキャン配線TDLは、例えば第1周辺領域90xから第2周辺領域90yに延びて、第2周辺領域90yに配置されたスキャンドライバに電氣的に接続されてもよい。

[0127] 図示するように、タッチパネル102は2つのスキャンドライバ73a、73bを有し、各第1の共通電極部分4pは2つのスキャンドライバ73a、73bの両方と接続されていてもよい。例えば、各第1の共通電極部分4pの左側の端部はタッチスキャン配線TDLaを介してスキャンドライバ73aに接続され、右側の端部はタッチスキャン配線TDLbを介してスキャンドライバ73bに接続されてもよい。これにより、図11を参照しながら前述したように、共通信号およびスキャン信号の遅延を改善できる。

[0128] 図17および図18は、それぞれ、第2の実施形態の他のタッチパネル2

02、203を例示する平面図である。これらの例では、スキンドライバ73を第1基板10にモノリシックに配置している。これにより、半導体チップ16のコストを削減できる。また、半導体チップ16からの配線の数も削減できるので、周辺領域90をより狭くできる。

[0129] 図17に示すタッチパネル202では、第2周辺領域90yに、2つのスキンドライバ73a、73b（以下、「スキンドライバ73」と総称する場合がある）がモノリシックに形成されている。なお、スキンドライバ73の数は1つでもよいし、3以上でもよい。スキンドライバ73は、第2周辺領域90yにおいて、表示領域80と半導体チップ16との間に配置されていてもよい。

[0130] この例では、スキンドライバ73a、73bが、間隔を空けて配置されている。スキンドライバ73a、73bは、第2周辺領域90yにおいて、ソースドライバ72とソース線SLとを接続するソース信号引き出し線の両側にそれぞれ配置されていてもよい。第1基板10の法線方向から見たとき、スキンドライバ73a、73bは、それぞれ、第2周辺領域90yの右側および左側の縁部近傍（例えば第1周辺領域90xの下方）に配置されていることが好ましい。これにより、タッチスキャン配線TDLの長さを短縮できる。スキンドライバ73a、73bの位置は特に限定しないが、その全体が、シール材12の内側に配置されることが好ましい。これにより、スキンドライバ73a、73bを構成するTFTが、外部からの異物や電荷等による影響を受けることを抑制できるので、より高い信頼性を確保できる。なお、スキンドライバ73a、73bは、シール材12の外側に配置されてもよい。あるいは、スキンドライバ73a、73bの一部のみがシール材12の内側に配置されていてもよい。この場合、スキンドライバ73a、73bは、シール材12と重なっていてもよい。図示するように、スキンドライバ73a、73bは、シール材12をx方向に横切って、シール材12の外側まで延びていてもよい。

[0131] この例では、第2基板20に形成された第2の共通電極部分9p（タッチ

スキャン電極TD)は、x方向に延び、第1周辺領域90xでコンタクト柱14を介して第1基板10のタッチスキャン配線TDLa、TDLbに接続されている。タッチスキャン配線TDLa、TDLbは、第1周辺領域90x内を第2周辺領域90yに向かって延び、スキンドライバ73a、73bに接続されている。第2の共通電極部分9pのそれぞれは、2つのスキンドライバ73a、73bの両方に接続されていてもよい。例えば、各第2の共通電極部分9pの左側の端部はタッチスキャン配線TDLaを介してスキンドライバ73aに接続され、右側の端部はタッチスキャン配線TDLbを介してスキンドライバ73bに接続されてもよい。

[0132] 図18に示すタッチパネル203では、スキンドライバ73は、第1周辺領域90xにモノリシックに形成されている。例えば2つのスキンドライバ73a、73bが表示領域80の右側および左側に位置する第1周辺領域90xにそれぞれ配置されていてもよい。

[0133] タッチパネル203では、第2基板20に形成された第2の共通電極部分9pはx方向に第1周辺領域90xまで延び、第1周辺領域90xにおいて、コンタクト柱14およびタッチスキャン配線TDLa、TDLbを介して、スキンドライバ73a、73bに接続されている。このため、コンタクト柱14とスキンドライバ73とをより近接して配置できるので、タッチスキャン配線TDLを形成するための領域を縮小できる。従って、第1周辺領域90xをより狭小化できる。この例でも、各第2の共通電極部分9pは、2つのスキンドライバ73a、73bの両方に接続されていてもよい。

[0134] 本実施形態のタッチパネルの構造は、図16～図18に示す例に限定されない。第1の共通電極4がタッチ検出電極TS、第2の共通電極9がタッチスキャン電極TDを兼ねるように変更すれば、第1の実施形態で説明した種々のバリエーションを適用できる。第1基板10および第2基板20における積層順序を変更してもよいし、図19に例示するように、タッチ検出電極TSおよびタッチスキャン電極TDの延びる方向を変更してもよい。

[0135] (第3の実施形態)

第3の実施形態のタッチパネルは、表示領域80を複数のサブ領域に分け、サブ領域ごとにタッチ検出および画素書き込み動作を行うように構成されている。

[0136] 本実施形態のタッチパネルの構造は、前述した第1および第2の実施形態のタッチパネル101～105、201～203と同様であってもよい。ただし、本実施形態では、図1、図16等に例示するように、タッチスキャン電極TDがゲート線GLと同じ方向(x方向)に延びていることが好ましい。

[0137] 本実施形態では、制御回路76が各ドライバの動作を制御して、1画面書き込み時間(1垂直走査期間または1フレームともいう)の間に、次のような駆動を行う。表示領域を複数のサブ領域に分け、選択した1つのサブ領域に対し、画素電位の書き込み動作(以下、「画素書き込み動作」)を停止した状態でタッチ検出動作を行う。その後、タッチ検出動作を停止して画素の書き込み動作を行う。続いて、次のサブ領域を選択し、同様に、タッチ検出動作および画素の書き込み動作を行う。このようにして、複数のサブ領域について、順次、タッチ検出動作および画素の書き込み動作を行う。

[0138] 選択したサブ領域に対して、タッチ検出動作を行った後に画素書き込み動作を行うので、タッチ検出時の電位変化による液晶配向の乱れ(ここではサブ領域単位で横方向に縞が生じ得る)が視認され難くなる。従って、より高い表示特性が得られる。タッチ検出動作の後、なるべく時間をおかずに(例えば1 μ sec以内)画素書き込み動作を行うことが好ましい。

[0139] 以下、図面を参照しながら、本実施形態の駆動方法をより具体的に説明する。

[0140] 図20(a)～(d)は、それぞれ、駆動方法を説明するための模式的な平面図である。

[0141] 図示するように、表示領域80を、x方向に複数のサブ領域Bに分割する。各サブ領域Bは、1つまたは2以上のタッチ検出単位を含む。ここでは、表示領域80をn個のサブ領域B1～Bnに分割する。サブ領域B1～Bn

は、上から y 方向に配列されている。各サブ領域 B は、例えば、1 つのタッチスキャン電極 TD（すなわち 1 つのタッチ検出単位行）に対応して配置されている。なお、各サブ領域 B は、2 以上のタッチ検出単位行に対応していてもよい。

[0142] 本実施形態の駆動方法では、まず、複数のサブ領域 B のうちの 1 つのサブ領域 B（ここではサブ領域 B 1）が選択される。本明細書では、選択されたサブ領域 B を、選択サブ領域 B（Y）と呼ぶ。

[0143] 次に、図 20（a）に示すように、選択サブ領域 B（Y）について、画素書き込み動作を停止した状態で、タッチ検出動作を行う（タッチ検出工程）。選択サブ領域 B（Y）がタッチ信号検出領域となる。

[0144] 続いて、選択サブ領域 B（Y）のタッチ検出工程が終了すると、図 20（b）に示すように、選択サブ領域 B（Y）について、タッチ検出動作を停止して、画素書き込み動作を行う（画素書き込み工程）。この工程では、選択サブ領域 B（Y）に位置する複数のゲート線をスキャン方向に沿って順次駆動させる。従って、図示するように、画素書き込み領域は選択サブ領域 B（Y）をスキャン方向に沿って移動する。

[0145] 選択サブ領域 B（Y）の画素書き込みが終了すると、次のサブ領域 B が選択される（ここではサブ領域 B 2）。

[0146] この後、図 20（c）に示すように、次の選択サブ領域 B（Y）の直前でゲート線のスキャンを停止し、画素書き込み動作が停止した状態で、上記と同様のタッチ検出工程を行う。続いて、図 20（d）に示すように、選択サブ領域 B（Y）について上記と同様の画素書き込み工程を行う。

[0147] このようにして、全てのサブ領域 B について、順次、タッチ検出工程および画素書き込み工程を繰り返す。最後のサブ領域 B（n）の画素書き込み工程が終了すると、一画面の書き込みは終了する。

[0148] 図 21 は、タッチ検出工程および画素書き込み工程におけるタッチスキャン電極 TD およびタッチ検出電極 TS の信号波形の一例を示す図である。図 22 は、タッチ検出工程および画素書き込み工程におけるゲート線 GL の信

号波形の一例を示す図である。

[0149] <タッチ検出工程>

図21に示すように、タッチ検出工程では、選択サブ領域B(Y)に配置されたタッチスキャン電極(以下、「選択タッチスキャン電極」と呼ぶ)にスキャン信号を入力し、AC駆動させる。一方、選択サブ領域B(Y)に配置されたタッチ検出電極(以下、「選択タッチ検出電極」)に共通信号Vcomを入力する。選択タッチ検出電極TSは、スキャン信号の影響で、突き上げおよび突き下げを受けるので、選択タッチ検出電極TSの波形は、スキャン信号を反映した波型になる。前述したように、タッチの有無で選択タッチ検出電極TSの波形が変化する。従って、選択タッチ検出電極TSの電位の変化を検出信号として読み取ることにより、タッチの有無を検出できる。

[0150] 非選択のサブ領域Bに配置された非選択のタッチ検出電極TSおよびタッチスキャン電極TDに、共通信号Vcomを入力してもよい。なお、非選択のタッチスキャン電極TDはフローティング状態であってもよい。

[0151] タッチ検出工程では、全てのサブ領域Bで画素電位が保持されている。すなわち、各画素に設けられたTFIはオフである。全てのソース線はフローティング状態であってもよい。

[0152] 図22に示すように、タッチ検出工程において、選択サブ領域B(Y)に配置された複数のゲート線(以下、「選択ゲート線」)に、スキャン信号とほぼ同相かつほぼ同振幅のゲート信号を供給してもよい。これにより、スキャン信号の遅延を抑制し、検出信号に生じるノイズを低減できる。なお、選択ゲート線はフローティング状態でもよい。

[0153] 非選択のサブ領域Bに配置されたゲート線(非選択ゲート線)にはゲートオフ電圧Vg1が供給されていてもよい。ゲートオフ電圧Vg1は、ゲート線に供給され、画素のTFIをオフにするための電圧である。なお、非選択ゲート線はフローティング状態であってもよい。

[0154] <画素書き込み工程>

図21に示すように、画素書き込み工程では、選択および非選択のタッチ

検出電極TSおよびタッチスキャン電極TDに共通信号Vcomを入力する。

[0155] また、図22に示すように、選択サブ領域B(Y)に配置された複数の選択ゲート線を順次駆動(ゲートオン電圧Vghを印加)する。ゲートオン電圧Vghは、ゲート線に供給され、画素のTFTをオンにするための電圧である。TFTがオンとなった画素に、ソース線SLから映像信号に応じた電圧が印加される。このようにして、選択サブ領域B(Y)内の、駆動された選択ゲート線に接続された1行分の画素に書き込みが行われる。

[0156] タッチ検出工程および画素書き込み工程におけるゲート線GL、ソース線SL、タッチスキャン電極TDおよびタッチ検出電極TSの電圧を表1にまとめて示す。表中の「VM」は、タッチスキャン信号の電圧振幅を表す。

[0157] [表1]

	タッチ検出時		画素書き込み時
	選択サブ領域	非選択サブ領域	
ゲート	$V_{g1} \pm V_M$	V_{g1} (またはフローティング)	通常
ソース	フローティング		通常
タッチスキャン電極	$V_{com} \pm V_M$	V_{com} (またはフローティング)	V_{com}
タッチ検出電極	V_{com}		V_{com}

[0158] 液晶ディスプレイに使用される液晶材料は、一般に誘電分散を有するので、周波数が高くなると(例えば数10kHz以上)、徐々に応答が悪くなる。例えば周波数が $10^6 \sim 10^8$ Hz以上では、応答しなくなる場合がある。そのため、AC一周期の駆動時間は、 $10 \mu sec$ 以下が好ましく、 $0.01 \mu sec$ 以上 $1 \mu sec$ 以下がより好ましい。

産業上の利用可能性

[0159] 本発明による実施形態のタッチセンサ付き液晶表示装置は、各種電子機器の分野において特に有用である。

符号の説明

[0160]	2	画素電極
	4	第1の共通電極
	4 p	第1の共通電極部分
	8	液晶層
	9	第2の共通電極
	9 p	第2の共通電極部分
	1 0	第1基板
	1 1	第1透明基板
	1 2	シール材
	1 4	コンタクト柱
	1 6	半導体チップ
	1 8	タッチスキャン電極コンタクト部
	2 0	第2基板
	2 1	第2透明基板
	3 2	ゲート電極
	3 3	ゲート絶縁層
	3 4	半導体層
	3 6	ソース電極
	3 8	ドレイン電極
	4 1、4 2	偏光板
	4 3	アクティブマトリクス層
	4 4	第1共通電極層
	4 6	画素電極層
	4 8	タッチスキャン配線層
	5 0	第1絶縁層
	5 0 a	無機絶縁層
	5 0 b	有機絶縁層

5 2	第 2 絶縁層
5 4	第 3 絶縁層
6 0	カラーフィルタ層
6 2	第 2 共通電極層
6 4	オーバーコート層
7 1	ゲートドライバ
7 2	ソースドライバ
7 3、7 3 a、7 3 b	スキャンドライバ
7 4、7 4 a、7 4 b	検出ドライバ
7 6	制御回路
8 0	表示領域
9 0	周辺領域
9 0 x	第 1 周辺領域
9 0 y	第 2 周辺領域
1 0 1、1 0 2、1 0 3、1 0 4、1 0 5、2 0 1、2 0 2、2 0 3、2 0 4	タッチセンサ付き液晶表示装置（タッチパネル）
1 0 0 1、1 0 0 2	比較例のタッチパネル
GL	ゲート線
SL	ソース線
TD	タッチスキャン電極
TDL、TDL a、TDL b	タッチスキャン配線
TS	タッチ検出電極
TSL	タッチ検出配線
TU	タッチ検出単位

請求の範囲

[請求項1]

第1方向および前記第1方向と交差する第2方向に2次元に配列された複数の画素を含む表示領域と、前記表示領域の周辺に位置する周辺領域とを有するタッチセンサ付き液晶表示装置であって、

第1基板と、

前記第1基板に対向するように配置された第2基板と、

前記第1基板と前記第2基板との間に設けられた液晶層と、

前記液晶層に電圧を印加するための複数の画素電極および第1の共通電極と、

タッチセンサ用の複数の第1電極および複数の第2電極であって、前記複数の第1電極および複数の第2電極の一方は複数のタッチ検出電極であり、他方は複数のタッチスキャン電極である、複数の第1電極および複数の第2電極と

を備え、

前記表示領域は複数のタッチ検出単位を含み、前記複数のタッチ検出単位のそれぞれは、前記複数のタッチ検出電極の1つと前記複数のタッチスキャン電極の1つとが交差した部分であり、

前記液晶層は、負の誘電率異方性を有する液晶を含み、

前記第1基板は、

第1透明基板と、

それぞれが前記第1方向に延設された複数のゲート線と、

それぞれが前記第2方向に延設された複数のソース線と、

前記第1透明基板の前記液晶層側に配置された、前記複数の画素電極と、

前記第1透明基板の前記液晶層側に、前記複数の画素電極と絶縁層を介して配置された前記第1の共通電極と

を有し、

前記第2基板は、

第2透明基板と、

前記第2透明基板の前記液晶層側に形成された第2の共通電極とを有し、

前記第1の共通電極は、複数の第1の共通電極部分を含み、前記複数の第1の共通電極部分はタッチセンサ用の前記複数の第1電極を兼ねており、

前記第2の共通電極は、複数の第2の共通電極部分を含み、前記複数の第2の共通電極部分はタッチセンサ用の前記複数の第2電極を兼ねている、タッチセンサ付き液晶表示装置。

[請求項2]

前記第2基板は、前記第1基板の観察者側に配置されており、

前記複数の第1の共通電極部分は前記複数のタッチスキャン電極を兼ねており、前記複数の第2の共通電極部分は前記複数のタッチ検出電極を兼ねている、請求項1に記載のタッチセンサ付き液晶表示装置。

[請求項3]

前記周辺領域において、前記第1基板は、

前記複数の第1の共通電極部分に接続されたスキンドライバと、
半導体チップが搭載された半導体チップ搭載領域とをさらに有し、

前記スキンドライバは、前記半導体チップ搭載領域または前記半導体チップ搭載領域と前記表示領域との間に配置されている、請求項2に記載のタッチセンサ付き液晶表示装置。

[請求項4]

前記第1基板は、前記複数の第1の共通電極部分と前記スキンドライバとを接続する複数のスキャン配線をさらに備え、

前記複数のスキャン配線のそれぞれは、前記表示領域内に位置する部分を有する、請求項3に記載のタッチセンサ付き液晶表示装置。

[請求項5]

前記複数の第1の共通電極部分のそれぞれに対して2以上の前記スキャン配線が設けられている、請求項4に記載のタッチセンサ付き液

晶表示装置。

[請求項6] 前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第1方向に延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延びている、請求項2から5のいずれかに記載のタッチセンサ付き液晶表示装置。

[請求項7] 前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延びている、請求項2または3に記載のタッチセンサ付き液晶表示装置。

[請求項8] 前記第1基板は、前記第2基板の観察者側に配置されており、
前記複数の第1の共通電極部分は前記複数のタッチ検出電極を兼ねており、前記複数の第2の共通電極部分は前記複数のタッチスキャン電極を兼ねている、請求項1に記載のタッチセンサ付き液晶表示装置。

[請求項9] 前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延びている、請求項8に記載のタッチセンサ付き液晶表示装置。

[請求項10] 前記複数の第1の共通電極部分のそれぞれは、前記表示領域を前記第1方向に横切って延び、前記複数の第2の共通電極部分のそれぞれは、前記表示領域を前記第2方向に横切って延びている、請求項8に記載のタッチセンサ付き液晶表示装置。

[請求項11] 前記第2の共通電極部分のそれぞれは、前記表示領域を横切って、前記周辺領域まで延びており、

前記第2の共通電極部分のそれぞれにおける前記周辺領域に位置する部分は、前記第1基板と前記第2基板との間に配置されたコンタクト柱を介して、前記第1基板側に電氣的に接続されている、請求項1から10のいずれかに記載のタッチセンサ付き液晶表示装置。

- [請求項12] 前記第2基板は、カラーフィルタ層をさらに備え、前記第2の共通電極は前記カラーフィルタ層と前記第2透明基板との間に配置されている、請求項1から11のいずれかに記載のタッチセンサ付き液晶表示装置。
- [請求項13] 前記第2基板は、カラーフィルタ層をさらに備え、前記第2の共通電極は前記カラーフィルタ層と前記液晶層との間に配置されている、請求項1から11のいずれかに記載のタッチセンサ付き液晶表示装置。
- [請求項14] 前記画素電極は、前記第1の共通電極と前記液晶層との間に配置されている、請求項1から13のいずれかに記載のタッチセンサ付き液晶表示装置。
- [請求項15] 前記第1の共通電極は、前記画素電極と前記液晶層との間に配置されている、請求項1から13のいずれかに記載のタッチセンサ付き液晶表示装置。
- [請求項16] 前記複数のゲート線に接続されたゲートドライバと、
前記複数のソース線に接続されたソースドライバと、
前記複数のタッチスキャン電極に接続されたスキャンドライバと、
前記複数のタッチ検出電極に接続された検出ドライバと、
前記ゲートドライバ、前記ソースドライバ、前記スキャンドライバ
および前記検出ドライバの制御を行う制御回路と
をさらに備え、
前記複数のタッチスキャン電極のそれぞれは、前記表示領域を前記
第1方向に延びており、
前記表示領域は、前記表示領域を前記第1方向に分割した複数のサブ領域を有し、
前記制御回路は、選択したサブ領域に対するタッチ検出動作および
画素の書き込み動作が終了した後で、次のサブ領域に対するタッチ検
出動作および画素の書き込み動作を行い、かつ、各サブ領域に対して

、画素の書き込み動作を停止した状態でタッチ検出動作を行った後、タッチ検出動作を停止した状態で画素の書き込み動作を行うように、前記制御を行う請求項1に記載のタッチセンサ付き液晶表示装置。

[請求項17] 請求項1に記載のタッチセンサ付き液晶表示装置の駆動方法であって、

前記複数のタッチスキャン電極のそれぞれは、前記表示領域を前記第1方向に延びており、

前記表示領域は、前記表示領域を前記第1方向に分割した複数のサブ領域を有し、前記複数のサブ領域のそれぞれは、前記複数のタッチ検出単位における1つまたは2以上のタッチ検出単位に対応しており、

前記駆動方法は、

(A) 前記複数のサブ領域のうちの選択されたあるサブ領域について、画素書き込み動作を停止した状態で、タッチ検出動作を行うタッチ検出工程であって、前記複数のタッチスキャン電極のうち前記選択されたサブ領域に配置された選択タッチスキャン電極にスキャン信号を入力し、前記複数のタッチ検出電極に共通信号を入力し、前記複数のタッチ検出電極のうち前記選択されたサブ領域に配置された選択タッチ検出電極の電位の変化を検出信号として読み取る工程を含む、タッチ検出工程と、

(B) 前記選択されたサブ領域について、タッチ検出動作を停止して、画素書き込み動作を行う画素書き込み工程であって、前記複数のタッチスキャン電極および前記複数のタッチ検出電極には共通信号を入力する、画素書き込み工程とを包含し、全てのサブ領域について前記工程(A)および(B)を繰り返す、タッチセンサ付き液晶表示装置の駆動方法。

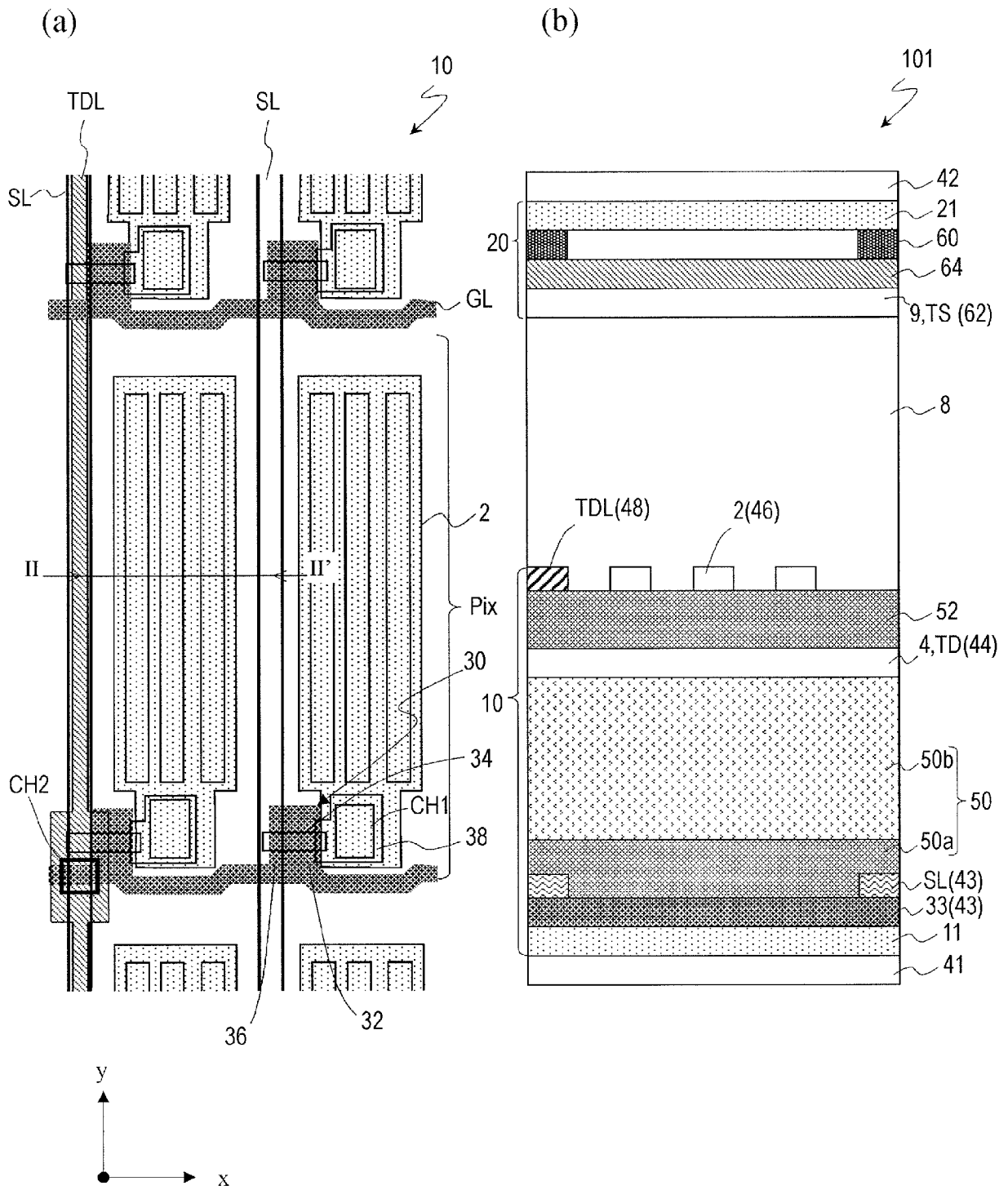
[請求項18] 前記工程(A)では、前記複数のタッチスキャン電極のうち前記選択タッチスキャン電極以外の非選択タッチスキャン電極には共通信号

が入力されているか、または前記非選択タッチスキャン電極はフローティング状態である、請求項 17 に記載の駆動方法。

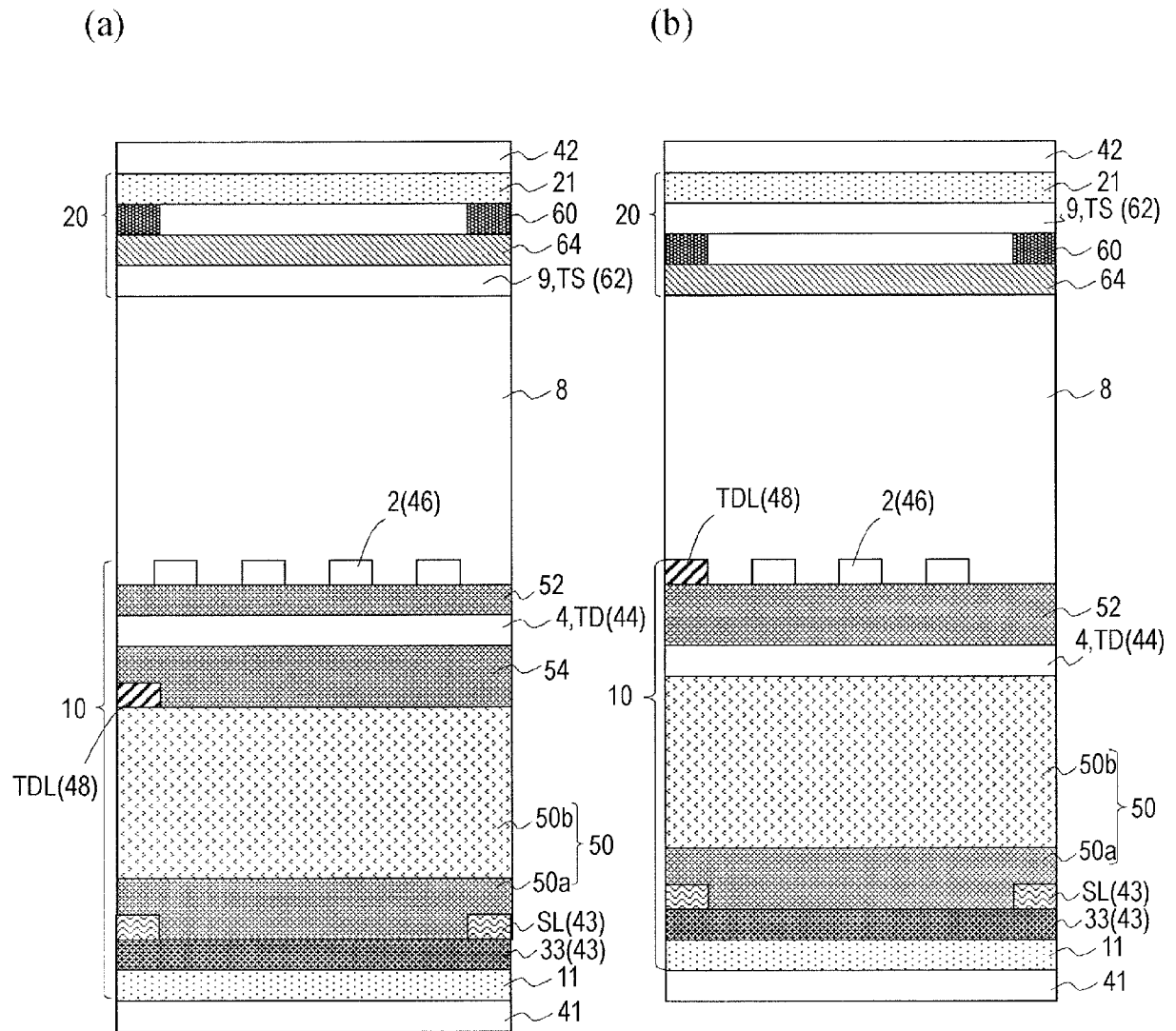
[請求項19] 前記工程 (A) では、前記複数のゲート線のうち前記選択されたサブ領域に配置された選択ゲート線に、前記スキャン信号と同相かつ同振幅のゲート信号を供給する、請求項 17 または 18 に記載の駆動方法。

[請求項20] 前記工程 (B) では、前記複数のゲート線のうち前記選択ゲート線以外の非選択ゲート線にはゲートオフ電圧 V_{g1} が供給されているか、または前記非選択ゲート線はフローティング状態である、請求項 19 に記載の駆動方法。

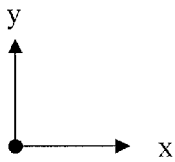
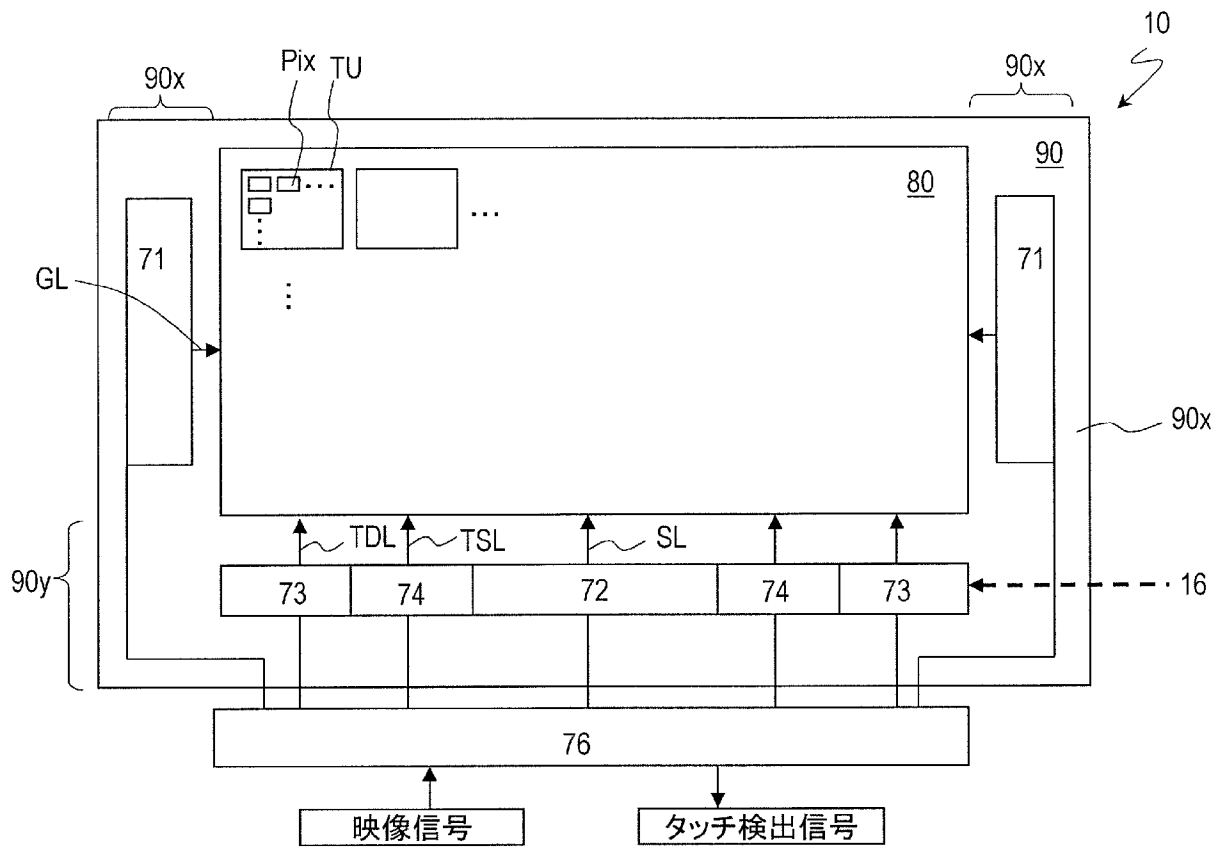
[図2]



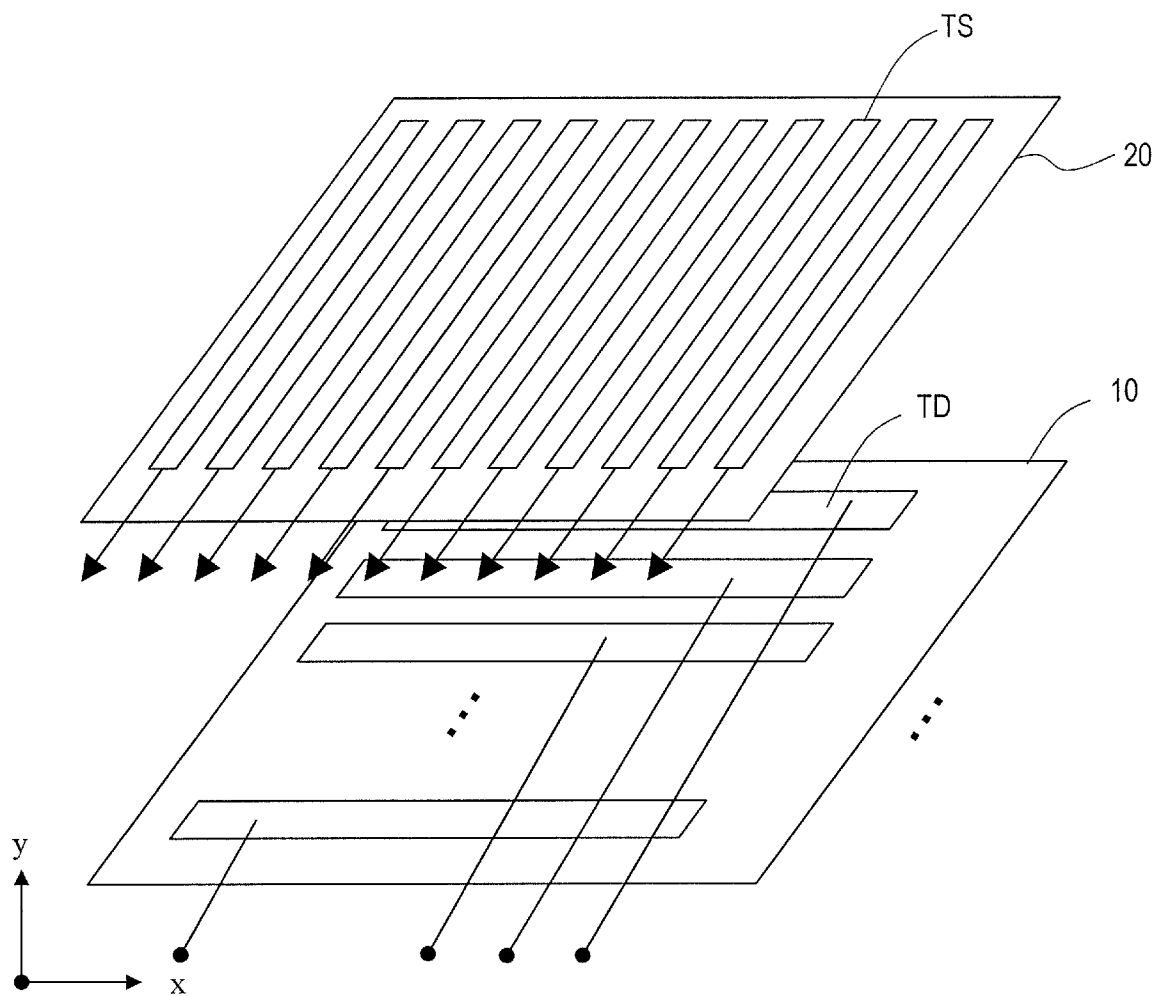
[図3]



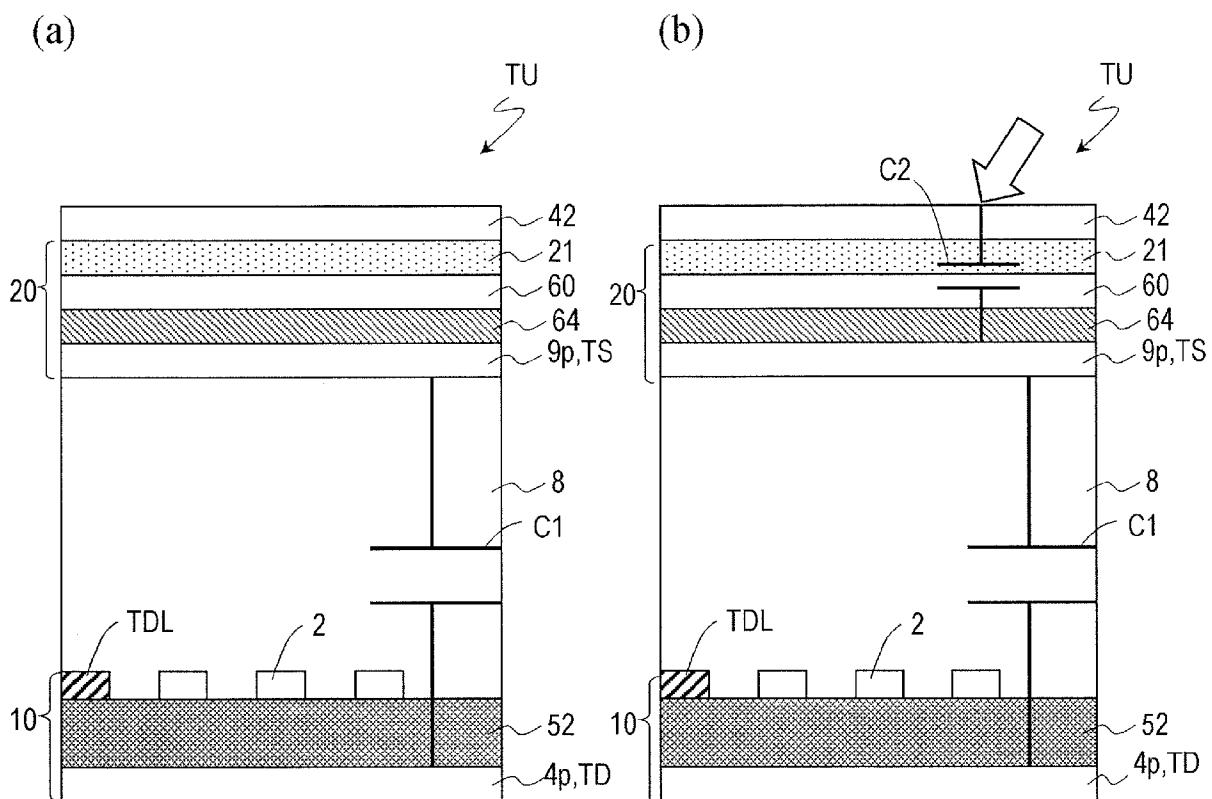
[図4]



[図5]

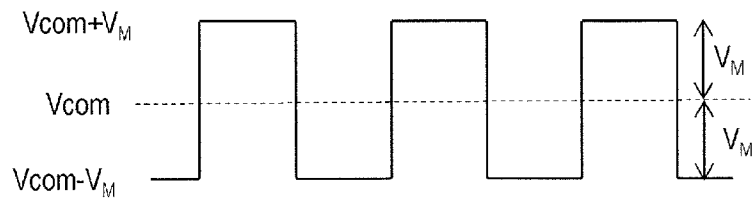


[図6]

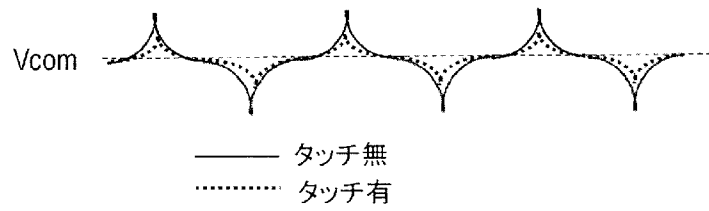


[図7]

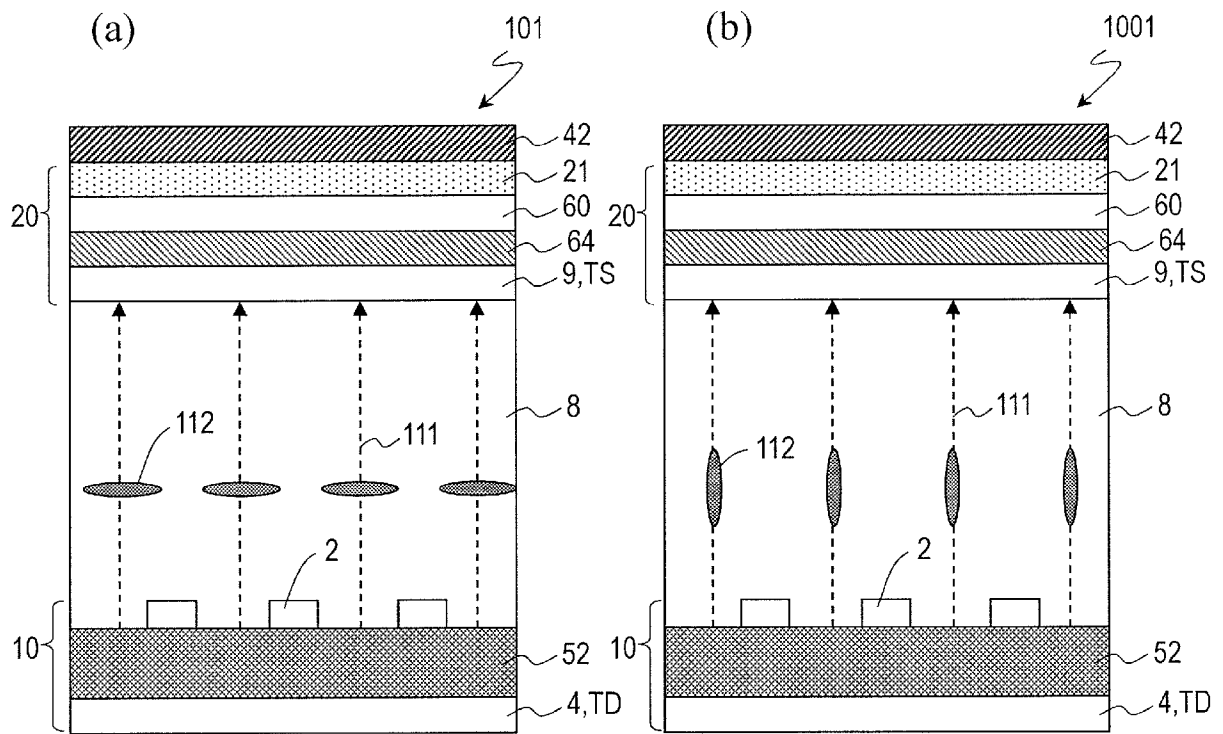
(a)



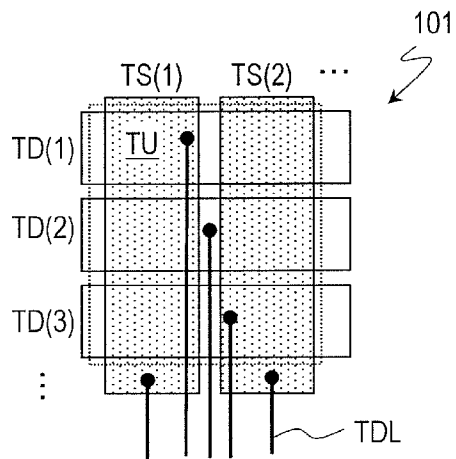
(b)



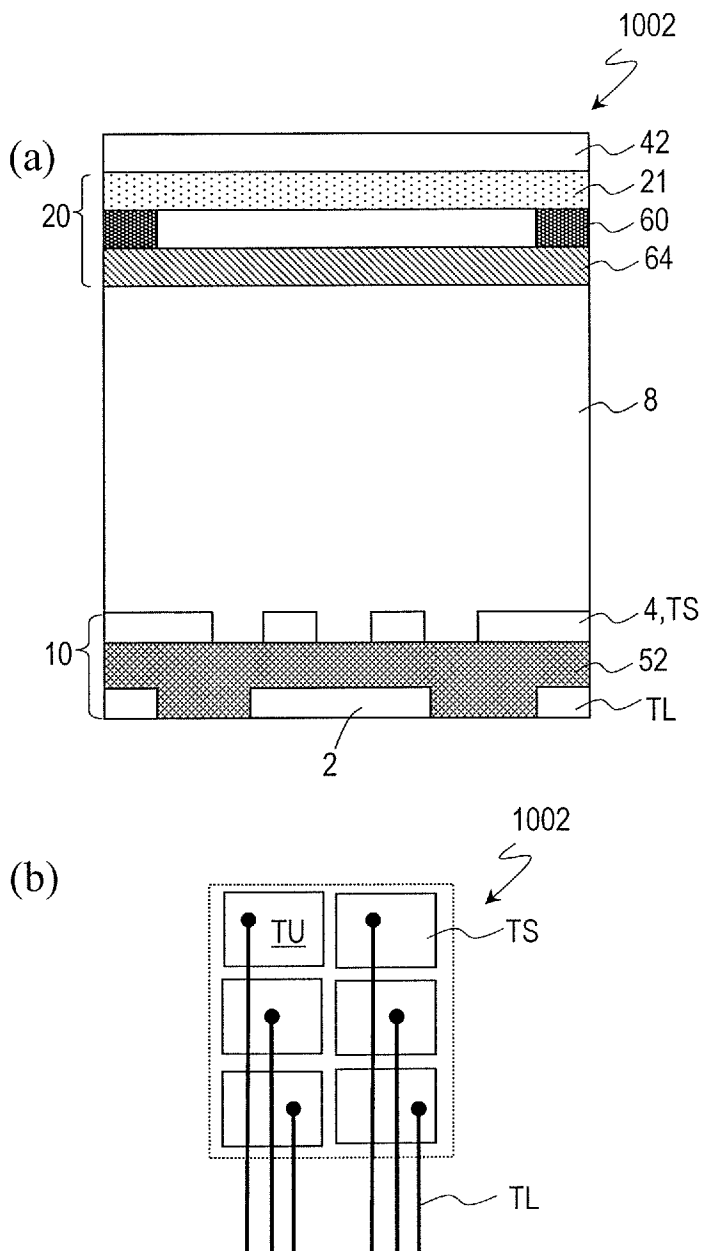
[図8]



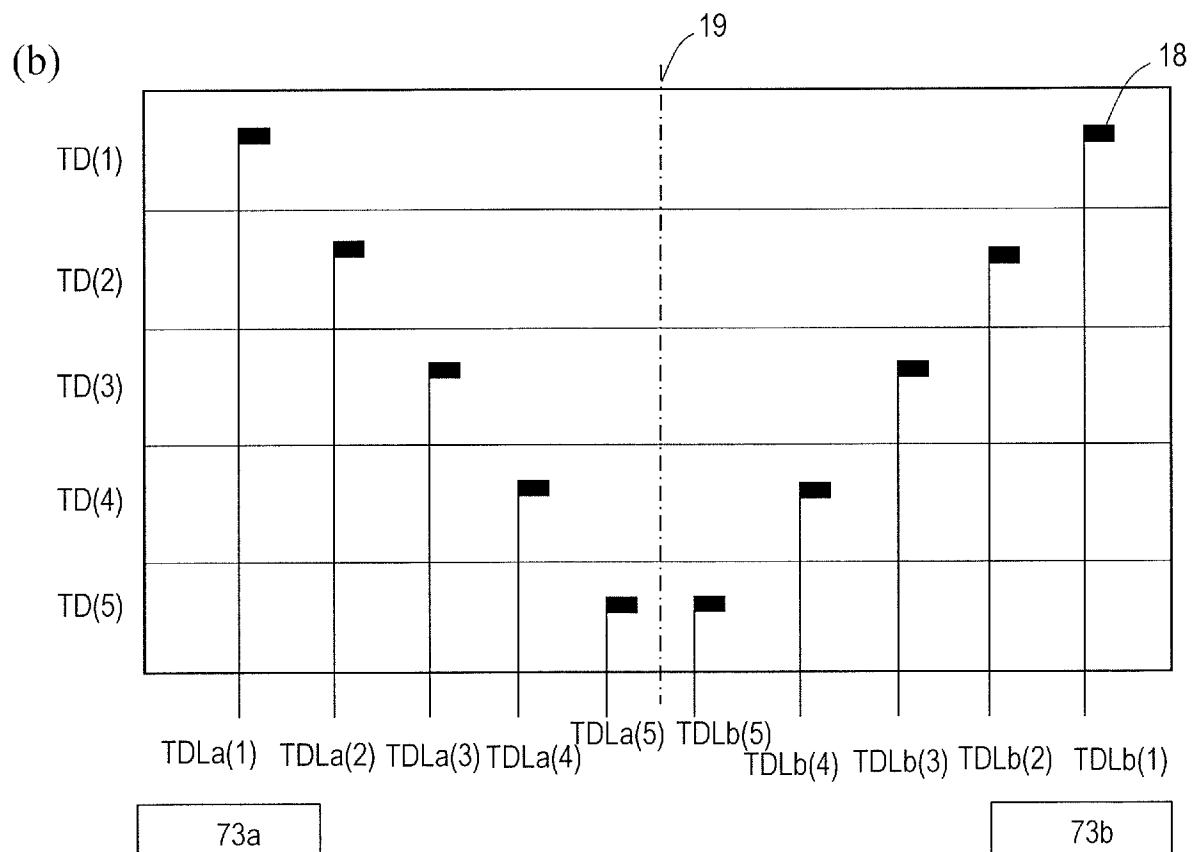
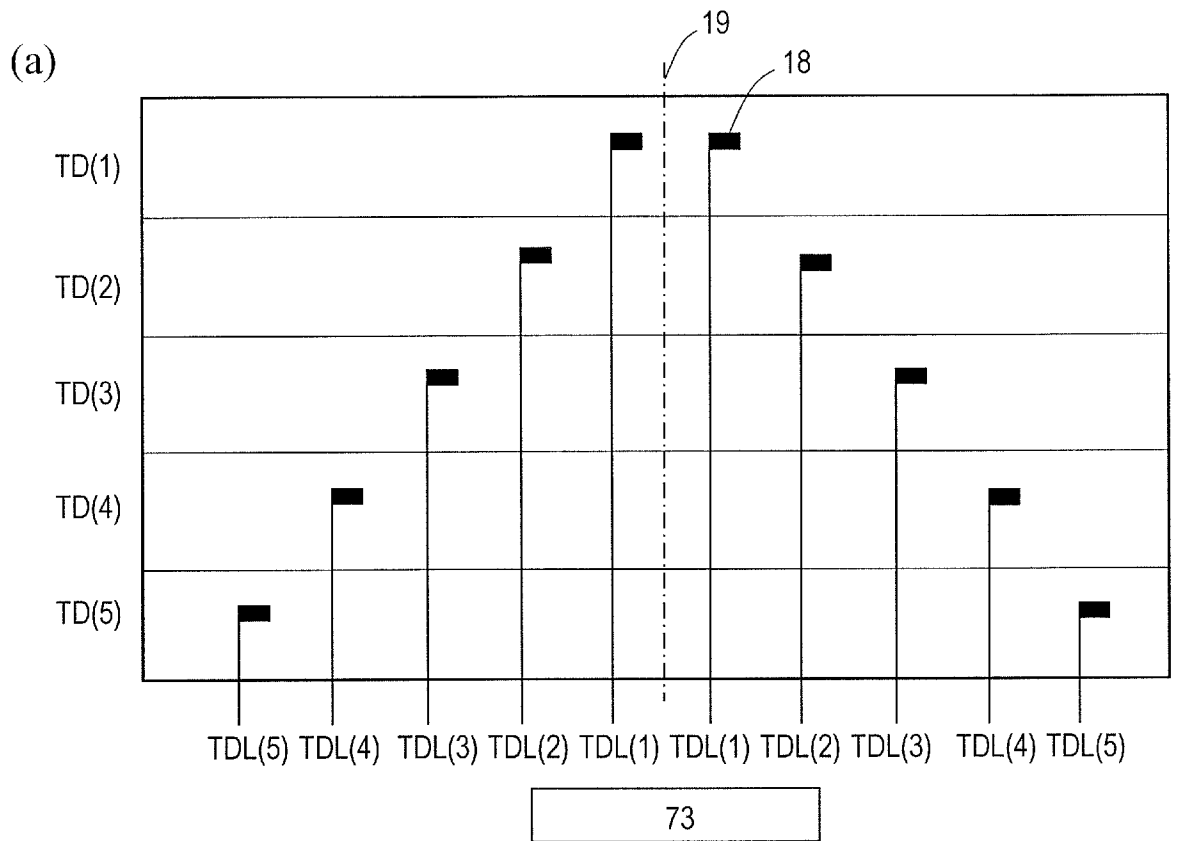
[図9]



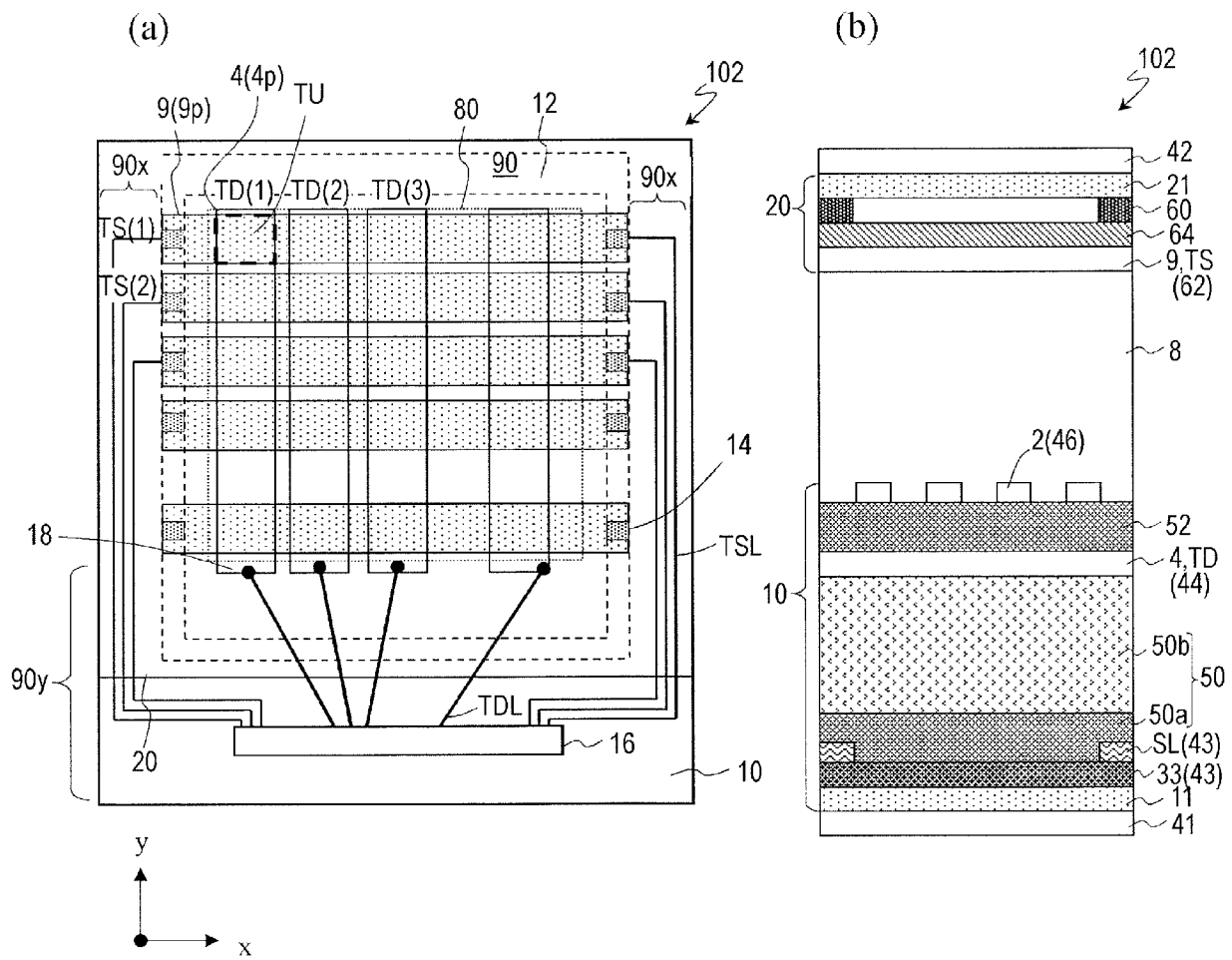
[図10]



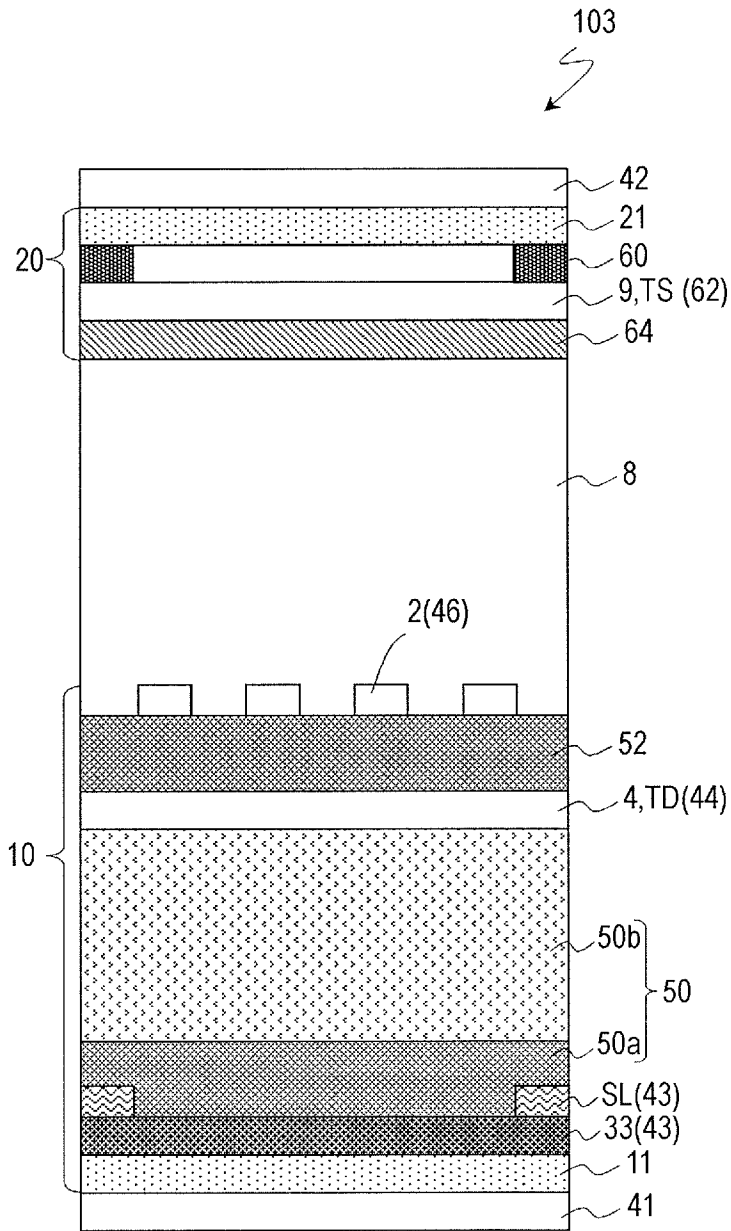
[図11]



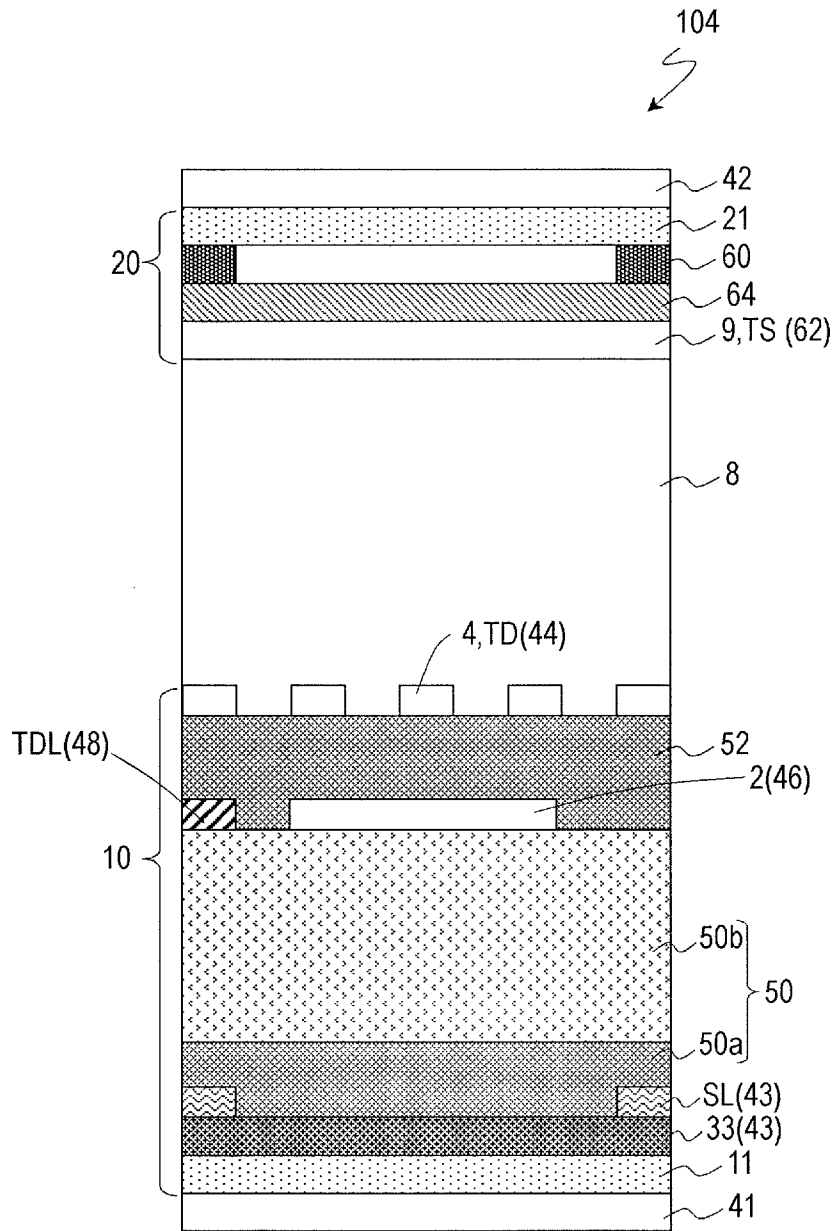
[図12]



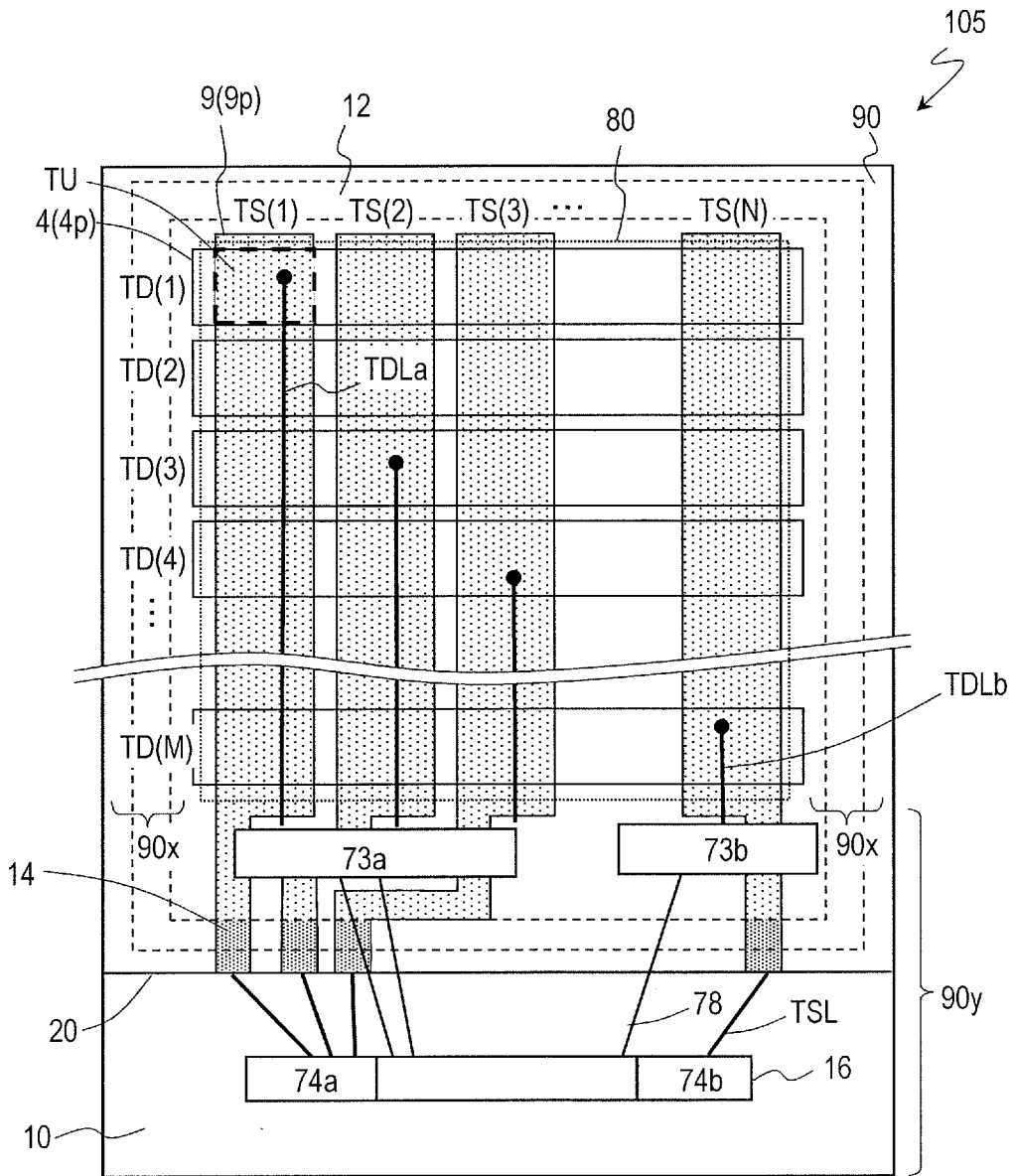
[図13]



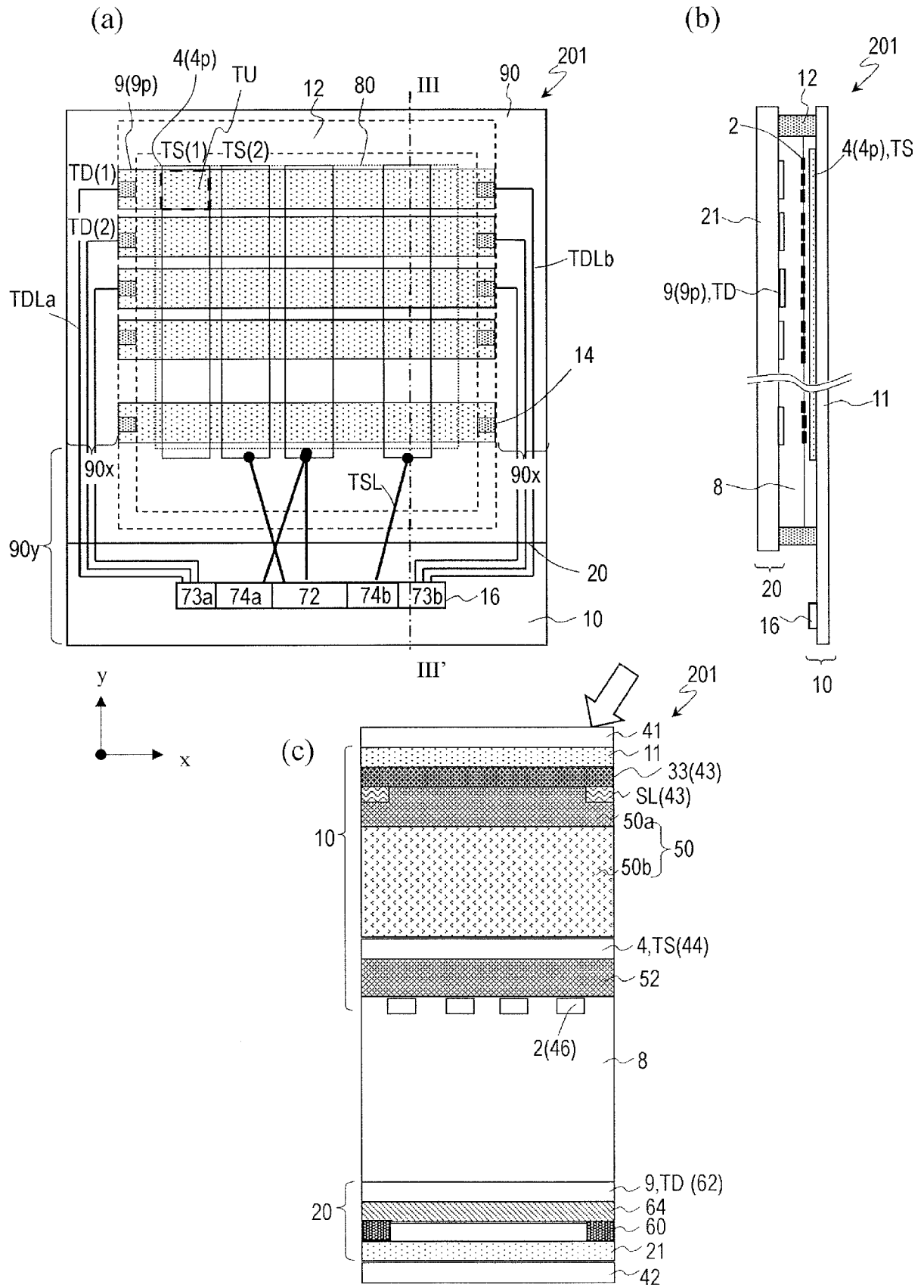
[図14]



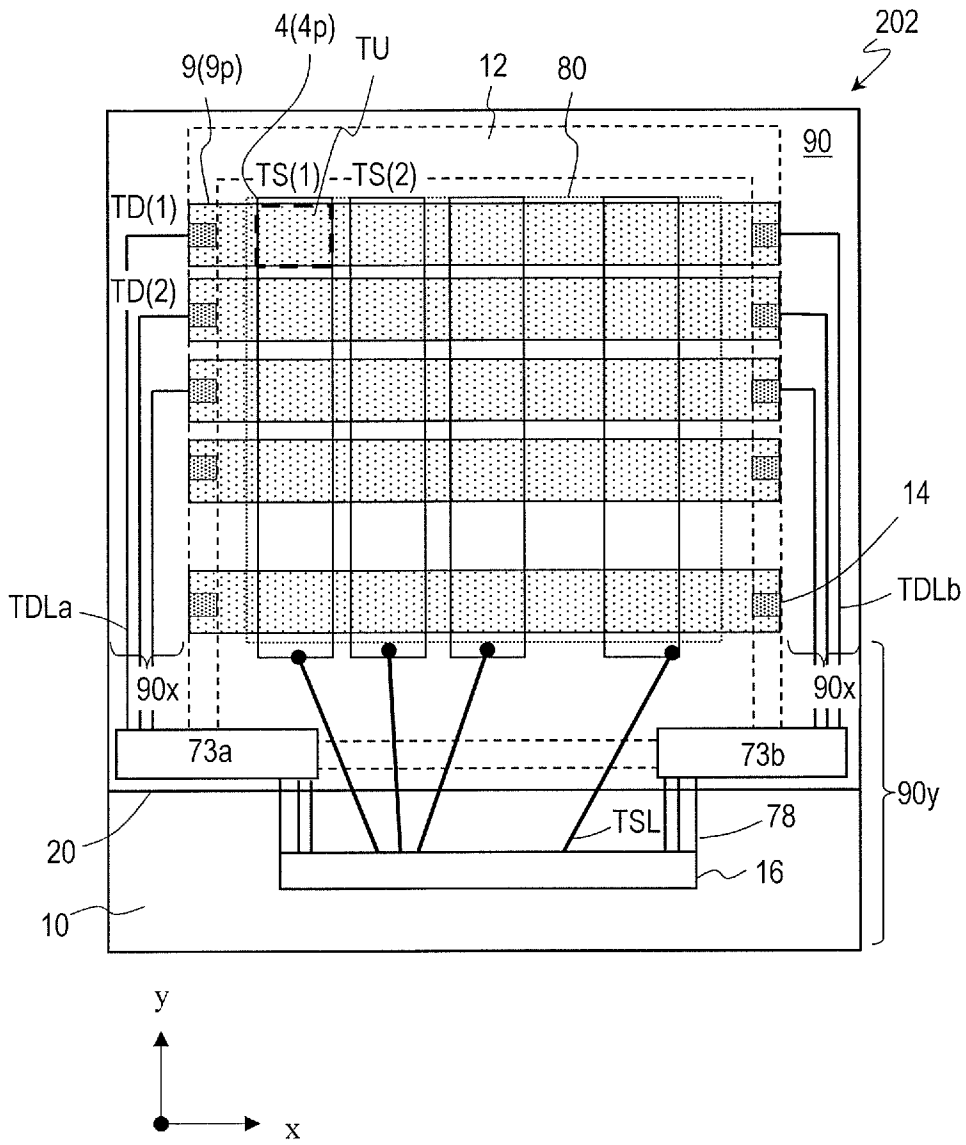
[図15]



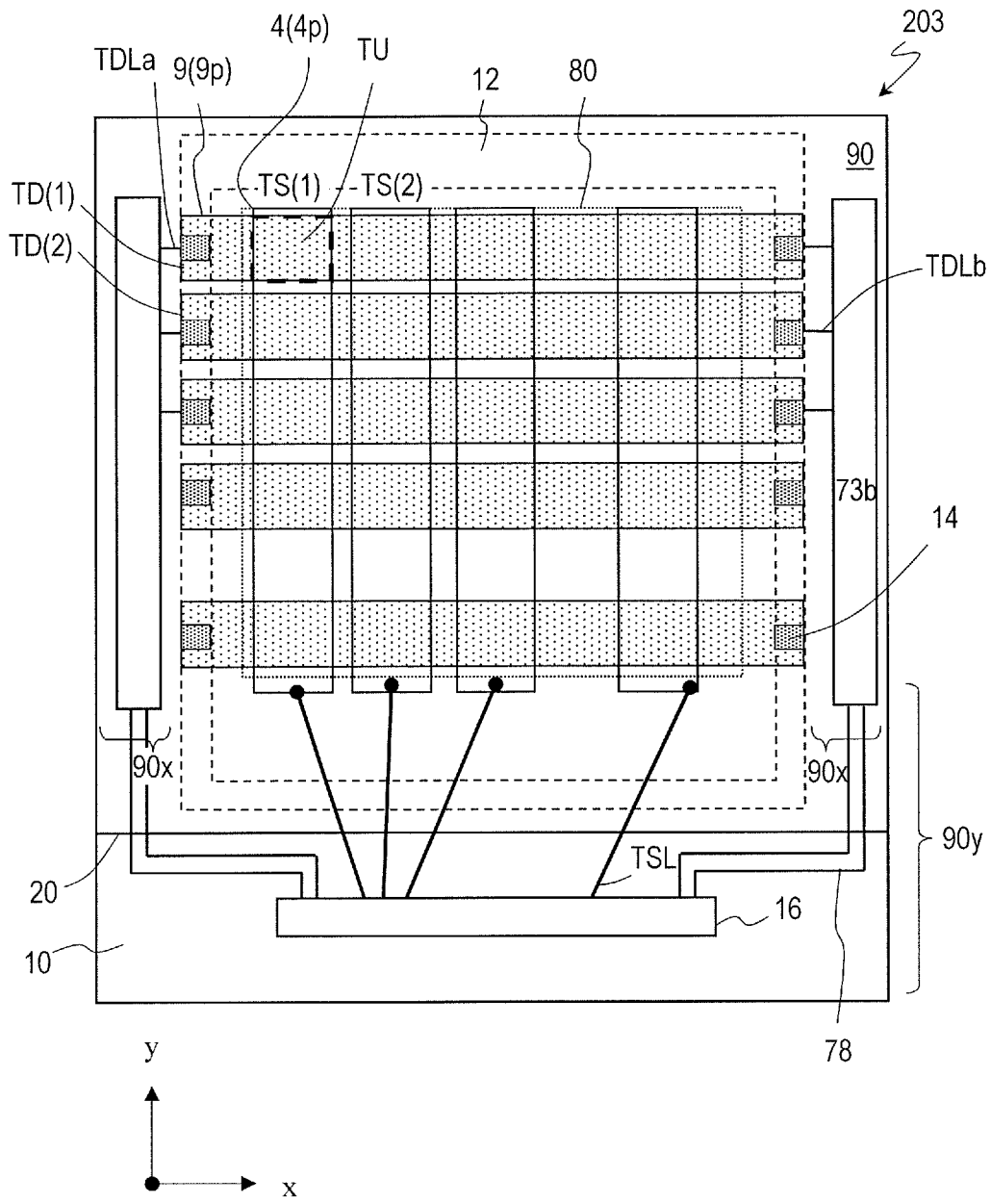
[図16]



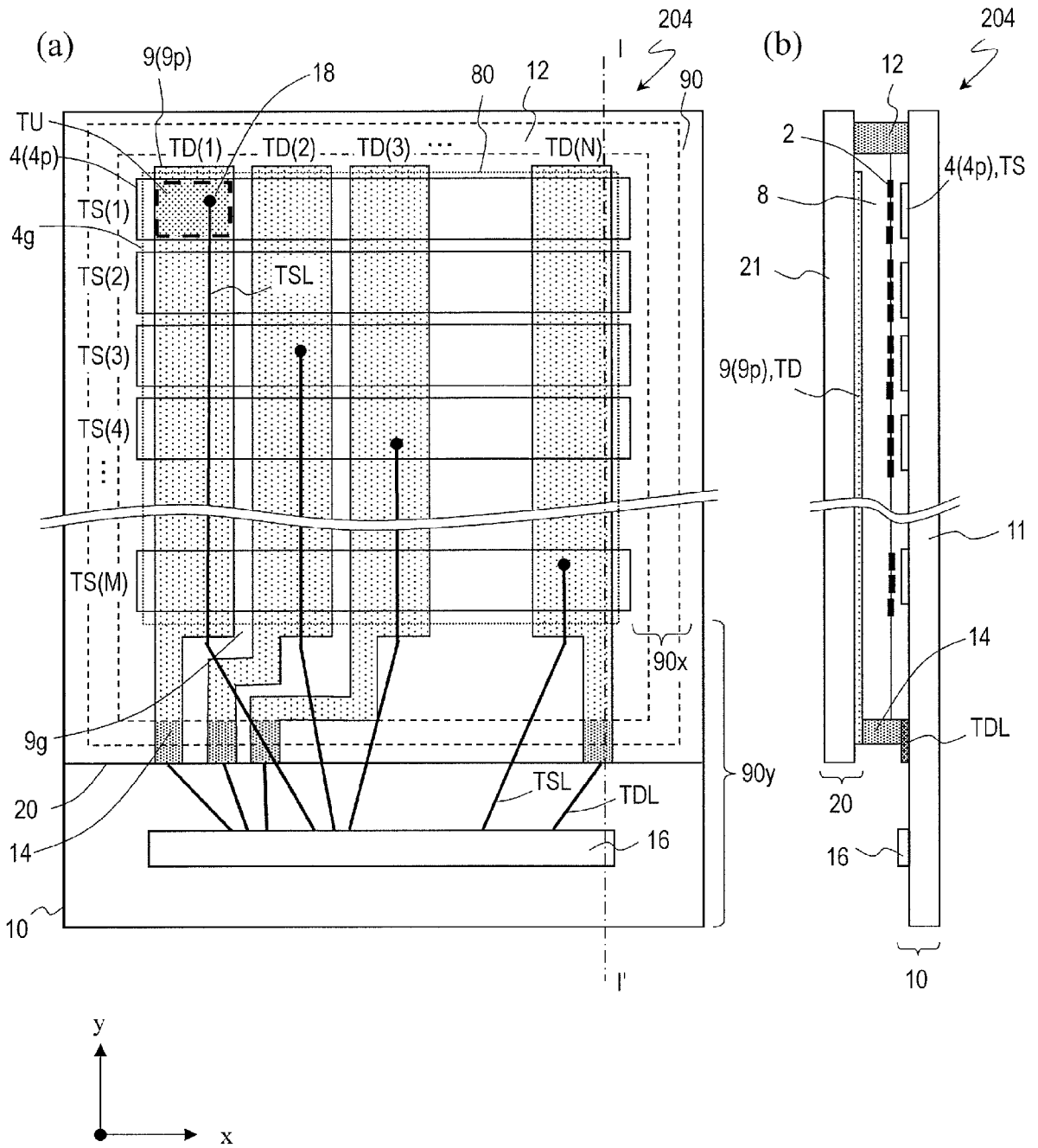
[図17]



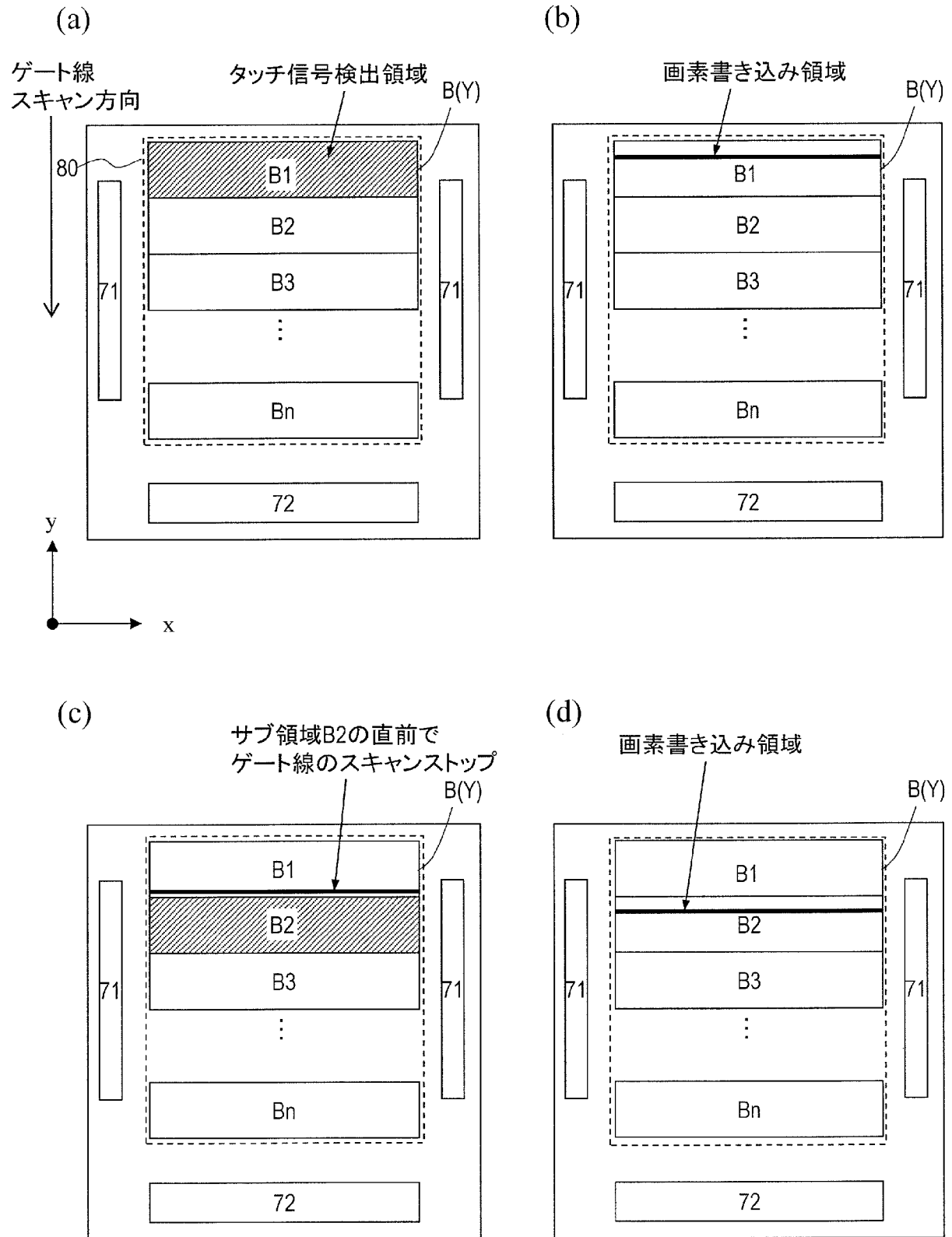
[図18]



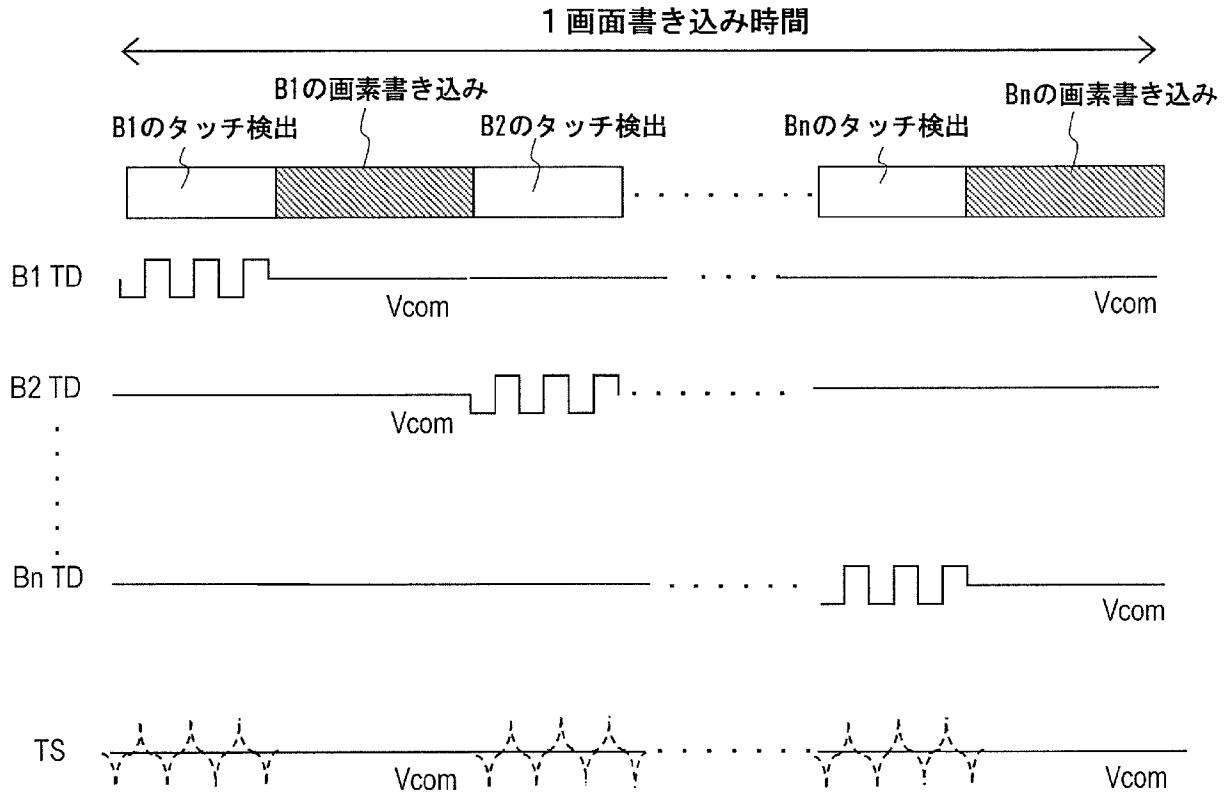
[図19]



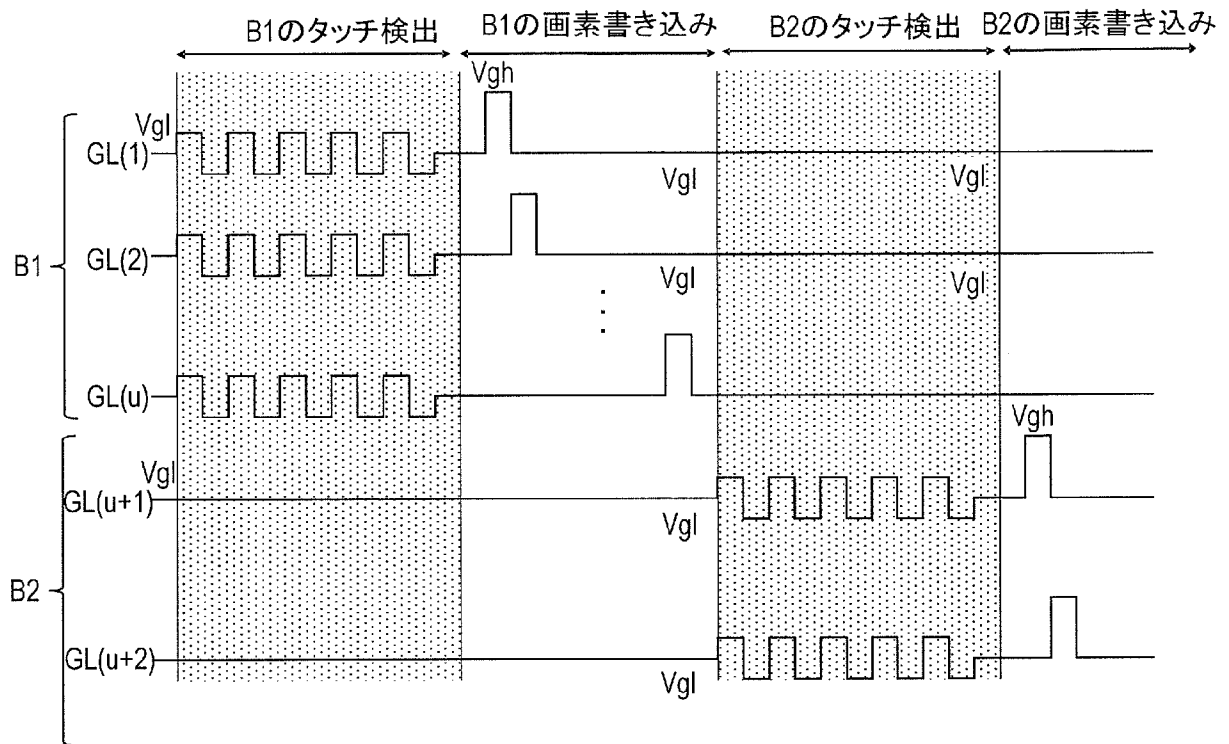
[図20]



[図21]



[図22]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040901

A. CLASSIFICATION OF SUBJECT MATTER
 Int.Cl. G06F3/041 (2006.01) i, G02F1/133 (2006.01) i, G02F1/1333 (2006.01) i,
 G02F1/1343 (2006.01) i, G06F3/044 (2006.01) i
 According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED
 Minimum documentation searched (classification system followed by classification symbols)
 Int.Cl. G06F3/041, G02F1/133, G02F1/1333, G02F1/1343, G06F3/044

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan	1922-1996
Published unexamined utility model applications of Japan	1971-2017
Registered utility model specifications of Japan	1996-2017
Published registered utility model applications of Japan	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	WO 2015/059995 A1 (SHARP CORP.) 30 April 2015, paragraphs [0038]-[0041], [0045], [0058], [0062], [0065]-[0066], [0123], fig. 1, 3, 8 & US 2016/0253030 A1, paragraphs [0068]-[0071], [0075], [0088], [0092], [0095]-[0096], [0151], fig. 1, 3, 8 & CN 105765498 A	1, 11, 13-15 2-7, 12, 16-20 8-10
Y A	JP 2014-41603 A (JAPAN DISPLAY INC.) 06 March 2014, paragraphs [0044]-[0047], [0073], fig. 9, 17 & US 2014/0028616 A1, paragraphs [0072]-[0075], [0103], fig. 9, 17 & CN 103576360 A & KR 10-2014-0013970 A & TW 201409117 A	2-7 8-10
Y A	JP 2014-109904 A (JAPAN DISPLAY INC.) 12 June 2014, paragraph [0080], fig. 8, 22 & US 2014/0152613 A1, paragraph [0139], fig. 8, 22 & CN 103853377 A & KR 10-2014-0070413 A & TW 201423541 A	5, 12 8-10
Y A	JP 2014-115647 A (LG DISPLAY CO., LTD.) 26 June 2014, paragraphs [0101]-[0105], fig. 4-6 & US 2014/0160061 A1, paragraphs [0120]-[0124], fig. 4-6 & EP 2741182 A1 & KR 10-2014-0074453 A & CN 103870050 A	16-20 8-10

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 26 December 2017 (26.12.2017)	Date of mailing of the international search report 23 January 2018 (23.01.2018)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2017/040901

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP 2014-199605 A (JAPAN DISPLAY INC.) 23 October 2014, paragraph [0062] & US 2014/0292709 A1, paragraph [0115]	18-20 8-10
Y A	JP 2015-122057 A (LG DISPLAY CO., LTD.) 02 July 2015, paragraphs [0164]-[0165], fig. 14 & US 2015/0177880 A1, paragraphs [0190]-[0191], fig. 14 & EP 2887185 A1 & KR 10-2015-0073042 A & CN 104731426 A & KR 10-2016-0076507 A	19-20 8-10
P, A	WO 2017/013844 A1 (PANASONIC LIQUID CRYSTAL DISPLAY CO., LTD.) 26 January 2017, abstract, paragraphs [0030]-[0032], fig. 3 & JP 2017-27224 A	8-10

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int.Cl. G06F3/041(2006.01)i, G02F1/133(2006.01)i, G02F1/1333(2006.01)i, G02F1/1343(2006.01)i, G06F3/044(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int.Cl. G06F3/041, G02F1/133, G02F1/1333, G02F1/1343, G06F3/044

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	WO 2015/059995 A1 (シャープ株式会社) 2015.04.30, [0038]-[0041], [0045], [0058], [0062], [0065]-[0066], [0123], 図1, 図3, 図8 & US 2016/0253030 A1, [0068]-[0071], [0075], [0088], [0092], [0095]-[0096], [0151], 図1, 図3, 図8 & CN 105765498 A	1, 11, 13-15 2-7, 12, 16-20 8-10

☑ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

26.12.2017

国際調査報告の発送日

23.01.2018

国際調査機関の名称及びあて先

日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

▲高▼橋 徳浩

電話番号 03-3581-1101 内線 3521

5E

7887

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2014-41603 A (株式会社ジャパンディスプレイ) 2014.03.06, [0044]-[0047], [0073], 図9, 図17 & US 2014/0028616 A1, [0072]-[0075], [0103], 図9, 図17 & CN 103576360 A & KR 10-2014-0013970 A & TW 201409117 A	2-7 8-10
Y A	JP 2014-109904 A (株式会社ジャパンディスプレイ) 2014.06.12, [0080], 図8, 図22 & US 2014/0152613 A1, [0139], 図8, 図22 & CN 103853377 A & KR 10-2014-0070413 A & TW 201423541 A	5, 12 8-10
Y A	JP 2014-115647 A (エルジー ディスプレイ カンパニー リミテ ッド) 2014.06.26, [0101]-[0105], 図4-図6 & US 2014/0160061 A1, [0120]-[0124], 図4-図6 & EP 2741182 A1 & KR 10-2014-0074453 A & CN 103870050 A	16-20 8-10
Y A	JP 2014-199605 A (株式会社ジャパンディスプレイ) 2014.10.23, [0062] & US 2014/0292709 A1, [0115]	18-20 8-10
Y A	JP 2015-122057 A (エルジー ディスプレイ カンパニー リミテ ッド) 2015.07.02, [0164]-[0165], 図14 & US 2015/0177880 A1, [0190]-[0191], 図14 & EP 2887185 A1 & KR 10-2015-0073042 A & CN 104731426 A & KR 10-2016-0076507 A	19-20 8-10
P, A	WO 2017/013844 A1 (パナソニック液晶ディスプレイ株式会社) 2017.01.26, [Abstract], [0030]-[0032], 図3 & JP 2017-27224 A	8-10