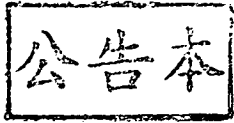


(此處由本局於收  
文時黏貼條碼)

771824



# 發明專利說明書

(本申請書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：97134695

※申請日期：97年09月10日

※IPC分類：H01L27/12 (2006.01)  
H01L21/84 (2006.01)  
H01L21/76 (2006.01)

## 一、發明名稱：

(中) 半導體裝置及其製造方法

(英) Semiconductor device and method for manufacturing the same

## 二、申請人：(共 1 人)

1. 姓名：(中) 半導體能源研究所股份有限公司

(英) SEMICONDUCTOR ENERGY LABORATORY CO., LTD.

代表人：(中) 1. 山崎舜平

(英) 1. YAMAZAKI, SHUNPEI

地址：(中) 日本國神奈川縣厚木市長谷三九八番地

(英) 398, Hase, Atsugi-shi, Kanagawa-ken 243-0036, Japan

國籍：(中英) 日本 JAPAN

## 三、發明人：(共 1 人)

1. 姓名：(中) 山崎 舜平

(英) YAMAZAKI, SHUNPEI

國籍：(中) 日本

(英) JAPAN

## 四、聲明事項：

◎本案申請前已向下列國家(地區)申請專利  主張國際優先權：

【格式請依：受理國家(地區)；申請日；申請案號數 順序註記】

1. 日本 ; 2007/09/21 ; 2007-245822  有主張優先權

## 五、中文發明摘要

發明之名稱：半導體裝置及其製造方法

本發明的目的在於：提供一種可以實現大面積化的半導體裝置的製造方法；提供一種效率高的半導體裝置的製造方法；在使用含有雜質元素的大面積基板的情況下，提供一種可靠性高的半導體裝置。爲了實現半導體裝置的大面積化以及製造效率的提高，藉由同時處理多個半導體基板來製造 SOI 基板。具體地說，是使用可以同時處理多個半導體基板的淺盤來進行一系列的程序。在此，在淺盤上設置有用來保持單晶半導體基板的凹部。此外，藉由設置對製造成的半導體元件特性產生影響的雜質元素起到阻擋層作用的絕緣層，以防止半導體元件特性的退化。

## 六、英文發明摘要

發明之名稱：Semiconductor device and method for manufacturing the same

To provide a method for manufacturing a large-area semiconductor device, to provide a method for manufacturing a semiconductor device with high efficiency, and to provide a highly-reliable semiconductor device in the case of using a large-area substrate including an impurity element. A plurality of single crystal semiconductor substrates are concurrently processed to manufacture an SOI substrate, so that an area of a semiconductor device can be increased and a semiconductor device can be manufactured with improved efficiency. In specific, a series of processes is performed using a tray with which a plurality of semiconductor substrates can be concurrently processed. Here, the tray is provided with at least one depression for holding single crystal semiconductor substrates. Further, deterioration of characteristics of a manufactured semiconductor element is prevented by providing an insulating layer serving as a barrier layer against an impurity element which may affect characteristics of the semiconductor element.

七、指定代表圖：

(一) 本案指定代表圖為：第(1)圖

(二) 本代表圖之元件符號簡單說明：

100：半導體基板

101：支撐基板

102：絕緣層

112a：絕緣膜

112b：絕緣膜

114：接合層

116：單晶半導體層

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無

## 九、發明說明

### 【發明所屬之技術領域】

本發明關於一種 SOI ( Silicon on Insulator ; 絕緣體上矽 ) 結構的半導體裝置及其製造方法。注意，在本說明書中半導體裝置是指能夠藉由利用半導體特性工作的所有的裝置。

### 【先前技術】

近年來，在 VLSI 技術飛躍地進步的情況下，可以實現高速化、低耗電量化的 SOI 結構引人注目。該技術是利用單晶矽薄膜作為現有的由塊狀單晶矽形成的電場效應電晶體 ( FET ; Field Effect Transistor ) 的活性區域 ( 通道形成區域 ) 的技術。並且已知藉由使用 SOI 結構來製造 MOS 型電場效應電晶體 ( MOSFET ; Metal Oxide Semiconductor ) ，可以使寄生電容小於現有的使用塊狀單晶矽基板的情況，且有利於高速化。

作為具有 SOI 結構的基板 ( 以下也稱為 SOI 基板 ) ，可以舉出 SIMOX 基板以及貼合基板等。例如，對 SIMOX 基板來說，可以藉由對單晶矽基板注入氧離子，並在 1300°C 以上進行熱處理來形成埋氧 ( BOX ; Buried Oxide ) 層，來在其表面上形成單晶矽薄膜，而得到 SOI 結構。SIMOX 基板由於可以對氧離子的注入進行精密地控制進而可以控制性良好地形成膜厚均勻的單晶矽薄膜，但是注入氧離子需要較長時間所以在時間和成本上存在問

題。此外，還存在當注入氧離子時容易對單晶矽膜造成損壞的問題。

對貼合基板（SOI 基板）來說，可以藉由以中間夾著氧化膜的方式將兩個單晶矽基板（支撐基板以及鍵合基板）貼合，並且從其一的單晶矽基板（支撐基板）的背面（不是貼合面的面）進行磨削・拋光，來實現薄膜化，從而形成單晶矽薄膜而得到。由於藉由磨削・拋光難以得到均勻且較薄的單晶矽薄膜，所以提案一種利用氫離子注入達到薄膜化的被稱為智慧切割（註冊商標）的技術（例如，參照專利文獻 1）。

[專利文獻 1]日本專利申請公開 H5-211128 號公報

### 【發明內容】

但是，在現有的 SOI 基板中，由於將單晶矽片用於支撐基板，因此難以實現大面積化。鑒於上述問題，本發明的目的在於：提供一種可以實現大面積化的半導體裝置的製造方法；提供一種效率高的半導體裝置的製造方法；在使用含有雜質元素之類的大面積基板時，提供一種可靠性高的半導體裝置。此外，提供一種使用了上述製造方法的半導體裝置。

在本發明中，為了實現半導體裝置的大面積化以及製造效率的提高，藉由同時處理多個半導體基板的方法來製造 SOI 基板。具體地說，是使用可以同時處理多個單晶半導體基板的淺盤來進行一系列的程序。在此，淺盤提供有

用來保持單晶半導體基板的凹部。此外，藉由設置對製造成的半導體元件特性產生影響的雜質元素起到阻擋層作用的絕緣層，以防止半導體元件特性的退化。

本發明的一種半導體裝置，包括：含有對半導體元件特性產生影響的雜質元素的基板；基板上的接合層；接合層上的對雜質元素起到阻擋層作用的第一絕緣層；由第一絕緣層上的多個單晶半導體層之一形成的多個半導體元件，其中以覆蓋多個半導體元件的方式設置有用作阻擋層的第二絕緣層。

本發明的另一種半導體裝置，包括：含有對半導體元件特性產生影響的雜質元素的基板；基板上的對雜質元素起到阻擋層作用的第一絕緣層；第一絕緣層上的接合層；由接合層上的多個單晶半導體層之一形成的多個半導體元件，其中以覆蓋多個半導體元件的方式設置有用作阻擋層的第二絕緣層。

在上述內容中，第一絕緣層還存在於多個單晶半導體層之一與相鄰的另一個單晶半導體層之間的空隙的區域內。該空隙最好為 0.5 mm 以下。在接合層和單晶半導體層之間也可以包括第三絕緣層。

此外，在上述內容中，第一絕緣層可以採用氧氮化矽膜和氮氧化矽膜的疊層結構。第二絕緣層可以採用氧氮化矽膜和氮氧化矽膜的疊層結構。

利用上述半導體裝置可以提供各種各樣的電子設備。

本發明的一種半導體裝置的製造方法，包括如下步驟

：將多個單晶半導體基板設置在第一淺盤上；在多個單晶半導體基板的一個表面上形成用作阻擋層的第一絕緣層；藉由對第一絕緣層的表面照射離子，以在多個單晶半導體基板中形成損傷區域；在第一絕緣層上形成接合層；藉由使設置在第二淺盤上的多個單晶半導體基板的接合層與含有對半導體元件特性產生影響的雜質元素的基板互相接觸，貼合單晶半導體基板與基板；藉由實施加熱處理使多個單晶半導體基板沿著損傷區域分離，在基板上形成多個單晶半導體層；藉由使用多個單晶半導體層之一，形成多個半導體元件；以覆蓋多個半導體元件的方式形成用作阻擋層的第二絕緣層。

本發明的另一種半導體裝置的另一製造方法，包括如下步驟：將多個單晶半導體基板設置在第一淺盤上；藉由對多個單晶半導體基板的一個表面照射離子，以在多個單晶半導體基板中形成損傷區域；在一個表面上形成接合層；在含有對半導體元件特性產生影響的雜質元件的基板上形成用作阻擋層的第一絕緣層；藉由使設置在第二淺盤上的多個單晶半導體基板的接合層與基板上的第一絕緣層互相接觸，貼合單晶半導體基板和基板；藉由實施加熱處理使多個單晶半導體基板沿著損傷區域分離，在基板上形成多個單晶半導體層；藉由使用多個單晶半導體層之一，形成多個半導體元件；以覆蓋多個半導體元件的方式形成用作阻擋層的第二絕緣層。

在上述內容中，第一絕緣層還存在於多個單晶半導體

層之一與相鄰的另一個單晶半導體層之間的空隙的區域內。該空隙最好為 0.5 mm 以下。在接合層和多個單晶半導體基板之間也可以形成第三絕緣層。

此外，在上述內容中，第一絕緣層可以採用氧氮化矽膜和氮氧化矽膜的疊層結構。第二絕緣層可以採用氧氮化矽膜和氮氧化矽膜的疊層結構。

注意，所述第一淺盤與第二淺盤最好採用石英玻璃或不鏽鋼形成。第一淺盤與第二淺盤，既可以使用同一淺盤，也可以使用不同淺盤。此時，若包括清洗淺盤的程序，經過清洗程序前的淺盤與經過清洗程序後的淺盤可以視為不同的淺盤。

根據本發明可以提供大面積的半導體基板（SOI 基板）。即，可以實現半導體裝置的大面積化。此外，據此還可以提高半導體裝置的生產性。此外，藉由設置用作阻擋層的絕緣層，即便是使用含有大量雜質元素的基板作為支撐基板，也可以控制半導體裝置的可靠性的低下。也就是說，可以以低成本提供可靠性高的半導體裝置。

### 【實施方式】

下面，對本發明進行說明。本發明可以以多個不同方式來實施，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容在不脫離本發明的宗旨及其範圍下可以被變換為各種各樣的形式。因此，本發明不應該被解釋為僅限定在實施方式以及實施例所記載的內



容中。此外，在不同附圖中使用相同附圖標記表示相同要素，並對關於材料、形狀、製造方法等的反復說明進行省略。

### 實施方式 1

在本實施方式中，對在基板上包括多個單晶半導體層的半導體基板及其製造方法進行說明。

圖 1 是示出半導體基板 100 的結構例的立體圖。半導體基板 100 具有在一個支撐基板 101 上貼合有多個單晶半導體層 116 的結構。各個單晶半導體層 116 隔著絕緣層 102 設置在支撐基板 101 上，半導體基板 100 即是被稱為 SOI 基板的基板。

絕緣層 102 既可為單層結構又可為疊層結構。在本實施方式中，絕緣層 102 為三層結構，從支撐基板 101 一側層疊有接合層 114、絕緣膜 112b（氮氧化矽層）以及絕緣膜 112a（氧氮化矽層）。

單晶半導體層 116 是將單晶半導體基板薄膜化而形成的層。作為該單晶半導體基板，可以使用在市場出售的半導體基板，例如單晶矽基板、單晶鍺基板、單晶矽鍺基板等，由第 4 族元素（第 14 族元素）構成的單晶半導體基板。此外，還可以使用鎵砷或銾磷等的化合物半導體基板。

作為支撐基板 101，最好使用具有絕緣表面的基板。作為具有絕緣表面的基板，可以列舉出使用於電子工業的

各種玻璃基板、石英基板、陶瓷基板、以及藍寶石基板等。從成本的觀點來看，最好將玻璃基板用作支撐基板 101。作為玻璃基板，最好使用例如熱膨脹係數為  $25 \times 10^{-7}/^{\circ}\text{C}$  以上且  $50 \times 10^{-7}/^{\circ}\text{C}$  以下（最好的是， $30 \times 10^{-7}/^{\circ}\text{C}$  以上且  $40 \times 10^{-7}/^{\circ}\text{C}$  以下），並且應變點為  $580^{\circ}\text{C}$  以上且  $680^{\circ}\text{C}$  以下（最好的是， $600^{\circ}\text{C}$  以上且  $680^{\circ}\text{C}$  以下）的基板。此外，為了減少對半導體裝置的污染，玻璃基板最好為無鹼玻璃基板。無鹼玻璃基板，例如利用玻璃材料諸如鋁矽酸鹽玻璃、鋁硼矽酸鹽玻璃、鋇硼矽酸鹽玻璃等形成。此外，作為支撐基板 101，除了使用具有絕緣表面的基板以外，還可以使由金屬、不鏽鋼等導電體構成的導電性基板，以及由矽或鎵砷等半導體構成的半導體基板等。

作為玻璃基板，最好使用為製造液晶面板而開發的母體玻璃。作為母體玻璃，已知有例如第三代（ $550\text{mm} \times 650\text{mm}$ ）、第三·五代（ $600\text{mm} \times 720\text{mm}$ ）、第四代（ $680\text{mm} \times 880\text{mm}$  或者  $730\text{mm} \times 920\text{mm}$ ）、第五代（ $1100\text{mm} \times 1300\text{mm}$ ）、第六代（ $1500\text{mm} \times 1850\text{mm}$ ）、第七代（ $1870\text{mm} \times 2200\text{mm}$ ）、第八代（ $2200\text{mm} \times 2400\text{mm}$ ）等型號的基板。藉由使用大面積的母體玻璃作為支撐基板 101 製造 SOI 基板，可以實現 SOI 基板的大面積化。

藉由使用母體玻璃那樣的大面積基板作為支撐基板 101，可以實現 SOI 基板的大面積化。若 SOI 基板的大面積化得以實現即可以提供大型的半導體裝置。或者，可以一次性的製造多個積體電路（也稱為 IC、LSI 等），由於

從一個基板取出的數量增加，從而可以使生產性得到大幅度地提高。

以下參照圖 2 至圖 10B 對圖 1 所示的半導體基板 100 的製作方法進行說明。

首先，準備單晶半導體基板 110。將單晶半導體基板 110 加工成所希望的尺寸和形狀。圖 2 是示出單晶半導體基板 110 結構的一例的外觀圖。考慮到與矩形的支撐基板 101 貼合以及縮小投影曝光設備等的曝光設備的曝光區域為矩形等原因，單晶半導體基板 110 的形狀最好為如圖 2 所示的矩形形狀。例如，從生產性來看，最好將矩形單晶半導體基板 110 的長邊加工成縮小投影曝光設備的一次的曝光區域的一邊的  $n$  倍（ $n$  是自然數）長。注意，除非另有說明，認為正方形也包括在矩形中。

矩形單晶半導體基板 110 可以藉由將市場上出售的圓形的塊狀單晶半導體基板切割來形成。當切割基板時，可以利用切割器或鋼絲鋸等切割，也可以使用雷射切割、電漿切割、電子束切割、以及其他的任意的切割方法。或者，將作為基板的薄片化前的用於半導體基板製造的錠加工成切割面為矩形的長方體形狀，由此即便對該長方體形狀的錠進行薄片化，也可以製造矩形單晶半導體基板 110。

在清洗單晶半導體基板 110 之後，在淺盤 10 上設置多個單晶半導體基板 110。圖 3 為示出淺盤 10 結構的一例的外觀圖。淺盤 10 為板狀構件，且形成有用來保持單晶半導體基板 110 的多個凹部 11。在圖 3 所示的淺盤 10

中，形成 3 行 3 列的凹部 11。當然，本發明不應該被解釋為僅限定於該結構，可以適當地變更行數以及列數。如圖 4 所示那樣，使用該淺盤 10 將單晶半導體基板 110 設置在淺盤 10 的凹部 11 上。

淺盤 10 使用不因半導體基板 100 的製造程序中的熱處理，發生變形・變質的材料形成。尤其，最好選擇熱膨脹小的材料。例如，可以使用石英或不鏽鋼製造淺盤 10。

淺盤 10 的厚度，例如可以為 1.1mm 以上且 2mm 以下。當然，只要能夠確保一定的強度並不局限於此厚度。凹部 11 的深度，例如可以為 0.2mm 以上且 0.6mm 以下，最好的是 0.3mm 以上且 0.5mm 以下。注意，關於凹部 11 的深度，只要是能夠保持單晶半導體基板 110 的深度即可，不局限於上述深度。作為淺盤 10 的尺寸，最好與支撐基板 101 大致相同的尺寸。藉由使淺盤 10 與支撐基板的尺寸大致相同，當貼合時較容易進行位置對準。將凹部 11 的尺寸設定為能夠容納單晶半導體基板 110 的尺寸。最好的是，凹部 11 的尺寸與單晶半導體基板 110 的尺寸大致相同。例如，將凹部 11 的一邊與對應的單晶半導體基板 110 的一邊的長度的差設定為 0.5mm 以下。如此，藉由將凹部 11 的尺寸與單晶半導體基板 110 的尺寸設定為大致相同，可以大幅地提高貼合時的位置精度。注意，在本實施方式的製造方法中，半導體基板 100 上的單晶半導體層 116 的尺寸和排列根據凹部 11 的尺寸和排列決定。

圖 5A 和 5B、圖 6A 和 6B 為示出淺盤 10 結構例的俯視圖。圖 5A 和 5B 是使用尺寸為 600mm×720mm 的母體玻璃用作支撐基板 101 時的淺盤 10 的平面圖，淺盤 10 的尺寸與母體玻璃的尺寸同為 600mm×720mm。圖 6A 和 6B 為使用尺寸為 730mm×920mm 的第四代母體玻璃用作支撐基板 101 時的淺盤 10 的平面圖，淺盤 10 的尺寸與母體玻璃的尺寸同為 730mm×920mm。

圖 5A 是淺盤 10 的平面圖，在淺盤 10 中考慮到凹部 11 的尺寸以及設置以對應於曝光區域尺寸為 4 英寸角的縮小投影曝光設備。淺盤 10 被區分為 4 個框體，各個框體中形成有設置為 3 行 3 列的 9 個凹部 11。各個凹部 11 的尺寸可以容納在一次曝光區域內為 102mm×82mm。在一個框體中，凹部 11 的間隔縱向、橫向同為 11mm，且淺盤 10 的邊緣與凹部 11 之間的距離縱向、橫向同為 16mm。

圖 5B 是淺盤 10 的平面圖，在淺盤 10 中考慮到凹部 11 的尺寸以及設置以對應於曝光區域尺寸為 4 英寸角的縮小投影曝光設備。淺盤 10 被區分為 4 個框體，各個框體中形成有設置為 3 行 2 列的 6 個凹部 11。各個凹部 11 的尺寸可以容納在一次曝光區域內為 102mm×130mm。在一個框體中，凹部 11 的間隔為縱向 11mm、橫向 10mm，且淺盤 10 的邊緣與凹部 11 之間的距離縱向、橫向同為 16mm。

圖 6A，是淺盤 10 的平面圖，在淺盤 10 中考慮到凹

部 11 的尺寸以及設置以對應於曝光區域尺寸為 4 英寸角的縮小投影曝光設備。淺盤 10 被區分為 6 個框體，各個框體中形成有設置為 3 行 3 列的 9 個凹部 11。各個凹部 11 的尺寸可以容納在一次曝光區域內為  $105\text{mm}\times 84\text{mm}$ 。在一個框體中，凹部 11 的間隔為縱向  $11\text{mm}$ 、橫向  $10\text{mm}$ ，且淺盤 10 的邊緣與凹部 11 之間的距離為縱向  $16\text{mm}$ 、橫向  $15\text{mm}$ 。

圖 6B，是淺盤 10 的平面圖，在淺盤 10 中考慮到凹部 11 的尺寸以及設置以對應於曝光區域尺寸為 4 英寸角的縮小投影曝光設備。淺盤 10 被區分為 6 個框體，各個框體中形成有設置為 2 行 3 列的 6 個凹部 11。各個凹部 11 的尺寸可以容納在一次曝光區域內為  $132\text{mm}\times 105\text{mm}$ 。在一個框體中，凹部 11 的間隔為縱向  $13\text{mm}$ 、橫向  $10\text{mm}$ ，且淺盤 10 的邊緣與凹部 11 之間的距離縱向、橫向同為  $15\text{mm}$ 。

注意，上述的淺盤 10 的結構只是一個例子，本發明不應該被解釋為僅限定於該結構。例如，也可以採用縮短一個框體中的凹部 11 的間隔並連續地排列單晶半導體基板 110 的結構。此外，還可以藉由使用更大的淺盤，以對應更大的母體玻璃。

如圖 4 所示，在淺盤 10 上設置單晶半導體基板 110 之後，如圖 7A 所示在單晶半導體基板 110 上形成絕緣層 112。絕緣層 112 可為單層結構，或者，2 層以上的多層結構。此外，其厚度可以設定為  $5\text{nm}$  以上且  $40\text{nm}$  以下。

作為其製造方法，可以例舉出 CVD 法、濺射法、或者氧化或氮化單晶半導體基板 110 表面的方法等。作為構成絕緣層 112 的膜，可以使用氧化矽膜、氮化矽膜、氧氮化矽膜、氮氧化矽膜、氧化鍺膜、氮化鍺膜、氧氮化鍺膜、氮氧化鍺膜等包含矽或鍺作為其組成的絕緣膜。此外，還可以使用：由金屬的氧化物構成的絕緣膜如氧化鋁膜、氧化鋇膜、氧化鈣膜等；由金屬氮化物構成的絕緣膜如氮化鋁膜等；由金屬氧氮化物構成的絕緣膜如氧氮化鋁膜等；由金屬氮氧化物構成的絕緣膜如氮氧化鋁膜等。

在本說明書中，氧氮化物是指在其組成中氧的含量多於氮的含量的物質。例如，氧氮化矽是在 50 原子%以上且 70 原子%以下的範圍含有氧，在 0.5 原子%以上且 15 原子%以下的範圍含有氮，在 25 原子%以上且 35 原子%以下的範圍含有矽，在 0.1 原子%以上且 10 原子%以下的範圍含有氫的物質。此外，氮氧化物是指在其組成中氮的含量多於氧的含量的物質。例如，氮氧化矽是在 5 原子%以上且 30 原子%以下的範圍含有氧，在 20 原子%以上且 55 原子%以下的範圍含有氮，在 25 原子%以上且 35 原子%以下的範圍含有矽，在 10 原子%以上且 30 原子%以下的範圍含有氫的物質。但是，上述範圍是利用盧瑟福背散射光譜學法（RBS：Rutherford Backscattering Spectrometry），或氫前方散射法（HFS：Hydrogen Forward Scattering）測定時的情況。此外，構成元素的含有比率成為其合計不超過 100 原子%的值。

在將包含鹼金屬或鹼土金屬等降低半導體裝置可靠性的雜質的基板用作支撐基板 101 時，最好在絕緣層 112 中包括至少一個以上的如下膜：可以防止這種雜質從支撐基板 101 擴散到 SOI 基板的半導體層的膜。作為這種膜，有氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜等。藉由包括這種膜，可以使絕緣層 112 起到阻擋層的作用。

例如，當絕緣層 112 為具有單層結構的阻擋層時，藉由利用厚度為 5nm 以上且 200nm 以下的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜來形成絕緣層 112，即可。

當絕緣層 112 為具有兩層結構的阻擋層時，上層由阻擋功能高的絕緣膜構成。例如，可以使用厚度為 5nm 以上且 200nm 以下左右的氮化矽膜、氮氧化矽膜、氮化鋁膜、氮氧化鋁膜。注意，這些膜雖然對防雜質擴散有良好的阻擋效果，其內部應力也較大。為此，作為與單晶半導體基板 110 相接的下層絕緣膜，最好選擇具有緩和上層絕緣膜的應力效果的膜。作為此種絕緣膜，有氧化矽膜、氧氮化矽膜以及藉由對單晶半導體基板 110 進行熱氧化處理形成的熱氧化膜等。作為下層絕緣膜的厚度，例如可以設定為 5nm 以上且 300nm 以下左右。

在本實施方式中，絕緣層 112 為由絕緣膜 112a 與絕緣膜 112b 形成的兩層結構。作為將絕緣層 112 用作阻擋層時的絕緣膜 112a 與絕緣膜 112b 的組合，例如有氧化矽膜和氮化矽膜、氧氮化矽膜和氮化矽膜、氧化矽膜和氮氧



化矽膜、氧氮化矽膜和氮氧化矽膜等。

例如作為下層的絕緣膜 112a，可以採用使用  $\text{SiH}_4$  以及  $\text{N}_2\text{O}$  作為過程氣體且利用電漿激發 CVD 法（以下也稱作 PECVD 法）形成的氧氮化矽膜。也可以採用使用有機矽烷氣體和氧作為過程氣體且利用 PECVD 法形成的氧化矽膜。此外，也可以採用藉由氧化單晶半導體基板 110 而形成的氧化膜作為絕緣膜 112a。

其中，有機矽烷是指含有矽原子的有機化合物。例如，矽酸乙酯（TEOS：化學式  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ）、三甲基矽烷（TMS：化學式  $\text{Si}(\text{CH}_3)_4$ ）、四甲基環四矽氧烷（TMCTS）、八甲基環四矽氧烷（OMCTS）、六甲基二矽氮烷（HMDS）、三乙氧基矽烷（ $\text{SiH}(\text{OC}_2\text{H}_5)_3$ ）、三二甲氨基矽烷（ $\text{SiH}(\text{N}(\text{CH}_3)_2)_3$ ）等。

作為上層絕緣膜 112b，例如可以採用藉由使用  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  以及  $\text{H}_2$  作為過程氣體且利用 PECVD 法形成的氧氮化矽膜。也可以採用藉由使用  $\text{SiH}_4$ 、 $\text{N}_2$ 、 $\text{NH}_3$  以及  $\text{H}_2$  並利用 PECVD 法形成的氮氧化矽膜。

在使用 PECVD 法形成由氧氮化矽形成的絕緣膜 112a 和由氮氧化矽形成的絕緣膜 112b 的情況，例如，將設置在淺盤 10 上的多個單晶半導體基板 110 搬入到 PECVD 裝置的處理室內，生成  $\text{SiH}_4$  以及  $\text{N}_2\text{O}$  的混合氣體電漿，並在單晶半導體基板 110 上形成氧氮化矽膜，然後將引入到處理室的氣體更換為  $\text{SiH}_4$ 、 $\text{N}_2\text{O}$ 、 $\text{NH}_3$  以及  $\text{H}_2$ ，並生成這些混合氣體的電漿，從而可以在氧氮化矽膜上連續地形成

氮氧化矽膜。此外，在使用具有多個處理室的 PECVD 裝置時，也可以在不同的處理室形成氧氮化矽膜和氮氧化矽膜。當然，藉由更換引入到處理室的氣體，既可以形成氧化矽膜作為下層，又可以形成氮化矽膜作為上層。

如上所述藉由形成絕緣膜 112a 以及絕緣膜 112b，可以生產率良好地在多個單晶半導體基板 110 上形成絕緣層 112。此外，由於在不接觸大氣的情況下形成絕緣膜 112a 和絕緣膜 112b，可以防止絕緣膜 112a 和絕緣膜 112b 的表面受到大氣污染。

作為絕緣膜 112a，可以採用藉由對單晶半導體基板 110 進行氧化處理而形成的氧化膜。作為為形成該氧化膜而進行的熱氧化處理，雖然可以使用乾氧化，最好在氧化氣氛中添加含有鹵素的氣體。作為含鹵素氣體，可以選擇採用以下氣體中的一種或多種：HCl、HF、NF<sub>3</sub>、HBr、Cl<sub>2</sub>、ClF、BCl<sub>3</sub>、F<sub>2</sub>、Br<sub>2</sub> 等。

例如，在相對於氧包含 0.5 體積 % 以上 10 體積 % 以下（最好為 3 體積 % 左右）的比率的 HCl 的氣氛中，並在 700℃ 以上的溫度下進行熱處理。作為其一例，可以在 950℃ 以上 1100℃ 以下的加熱溫度下進行熱氧化。處理時間為 0.1 小時以上 6 小時以下，最好為 0.5 小時以上 1 小時以下。形成的氧化膜的厚度為 10nm 以上 1000nm 以下（最好為 50nm 以上 200nm 以下），例如為 100nm 厚。

藉由在這樣的溫度範圍內進行氧化處理，可以得到由鹵素元素帶來的吸雜效應（去除金屬雜質的效應）。也就

是說，由於氯的作用，金屬等雜質變成揮發性氯化物脫離到氣象中，從而將其從單晶半導體基板 110 中去除。此外，由於包含在氧化氣氛中的鹵素元素，可以終結單晶半導體基板 110 的表面缺陷，從而可以減低氧化膜與單晶半導體基板 110 的表面局域態密度。

可以藉由在該含有鹵素的氣氛中進行熱氧化處理來使氧化膜中包含鹵素。鹵素元素藉由以  $1 \times 10^{17} \text{ atoms/cm}^3$  以上  $5 \times 10^{20} \text{ atoms/cm}^3$  以下左右的濃度包含在氧化膜中，可以使該氧化膜在半導體基板 100 中呈現捕獲金屬等雜質來防止單晶半導體層 116 污染的保護膜功能。

在藉由熱氧化處理形成下層絕緣膜 112a 並利用 PECVD 法等氣相法形成上層絕緣膜 112b 時，也可以在將單晶半導體基板 110 設置在淺盤 10 之前，藉由熱氧化處理形成絕緣膜 112a，並將形成有絕緣膜 112a 的單晶半導體基板 110 排列在淺盤 10 上，然後形成絕緣膜 112b。

接著，如圖 7B 所示，隔著絕緣層 112 對單晶半導體基板 110 照射由被電場加速了的離子構成的離子束 121，以在離單晶半導體基板 110 表面有預定深度的區域中形成損傷區域 113（也稱為脆化區域）。由於成為損傷區域 113 的區域的深度與離子平均侵入深度大略相同，其深度可以根據離子束 121 的加速能量和離子束 121 的入射角來控制。加速能量可以藉由加速電壓及劑量等控制。注意，從單晶半導體基板 110 分離的半導體層的厚度根據損傷區域 113 的深度而決定。可以以 50nm 以上且 500nm 以下的

深度，最好以 50nm 以上且 200nm 以下的深度形成損傷區域 113。

作為對單晶半導體基板 110 進行離子照射的方法，與伴隨質量分離的離子注入法相比最好採用不伴隨質量分離的離子摻雜法。由此，可以縮短在大型（大面積的）淺盤 10 上設置的多個單晶半導體基板 110 上形成損傷區域 113 的節拍時間。

當使用離子摻雜法時，將容納在淺盤 10 中的單晶半導體基板 110 搬入到離子摻雜裝置的處理室內。藉由激發過程氣體來生成電漿，並從該電漿中引出所希望的離子並藉由將其加速來形成離子束 121。並且藉由用所述離子束 121 來照射多個單晶半導體基板 110，在預定深度處離子被高濃度地引入從而形成損傷區域 113。

當使用氫（ $H_2$ ）作為源氣體時，可以藉由激發氫氣體生成  $H^+$ 、 $H_2^+$ 、 $H_3^+$ 。由源氣體生成的離子種的比例可以藉由調節以下條件進行變化。如調節電漿的激發方法、用來促使電漿發生的氣氛的壓力以及源氣體的供給量等。當利用離子摻雜法進行離子照射時，使其至少含有相對與離子束 121 中的離子總量 50% 以上的  $H_3^+$  離子。最好包含 70% 以上的  $H_3^+$  離子，更最好為 80% 以上。藉由將  $H_3^+$  的比例設定為 50% 以上，包含在離子束 121 中的  $H^+$ 、 $H_2^+$  的比例相對減少，從而可以減少包含在離子束 121 中的氫離子的平均侵入深度的不均勻。由此，提高離子的照射效率，並縮短節拍時間。此外，由於與  $H^+$ 、 $H_2^+$  相比  $H_3^+$

的質量較大，在相同加速電壓的情況（即離子的能量相同）下，可以較淺的形成損傷區域。也就是說，可以將半導體層薄膜化。注意，與  $H^+$ 、 $H_2^+$  相比  $H_3^+$  的半導體基板的輪廓較陡峭。就是說，即便在照射總量較少的情況下，也可以良好地進行分離。

藉由使用氫作為源氣體的離子參雜法進行離子照射時，最好將加速電壓設定為 10kV 以上且 200kV 以下左右，劑量設定為  $1 \times 10^{16} \text{ ions/cm}^2$  以上且  $6 \times 10^{16} \text{ ions/cm}^2$  以下左右。藉由在該條件下照射氫離子，雖然還要取決於包含在離子束 121 中的離子種及其比例，但是可以在單晶半導體基板 110 的深度為 50nm 以上且 500nm 以下的區域形成損傷區域 113。

例如，在單晶半導體基板 110 為單晶矽基板，絕緣膜 112a 是厚度為 50nm 的氧氮化矽膜，且絕緣膜 112b 是厚度為 50nm 的氮氧化矽膜的情況下，將氫用作源氣體，且加速電壓為 40kV、劑量為  $2.2 \times 10^{16} \text{ ions/cm}^2$  的條件下，可以從單晶半導體基板 110 分離厚度為 120nm 左右的單晶半導體層。或者，在將絕緣膜 112a 設定為厚度 100nm 的氧氮化矽膜，且其他條件相同的情況下，可以從單晶半導體基板 110 分離厚度為 70nm 左右的半導體層。

還可以將氦（He）用作離子束 121 的源氣體。由於藉由激發氦而生成的離子種幾乎都為  $He^+$ ，即便是藉由不伴隨質量分離的摻雜法，也可以以  $He^+$  為主要離子對單晶半導體基板 110 進行照射。由此，可以藉由利用摻雜法效率

高地形成損傷區域 113。利用使用氮的摻雜法進行離子照射時，可以將加速電壓設定為 10kV 以上且 200kV 以下、劑量設定為  $1 \times 10^{16}$  ions/cm<sup>2</sup> 以上且  $6 \times 10^{16}$  ions/cm<sup>2</sup> 以下。此外，還可以使用氯氣體（Cl<sub>2</sub> 氣體）或氟氣體（F<sub>2</sub> 氣體）等鹵素氣體。

在形成損傷區域 113 之後，如圖 7C 所示在絕緣層 112 上形成接合層 114。在形成接合層 114 的程序中，單晶半導體基板 110 的加熱溫度設定為不會使照射到損傷區域 113 的元素或者分子析出的溫度，該加熱溫度為 400℃ 以下，更最好 350℃ 以下。換言之，該加熱溫度是不從損傷區域 113 漏掉氣體的溫度。注意，接合層 114 也可以在進行離子照射程序前形成。在此情況下，形成接合層 114 時的過程溫度可以為 350℃ 以上。

接合層 114 是具有平滑的親水性表面的層。接合層 114 的算術平均粗糙度 Ra 可以設定為 0.7nm 以下，更最好為 0.4nm 以下。或者，可以將接合層 114 的厚度設定為 5nm 以上且 500nm 以下，更最好設定為 10nm 以上且 200nm 以下。

作為接合層 114，最好使用藉由化學氣相反應形成的絕緣膜，尤其最好使用氧化矽膜。當作接合層 114 利用電漿激發 CVD 法形成氧化矽膜時，最好使用有機矽烷氣體以及氧（O<sub>2</sub>）氣體作為源氣體。藉由使用有機矽烷氣體作為源氣體，且過程溫度設定為 400℃ 以下，可以形成具有平滑表面的氧化矽膜。

例如，爲了使用 TEOS 和  $O_2$  作爲源氣體形成有氧化矽膜構成的接合層 114，可以將 TEOS 的流量設定爲 15sccm， $O_2$  的流量設定爲 750sccm，成膜壓力設定爲 100Pa，成膜溫度設定爲  $300^\circ C$ ，電源頻率設定爲 13.56MHz，RF 輸出設定爲 300W 即可。

電漿激發 CVD 法以外，藉由利用熱 CVD 法，也可以形成用作接合層 114 的氧化矽膜。此種情況，可以使用甲矽烷 ( $SiH_4$ ) 或乙矽烷 ( $Si_2H_6$ ) 等作爲矽源氣體，且可以使用氧 ( $O_2$ ) 或一氧化二氮 ( $N_2O$ ) 氣體等作爲氧源氣體。加熱溫度最好  $200^\circ C$  以上且  $500^\circ C$  以下。此外，絕緣層 114 主要由具有絕緣性的材料形成，接合層 114 廣泛地包含於絕緣層中。使用上述方法形成的接合層 114 在利用低溫的接合中十分有利。這是因爲在上述的接合層 114 的表面上存在有 OH 基的原因。雖然關於接合的機理還不是十分明瞭，但可以認爲是由 Si-OH 與 Si-OH 發生反應生成 Si-O-Si，或者是由 Si-H 與 Si-OH 發生反應生成 Si-O-Si。另一方面，利用熱氧化法等形成的接合層 114 的表面的 OH 基較少，在此種意義上不適合低溫接合。

下面，將形成有絕緣層 112 以及接合層 114 的單晶半導體基板 110 從淺盤 10 卸載，並對多個的單晶半導體基板進行清洗。該清洗程序可以藉由利用純水的超聲波清洗來進行。超聲波清洗最好使用百萬赫茲超聲波清洗（百萬聲波法）。進行超聲波清洗之後，也可以用臭氧水對單晶半導體基板 110 進行清洗。藉由利用臭氧水進行清洗，可

以去除有機物，並進行提高接合層 114 表面親水性的表面活性化處理。在完成清洗處理以及表面活性化處理之後，如圖 7D 所示在淺盤 10 的凹部 11 上設置單晶半導體基板 110。注意，在本實施方式中，雖然對將單晶半導體基板 110 從淺盤 10 卸載並實施清洗處理或活性化處理的情況進行了說明，但是本發明不解釋為只限定於此。當單晶半導體基板 110 的污染等不成為問題的情況，就沒有必要對單晶半導體基板 110 進行清洗。此外，即使是進行清洗處理或表面活性化處理的情況，也可以不將單晶半導體基板 110 從淺盤 10 卸載地進行處理。

作為對接合層 114 的表面進行的活性化處理，除了利用臭氧水的清洗以外，還可以舉出以下方法，如原子束或離子束的照射處理、電漿處理、自由基處理等。當利用原子束或離子束時，可以使用氬等惰性氣體中性原子束或惰性氣體離子束。

下面，對設置在淺盤 10 上的單晶半導體基板 110 與支撐基板 101 進行貼合。在進行貼合之前，最好對支撐基板 101 進行清洗。作為支撐基板 101 的清洗，可以舉出使用鹽酸和過氧化氫的清洗或百萬赫茲超聲波清洗等。此外，最好的是對於要成為支撐基板 101 接合面的表面，與接合層 114 相同，進行表面活性化處理。

圖 8A 是說明接合程序的截面圖。對設置有多個單晶半導體基板 110 的淺盤 10 設置支撐基板 101。並且，對支撐基板 101 的所定的部分（例如，端部等）施加



300N/cm<sup>2</sup> 以上且 15000N/cm<sup>2</sup> 以下左右的壓力。該壓力最好設定為 1000N/cm<sup>2</sup> 以上且 5000N/cm<sup>2</sup> 以下左右。藉由施加壓力，從施加壓力的部分接合層 114 與支撐基板 101 開始密接。最終，淺盤 10 上的所有單晶半導體基板 110 與支撐基板 101 密接。該接合程序由於可以不伴隨加熱處理而在常溫下進行，所以支撐基板 101 可以採用玻璃基板等耐熱性能低的基板。

此外，在本發明中，由於將多個的單晶半導體基板 110 排列在淺盤 10 上，根據單晶半導體基板 110 的厚度的不同，會產生與支撐基板 101 不接觸的單晶半導體基板 110。為此，最好對多處施加壓力，而不是只對一處施加壓力。更最好對每個單晶半導體基板 110 分別施加壓力。注意，關於單晶半導體基板 110 在淺盤 10 的排列狀態，即使接合層 114 表面的高度有些許不同，利用支撐基板 101 的彎曲只要接合層 114 的一部分與支撐基板 101 相接觸，就可以對接合層 114 的整個表面進行接合。

此外，如圖 8A 所示將支撐基板 101 放在淺盤 10 上之後，如圖 9 所示藉由將支撐基板 101 安置在下側，可以利用單晶半導體基板 110 的自重使支撐基板 101 與單晶半導體基板 110 接觸。由此，與單晶半導體基板 110 的厚度的差別無關，可以容易地進行接合。

在將支撐基板 101 和單晶半導體基板 110 貼合之後，最好進行加熱處理，以提高支撐基板 101 和接合層 114 介面間的結合力。將該處理溫度設定為不使損傷區域 113 發

生裂縫的溫度，例如，可以將溫度範圍設定為 200℃ 以上 450℃ 以下。此外，藉由邊在該溫度下進行加熱，邊將單晶半導體基板 110 貼合在支撐基板 101 上的方法，可以加強支撐基板 101 與接合層 114 的接合介面的結合力。

當在單晶半導體基板 110 上設置支撐基板 101 時，如果接合面被灰塵等污染，則該被污染部分不接合。為防止發生這種接合面污染，最好在具有密閉結構的處理室（密閉室）內進行在單晶半導體基板 110 上設置支撐基板 101。此外，最好將該處理室內設定為  $5.0 \times 10^{-3}$  Pa 左右的減壓狀態，並對進行接合處理的氣氛進行清洗。

接下來，進行加熱處理，在損傷區域 113 進行分離，從單晶半導體基板 110 中分離出半導體層 115。圖 8B 是對從單晶半導體基板 110 中分離半導體層 115 的分離程序進行說明的圖。注意，在此，將分離出半導體層 115 後的單晶半導體基板稱為單晶半導體基板 117。

藉由加熱處理，存在於損傷區域 113 中的元素析出，損傷區域 113 中的微小空洞內的壓力上升。藉由該壓力的上升，損傷區域 113 中的微小空洞發生體積變化，在損傷區域 113 中發生裂縫。由此，單晶半導體基板 110 沿著損傷區域 113 分離。由於接合層 114 與支撐基板 101 相接合，從單晶半導體基板 110 分離出的半導體層 115 固定在支撐基板 101 上。為使半導體層 115 從單晶半導體基板 110 中分離而進行的加熱處理所需加熱溫度設定為不超過支撐基板 101 的應變點的溫度。

該加熱處理可以採用以下裝置進行：RTA（Rapid Thermal Anneal；快速熱退火）裝置、電阻加熱爐、微波加熱裝置等。作為 RTA 裝置可以舉出 GRTA（Gas Rapid Thermal Anneal；氣體快速熱退火）裝置或 LRTA（Lamp Rapid Thermal Anneal；燈（光）快速熱退火）裝置。

當使用 GRTA 裝置時，可以應用以下條件進行加熱處理：加熱溫度設定為 550°C 以上且 650°C 以下，處理時間設定為 0.5 分以上至 60 分以內。當使用電阻加熱裝置時，可以應用以下條件進行加熱處理：加熱溫度設定為 200°C 以上且 650°C 以下，處理時間設定為 2 小時以上至 4 小時以內。當使用微波處理裝置時，可以應用以下條件進行加熱處理：微波頻率設定為 2.45 GHz，處理時間設定為 10 分以上至 20 分以內。

下面，對使用具有電阻加熱設備的縱型爐的加熱處理的具體方法進行說明。首先，將圖 8A 中的與設置在淺盤 10 上的貼合有單晶半導體基板 110 的支撐基板 101 設置在縱型爐的舟上。並且將該舟搬入縱型爐的反應室。為抑制單晶半導體基板 110 被氧化將反應室內處於真空狀態（減壓狀態）。真空度為  $5 \times 10^{-3}$  Pa 左右即可。處於真空狀態後，向反應室內供給氮，並將反應室內設定為大氣壓的氮氣氛。在此期間，將溫度上升到 200°C。

當在 200°C 的溫度下進行 2 小時的加熱後，用 1 小時將溫度上升到 400°C。當溫度 400°C 的狀態穩定後，再用 1 小時使溫度上升到 600°C。溫度 600°C 的狀態穩定後，

在 600°C 的溫度下進行 2 小時的加熱處理。之後，用 1 小時將溫度下降到 400°C，經過 10 分至 30 分後，從反應室內搬出舟。並且在大氣氣氛下，對舟上的在淺盤 10 上排列的單晶半導體基板 117、以及貼合有半導體層 115 的支撐基板 101 進行冷卻。

在上述的應用電阻加熱的加熱處理中，連續地進行了用來強化接合層 114 與支撐基板 101 之間的結合力的加熱處理和以由損傷區域 113 發生分離為目的的加熱處理。當將此兩種加熱處理在不同裝置內進行時，例如可以使用以下這樣的程序。首先，使用電阻加熱爐在 200°C 的溫度下進行 2 小時的加熱處理。接下來，將相貼合了的支撐基板 101 與單晶半導體基板 110 從爐中搬出，之後使用 RTA 裝置在 600°C 以上至 700°C 以下的溫度下進行 1 分以上至 30 分以下的加熱處理。藉由該程序，可以在損傷區域 113 分割單晶半導體基板 110。

注意，如圖 8B 所示，單晶半導體基板 110 的周邊部分與支撐基板 101 不相接合的情況時常發生。其原因可以認為有以下幾種：由於單晶半導體基板 110 的周邊部分被倒角而具有曲率使得支撐基板 101 與接合層 114 沒有緊密結合；單晶半導體基板 110 的周邊部分與損傷區域 113 不容易分離；周邊部分的平坦性的不充分；周邊部分有傷痕或污染等。為此，在支撐基板 101 上，貼合有比單晶半導體基板 110 尺寸小的半導體層 115，此外，在單晶半導體基板 117 的周圍形成凸部，在該凸部上殘存有沒能貼合到

支撐基板 101 上的絕緣膜 112a、絕緣膜 112b、以及接合層 114。

在與支撐基板 101 緊密接合的半導體層 115 上，形成有因形成損傷區域 113 時的離子照射或在損傷區域 113 發生的分離而造成的結晶缺陷。此外，其表面的平坦性也受損。爲了減少這種結晶缺陷並提高平坦性，如圖 10A 所示對半導體層 115 照射雷射光束 122。

藉由從半導體層 115 的上表面一側照射雷射光束 122，來使半導體層 115 從上表面開始熔化。藉由熔化之後半導體層 115 冷卻並固化，形成如圖 10B 所示的提高了上表面平坦性的單晶半導體層 116。注意，圖 10B 的立體圖對應於圖 1。

在本實施方式中，爲提高平坦性進行雷射光束 122 的照射。爲此，與利用加熱處理進行平整化的情況相比可以抑制支撐基板 101 的溫度上升。也就是說，可以將如玻璃基板那樣耐熱性較低的基板用作支撐基板 101。注意，最好藉由照射雷射光束 122，來使半導體層 115 部分地熔化。這是因爲如下緣故：當使半導體層 115 完全熔化時，帶來成爲液相的半導體層 115 中無秩序的核發生，而使半導體層 115 重新晶化，導致半導體層 115 的結晶性降低。藉由使其部分地熔化，從沒有熔化的固相部分進展結晶成長。由此，半導體層 115 的結晶缺陷減少，並恢復結晶性。注意，完全熔化是指半導體層 115 一直熔化到接合層 114 的介面並成爲液體狀態的情況。另一方面，部分熔化是指

上層熔化成爲液相，但下層沒有熔化仍是固相的狀態。

作爲振盪雷射光束 122 的雷射振盪器，可以選擇其振盪波長在紫外光區至可見光區的雷射振盪器。需將雷射光束 122 的波長設定爲與被半導體層 115 吸收的光的波長相同。可以考慮雷射光束的趨膚深度 (skin depth) 等決定該波長。例如，設定在 250nm 以上至 700nm 以下的範圍內。

作爲上述雷射振盪器，可以使用連續振盪雷射器、準連續振盪雷射器以及脈衝振盪雷射器。爲了實現部分熔化，最好使用脈衝振盪雷射器。例如，當使用脈衝振盪雷射器時重複頻率設定爲 1MHz 以下，脈衝寬度設定爲 10n 秒以上 500n 秒以下。又例如，可以使用重複頻率設定爲 10Hz 至 300Hz，脈衝寬度設定爲 25n 秒，波長爲 308nm 的 XeCl 受激準分子雷射器。

雷射光束 122 的能量可以根據雷射光束 122 的波長、趨膚深度、半導體層 115 的膜厚度等來決定。雷射光束 122 的照射能量密度可以設定在  $300\text{mJ}/\text{cm}^2$  以上至  $800\text{mJ}/\text{cm}^2$  以下左右的範圍內。例如，半導體層 115 的厚度爲 120nm 左右，並將脈衝振盪器用作雷射振盪器，當雷射光束 122 的波長爲 308nm 的情況下，雷射光束 122 的照射能量密度可以設定在  $600\text{mJ}/\text{cm}^2$  以上至  $700\text{mJ}/\text{cm}^2$  以下左右的範圍內。

最好在如稀有氣體氣氛或氮素氣氛的惰性氣氛、或者真空狀態下照射雷射光束 122。在惰性氣氛中照射雷射光

束 122 時，對具有密閉結構的反應室內的氣氛進行控制，並在該反應室內進行雷射光束 122 的照射即可。當不使用反應室時，例如，對雷射光束 122 的被照射面噴射惰性氣體，以實現在惰性氣氛中的雷射光束 122 的照射。與大氣氣氛相比，惰性氣氛或真空狀態具有更好的提高平坦性的效果。此外，與大氣氣氛相比，上述這些氣氛可以抑制裂縫和皺紋的發生所以是最好的。

作為雷射光束 122，最好採用利用光學系統使能量分佈均勻且截面的形狀為線狀的雷射光束。由此，可以生產率高地進行雷射光束 122 的照射，並可以均勻地進行雷射光束 122 的照射。藉由將雷射光束 122 的光束長設定為長於支撐基板 101 的一邊的長度，可以藉由一次掃描，對貼合在支撐基板 101 上的所有半導體層 115 照射雷射光束 122。當雷射光束 122 的光束長短於支撐基板 101 的一邊的長度時，雷射光束 122 選擇可以藉由多次的掃描來對貼合在支撐基板 101 上的所有半導體層 115 進行照射的光束長即可。

注意，在對半導體層 115 照射雷射光束 122 前，對形成在半導體層 115 表面上的自然氧化膜等的氧化膜進行去除處理。去除氧化膜其原因為，在半導體層 115 表面殘存有氧化膜的狀態下即使對其照射雷射光束 122，也不能得到很好的平坦化的效果。可以使用氫氟酸進行氧化膜的去除處理。最好對其進行氫氟酸處理直到半導體層 115 的表面呈現斥水性為止。藉由其呈現斥水狀態，可以確認已經

從半導體層 115 去除掉氧化膜。

圖 10A 的雷射光束 122 的照射程序可以如下進行。首先，為使半導體層 115 變為 1/100 的濃度，用稀釋了（100 倍）的氫氟酸進行 110 秒的處理來去除其表面的氧化膜。將 XeCl 受激準分子雷射器（波長：308nm、脈衝寬度：25n 秒、重複頻率 60Hz）用作雷射光束 122 的振盪器。利用光學系統將雷射光束 122 的截面整形為 300mm×0.34mm 的線狀。將雷射光束 122 的掃描速度設定為 2.0mm/秒，掃描間距設定為 33μm，光束數量設定為大約 10 次，將雷射光束 122 照射到半導體層 115。邊對照射面噴射氮氣體，邊用雷射光束 122 進行掃描。當支撐基板 101 為 730mm×920mm 時，藉由使用雷射光束 122 進行三次掃描，就可以對貼合在支撐基板 101 上的所有半導體層 115 進行雷射光束 122 的照射。

在進行雷射光束 122 的照射之後，最好對單晶半導體層 116 進行 500℃ 以上至 650℃ 以下的加熱處理。藉由該加熱處理，可以消滅雷射光束 122 照射時沒有得到恢復的單晶半導體層 116 的缺陷，並且，可以緩和單晶半導體層 116 的應變。該加熱處理可以採用 RTA（Rapid Thermal Anneal；快速熱退火）裝置、電阻加熱爐、微波加熱裝置等。例如，在使用電阻加熱爐時，最好的是在 500℃ 的溫度下進行 1 個小時的加熱，然後再在 550℃ 的溫度下進行 4 個小時的加熱。

藉由以上的程序，可以製造圖 1 以及圖 10B 所示的半



導體基板 100。藉由本實施方式，相對於設置在淺盤 10 上的多個單晶半導體基板 110，可以一同形成絕緣層 112、損傷區域 113 以及接合層 114。由此，可以生產率高的形成半導體基板 100。由於在淺盤 10 上設置有單晶半導體基板 110 的狀態下，使其與支撐基板 101 貼合，所以可以生產率良好地，且較為容易地將多個單晶半導體基板 110 貼合在支撐基板 101 上。

注意，在圖 7A 至 7C 的程序中，雖然沒有將單晶半導體基板 110 轉移到其他的淺盤 10 上，但是也可以在各程序中將單晶半導體基板 110 轉移到在該程序中使用的裝置的專用淺盤 10 上。例如，也可以在圖 7A 的絕緣層 112 的形成程序中使用 PECVD 裝置專用的淺盤 10，並在圖 7C 的程序中使用摻雜裝置專用的淺盤 10。

或者，也可以採用如下方法：在圖 7A 中的絕緣層 112 的形成程序之後，將形成有絕緣層 112 的單晶半導體基板 110 從淺盤 10 中取出，並對該單晶半導體基板 110 進行超音波清洗等的清洗處理，然後將單晶半導體基板 110 設置在其他清潔的淺盤 10 上。

再者，還可以採用如下方法：在圖 7B 中的損傷區域 113 的形成程序之後，將形成有損傷區域 113 的單晶半導體基板 110 從淺盤 10 中取出，並對該單晶半導體基板 110 進行超音波清洗等的清洗處理，然後將單晶半導體基板 110 設置在其他清潔的淺盤 10 上。

## 實施方式 2

在本實施方式中，對單晶半導體基板的再現處理進行說明。具體而言，利用圖 1 對圖 8B 所示的單晶半導體基板 117 進行再現處理的情況進行說明。

在圖 8B 的程序之後，如圖 11A 至 11C 所示，在單晶半導體基板 117 的周圍形成有凸部 117a，在該凸部 117a 上殘存有絕緣膜 112a、絕緣膜 112b 以及接合層 114。

首先，進行去除絕緣膜 112b、絕緣膜 112a 以及接合層 114 的蝕刻處理。當這些膜是由氧化矽、氧氮化矽、氮氧化矽形成時，例如，利用氫氟酸進行濕蝕刻處理即可。藉由該蝕刻處理，可以得到如圖 11B 所示的單晶半導體基板 117。圖 11C 為沿著圖 11B 的鏈條線 XY 的截面圖。

接下來，對圖 11B 以及圖 11C 所示的單晶半導體基板 117 進行蝕刻處理，並去除凸部 117a 以及分離面 117b。圖 11C 中用虛線圈出的部分為藉由該蝕刻處理去除的部分。藉由該蝕刻處理，去除殘存在單晶半導體基板 117 上的損傷區域 113。最好對單晶半導體基板 117 進行濕蝕刻處理，作為蝕刻液，可以使用四甲基氫氧化銨（tetramethylammonium hydroxide，縮寫：TMAH）溶液。

對單晶半導體基板 117 進行蝕刻處理，去除了凸部 117a、分離面 117b 以及損傷區域 113 之後，對其表面進行機械拋光，以形成如圖 11D 所示的具有平滑表面的單晶半導體基板 118。該單晶半導體基板 118 可以被再利用，用作圖 2 所示的單晶半導體基板 110。

作為拋光處理，可以採用化學機械拋光（Chemical Mechanical Polishing，縮寫：CMP）。為使單晶半導體基板 118 的表面平滑，最好進行  $1\mu\text{m}$  以上至  $10\mu\text{m}$  以下左右的拋光。在進行拋光之後，由於在單晶半導體基板 118 的表面上殘留有拋光粒子等，所以對其進行氫氟酸清洗或 RCA 清洗。

如本實施方式所示藉由單晶半導體基板的再利用，可以削減半導體基板 100 的材料成本。

本實施方式可以與實施方式 1 組合使用。

### 實施方式 3

在本實施方式中，作為在基板上具有多個單晶半導體層的半導體基板的其他的例子，參照圖 12A 至 12C 對支撐基板上用作阻擋層的絕緣層的情況進行說明。注意，本實施方式的半導體基板的製造方法的大部分可以參照實施方式 1。

圖 12A 是示出半導體基板 100 的結構例的立體圖。圖 12B 為其截面圖。半導體基板 100 具有以下結構：在一個支撐基板 101 上黏貼有多個單晶半導體層 116。各個單晶半導體層 116 夾著絕緣層 102 以及絕緣層 103 設置在支撐基板 101 上，半導體基板 100 就是所謂的 SOI 基板。

在此，與實施方式 1 中所示結構最為相異之處在於，絕緣層 103 形成在支撐基板 101 的整個表面上。絕緣層 103 具有阻擋層功能。如此藉由將用作阻擋層的絕緣層

103 設置在支撐基板 101 的整個表面上，與僅在單晶半導體層 116 的下部設置絕緣層的結構相比，可以形成更為有效的阻擋層。也就是說，當僅在單晶半導體層 116 的下部設置絕緣層時（參照圖 12C），在沒有設置單晶半導體基板 116 的區域存在雜質元素的侵入路徑（例如，路徑 A），但是藉由以完全覆蓋著支撐基板 101 的形式設置絕緣層，僅有的侵入路徑也可以被排除。由此，可以進一步強化阻擋功能。

注意，由於用作阻擋層的絕緣層的具體例子可以參照實施方式 1，故在此作以省略。在本實施方式中，雖然絕緣層 103 使用了氮氧化矽膜（下層）和氧氮化矽膜（上層）的疊層結構，但並不解釋為僅限定於此。例如，也可以將氧化矽膜用作上層，氮化矽膜用作下層（下層）。此外，絕緣層 103 既可為單層結構，又可以為 3 層以上的多層結構。當將絕緣膜 103 形成為單層結構時，例如，可以使用氮化矽。注意，在本實施方式中，雖然例舉了僅使用接合層 104 形成絕緣層 102 的例子，也可以如實施方式 1 中的絕緣層 112 那樣，採用提供有用作阻擋層的絕緣層等的結構。此時，可以進一步提高阻擋功能。此外，為了使半導體層的介面保持良好狀態，也可以在與絕緣層 112 的半導體層相接觸的區域提供氧化矽膜或氧氮化矽膜等。

本實施方式所涉及的半導體基板 100 的結構僅在絕緣層 102 以及絕緣層 103 上與實施方式 1 不同。因此，關於絕緣層 102 以及絕緣層 103 以外的結構參照實施方式 1 即

可。同樣地，製造方法也可以參照實施方式 1。

本實施方式可以適當地與實施方式 1 以及 2 組合使用。

#### 實施方式 4

在本實施方式中，作為在基板上具有多個單晶半導體層的半導體基板的其他的例子，參照圖 13 至圖 16 對具有無空隙地鋪有多個單晶半導體層的結構的半導體基板進行說明。注意，本實施方式的半導體基板的製造方法的大部分可以參照實施方式 1。

圖 13 是示出半導體基板 100 的結構例的立體圖。半導體基板 100 具有以下結構：在一個支撐基板 101 上黏貼有多個單晶半導體層 116。各個單晶半導體層 116 隔著絕緣層 102 設置在支撐基板 101 上，半導體基板 100 就是所謂的 SOI 基板。

在此，與實施方式 1 中所示的結構最為相異之處在於，單晶半導體層 116 無空隙地鋪在支撐基板 101 上。如此藉由將單晶半導體層 116 無空隙地鋪在其上，可以製造如顯示裝置等需要大面積的半導體裝置。具體地說，藉由將相鄰的單晶半導體層 116 之間の間隔設定為 0.5mm 以下，最好 0.3mm 以下，可以形成實際上無空隙的結構。

注意，為了製造本實施方式所示的半導體基板，所使用的單晶半導體基板的平坦性及切割精度、以及單晶半導體基板的特性非常重要。如實施方式 1 中所說明的那樣，

當單晶半導體基板的周圍部分具有彎曲率、或周圍部分沒有十分的平坦性、或周圍部分有傷痕或者污染等情況下，周圍部分得不到充分的接合。所以，有必要對這些點進行留意。

圖 14 示出本實施方式中使用的淺盤 10 的一例。淺盤 10 為板狀構件，且形成有用來保持單晶半導體基板 110 的凹部 11。如此，藉由將凹部 11 形成為可以無空隙地排列單晶半導體基板 110 的形狀，可以製造具有無空隙地鋪有單晶半導體層 116 的結構的半導體基板 100。另外，在此，凹部 11 表示為 3 行 3 列地排列在半導體基板 110 上的一個框內的情況，但本發明不解釋為僅限定於該結構。例如，也可以適當地改變行數以及列數。使用該淺盤 10 如圖 15 所示將單晶半導體基板 110 設置在淺盤 10 的凹部 11 內，經過各個程序可以形成圖 13 所示的半導體基板 100。注意，圖 16 對應於圖 13 的截面圖。關於淺盤 10 的材質、尺寸等可以參照實施方式 1，故在此作以省略。

在本實施方式中的半導體基板 100 的結構與實施方式 1 的不同之處僅在於無空隙地鋪有多個單晶半導體層。為此，關於該結構以外的內容參照實施方式 1 即可。

本實施方式可以適當地與實施方式 1 至實施方式 3 組合使用。

#### 實施方式 5

在本實施方式中，作為使用半導體基板 100 的半導體

裝置的製造方法的一例，對薄膜電晶體的製造方法進行說明。藉由組合多個薄膜電晶體，形成各種半導體裝置。在本實施方式中，使用藉由實施方式 1 的製造方法製造的半導體基板 100。

首先，如圖 17A 所示，藉由蝕刻將支撐基板 101 上的單晶半導體層 116 加工（構圖）成所希望的形狀，來形成半導體膜 603 與半導體膜 604。

也可以對半導體膜 603 與半導體膜 604 添加硼、鋁、鎵等的 p 型雜質，或者磷、砷等的 n 型雜質，以便控制閾值電壓。例如，在作為賦予 p 型雜質添加硼的情況下，以  $5 \times 10^{16} \text{cm}^{-3}$  以上且  $1 \times 10^{17} \text{cm}^{-3}$  以下的濃度添加即可。既可以對單晶半導體層 116 進行雜質的添加，也可以對半導體膜 603 與半導體膜 604 進行雜質的添加，以便控制閾值電壓。此外，還可以對單晶半導體基板 110 進行雜質的添加，以便控制閾值電壓。或者，首先對單晶半導體基板 110 進行雜質的添加，以便對閾值電壓進行大致的調整，然後對單晶半導體層 116 或半導體膜 603 與半導體膜 604 進行雜質的添加，以便對閾值電壓進行細微的調整。

另外，也可以在形成半導體膜 603、604 之後且在形成閘極絕緣膜 606 之前進行氫化處理。例如，在氫氣氣氛中以  $350^\circ\text{C}$  進行兩個小時左右的氫化處理。

接著，如圖 17B 所示，以覆蓋半導體膜 603、604 的方式形成閘極絕緣膜 606。閘極絕緣膜 606 也可以藉由進行高密度電漿處理使半導體膜 603、604 的表面氧化或氮

化來形成。高密度電漿處理例如使用 He、Ar、Kr、Xe 等的稀有氣體與氧、氧化氮、氨、氮、氫等氣體的混合氣體來進行。在此情況下，可以藉由引入微波來激發電漿，而產生低電子溫度且高密度的電漿。藉由使用由這種高密度的電漿產生的氧基（也有包括 OH 基的情況）或氮基（也有包括 NH 基的情況）使半導體膜的表面氧化或氮化，以與半導體膜相接觸的方式形成 1nm 以上至 20nm 以下、最好為 5nm 以上至 10nm 以下的絕緣膜。該絕緣膜用作閘極絕緣膜 606。

上述的利用高密度電漿處理的半導體膜的氧化或氮化由於以固相反應進行，從而可以使閘極絕緣膜 606 和半導體膜 603、604 之間的介面態密度極為低。另外，藉由利用高密度電漿處理來直接使半導體膜氧化或氮化，可以抑制被形成的絕緣膜的厚度的不均勻。另外，由於半導體膜具有結晶性，即使是藉由利用高密度電漿處理以固相反應使半導體膜的表面氧化，也可以抑制在晶粒介面的不均勻氧化，並形成均勻性良好且介面態密度低的閘極絕緣膜。如此，將利用高密度電漿處理形成的絕緣膜包括在閘極絕緣膜的一部分或整體內而形成的電晶體可以抑制特性的不均勻。

或者，也可以藉由熱氧化半導體膜 603 和半導體膜 604 來形成閘極絕緣膜 606。在使用該熱氧化的情況下，最好使用耐熱性較高的支撐基板。

或者，也可以使用電漿 CVD 法或濺射法等，藉由將



含有氧化矽、氮氧化矽、氮化矽、氧化鉛、氧化鋁或氧化鉬的膜以單層，或以將其層疊的方式來形成閘極絕緣膜 606。

注意，也可以在形成包含有氫的閘極絕緣膜 606 之後，藉由在 350°C 以上至 450°C 以下的溫度下進行加熱處理，來使包含在閘極絕緣膜 606 中的氫擴散到半導體膜 603 及半導體膜 604 中。此時，藉由利用電漿 CVD 法堆疊氮化矽或氮氧化矽來形成閘極絕緣膜 606 即可。在此情況下，過程溫度設定為 350°C 以下。如此，藉由向半導體膜 603 及半導體膜 604 供給氫，可以有效地減低半導體膜 603 中、半導體膜 604 中、閘極絕緣膜 606 和半導體膜 603 的介面、以及閘極絕緣膜 606 和半導體膜 604 的介面上的缺陷。

接著，如圖 17C 所示，藉由在閘極絕緣膜 606 上形成導電膜之後，將該導電膜加工（構圖）成預定的形狀，來在半導體膜 603、604 的上方形成電極 607。可以使用 CVD 法、濺射法等來形成導電膜。作為導電膜可以使用鉭（Ta）、鎢（W）、鈦（Ti）、鉬（Mo）、鋁（Al）、銅（Cu）、鉻（Cr）、鈮（Nb）等材料。另外，也可以使用以上述金屬為主要成分的合金材料，還可以使用包含上述金屬的化合物。或者，也可以使用對半導體膜摻雜了賦予導電性的雜質元素等而成的多晶矽等半導體材料來形成。

雖然在本實施方式中由單層導電膜形成電極 607，但

本實施方式不局限於該結構。電極 607 也可以由被層疊的多個導電膜形成。當其為兩層結構時，例如可以將鉬膜、鈦膜、氮化鈦膜等用作下層，將鋁膜等用作上層。當其為三層結構時，可以採用鉬膜、鋁膜和鉬膜的疊層結構，或者鈦膜、鋁膜和鈦膜的疊層結構等。

另外，作為當形成電極 607 時使用的掩模，可以使用氧化矽、氮氧化矽等來替代抗蝕劑材料。在此情況下，雖然增加了藉由對氧化矽膜、氮氧化矽膜等進行構圖以形成掩模的程序，但由於與抗蝕劑材料相比蝕刻時的膜減少較小，所以可以形成形狀更為正確的電極 607。另外，也可以藉由使用液滴噴射法選擇性地形成電極 607，而不使用掩模。在此，液滴噴射法是指以噴射或噴出包含預定組分的液滴來形成預定圖案的方法，噴墨法等包括在其範疇內。

另外，也可以藉由使用 ICP (Inductively Coupled Plasma：感應耦合電漿) 蝕刻法，並且適當地調節蝕刻條件（施加到線圈型電極層上的電量、施加到基板側電極層的電量、基板側電極溫度等），並藉由將其蝕刻成具有所希望的錐形狀來形成電極 607。另外，還可以根據掩模形狀來控制錐形狀。注意，作為蝕刻用氣體，可以適當地使用氮基氣體如氮、氯化硼、氯化矽或四氯化碳等；氟基氣體如四氟化碳、氟化硫或氟化氮等；或氧等。

下面，如圖 17D 所示將電極 607 用作掩模，將賦予有一種導電型的雜質元素添加到半導體膜 603、604 中。

在本實施方式中，向半導體膜 603 添加賦予 n 型的雜質元素（例如磷或砷），向半導體膜 604 添加賦予 p 型的雜質元素（例如硼）。注意，將賦予 n 型的雜質元素添加到半導體膜 603 時，用掩模等覆蓋要添加賦予 p 型的雜質元素的半導體膜 604，以便選擇性地進行賦予 n 型的雜質元素的添加。另外，將賦予 p 型的雜質元素添加到半導體膜 604 時，用掩模等覆蓋要添加賦予 n 型的雜質元素的半導體膜 603，以便選擇性地進行賦予 p 型的雜質元素的添加。或者，也可以對半導體膜 603 以及半導體膜 604 添加賦予 p 型的雜質元素及賦予 n 型的雜質元素的一種，然後僅對一方的半導體膜以更高濃度添加賦予 p 型的雜質元素及賦予 n 型的雜質元素的另一種即可。藉由添加上述雜質，在半導體膜 603 中形成雜質區域 608，在半導體膜 604 中形成雜質區域 609。

下面，如圖 18A 所示，在電極 607 的側面形成側壁 610。例如可以藉由以覆蓋閘極絕緣膜 606 及電極 607 的方式形成新的絕緣膜，並利用以垂直方向為主體的各向異性蝕刻，對新形成的該絕緣膜進行部分的蝕刻來形成側壁 610。藉由上述的各向異性蝕刻，新形成的絕緣膜被部分蝕刻，從而在電極 607 的側面形成側壁 610。另外，也可以藉由上述各向異性蝕刻對閘極絕緣膜 606 進行部分蝕刻。可以藉由電漿 CVD 法或濺射法等將矽膜、氧化矽膜、氮氧化矽膜、含有有機樹脂等的有機材料的膜以單層結構或疊層結構形成用來形成側壁 610 的絕緣膜。在本實施方

式中，藉由電漿 CVD 法形成膜厚度為 100nm 的氧化矽膜。另外，可以使用  $\text{CHF}_3$  和氮的混合氣體用作蝕刻氣體。注意，形成側壁 610 的程序不局限於此。

接著，如圖 18B 所示，將電極 607 及側壁 610 用作掩模，並向半導體膜 603、604 添加賦予一種導電型的雜質元素。注意，將與在上述程序中添加的雜質元素具有相同導電型的雜質元素以更高濃度分別添加到半導體膜 603、604。另外，當將賦予 n 型的雜質元素添加到半導體膜 603 時，使用掩模等覆蓋要添加 p 型雜質的半導體膜 604，來選擇性地添加賦予 n 型的雜質元素。此外，當將賦予 p 型的雜質元素添加到半導體膜 604 時，使用掩模等覆蓋要添加 n 型雜質的半導體膜 603 來選擇性地添加賦予 p 型的雜質元素。

藉由上述雜質元素的添加，在半導體膜 603 中形成一對高濃度雜質區域 611 和一對低濃度雜質區域 612、以及通道形成區域 613。另外，藉由上述雜質元素的添加，在半導體膜 604 中形成一對高濃度雜質區域 614 和一對低濃度雜質區域 615、以及通道形成區域 616。高濃度雜質區域 611、614 用作源極或汲極，而低濃度雜質區域 612、615 用作 LDD (Lightly Doped Drain; 輕摻雜汲極) 區域。

另外，形成在半導體膜 604 上的側壁 610 和形成在半導體膜 603 上的側壁 610，既可以形成為在通道移動的方向（即與通道長平行的方向）上的寬度彼此相同，又可以

形成爲該寬度彼此不同。最好的是，用作 p 通道型電晶體的半導體膜 604 上的側壁 610 的寬度長於用作 n 通道型電晶體的半導體膜 603 上的側壁 610 的寬度。這是因爲，爲了在 p 型電晶體中形成源極及汲極而注入的硼較易擴散，從而容易引起短通道效應的緣故。藉由在 p 型電晶體中將側壁 610 的寬度設定得更長，可以將高濃度的硼添加到源極及汲極，進而可以使源極及汲極低電阻化。

爲了進一步使源極及汲極低電阻化，還可以形成將半導體膜 603、604 矽化物化的矽化物層。藉由將金屬接觸於半導體膜，並利用加熱處理（例如 GRTA 法、LRTA 法等）使半導體膜中的矽和金屬反應而進行矽化物化。作爲矽化物層，使用鈷矽化物或鎳矽化物即可。當半導體膜 603、604 的厚度較薄時，可以將矽化物反應進行到半導體膜 603、604 的底部。作爲能夠用於矽化物化的金屬材料，可以舉出鈦（Ti）、鎳（Ni）、鎢（W）、鉬（Mo）、鈷（Co）、鋯（Zr）、鈦（Hf）、鉭（Ta）、釩（V）、釹（Nd）、鉻（Cr）、鉑（Pt）、鈀（Pd）等。另外，也可以利用雷射光束的照射等來形成矽化物層。

根據上述程序，形成 n 通道型電晶體 617 和 p 通道型電晶體 618。注意，在圖 18B 所示的階段中，雖然還沒有形成用作源極或汲極的導電膜，但是也有將具有該種導電膜的結構稱爲電晶體的情況。

接著，如圖 18C 所示，以覆蓋著 n 通道型電晶體 617、p 通道型電晶體 618 的方式形成絕緣膜 619。雖然不需

要一定設置絕緣膜 619，但可以藉由形成絕緣膜 619 來防止鹼金屬或鹼土金屬等雜質進入到 n 通道型電晶體 617、p 通道型電晶體 618 中。具體來說，最好使用氮化矽、氮氧化矽、氮化鋁、氧化鋁、氧化矽等材料形成絕緣膜 619。在本實施方式中，使用 600nm 左右厚的氮氧化矽膜作為絕緣膜 619。在此情況下，也可以在形成該氮氧化矽膜之後進行上述氫化程序。另外，在本實施方式中，雖然絕緣膜 619 採用單層結構，當然也可以使用疊層結構。例如，當其為兩層結構時，可以採用氧氮化矽膜和氮氧化矽膜的疊層結構。

藉由設置絕緣膜 619，相當於在沒有形成單晶半導體層 116 的區域 630 上設置了用作阻擋層的絕緣層，所以可以排除支撐基板 101 露出的區域。由此，可以防止來自支撐基板 101 的雜質元素擴散到半導體層等中。也就是說，可以減低半導體裝置的退化，從而提供可靠性更高的半導體裝置。

接著，以覆蓋著 n 通道型電晶體 617、p 通道型電晶體 618 的方式在絕緣膜 619 上形成絕緣膜 620。作為絕緣膜 620 可以使用具有耐熱性的有機材料如聚醯亞胺、丙烯酸、苯並環丁烯、聚醯胺、環氧等。另外，除了上述有機材料之外，還可以使用低介電常數材料（low-k 材料）、矽氧烷樹脂、氧化矽、氮化矽、氮氧化矽、PSG（磷矽酸鹽玻璃）、BPSG（硼磷矽酸鹽玻璃）、礬土等。矽氧烷樹脂除了氫之外也可以具有氟、烷基、及芳烴中的至少一

種作為取代基。另外，也可以藉由層疊多個由這些材料形成的絕緣膜，來形成絕緣膜 620。也可以藉由 CMP 法等使絕緣膜 620 的表面平坦化。

矽氧烷樹脂相當於以矽氧烷材料作為起始材料而形成的包含 Si-O-Si 鍵的樹脂。矽氧烷樹脂除了氫以外，還可以具有氟、烷基、及芳烴中的至少一種作為取代基。

絕緣膜 620 可以根據其材料而使用 CVD 法、濺射法、SOG 法、旋轉塗敷法、浸漬法、噴塗法、液滴噴射法（噴墨法、絲網印刷、膠版印刷等）、刮刀、輥塗、幕塗、刮刀塗佈等來形成。

接著，如圖 19 所示，使半導體膜 603、604 的一部分分別露出地在絕緣膜 619 及絕緣膜 620 中形成接觸孔。之後，形成藉由該接觸孔與半導體膜 603、604 接觸的導電膜 621、622。導電膜 621、622 用作電晶體的源極或汲極。注意，在本實施方式中，雖然使用  $\text{CHF}_3$  和 He 的混合氣體用於形成接觸孔時的蝕刻程序的氣體，但不局限於此。

導電膜 621、622 可以藉由 CVD 法或濺射法等來形成。具體地，作為導電膜 621、622，可以使用鋁 (Al)、鎢 (W)、鈦 (Ti)、鉭 (Ta)、鉬 (Mo)、鎳 (Ni)、鉑 (Pt)、銅 (Cu)、金 (Au)、銀 (Ag)、錳 (Mn)、釹 (Nd)、碳 (C)、矽 (Si) 等。另外，既可以使用以上述金屬為主要成分的合金，又可以使用包含上述金屬的化合物。導電膜 621、622 即可為單層結構，也可為疊

層結構。

作為以鋁為主要成分的合金的例子，可以舉出以鋁為主要成分且包含鎳的合金。另外，也可以舉出以鋁為主要成分且包含鎳以及碳和矽的一方或雙方的合金的例子。由於鋁和鋁矽的電阻值低且其價格低廉，所以很適合用於形成導電膜 621、622 的材料。尤其最好使用鋁矽 (Al-Si) 膜，因其可以在對導電膜 621、622 進行構圖時，防止在進行抗蝕劑焙燒時產生的小丘。另外，也可以在鋁膜中混入 0.5% 左右的 Cu 來替代矽 (Si)。

當導電膜 621、622 為疊層結構時，可以採用以下疊層結構。例如：阻擋膜、鋁矽 (Al-Si) 膜和阻擋膜的疊層結構；阻擋膜、鋁矽 (Al-Si) 膜、氮化鈦膜和阻擋膜的疊層結構等。另外，阻擋膜是指使用鈦、鈦的氮化物、鉬、或鉬的氮化物來形成的膜。若以中間夾著鋁矽 (Al-Si) 膜的方式形成阻擋膜，則可以進一步防止鋁或鋁矽的小丘的產生。另外，若使用作為具有高還原性的元素的鈦形成阻擋膜，即使在半導體膜 603、604 上形成有薄的氧化膜，包含在阻擋膜中的鈦也可以將該氧化膜還原，且可以使導電膜 621 和半導體膜 603、以及導電膜 622 和半導體膜 604 分別良好地接觸。另外，也可以將多個阻擋膜層疊使用。在此情況下，可以採用例如將導電膜 621、622 形成為從下層開始按順序層疊有鈦、氮化鈦、鋁矽、鈦、氮化鈦的五層結構。

另外，還可以使用利用化學氣相生長法由  $WF_6$  氣體



和  $\text{SiH}_4$  氣體形成的矽化鎢用作導電膜 621、622。或者也可以使用藉由對  $\text{WF}_6$  進行氫還原而形成的鎢用作導電膜 621、622。

另外，導電膜 621 連接到 n 通道型電晶體 617 的高濃度雜質區域 611。導電膜 622 連接到 p 通道型電晶體 618 的高濃度雜質區域 614。

圖 19 為 n 通道型電晶體 617 和 p 通道型電晶體 618 的截面圖及平面圖。但是，在圖 19 的平面圖中，為了簡化起見省略了導電膜 621、622、絕緣膜 619、620。

另外，雖然在本實施方式中示出了 n 通道型電晶體 617 和 p 通道型電晶體 618 分別具有一個用作閘電極的電極 607 的情況為例，但本發明不局限於該結構。根據本發明製造的電晶體具有多個用作閘電極的電極，並且還可以具有該多個電極彼此電連接的多閘極結構。

另外，根據本發明製造的半導體裝置所具有的電晶體也可以具有閘極平面結構。

本發明的 SOI 基板所具有的半導體膜非常相近於單晶半導體膜。為此，與使用多晶半導體膜時相比，取向的不均勻較小，從而可以減小電晶體的閾值電壓的不均勻。再者，由於其與多晶半導體膜相異幾乎沒有晶界，所以可以抑制由晶界引起的洩漏電流，從而可以實現半導體裝置的低耗電化。此外，還可以抑制由晶粒大小的不均勻而引起的電晶體的不均勻。

在利用雷射晶化得到的多晶半導體膜中，容易出現由

射束點內的能量密度的分佈而引起的半導體膜的表面突起（脊）。但是，SOI 基板所具的半導體膜，沒有照射雷射的必要，或者說，僅進行可以修復由貼合產生的半導體膜內缺陷的程度的低能量密度的照射即可。因此，SOI 基板所具的半導體膜的表面平坦性非常高，可以使形成在該半導體膜上的閘極絕緣膜達到 5nm 至 50nm 左右的薄度。據此，可以在抑制閘電壓的同時得到高導通電流。

本實施方式可以適當地與實施方式 1 至實施方式 4 組合使用。

#### 實施方式 6

在本實施方式中，參照圖 20A 和 20B 對使用了具有在實施方式 3 中所示結構的半導體基板 100 的半導體裝置的一個例子進行說明。另外，關於製造方法等的詳細說明可以參照實施方式 5。

圖 20A 是表示半導體基板 100 的結構例的截面圖。圖 20B 是使用該半導體基板 100 形成的半導體裝置的截面圖。圖 20A 的半導體基板 100 具有在一個支撐基板 101 上黏貼有多個單晶半導體層 116 的結構。各個單晶半導體層 116 夾著絕緣層 102 以及絕緣層 103 設置在支撐基板 101 上，半導體基板 100 即是所謂的 SOI 基板。圖 20B 的半導體裝置包括多個 n 通道型電晶體 617 以及 p 通道型電晶體 618。在此，在圖 20A 中對應於空隙 130（單晶半導體基板 116 之間的空隙）的區域也存在於圖 20B 中。

當製造大面積的半導體裝置時，使用多個單晶半導體層 116。在此情況下，雖然取決於單晶半導體層 116 的貼合精度等，但是可以認為有至少幾  $\mu\text{m}$  以上的空隙 130 存在。當存在有該種空隙 130 時，從該區域的雜質元素的侵入可能成為問題。

於是，在本實施方式中，使用在實施方式 3 中所示結構的半導體基板 100 來形成半導體裝置。在實施方式 3 中所示結構的半導體基板 100 中，由於在支撐基板 101 上整個表面設置有用作阻擋層的絕緣層，可以排除來自相當於空隙 130 的區域的雜質元素的侵入。而且，在本實施方式中，以覆蓋著多個 n 通道型電晶體 617 以及多個 p 通道型電晶體 618 的方式設置有用作阻擋層的絕緣層 650。由此，可以排除來自半導體元件的上方的雜質元素的侵入。

也就是說，藉由使用本實施方式所示的結構，可以排除來自支撐基板 101 的雜質的侵入，以及在半導體元件的製造程序中，來自半導體元件的上方的雜質元素的侵入。由此，可以防止由於雜質的侵入所引起的半導體元件特性的惡化，從而可以提供可靠性高的半導體裝置。

另外，本實施方式中的半導體裝置的結構與實施方式 5 中所示的半導體裝置的結構的不同之處，僅在於使用了實施方式 3 中的基板用作 SOI 基板，所以關於其他部分的詳細說明可以參照實施方式 5。

本實施方式可以適當地與實施方式 1 至實施方式 5 組合使用。

### 實施方式 7

在本實施方式中，參照附圖對使用 SOI 基板的半導體裝置的具體形態進行說明。

首先，作為半導體裝置的一個例子，對微處理器進行說明。圖 21 是表示微處理器 200 的結構例的框圖。

微處理器 200 包括計算電路 201（算術邏輯單元；Arithmetic logic unit，也稱為 ALU）、計算電路用控制部 202（ALU Controller）、指令解碼器 203（Instruction Decoder）、中斷控制部 204（Interrupt Controller）、時序控制部 205（Timing Controller）、暫存器 206（Register）、暫存器控制部 207（Register Controller）、匯流排介面 208（Bus I/F）、唯讀記憶體 209、以及 ROM 介面 210（ROM I/F）。

藉由匯流排介面 208 輸入到微處理器 200 的指令輸入指令解碼器 203，在被解碼之後，輸入到計算電路用控制部 202、中斷控制部 204、暫存器控制部 207、以及時序控制部 205。計算電路用控制部 202、中斷控制部 204、暫存器控制部 207、以及時序控制部 205 根據解碼後的指令來進行各種控制。

具體地說，計算電路用控制部 202 產生用來控制計算電路 201 的工作的信號。此外，中斷控制部 204 在執行微處理器 200 的程式時，對來自外部輸出入裝置或週邊電路的中斷要求根據其優先度或掩模狀態進行判斷而處理。暫

存器控制部 207 產生暫存器 206 的位址，並根據微處理器 200 的狀態進行暫存器 206 的讀出或寫入。時序控制部 205 產生控制計算電路 201、計算電路用控制部 202、指令解碼器 203、中斷控制部 204 及暫存器控制部 207 的工作時序的信號。

例如，時序控制部 205 包括根據基準時鐘信號 CLK1 產生內部時鐘信號 CLK2 的內部時鐘產生部，並將時鐘信號 CLK2 提供給上述各種電路。注意，圖 21 所示的微處理器 200 只是將其結構簡化了的一個例子，在實際上，可以根據其用途具有多種多樣的結構。

在這種微處理器 200 中，藉由使用接合在具有絕緣表面的基板上或絕緣基板上的具有固定結晶方位的單晶半導體層（SOI 層）形成積體電路，不僅可以實現處理速度的高速化，而且還可以實現低耗電量化。

下面，對具有以非接觸的方式進行資料收發的功能以及計算功能的半導體裝置的一個例子進行說明。圖 22 是表示這種半導體裝置的結構例的框圖。圖 22 所示的半導體裝置可以稱為以無線通信與外部裝置進行信號的收發而工作的電腦（以下稱為“RFCPU”）。

如圖 22 所示，RFCPU211 包括類比電路部 212 和數位電路部 213。作為類比電路部 212，其包括具有諧振電容的諧振電路 214、整流電路 215、恆壓電路 216、重設電路 217、振盪電路 218、解調電路 219、調變電路 220、以及電源管理電路 230。作為數位電路部 213，其包括 RF

介面 221、控制暫存器 222、時鐘控制部 223、CPU 介面 224、中央處理單元 225、隨機存取記憶體 226、以及唯讀記憶體 227。

RFCPU211 的工作概要如下。天線 228 所接收的信號藉由利用諧振電路 214 產生感應電動勢。感應電動勢經過整流電路 215 充電到電容部 229。該電容部 229 最好由例如陶瓷電容器或雙電層電容器等電容器構成。電容部 229 不需要與 RFCPU211 一體形成，也可以作為另外的部件安裝在構成 RFCPU211 的具有絕緣表面的基板上。

重設電路 217 產生將數位電路部 213 重設並初始化的信號。例如，產生在電源電壓上升之後隨著升高的信號作為重設信號。振盪電路 218 根據由恆壓電路 216 產生的控制信號，改變時鐘信號的頻率和占空比。解調電路 219 是解調接收信號的電路，而調變電路 220 是調變發送資料的電路。

例如，解調電路 219 由低通濾波器構成，將振幅調變（ASK）方式的接收信號根據其振幅的變動二值化。另外，由於藉由變動振幅調變（ASK）方式的發送信號的振幅來進行發送資料的發送，所以調變電路 220 藉由使諧振電路 214 的諧振點變化來改變通信信號的振幅。

時鐘控制部 223 根據電源電壓或中央處理單元 225 中的耗電流，產生用來改變時鐘信號的頻率和占空比的控制信號。電源管理電路 230 進行電源電壓的監視。

從天線 228 輸入到 RFCPU211 的信號在被解調電路

219 解調後，藉由 RF 介面 221 被分解為控制指令、資料等。控制指令存儲在控制暫存器 222 中。控制指令包括：將存儲在唯讀記憶體 227 中的資料的讀出、向隨機存取記憶體 226 的資料寫入、向中央處理單元 225 的計算指令等。

中央處理單元 225，藉由 CPU 介面 224 對唯讀記憶體 227、隨機存取記憶體 226 以及控制暫存器 222 進行存取。CPU 介面 224 具有如下功能：根據中央處理單元 225 所要求的位址，產生對唯讀記憶體 227、隨機存取記憶體 226 以及控制暫存器 222 中的任一個的存取信號。

作為中央處理單元 225 的計算方式，可以採用將 OS（作業系統）存儲在唯讀記憶體 227 中，並在啓動的同時讀出並執行程式的方式。另外，也可以採用由專用電路構成計算電路，並以硬體方式對計算處理進行處理的方式。在並用硬體和軟體的方式中，可以採用如下方式：利用專用計算電路進行一部分的處理，利用中央處理單元 225 使用程式來進行剩餘的計算。

在上述 RFCPU211 中，藉由使用接合在具有絕緣表面的基板上或絕緣基板上的具有固定結晶方位的半導體層形成積體電路，不僅可以實現處理速度的高速化，而且還可以實現低耗電量化。由此，即使將提供電力的電容部 229 小型化，也可以保證長時間工作。

下面，參照圖 23 至圖 25B 對本發明的顯示裝置進行說明。顯示裝置為半導體裝置的一種。

作為 SOI 基板的支撐基板，可以使用製造顯示面板的稱為母體玻璃的大面積玻璃基板。圖 23 是使用母體玻璃作為支撐基板 101 的 SOI 基板的平面圖。

在一個母體玻璃 301 上貼合有從多個半導體基板分離下來的多個半導體層 302。為了從母體玻璃 301 切割出多個顯示面板，最好將半導體層 302 接合在顯示面板形成區 310 內。至少顯示面板的形成區 310 的掃描線驅動電路形成區 311、信號線驅動電路形成區 312、圖素形成區 313 等有必要與半導體層 302 接合。另外，雖然在圖 23 中，只表示了一個顯示面板使用一個半導體層的結構，但當製造中型或大型的顯示裝置時，一個顯示面板可以使用多個半導體層。

圖 24A 和 24B 是說明利用圖 23 所示的 SOI 基板來製造的液晶顯示裝置的圖。圖 24A 是液晶顯示裝置的圖素的平面圖，而圖 24B 是沿著 J-K 切斷的圖 24A 的截面圖。

在圖 24A 中，半導體層 321 是由貼合在 SOI 基板的半導體層 302 形成的層，並構成圖素的 TFT。在此，作為 SOI 基板，使用根據實施方式 3 所示的方法製造的 SOI 基板。如圖 24B 所示，在支撐基板 101 上使用有堆疊絕緣層（兩層）、接合層、半導體層的基板。支撐基板 101 是被分割了的母體玻璃 301。如圖 24A 所示，圖素具有半導體層 321、與半導體層 321 交叉的掃描線 322、與掃描線 322 交叉的信號線 323、圖素電極 324、使圖素電極 324



和半導體層 321 電連接的電極 328。

如圖 24B 所示，圖素的 TFT325 形成在接合層上。TFT325 的閘電極包含在掃描線 322 中，源電極或汲電極包括在信號線 323 中。在層間絕緣膜 327 上設置有信號線 323、圖素電極 324 以及電極 328。在層間絕緣膜 327 上形成有柱狀間隔物 329。以覆蓋信號線 323、圖素電極 324、電極 328 以及柱狀間隔物 329 的方式形成有取向膜 330。在相對基板 332 上形成有相對電極 333、覆蓋著相對電極的取向膜 334。形成柱狀間隔物 329，以便維持支撐基板 101 和相對基板 332 之間的空隙。在由柱狀間隔物 329 形成的空隙內形成有液晶層 335。在半導體層 321 與信號線 323 以及電極 328 連接的部分上，由於接觸孔的形成，在層間絕緣層 327 中產生水準差。由於該水準差，液晶層 335 的液晶的取向錯亂。因此，在該有水準差的部分形成柱狀間隔物 329，以防止液晶的取向的錯亂。注意，在圖 24 所示的液晶顯示裝置中，圖素的 TFT325 被用作阻擋層的絕緣層 350 覆蓋，並與支撐基板 101 上的絕緣層（兩層）一起發揮防止來自外部的雜質的侵入的功能。

下面，說明電致發光顯示裝置（以下，稱為 EL 顯示裝置）。圖 25A 和 25B 是用來說明利用圖 23 所示的 SOI 基板來製造的 EL 顯示裝置的圖。圖 25A 是 EL 顯示裝置的圖素的平面圖，而圖 25B 是圖素的截面圖。另外，圖 25B 與圖 25A 的 L-M 截斷線相對應。

在圖 25A 和 25B 中，在圖素中形成有由 TFT 構成的

選擇用電晶體 401 以及顯示控制用電晶體 402。選擇用電晶體 401 的半導體層 403、顯示控制用電晶體的半導體層 404 是藉由加工圖 23 所示的 SOI 基板的半導體層 302 而形成的層。圖素包括掃描線 405、信號線 406、電流供應線 407 以及圖素電極 408。在 EL 顯示裝置中，具有如下結構的發光元件設置在各圖素中：在一對電極之間夾有包含電致發光材料的層（EL 層）。發光元件的一個電極是圖素電極 408。

在選擇用電晶體 401 中，閘電極包括在掃描線 405 中，源電極和汲電極中的一方包括在信號線 406 中，而另一方被形成為電極 411。在顯示控制用電晶體 402 中，閘電極 412 與電極 411 電連接，源電極和汲電極中的一方被形成為電連接到圖素電極 408 的電極 413，而另一方包含在電流供應線 407 中。

注意，作為 SOI 基板，使用根據實施方式 3 所示的方法來製造的 SOI 基板。於圖 24B 相同，在支撐基板 101 上堆疊有絕緣層（兩層）、接合層以及半導體層。支撐基板 101 是被分割了的母體玻璃 301。

如圖 25B 所示，以覆蓋顯示控制用電晶體 402 的閘電極 412 的方式形成有層間絕緣膜 427。在層間絕緣膜 427 上形成有信號線 406、電流供應線 407、電極 411 和 413 等。此外，在層間絕緣膜上形成有電連接到電極 413 的圖素電極 408。圖素電極 408 的周邊部分由絕緣隔斷層 428 圍繞。在圖素電極 408 上形成有 EL 層 429，在 EL 層 429

上形成有相對電極 430。作為補強板設置有相對基板 431，相對基板 431 利用樹脂層 432 固定在支撐基板 101 上。在 EL 顯示裝置的圖素部中，圖 25A 和 25B 所示的圖素排列為矩陣狀。另外，在如圖 25A 和 25B 所示的致電發光顯示裝置中，選擇用電晶體 401 以及顯示控制用電晶體 402 被用作阻擋層的絕緣層 450 覆蓋，並與支撐基板 101 上的絕緣層（兩層）一起發揮防止來自外部的雜質的侵入的功能。

作為 EL 顯示裝置的灰度的控制，有利用電流控制發光元件的亮度的電流驅動方式、以及利用電壓控制其亮度的電壓驅動方式。當每個圖素中電晶體的特性值的差距較大時，難以採用電流驅動方式，為了採用電流驅動方式，需要校正特性上的不均勻的校正電路。而藉由利用本發明的 SOI 基板，選擇用電晶體 401 和顯示控制用電晶體 402 中的各個圖素沒有特性上的不均勻，所以可以採用電流驅動方式。

如圖 24A 和 24B 以及圖 25A 和 25B 所示，可以藉由利用製造顯示裝置的母體玻璃來製造 SOI 基板，並且利用該 SOI 基板來製造顯示裝置。再者，在該 SOI 基板上也可以形成如圖 21 及圖 22 所說明那樣的微處理器，所以也可以在顯示裝置中安裝電腦的功能。此外，也可以製造顯示裝置，該顯示裝置能夠以非接觸的方式進行資料的輸入及輸出。

也就是說，藉由使用本發明的 SOI 基板，可以構成各

種各樣的電器。作為電器，可以舉出攝像機或數位元元照相機等影像拍攝裝置、導航系統、音頻再現裝置（汽車音響、音響元件等）、電腦、遊戲機、可攜式資訊終端（行動電腦、行動電話、可攜式遊戲機或電子書等）、具有記錄媒體的圖像再現裝置（具體地說，再現儲存在記錄媒體如 DVD（數位通用光碟）等中的圖像資料且具有能夠顯示其圖像的顯示裝置的裝置）等。

參照圖 26A 至 26C 對電器的具體方式進行說明。圖 26A 是表示行動電話機 901 的一個例子的外觀圖。該行動電話機 901 包括顯示部 902、操作開關 903 等構成。藉由將圖 24A 和 24B 所示的液晶顯示裝置或圖 25A 和 25B 所說明的 EL 顯示裝置適用於顯示部 902，可以獲得顯示不均勻少且圖像品質良好的顯示部 902。還可將利用本發明的 SOI 基板形成的半導體裝置應用於包括在行動電話機 901 中的微處理器或記憶體等。

此外，圖 26B 是表示數位播放器 911 的結構例的外觀圖。數位播放器 911 包括顯示部 912、操作部 913、耳機 914 等。還可以使用頭戴式耳機或無線式耳機代替耳機 914。藉由將圖 24A 和 24B 所說明的液晶顯示裝置或圖 25A 和 25B 所說明的 EL 顯示裝置應用於顯示部 912，即使螢幕尺寸為 0.3 英寸至 2 英寸左右，也可以顯示高清晰圖像以及大量文字資訊。此外，也可以將利用本發明的 SOI 基板形成的半導體裝置應用於包括在數位播放器 911 中的儲存音樂資訊的存儲部，以及微處理器。

此外，圖 26C 是電子書 921 的外觀圖。該電子書 921 包括顯示部 922、操作開關 923。也可以在電子書 921 中內置數據機或者藉由內置圖 22 所示的 RFCPU，來獲得能夠以無線方式收發資訊的結構。可以藉由將圖 24A 和 24B 所說明的液晶顯示裝置或者圖 25A 和 25B 所說明的 EL 顯示裝置應用於顯示部 922，來使該顯示部 922 進行高圖像品質的顯示。在電子書 921 中，可以將利用本發明的 SOI 基板形成的半導體裝置應用於儲存資訊的存儲部或使電子書 921 發揮作用的微處理器。

本實施方式可以適當地與實施方式 1 至實施方式 6 組合使用。

本說明書根據 2007 年 9 月 21 日在日本專利局受理的日本專利申請編號 2007-245822 而製作，所述申請內容包括在本說明書中。

#### 【圖式簡單說明】

在附圖中：

圖 1 是示出 SOI 基板的一個例子的圖；

圖 2 是示出單晶半導體基板的一個例子的圖；

圖 3 是示出淺盤的一個例子的圖；

圖 4 是示出將單晶半導體基板設置在淺盤上的狀態的圖；

圖 5A 和 5B 是示出淺盤的一個例子的圖；

圖 6A 和 6B 是示出淺盤的一個例子的圖；

圖 7A 至 7D 是示出 SOI 基板的製造方法的截面圖；

圖 8A 和 8B 是示出 SOI 基板的製造方法的截面圖；

圖 9 是示出 SOI 基板的製造方法的截面圖；

圖 10A 和 10B 是示出 SOI 基板的製造方法的截面圖

；

圖 11A 至 11D 是示出關於單晶半導體基板的再現處理的圖；

圖 12A 至 12C 是示出 SOI 基板的一個例子的圖；

圖 13 是示出 SOI 基板的一個例子的圖；

圖 14 是示出淺盤的一個例子的圖；

圖 15 是示出在淺盤上設置有單晶半導體基板的圖；

圖 16 是示出 SOI 基板的一個例子的截面圖；

圖 17A 至 17D 是示出半導體裝置的製造方法的截面圖；

圖 18A 至 18C 是示出半導體裝置的製造方法的截面圖；

圖 19 是示出半導體裝置的一個例子的截面圖；

圖 20A 和 20B 是示出半導體裝置的一個例子的截面圖；

圖 21 是示出藉由利用 SOI 基板而可以獲得的微處理器的結構的框圖；

圖 22 是示出藉由利用 SOI 基板而可以獲得的 RFCPU 的結構的框圖；

圖 23 是將母體玻璃用作支撐基板的 SOI 基板的平面

圖；

圖 24A 是液晶顯示裝置的圖素的平面圖；圖 24B 是沿 J-K 切斷的截面圖；

圖 25A 是電致發光顯示裝置的圖素的平面圖；圖 25B 是沿 J-M 切斷的截面圖；

圖 26A 是行動電話的外觀圖；圖 26B 是數位播放器的外觀圖；圖 26C 是電子書的外觀圖。

#### 【主要元件符號說明】

10：淺盤

11：凹部

100：半導體基板

101：支撐基板

102：絕緣層

103：絕緣層

104：接合層

105：接合層

110：單晶半導體基板

112：絕緣層

112a：絕緣膜

112b：絕緣膜

113：損傷區域

114：接合層

115：半導體層

- 117a : 凸部
- 117b : 分離面
- 116 : 單晶半導體層
- 117 : 單晶半導體基板
- 118 : 單晶半導體基板
- 121 : 離子束
- 122 : 雷射光束
- 130 : 空隙
- 200 : 微處理器
- 201 : 計算電路
- 202 : 計算電路用控制部
- 203 : 指令解碼器
- 204 : 控制部
- 205 : 時序控制部
- 206 : 暫存器
- 207 : 暫存器控制部
- 208 : 匯流排介面
- 209 : 唯讀記憶體
- 210 : ROM 介面
- 211 : RF CPU
- 212 : 類比電路部
- 213 : 數位電路部
- 214 : 諧振電路
- 215 : 整流電路



- 216 : 恆壓電路
- 217 : 重設電路
- 218 : 振盪電路
- 219 : 解調電路
- 220 : 調變電路
- 221 : RF 介面
- 222 : 控制暫存器
- 223 : 時鐘控制部
- 224 : CPU 介面
- 225 : 中央處理單元
- 226 : 隨機存取記憶體
- 227 : 唯讀記憶體
- 228 : 天線
- 229 : 電容部
- 230 : 電源管理電路
- 301 : 母體玻璃
- 302 : 半導體層
- 310 : 形成區
- 311 : 掃描線驅動電路形成區
- 312 : 信號線驅動電路形成區
- 313 : 圖素形成區
- 321 : 半導體層
- 322 : 掃描線
- 323 : 信號線

- 324 : 圖素電極
- 325 : TFT
- 327 : 層間絕緣膜
- 328 : 電極
- 329 : 柱狀間隔物
- 330 : 取向膜
- 332 : 相對基板
- 333 : 相對電極
- 334 : 取向膜
- 335 : 液晶層
- 350 : 絕緣層
- 401 : 選擇用電晶體
- 402 : 顯示控制用電晶體
- 403 : 半導體層
- 404 : 半導體層
- 405 : 掃描線
- 406 : 信號線
- 407 : 電流供應線
- 408 : 圖素電極
- 410 : 電極
- 411 : 電極
- 412 : 閘電極
- 413 : 電極
- 427 : 層間絕緣膜

- 428 : 隔斷層
- 429 : EL 層
- 430 : 相對電極
- 431 : 相對基板
- 432 : 樹脂層
- 450 : 絕緣層
- 603 : 半導體膜
- 604 : 半導體膜
- 606 : 閘極絕緣膜
- 607 : 電極
- 608 : 雜質區域
- 609 : 雜質區域
- 610 : 側壁
- 611 : 高濃度雜質區域
- 612 : 低濃度雜質區域
- 613 : 通道形成區域
- 614 : 高濃度雜質區域
- 615 : 低濃度雜質區域
- 616 : 通道形成區域
- 617 : n 通道型電晶體
- 618 : p 通道型電晶體
- 619 : 絕緣膜
- 620 : 絕緣膜
- 621 : 導電膜

- 622 : 導電膜
- 650 : 絕緣層
- 901 : 行動電話機
- 902 : 顯示部
- 903 : 操作開關
- 911 : 數位播放器
- 912 : 顯示部
- 913 : 操作部
- 914 : 耳機
- 921 : 電子書
- 922 : 顯示部
- 923 : 操作開關

## 十、申請專利範圍

1. 一種半導體裝置，包括：  
含有雜質元素的基板；  
所述基板上的多個接合層；  
所述多個接合層上的多個第一阻擋層；  
所述多個第一阻擋層上的多個包括鹵素的膜；  
所述多個包括鹵素的膜上的多個半導體元件，每個所述多個半導體元件包括單晶半導體層；以及  
覆蓋所述多個半導體元件的第二阻擋層。
2. 如申請專利範圍第 1 項之半導體裝置，  
其中所述多個第一阻擋層用作對所述雜質元素的多個阻擋層。
3. 如申請專利範圍第 1 項之半導體裝置，  
其中所述雜質元素對每個所述多個半導體元件的特性產生影響。
4. 如申請專利範圍第 1 項之半導體裝置，  
其中每個所述多個第一阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。
5. 如申請專利範圍第 1 項之半導體裝置，  
其中所述第二阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。
6. 一種電子設備，使用如申請專利範圍第 1 項之半導體裝置，其中所述電子設備是選自由攝像機、數位照相機、導航系統、音頻再現裝置、電腦、遊戲機、可攜式資訊

終端、以及具有記錄媒體的圖像再現裝置構成的群組中的一種。

7.一種半導體裝置，包括：

含有雜質元素的基板；

在所述基板上的第一阻擋層；

在所述第一阻擋層上的多個接合層；

在所述多個接合層上的多個包括鹵素的膜；

在所述多個包括鹵素的膜上的多個半導體元件，每個所述多個半導體元件包括單晶半導體層；以及

覆蓋所述多個半導體元件的第二阻擋層。

8.如申請專利範圍第 7 項之半導體裝置，

其中所述第一阻擋層設置在相當於所述多個半導體元件之一的所述單晶半導體層和與所述多個半導體元件之一相鄰的多個半導體元件之另一個的所述單晶半導體層之間的空隙的區域內。

9.如申請專利範圍第 8 項之半導體裝置，

其中所述空隙為等於 0.5 mm 或以下。

10.如申請專利範圍第 7 項之半導體裝置，

其中在所述多個接合層與所述多個半導體元件之間設置有多個第三阻擋層。

11.如申請專利範圍第 7 項之半導體裝置，

其中所述第一阻擋層用作對所述雜質元素的阻擋層。

12.如申請專利範圍第 7 項之半導體裝置，

其中所述雜質元素對每個所述多個半導體元件的特性

產生影響。

13. 如申請專利範圍第 7 項之半導體裝置，

其中所述第一阻擋層具有氮化矽膜和氮氧化矽膜的疊層結構。

14. 如申請專利範圍第 7 項之半導體裝置，

其中所述第二阻擋層具有氮化矽膜和氮氧化矽膜的疊層結構。

15. 一種電子設備，使用如申請專利範圍第 7 項之半導體裝置，其中所述電子設備是選自由攝像機、數位照相機、導航系統、音頻再現裝置、電腦、遊戲機、可攜式資訊終端、以及具有記錄媒體的圖像再現裝置構成的群組中的一種。

16. 一種半導體裝置的製造方法，包括如下步驟：

將多個單晶半導體基板設置在淺盤中；

在設置在淺盤中的所述多個單晶半導體基板上形成第一阻擋層；

對所述第一阻擋層照射離子，以在每個設置在淺盤中的所述多個單晶半導體基板中形成損傷區域；

在所述第一阻擋層上形成接合層；

使所述接合層與含有雜質元素的基板互相接觸，以使設置在淺盤中的所述多個單晶半導體基板與所述含有雜質元素的基板接合；

使設置在淺盤中的所述多個單晶半導體基板沿所述損傷區域分離，以在所述含有所述雜質元素的基板上形成多

個單晶半導體層；

使用所述多個單晶半導體層以形成多個半導體元件；

以及

形成第二阻擋層以覆蓋所述多個半導體元件。

17. 如申請專利範圍第 16 項之半導體裝置的製造方法，

其中藉由進行熱處理，使所述多個單晶半導體層從所述多個單晶半導體基板分離。

18. 如申請專利範圍第 16 項之半導體裝置的製造方法，

其中所述第一阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。

19. 如申請專利範圍第 16 項之半導體裝置的製造方法，

其中所述第二阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。

20. 如申請專利範圍第 16 項之半導體裝置的製造方法，

其中所述淺盤由石英玻璃或不鏽鋼形成。

21. 一種半導體裝置的製造方法，包括如下步驟：

在淺盤中設置多個單晶半導體基板；

對設置在淺盤中的所述多個單晶半導體基板照射離子，以在每個所述多個單晶半導體基板中形成損傷區域；

在每個設置在淺盤中的所述多個單晶半導體基板上形



成接合層；

在含有雜質元素的基板上形成第一阻擋層；

使所述接合層與所述第一阻擋層互相接觸，以使設置在淺盤中的所述多個單晶半導體基板與所述含有所述雜質元素的基板接合；

使設置在淺盤中的所述多個單晶半導體基板沿所述損傷區域分離，以在所述含有所述雜質元素的基板上形成多個單晶半導體層；

使用所述多個單晶半導體層以形成多個半導體元件；  
以及

形成第二阻擋層以覆蓋所述多個半導體元件。

22.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中所述第一阻擋層用作對所述雜質元素的阻擋層。

23.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中所述雜質元素對每個所述多個半導體元件的特性產生影響。

24.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中藉由進行熱處理，使所述多個單晶半導體層從所述多個單晶半導體基板分離。

25.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中所述第一阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。

26.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中所述第二阻擋層具有氧氮化矽膜和氮氧化矽膜的疊層結構。

27.如申請專利範圍第 21 項之半導體裝置的製造方法，

其中所述淺盤由石英玻璃或不鏽鋼形成。

圖 1

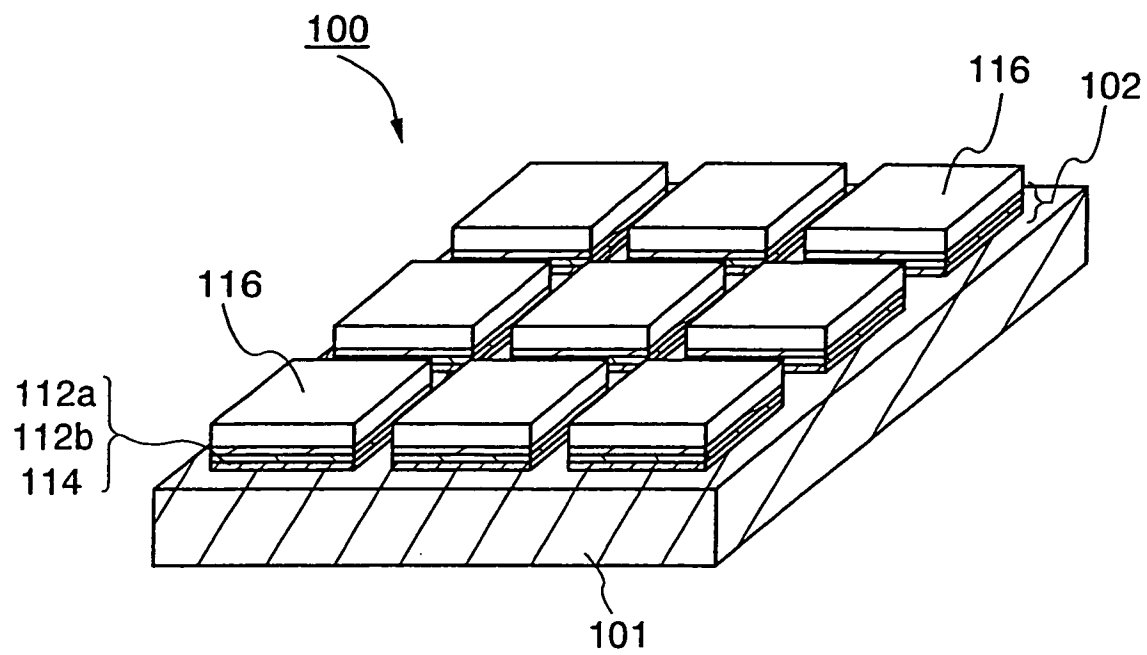


圖2

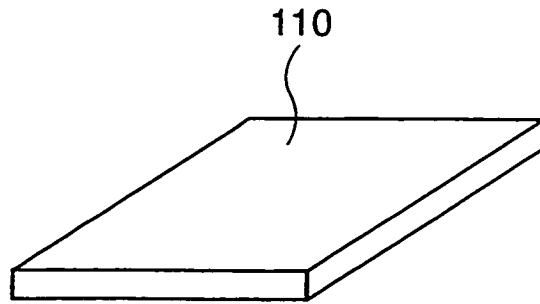


圖3

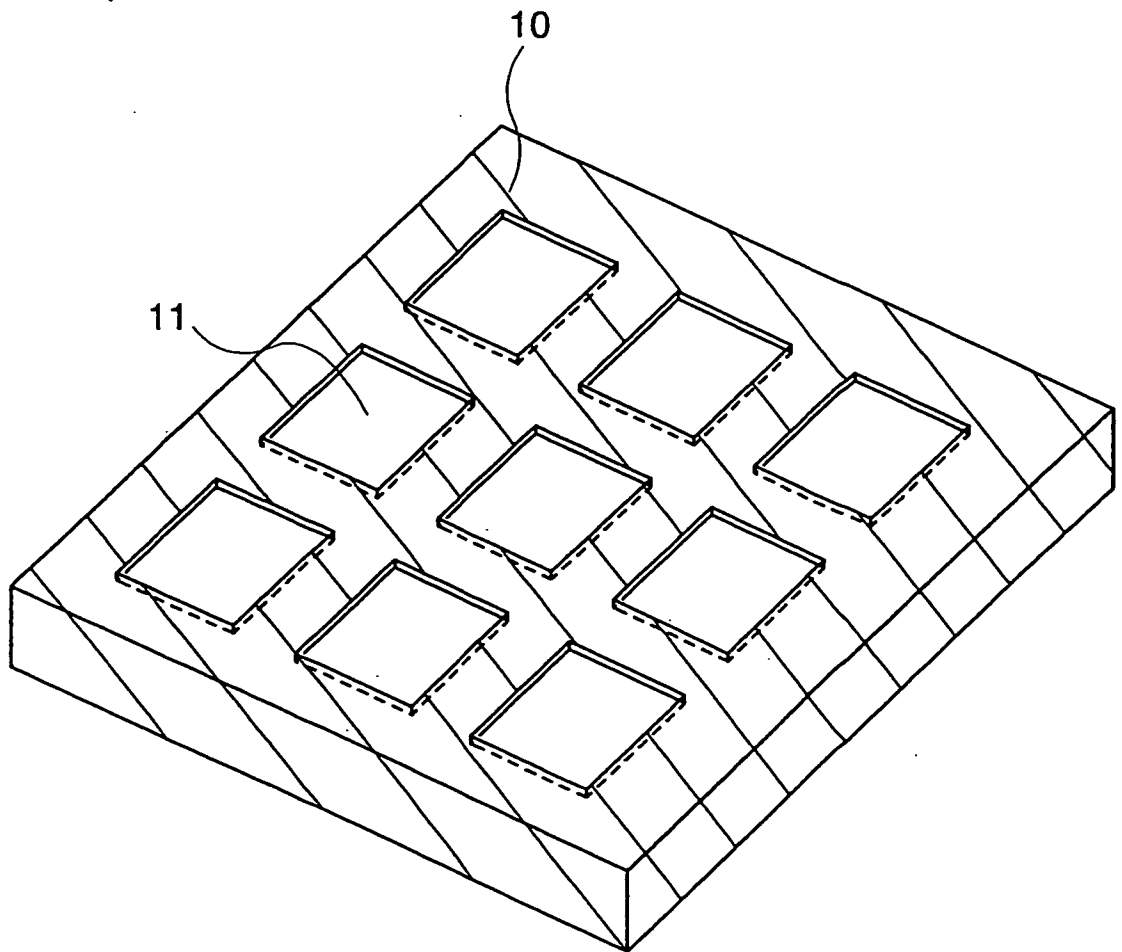


圖 4

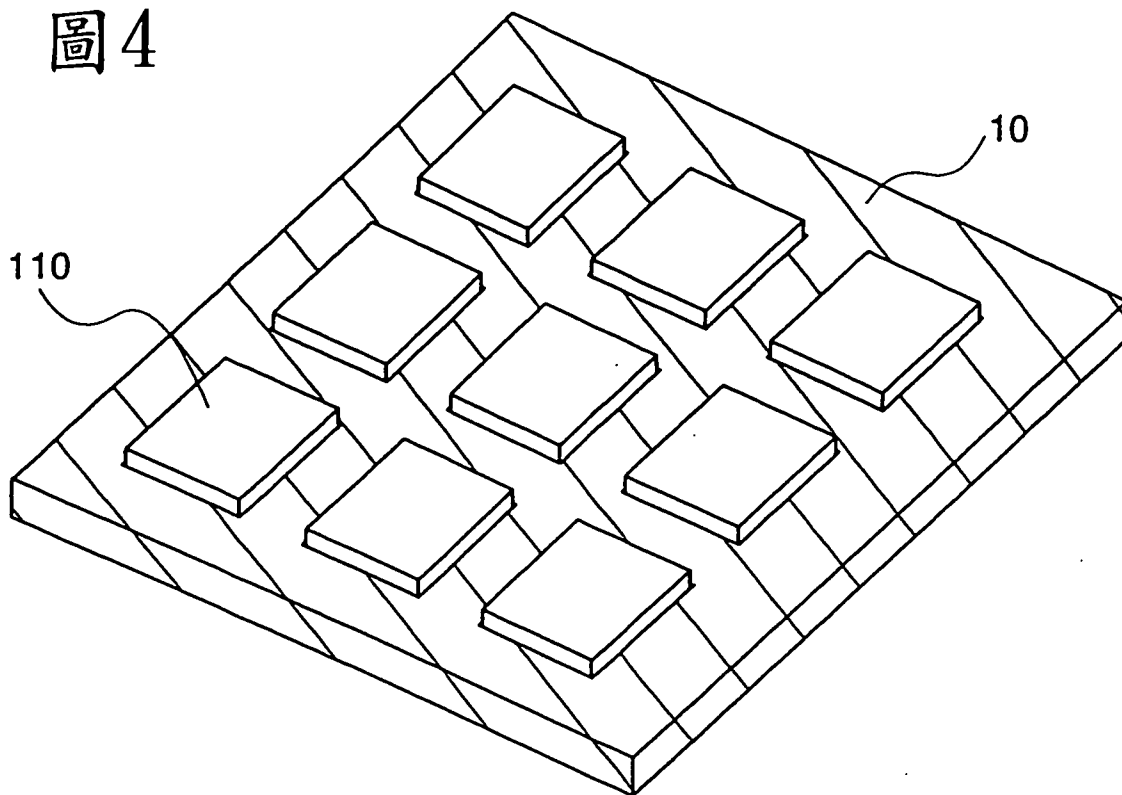


圖 5A

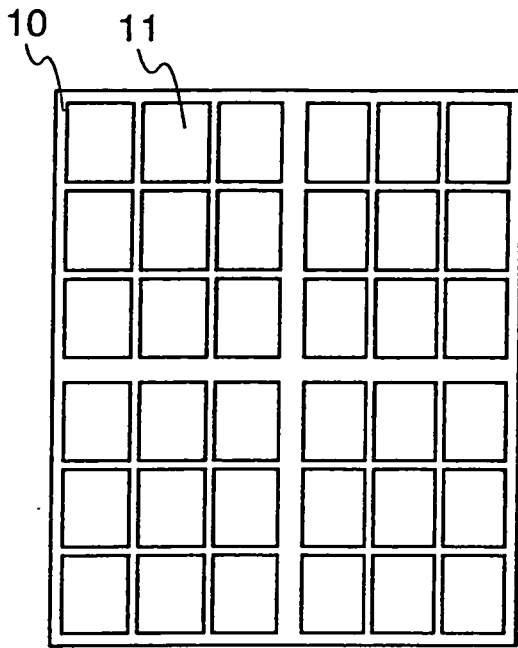


圖 5B

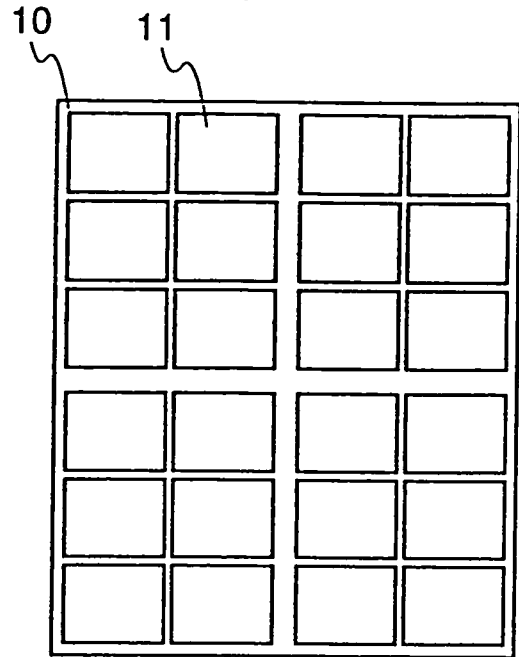


圖 6A

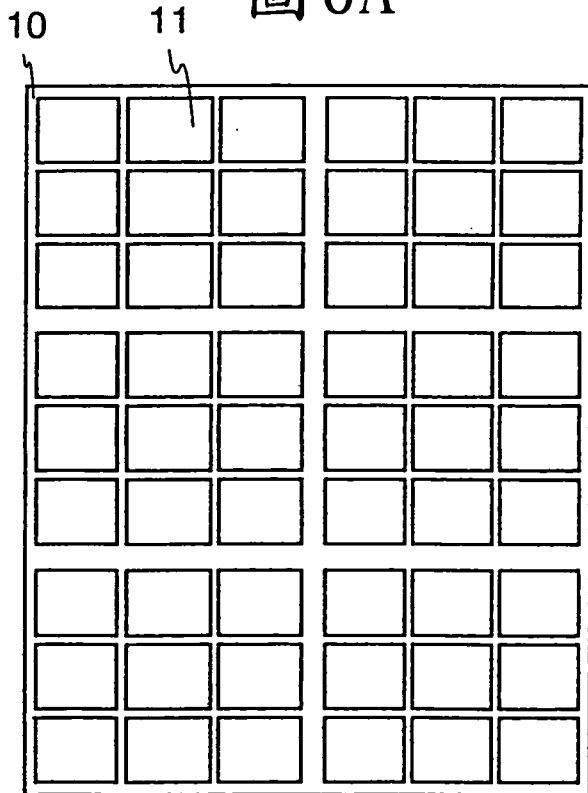


圖 6B

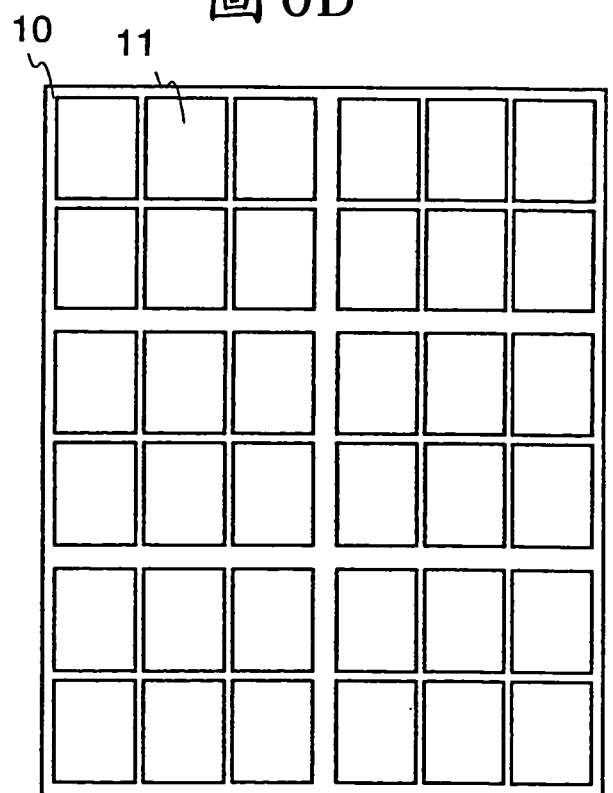


圖 7A

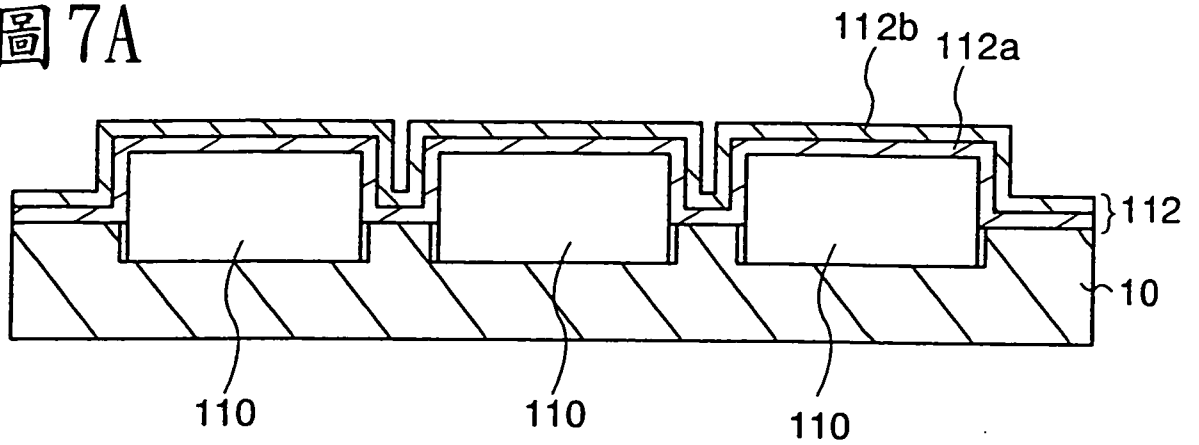


圖 7B

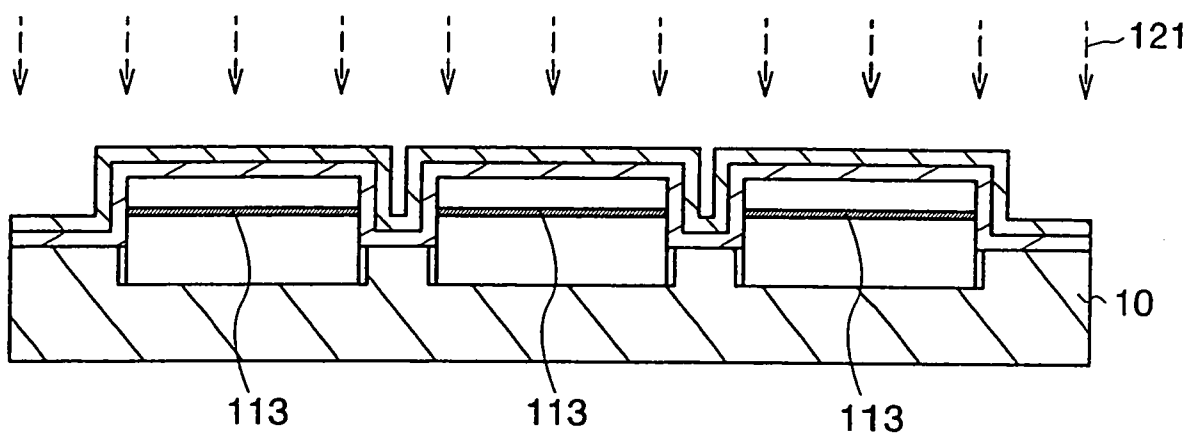


圖 7C

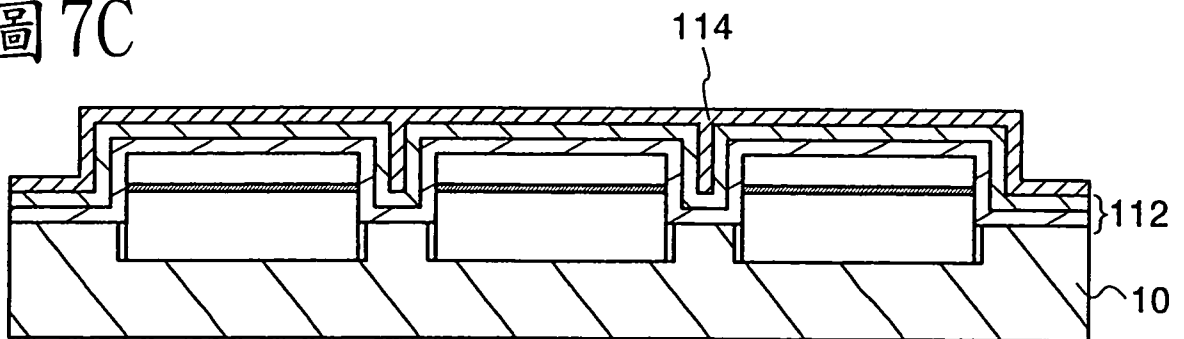


圖 7D

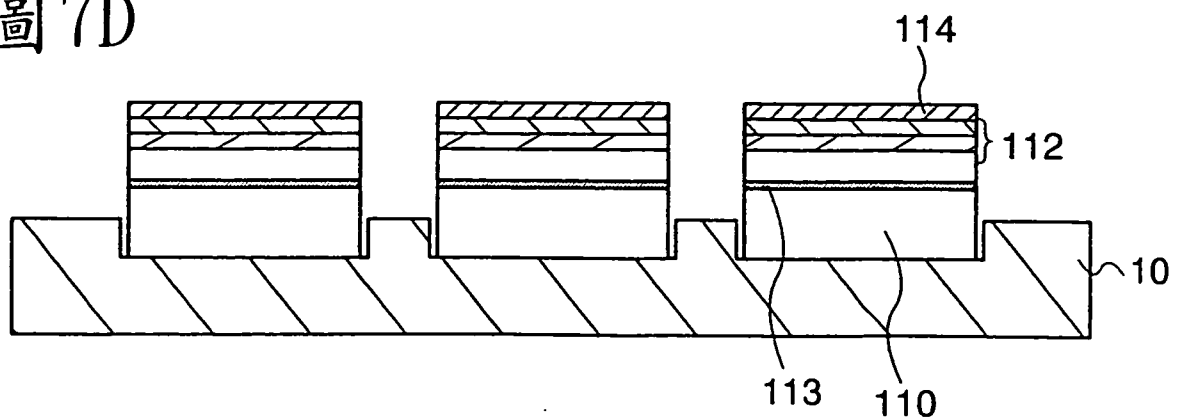


圖 8A

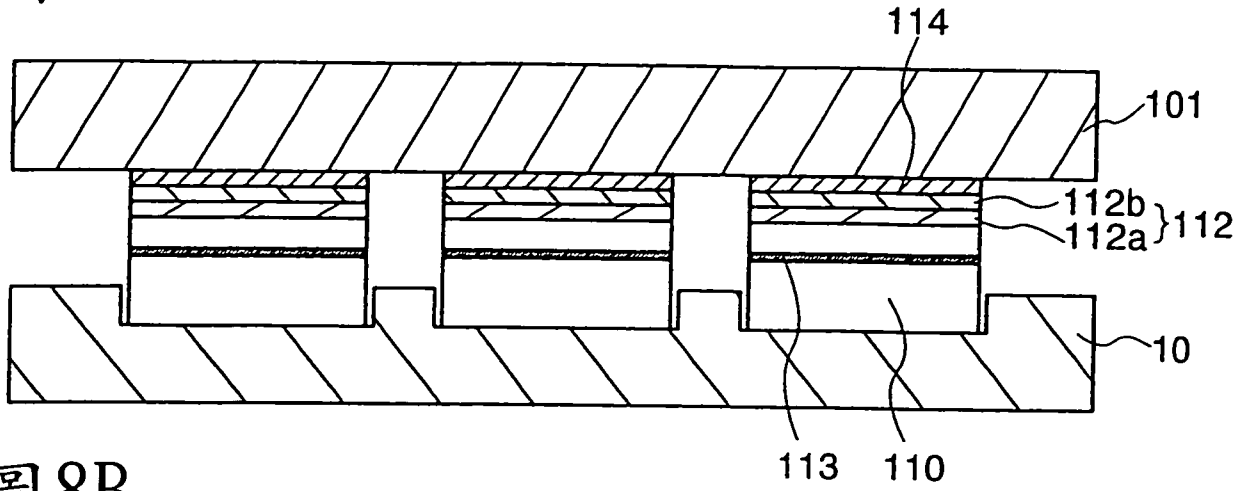


圖 8B

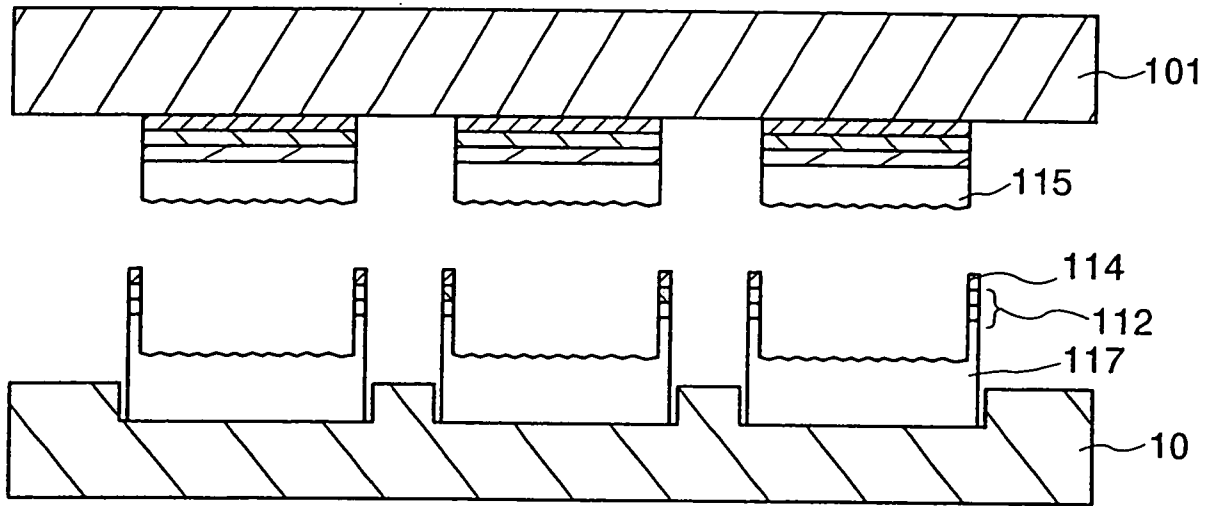


圖 9

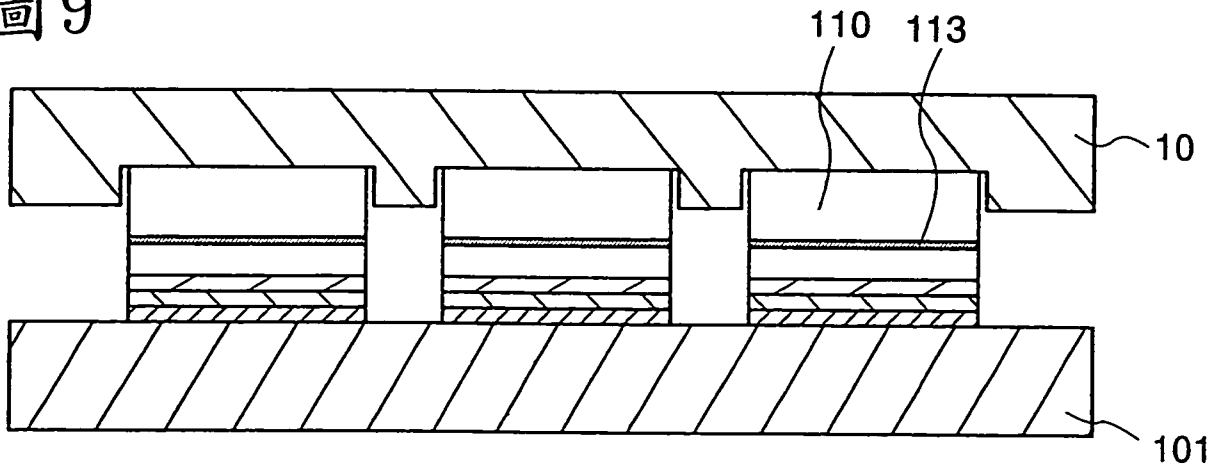




圖 10A

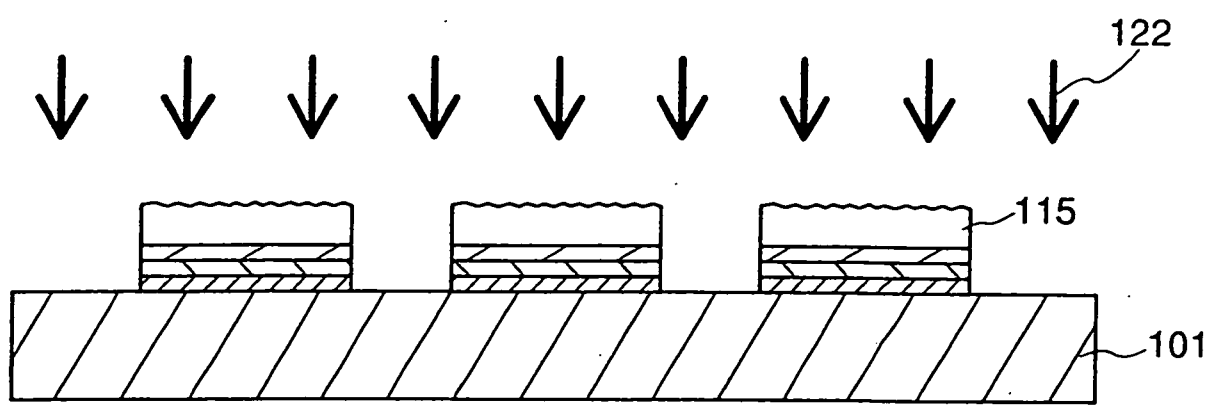


圖 10B

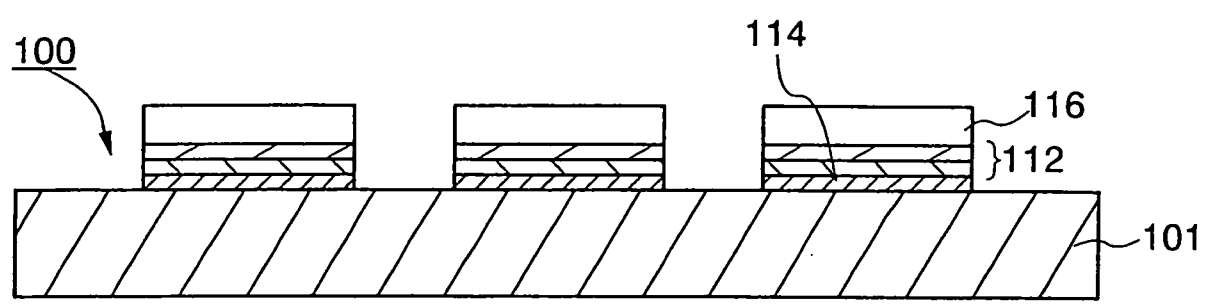


圖 11A

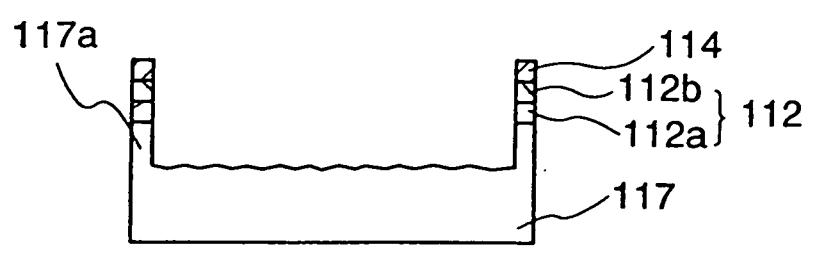


圖 11B

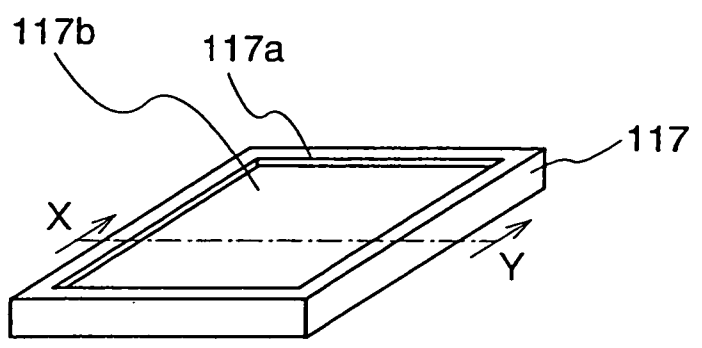


圖 11C

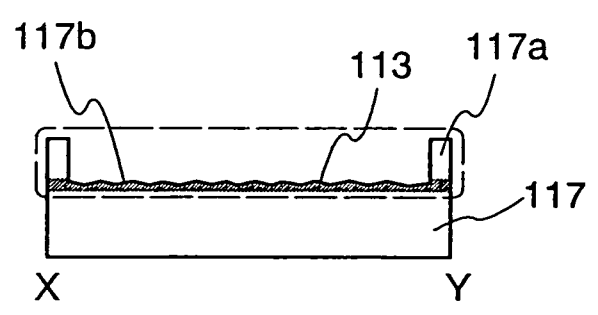


圖 11D

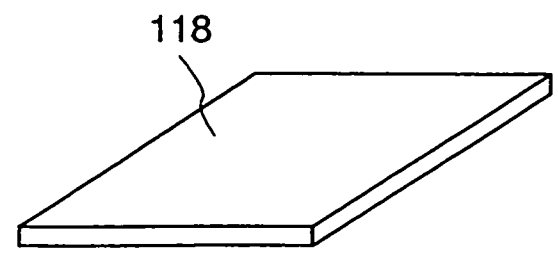


圖 12A

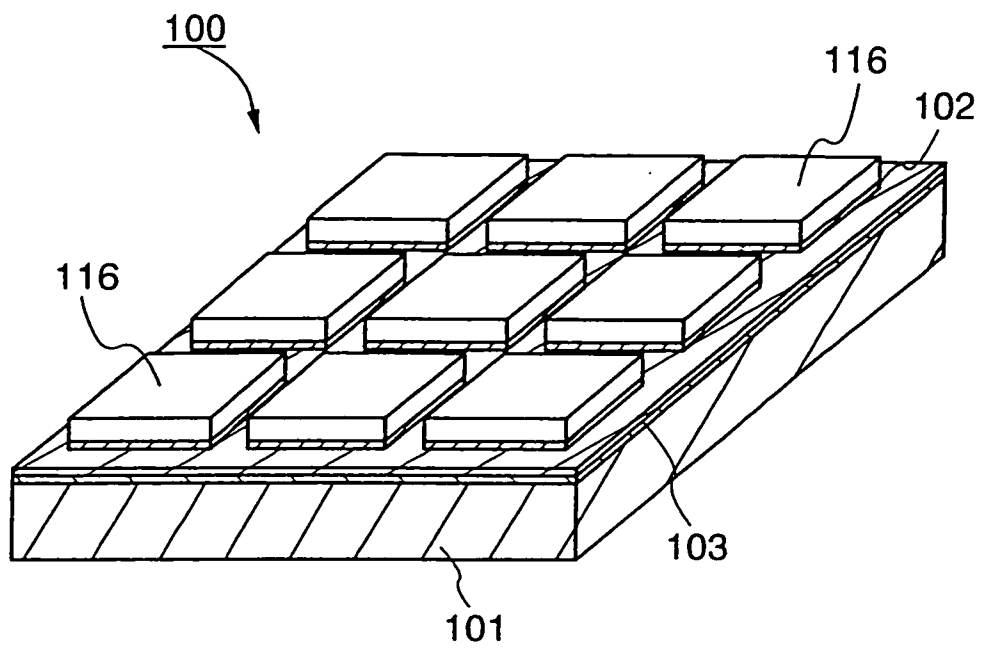


圖 12B

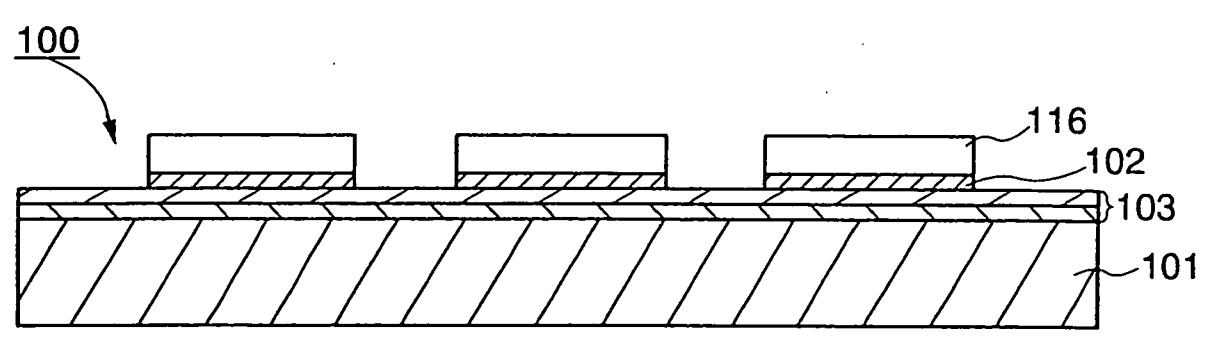


圖 12C

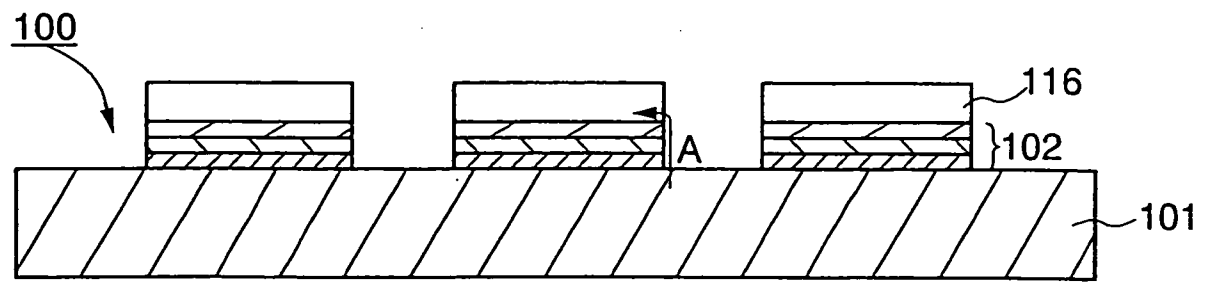


圖 13

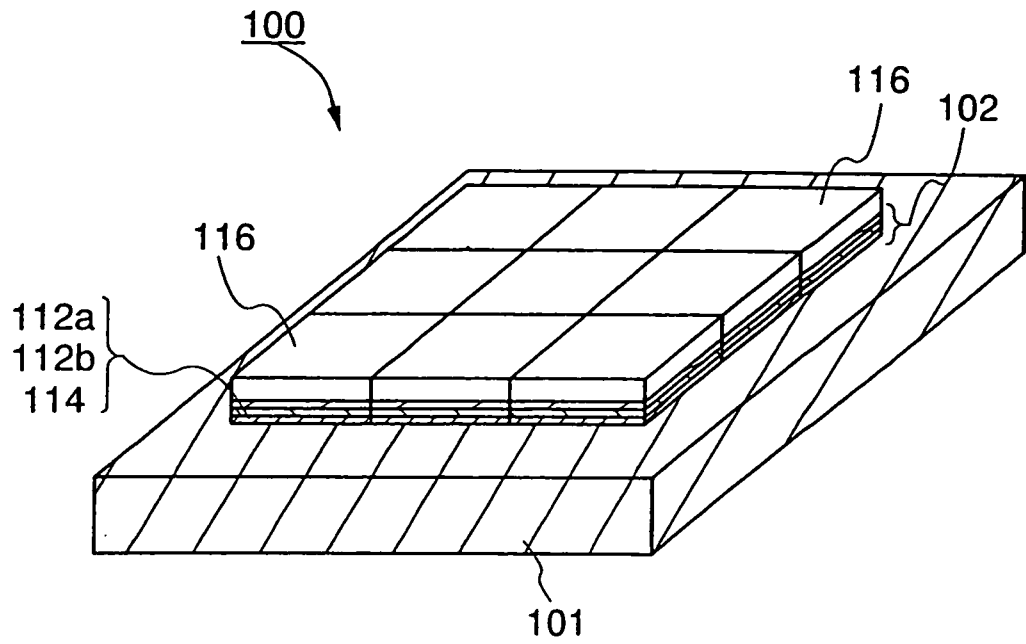


圖 14

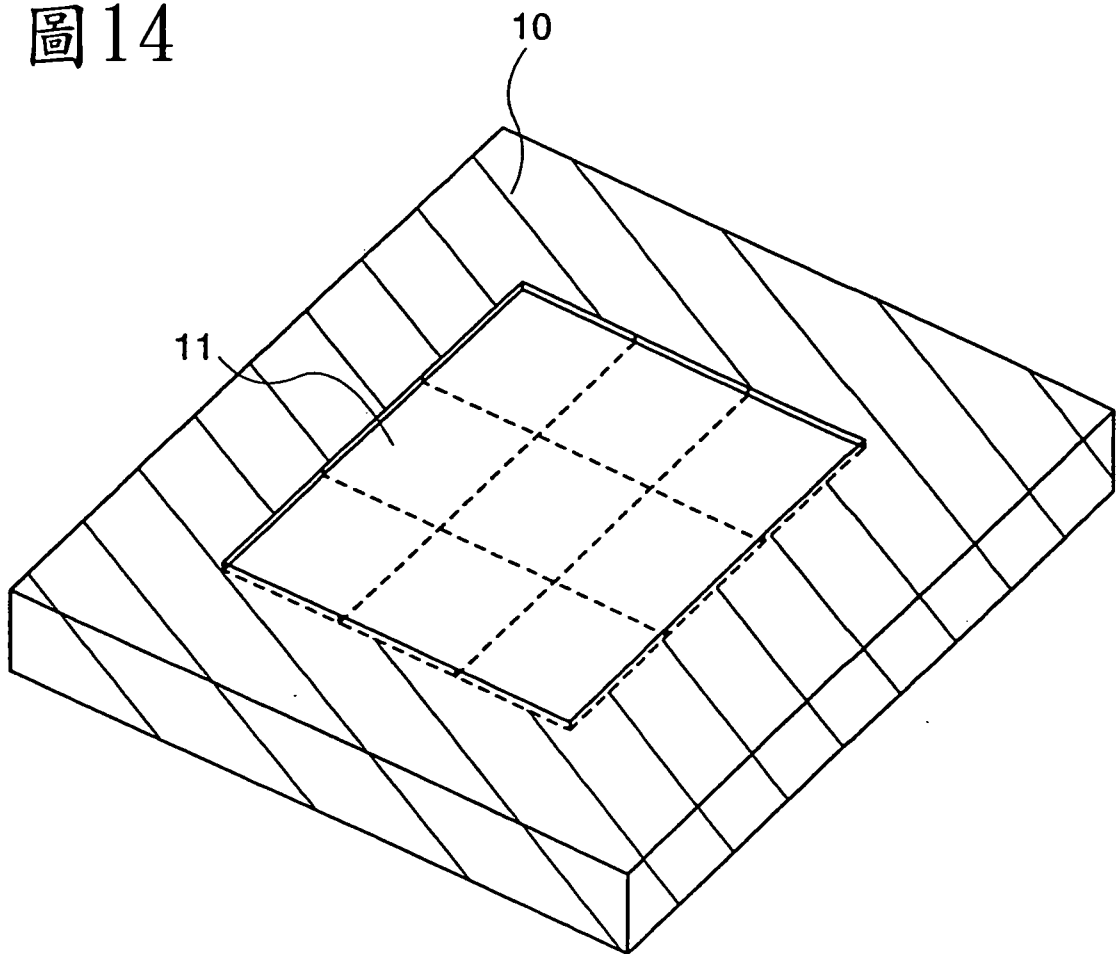


圖 15

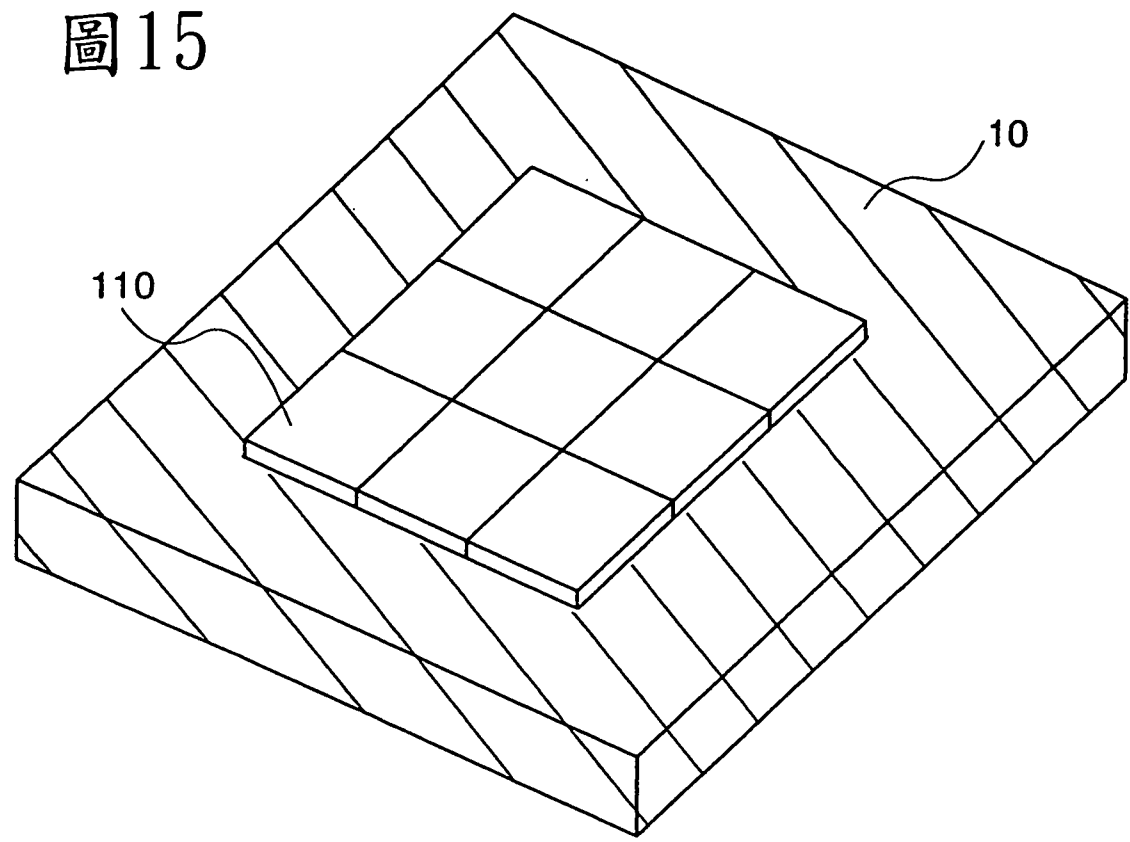


圖 16

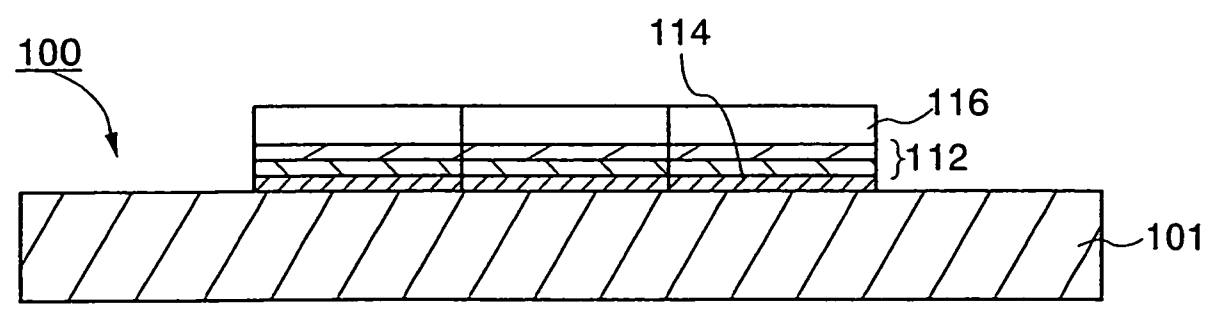


圖 17A

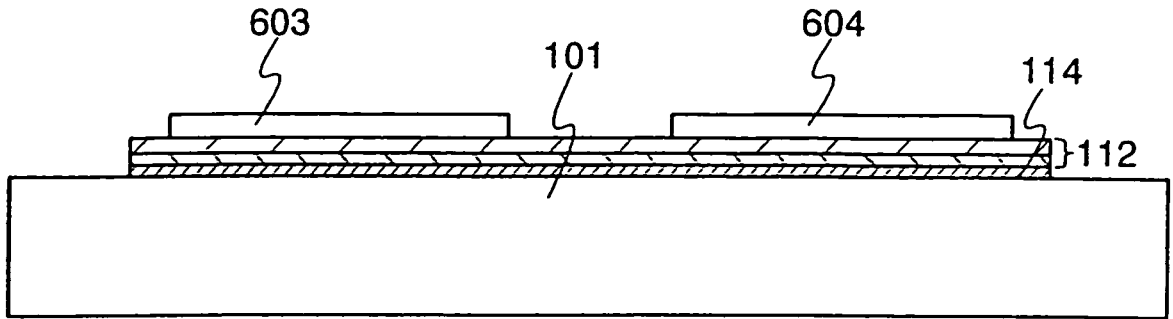


圖 17B

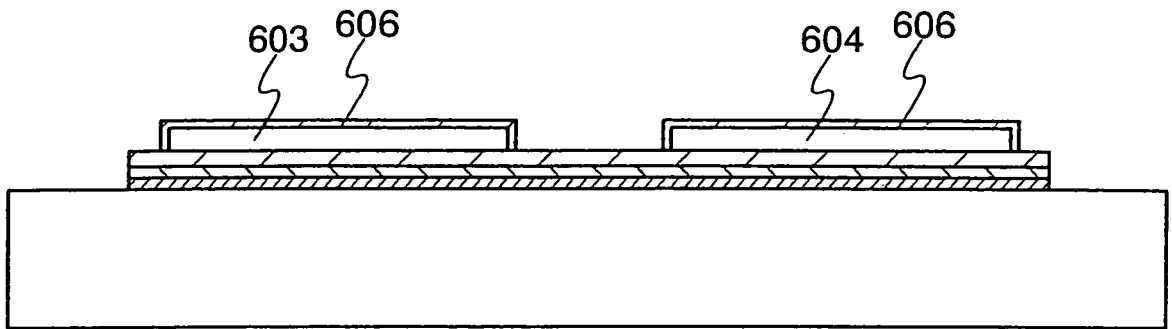


圖 17C

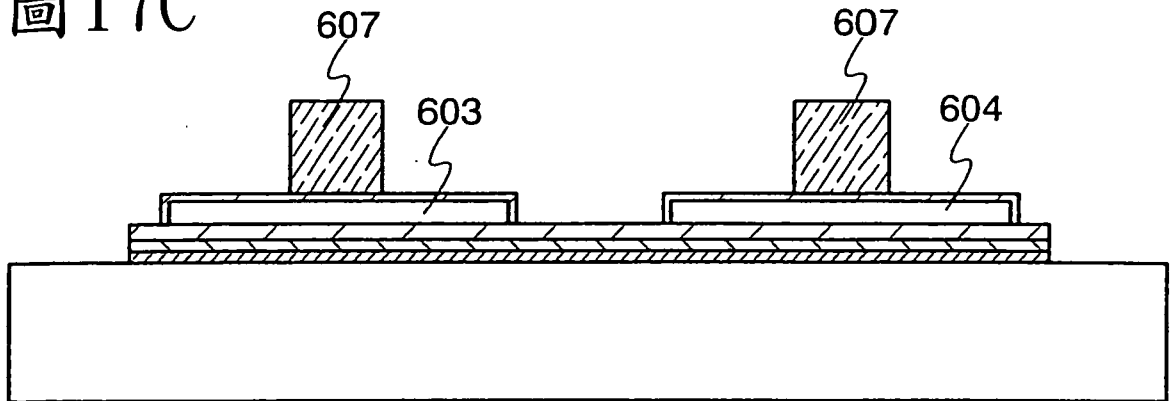


圖 17D

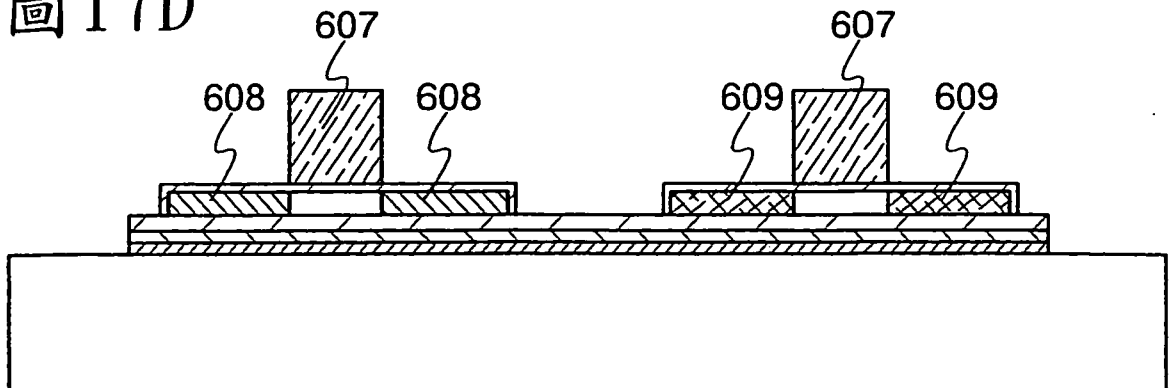


圖 18A

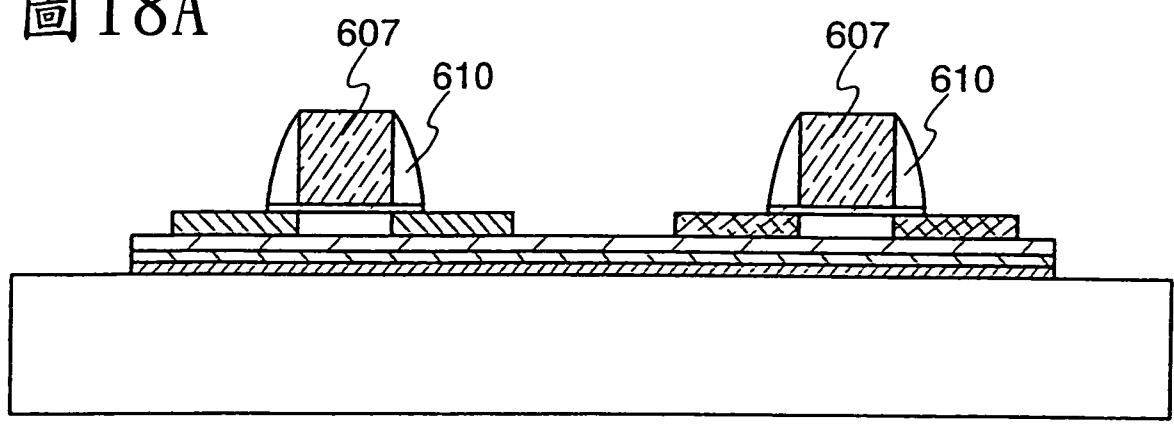


圖 18B

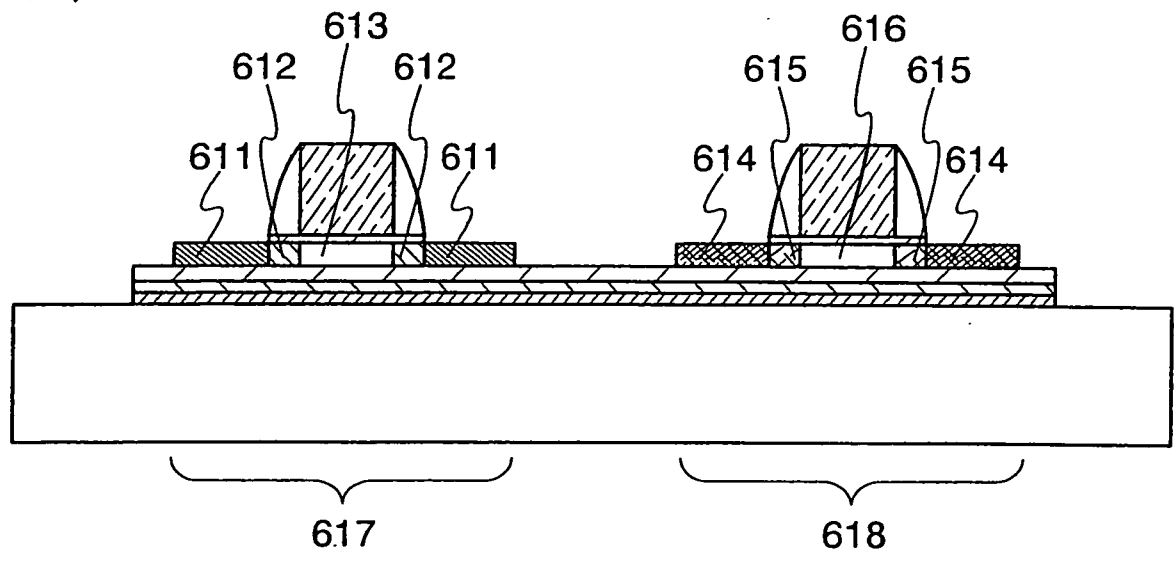


圖 18C

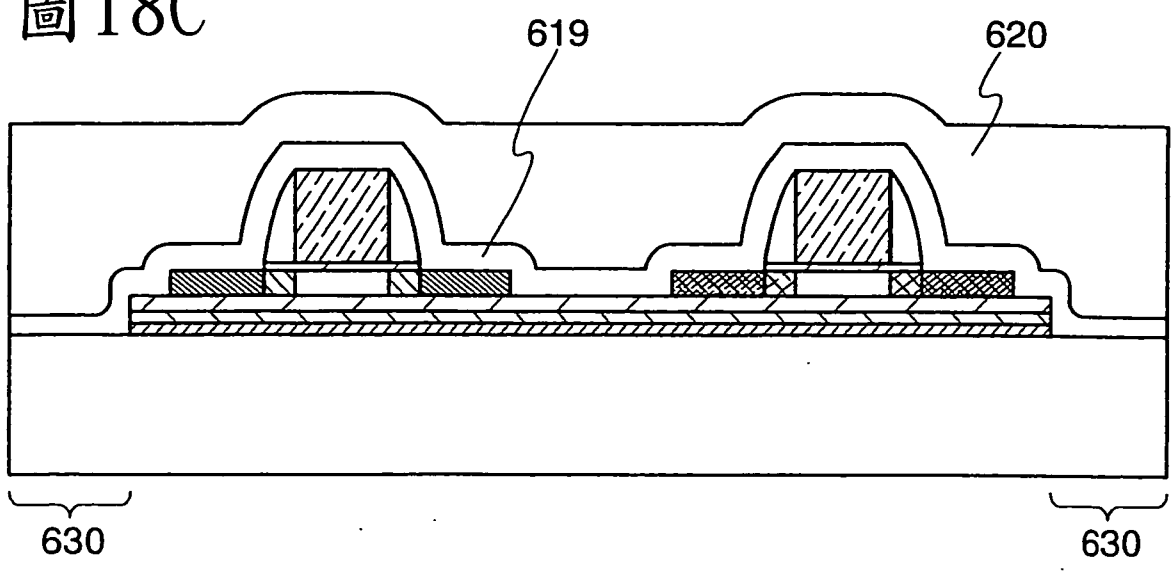


圖 19

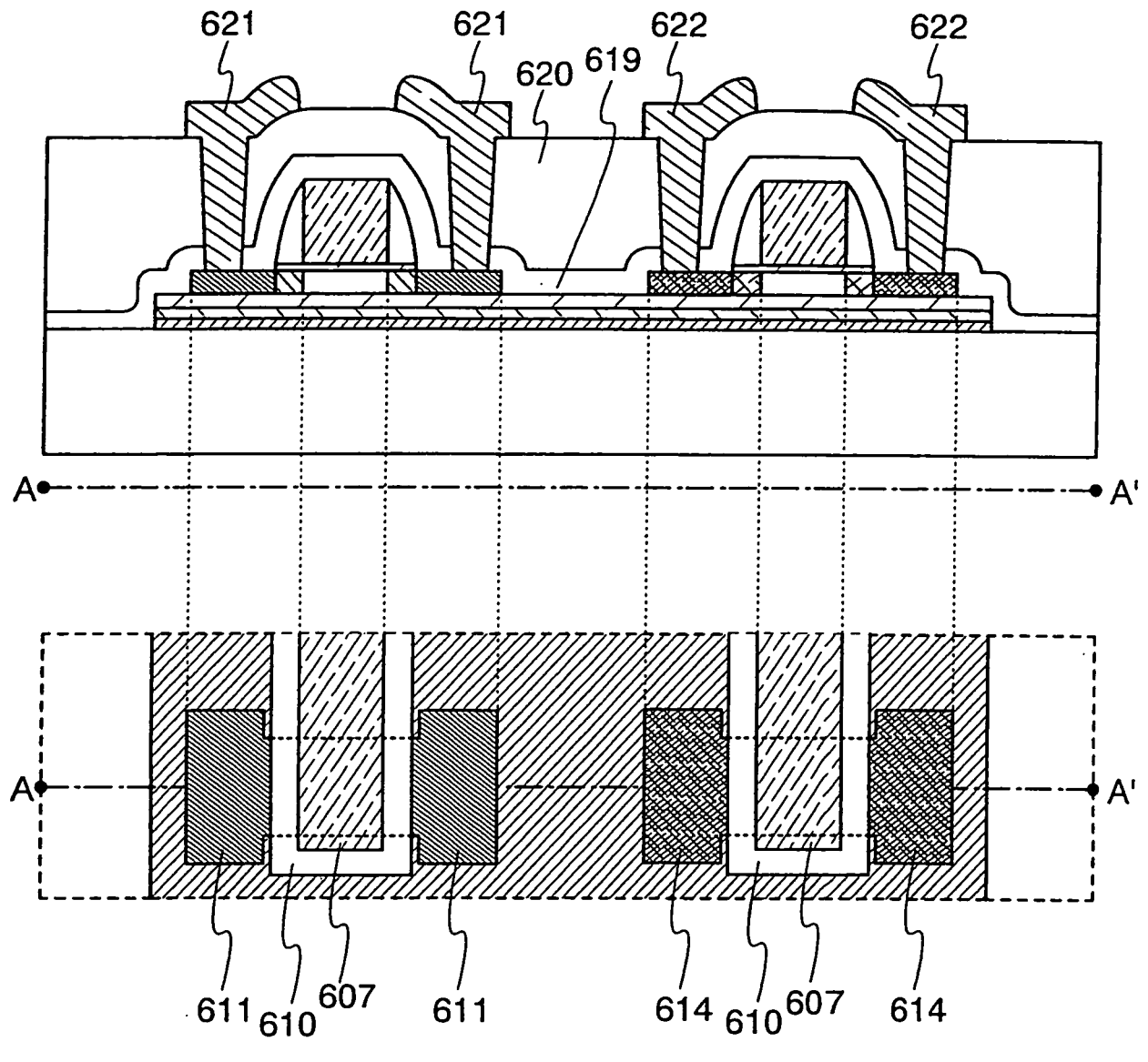




圖 20A

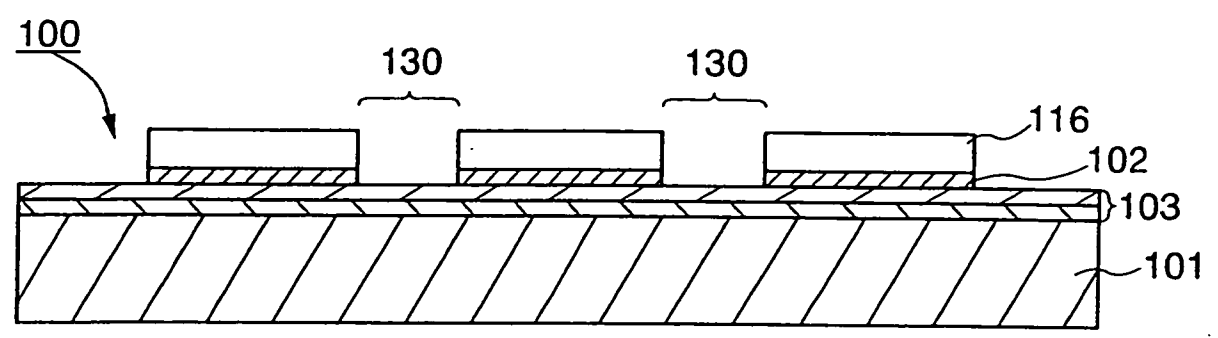


圖 20B

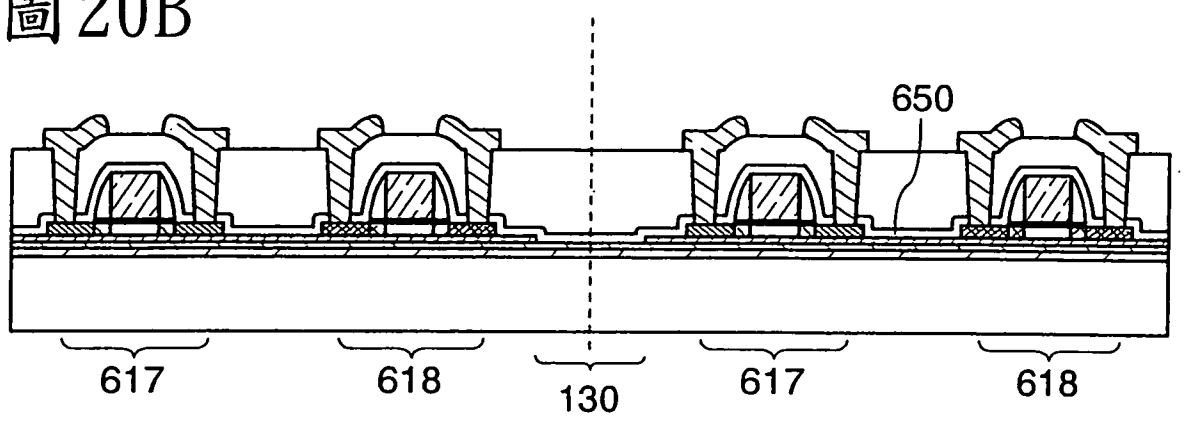


圖 21

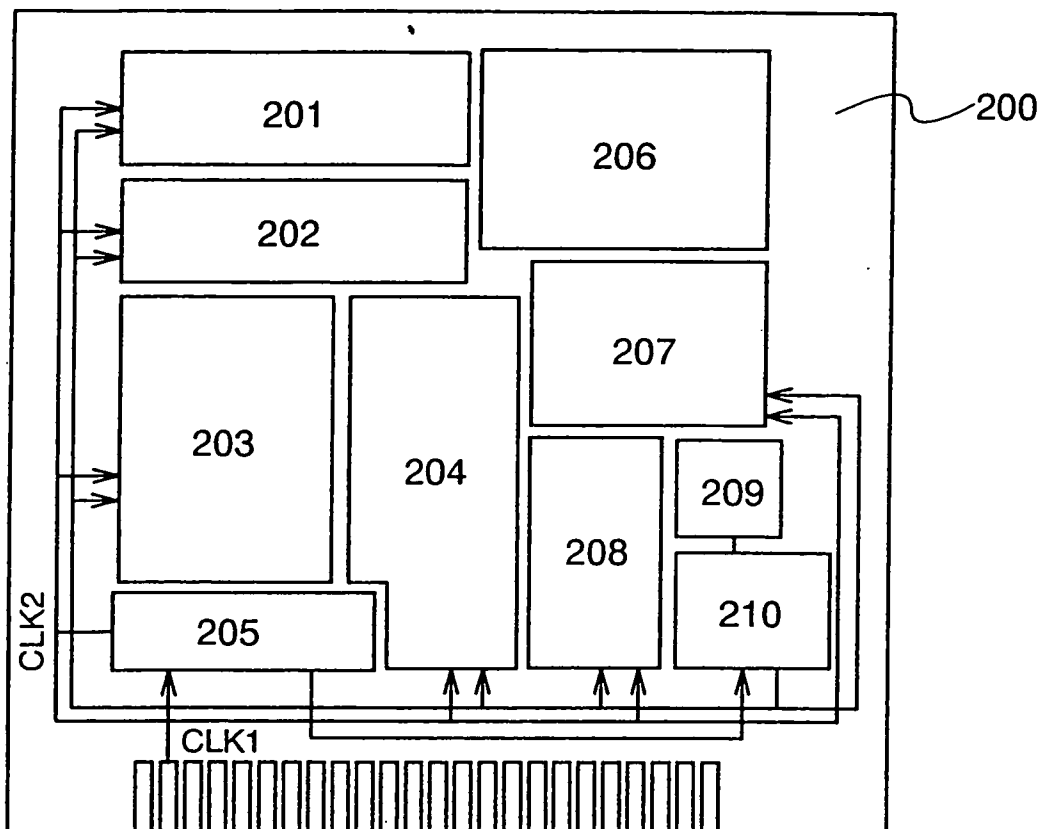


圖 22

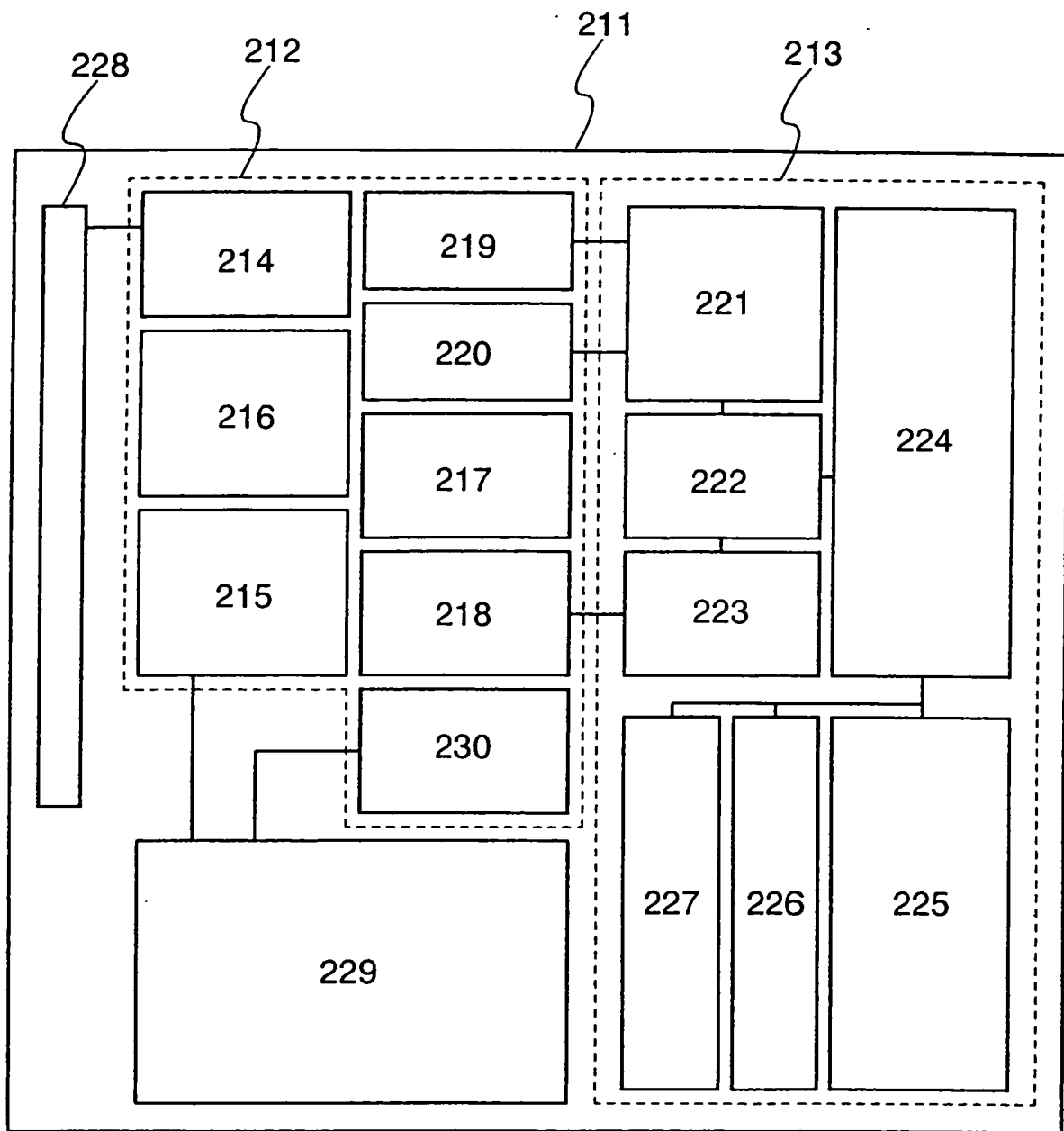


圖 23

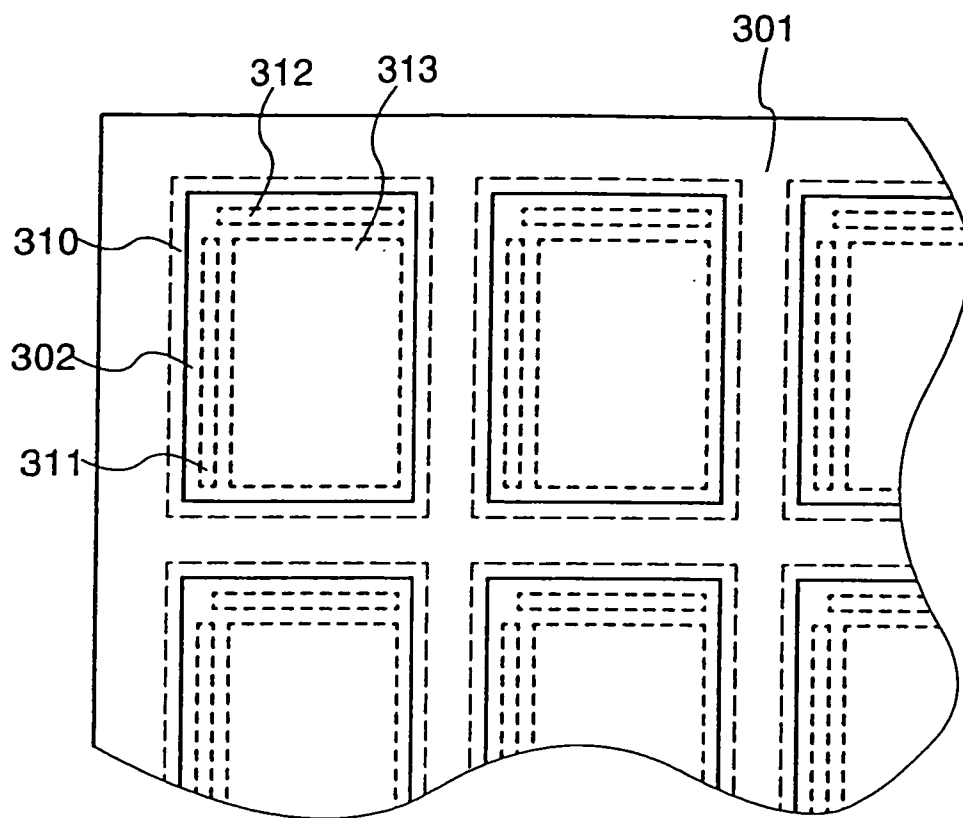


圖 24A

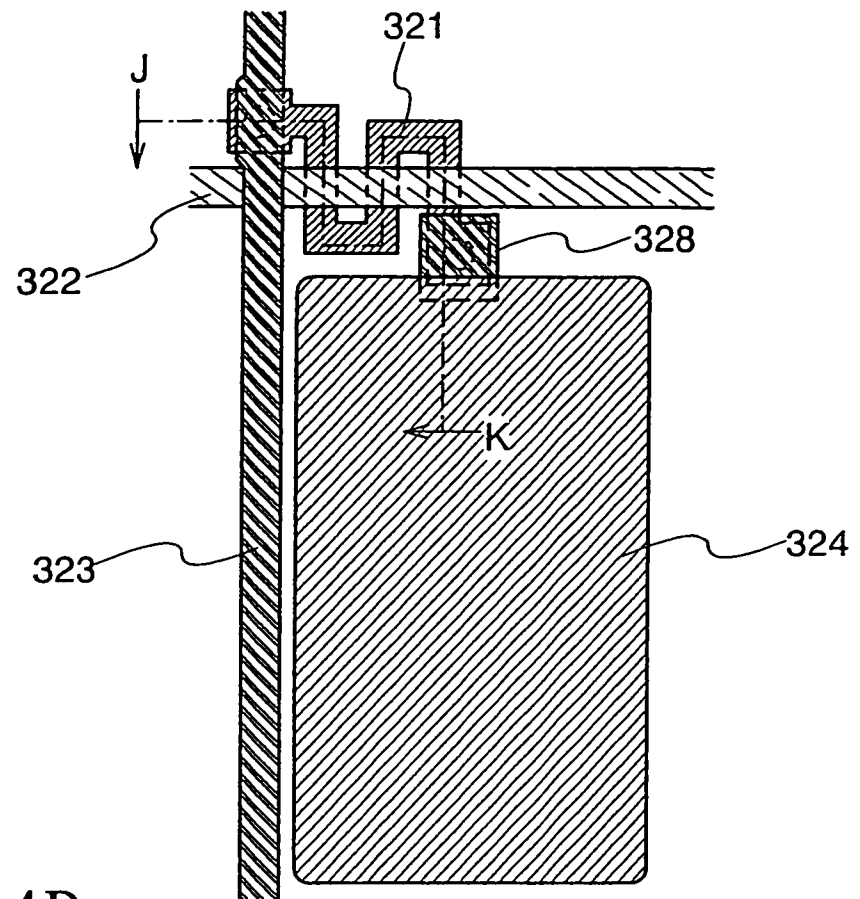


圖 24B

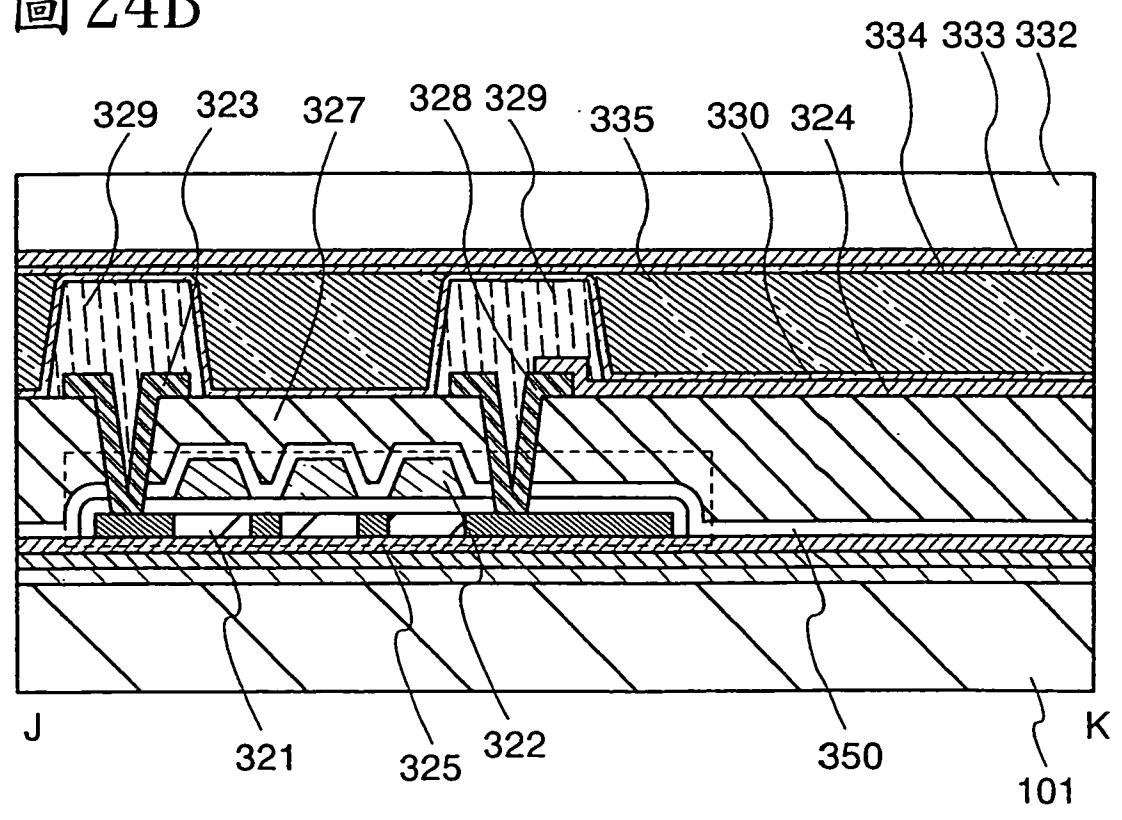


圖 25A

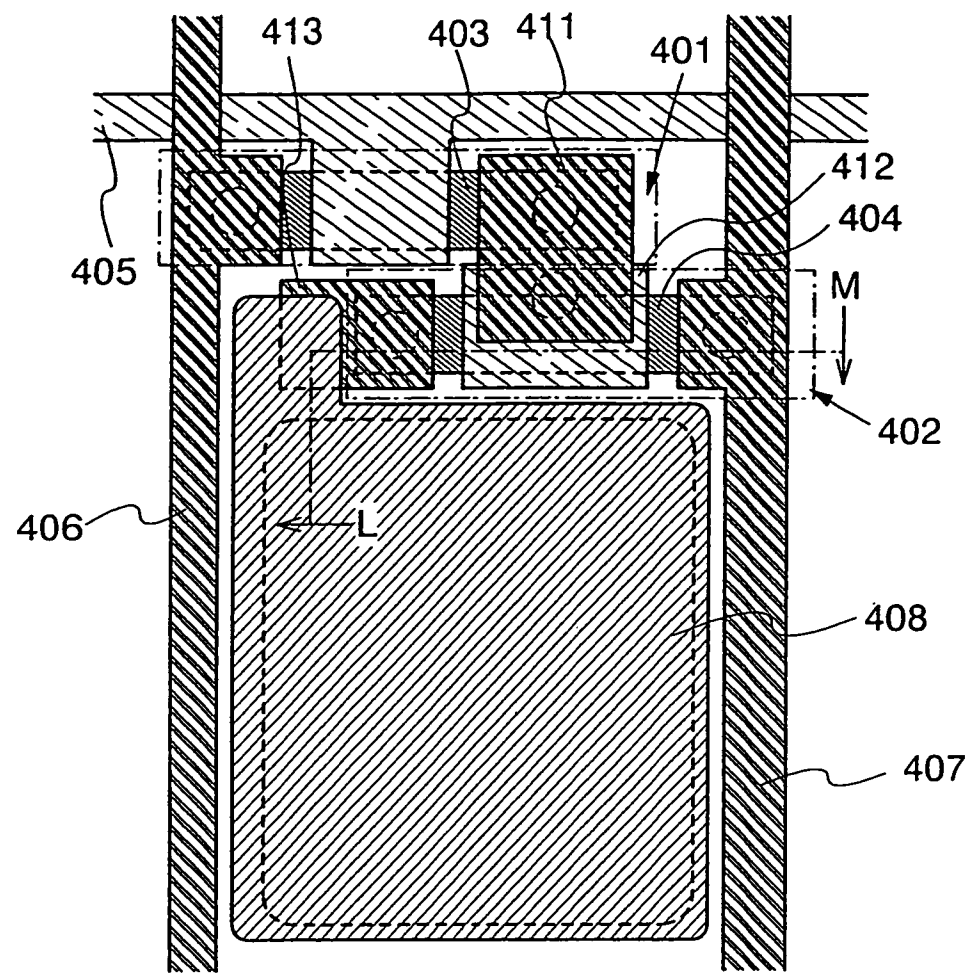


圖 25B

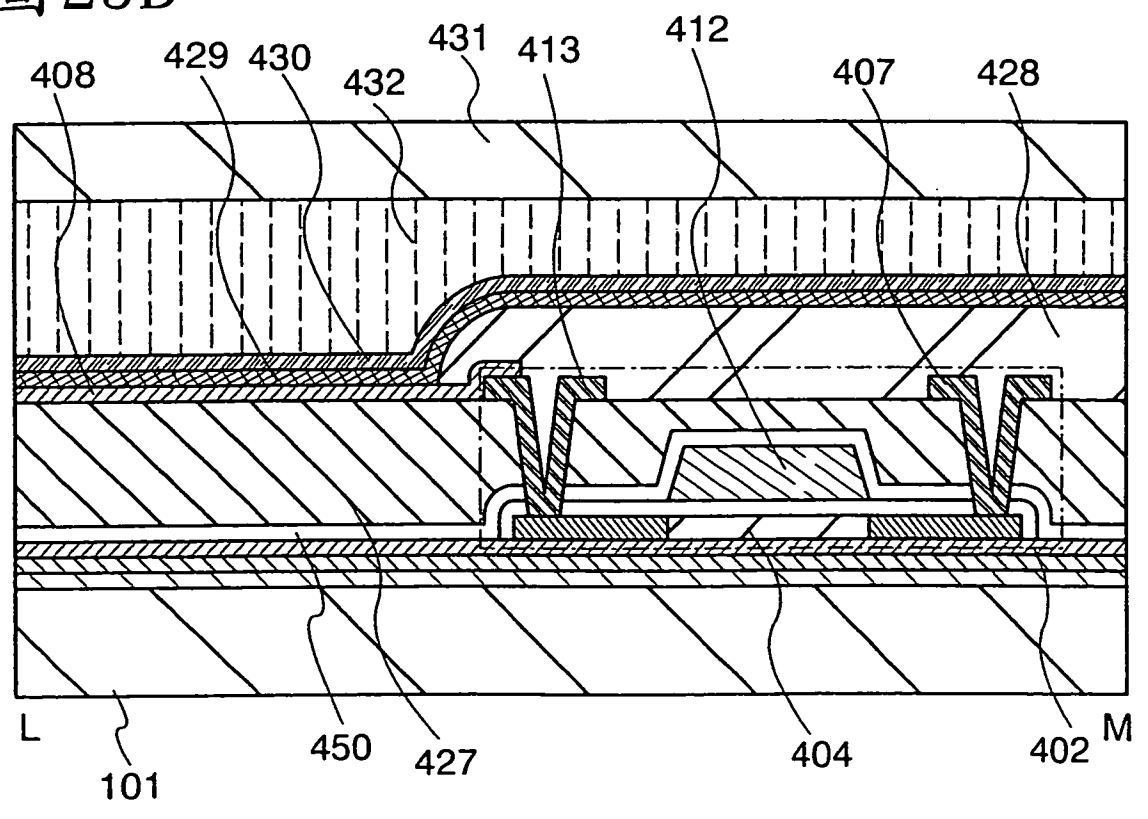


圖 26A

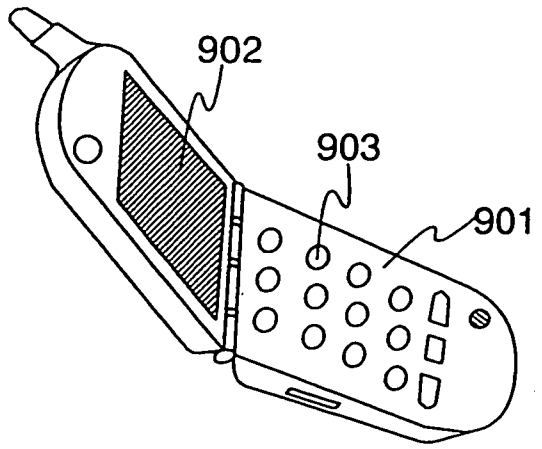


圖 26B

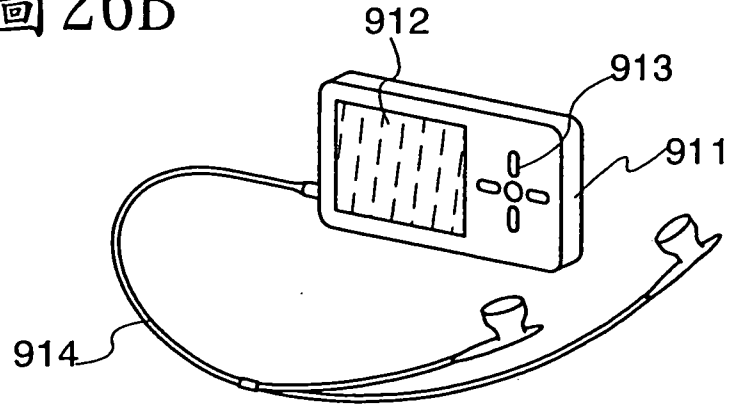


圖 26C

