

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第6361896号  
(P6361896)

(45) 発行日 平成30年7月25日(2018.7.25)

(24) 登録日 平成30年7月6日(2018.7.6)

(51) Int.Cl.		F I			
HO4R 19/04	(2006.01)	HO4R 19/04			
HO4R 3/00	(2006.01)	HO4R 3/00	3 2 0		
B81B 7/02	(2006.01)	B81B 7/02			
HO4R 1/02	(2006.01)	HO4R 1/02	1 0 6		

請求項の数 13 (全 13 頁)

(21) 出願番号	特願2016-565415 (P2016-565415)	(73) 特許権者	000003067
(86) (22) 出願日	平成26年5月12日 (2014.5.12)		T D K 株式会社
(65) 公表番号	特表2017-522752 (P2017-522752A)		東京都港区芝浦三丁目9番1号
(43) 公表日	平成29年8月10日 (2017.8.10)	(74) 代理人	110002664
(86) 国際出願番号	PCT/EP2014/059648		特許業務法人ナガトアンドパートナーズ
(87) 国際公開番号	W02015/172809	(72) 発明者	ロッカ, ジノ
(87) 国際公開日	平成27年11月19日 (2015.11.19)		デンマーク国 DK-1561 コペンハーゲン, ハフネホルメン 62, 1MF
審査請求日	平成28年12月19日 (2016.12.19)		
		審査官	堀 洋介

最終頁に続く

(54) 【発明の名称】 マイクロフォンアセンブリおよびマイクロフォンアセンブリを製造する方法

(57) 【特許請求の範囲】

【請求項1】

マイクロフォンアセンブリ(1)であって、  
 差動出力信号を供給するように構成された1つのMEMSデュアルバックプレートマイクロフォン(2)と、  
 前記差動出力信号を受信するように構成された1つの差動増幅器(9)を備える1つのASIC(3)と、  
 前記ASIC(3)の設定を調整するように構成された1つの制御素子(14)と、  
 を備え、  
 前記ASIC(3)は、1つの第1のダンピングキャパシタ(12)および1つの第2のダンピングキャパシタ(13)を備え、当該第1のダンピングキャパシタ(12)および当該第2のダンピングキャパシタ(13)は調整可能であり、  
 前記第1のダンピングキャパシタ(12)は、前記差動増幅器(9)の第1の入力(10)を前記MEMSデュアルバックプレートマイクロフォン(2)の第1のバックプレート(5)に接続する第1の信号経路(7)と、1つの基準電位とに接続されており、  
 前記第2のダンピングキャパシタ(13)は、前記差動増幅器(9)の第2の入力(11)を前記MEMSデュアルバックプレートマイクロフォン(2)の第2のバックプレート(6)に接続する第2の信号経路(8)と、1つの基準電位とに接続されており、  
 前記制御素子(14)は、前記第1のダンピングキャパシタ(12)のキャパシタンスおよび/または前記第2のダンピングキャパシタ(13)のキャパシタンスを設定するよ

10

20

うに構成されている、

ことを特徴とするマイクロフォンアセンブリ。

【請求項 2】

請求項 1 に記載のマイクロフォンアセンブリにおいて、

前記差動増幅器 ( 9 ) は、バランス出力信号を供給するように構成されており、

前記制御素子 ( 1 4 ) は、前記バランス出力信号のバランスが最適化されるように、前記設定を調整するように構成されている、

ことを特徴とするマイクロフォンアセンブリ。

【請求項 3】

請求項 1 または 2 に記載のマイクロフォンアセンブリにおいて、

前記差動増幅器 ( 9 ) は、2 つの相補信号から成るバランス出力信号を供給するように構成されており、

前記制御素子 ( 1 4 ) は、前記バランス出力信号の前記 2 つの相補信号が同時にクリッピングに達するように、前記設定を調整するように構成されている、

ことを特徴とするマイクロフォンアセンブリ。

【請求項 4】

請求項 1 乃至 3 のいずれか 1 項に記載のマイクロフォンアセンブリにおいて、

前記 MEMS デュアルバックプレートマイクロフォン ( 2 ) は、前記第 1 のバックプレート ( 5 ) と前記第 2 のバックプレート ( 6 ) との間に配設された 1 つのメンブレン ( 4 ) を備え、

前記制御素子 ( 1 4 ) は、前記メンブレン ( 4 ) に印加される電圧を調整するように構成されており、

および/または、

前記制御素子 ( 1 4 ) は、前記第 1 のバックプレート ( 5 ) に印加される電圧および前記第 2 のバックプレート ( 6 ) に印加される電圧を調整するように構成されている、

ことを特徴とするマイクロフォンアセンブリ。

【請求項 5】

前記制御素子 ( 1 4 ) は、前記差動増幅器 ( 9 ) の利得設定を調整するように構成されていることを特徴とする、請求項 1 乃至 4 のいずれか 1 項に記載のマイクロフォンアセンブリ。

【請求項 6】

請求項 1 乃至 5 のいずれか 1 項に記載のマイクロフォンアセンブリにおいて、

前記マイクロフォンアセンブリ ( 1 ) は、1 つのメモリ素子 ( 1 5 ) を備え、

前記メモリ素子 ( 1 5 ) は、前記 MEMS デュアルバックプレートマイクロフォン ( 2 ) および/または前記 ASIC ( 3 ) の設定に関する情報を格納するように構成されており、

前記制御素子 ( 1 4 ) は、前記メモリ素子 ( 1 5 ) に格納された情報に基づいて、前記 MEMS デュアルバックプレートマイクロフォン ( 2 ) および/または前記 ASIC ( 3 ) の設定を調整するように構成されている、

ことを特徴とするマイクロフォンアセンブリ。

【請求項 7】

前記メモリ素子 ( 1 5 ) は 1 つの不揮発性メモリであることを特徴とする、請求項 6 に記載のマイクロフォンアセンブリ。

【請求項 8】

前記メモリ素子 ( 1 5 ) は、ワンタイムプログラムデバイスであることを特徴とする、請求項 6 または 7 に記載のマイクロフォンアセンブリ。

【請求項 9】

マイクロフォンアセンブリ ( 1 ) を製造する方法であって、

前記マイクロフォンアセンブリは、差動出力信号を供給するように構成された 1 つの MEMS デュアルバックプレートマイクロフォン ( 2 ) と、前記差動出力信号を受信するよ

10

20

30

40

50

うに構成された1つの差動増幅器(9)を備える1つのASIC(3)と、前記ASIC(3)および1つのメモリ素子(15)の設定を調整するように構成された1つの制御素子(14)とを備え、

前記ASIC(3)は、1つの第1のダンピングキャパシタ(12)および1つの第2のダンピングキャパシタ(13)を備え、当該第1のダンピングキャパシタ(12)および当該第2のダンピングキャパシタ(13)は調整可能であり、

前記第1のダンピングキャパシタ(12)は、前記差動増幅器(9)の第1の入力(10)を前記MEMSデュアルバックプレートマイクロフォン(2)の第1のバックプレート(5)に接続する第1の信号経路(7)と、1つの基準電位とに接続されており、

前記第2のダンピングキャパシタ(13)は、前記差動増幅器(9)の第2の入力(11)を前記MEMSデュアルバックプレートマイクロフォン(2)の第2のバックプレート(6)に接続する第2の信号経路(8)と、1つの基準電位とに接続されており、

前記制御素子(14)は、前記第1のダンピングキャパシタ(12)のキャパシタンスおよび/または前記第2のダンピングキャパシタ(13)のキャパシタンスを設定するように構成されており、

当該方法は以下のステップ、

前記マイクロフォンアセンブリ(1)を検査するステップと、

前記ASIC(3)の最適な設定を決定するステップであって、前記第1のダンピングキャパシタ(12)のキャパシタンスおよび/または前記第2のダンピングキャパシタ(13)のキャパシタンスの設定を決定するステップと、

前記最適な設定を前記メモリ素子(15)に格納するステップと、  
を備えることを特徴とする方法。

#### 【請求項10】

請求項9に記載の方法において、

前記MEMSデュアルバックプレートマイクロフォン(2)は、前記第1のバックプレート(5)と前記第2のバックプレート(6)との間に配設された1つのメンブレン(4)を備え、

前記最適な設定を決定するステップは、前記メンブレン(4)に印加される電圧の設定を決定するステップを備え、

および/または

前記最適な設定を決定するステップは、前記第1のバックプレート(5)に印加される電圧および前記第2のバックプレート(6)に印加される電圧の設定を決定するステップを備える、

ことを特徴とする方法。

#### 【請求項11】

前記最適な設定を決定するステップは、前記差動増幅器(9)の利得設定を決定するステップを備えることを特徴とする、請求項9または10に記載の方法。

#### 【請求項12】

請求項9乃至11のいずれか1項に記載の方法において、

前記差動増幅器(9)は、バランス出力信号を供給するように構成されており、  
前記最適な設定は、前記バランス出力信号のバランスングが最適化されている設定として規定されている、

ことを特徴とする方法。

#### 【請求項13】

請求項9乃至12のいずれか1項に記載の方法において、

前記差動増幅器(9)は、2つの相補信号から成るバランス出力信号を供給するように構成されており、

前記最適な設定は、前記バランス出力信号の前記2つの相補信号が同時にクリッピングに達する設定として規定されている、

ことを特徴とする方法。

**【発明の詳細な説明】****【技術分野】****【0001】**

本発明は、マイクロフォンアセンブリおよびマイクロフォンアセンブリを製造する方法に関する。

**【背景技術】****【0002】**

本発明によるマイクロフォンアセンブリは、1つのMEMS (micro-electromechanical system) デュアルバックプレートマイクロフォンを備える。本MEMSデュアルバックプレートマイクロフォンは、差動信号を供給するように構成されている。差動信号伝送は、  
10 一対の2つの経路での2つの相補信号を用いて電氣的に情報を伝達する方法である。外部からの干渉は、これら両方の経路に共に作用し、情報はこれらの信号間の差によってのみ送信されるので、この技術は、唯1つの信号を用いた場合と比べてノイズ耐性を改善するものである。

**【0003】**

差動マイクロフォンアセンブリの同相信号除去比 (CMRR) は、必要な差動信号に対する、上記の両方の信号経路に共通な不要な入力信号の除去の比である。本差動マイクロフォンアセンブリにおけるCMRRを大きくするため、これらの信号間の差動利得が極大化されかつ同相利得は極小化されなければならない。

**【発明の概要】****【発明が解決しようとする課題】****【0004】**

本発明の目的は、出力信号の品質が改善されるマイクロフォンアセンブリを提供することである。さらに本発明の目的は、このようなマイクロフォンアセンブリを製造する方法を提供することである。

**【課題を解決するための手段】****【0005】**

この目的は本願請求項1に記載のマイクロフォンアセンブリにより解決される。さらに上記の第2の目的は、第2の独立請求項に記載の方法により解決される。

**【0006】**

差動出力信号を供給するように構成された1つのMEMSデュアルバックプレートマイクロフォンと、この差動出力信号を受信するように構成された1つの差動増幅器を備える1つのASIC (application-specific integrated circuit) と、このMEMSデュアルバックプレートマイクロフォンおよび/またはこのASICの設定を調整するように構成された1つの制御素子とを備える、1つのマイクロフォンアセンブリが提供される。

**【0007】**

本発明によるマイクロフォンアセンブリは、製造バラつきを補正することを可能とする。上記の制御素子は、いかなるバラつきもイコライズすることができるように、上記のMEMSデュアルバックプレートマイクロフォンおよび/または上記のASICの設定を調整することができる。

**【0008】**

この観点から、「MEMSデュアルバックプレートマイクロフォンおよび/またはASICの設定」なる用語は、このMEMSデュアルバックプレートマイクロフォンおよび/またはASICの素子の少なくとも1つのパラメータの設定に関するものである。このようなパラメータの例は、メンブレンあるいは上記のバックプレート (複数) の1つに印加される電圧、上記のASICのキャパシタのキャパシタンスまたは上記の差動増幅器の利得設定である。

**【0009】**

これらのパラメータの1つを設定することによって、上記の制御素子は、本マイクロフォンアセンブリの特性に影響を与えることができる。こうして上記の制御素子は、本マイ

10

20

30

40

50

クロフォンアセンブリの特性が改善されるように、上記のMEMSデュアルバックプレートマイクロフォンおよび/または上記のASICの設定を調整することができる。具体的には、上記の制御素子は、出力信号の品質が最適化されるように、この設定を調整することができる。この出力信号は、バランス信号であってよい。この場合、この出力信号の品質は、たとえばこの出力信号のバランスングに関して最適化することができる。

【0010】

全体として、上記のMEMSデュアルバックプレートマイクロフォンおよびASICは、このMEMSデュアルバックプレートマイクロフォンおよびASICの製造におけるプロセス変動のため、完全に対称には製造することができない。上記のMEMSデュアルバックプレートマイクロフォンは、2つの相補出力信号からなる差動出力信号を供給するよう

10

【0011】

上記の制御素子は、上記のMEMSデュアルバックプレートマイクロフォンおよび/または上記のASICの設定を調整することが可能となっており、このMEMSデュアルバックプレートマイクロフォンおよびASICにおける非対称性を補正することを可能とし、これによって本マイクロフォンアセンブリの出力信号の品質を改善することができる。

【0012】

上記の制御素子は上記のASIC上に形成されているので、このような所望の調整を行うために外部の部品は必要でない。この結果本マイクロフォンアセンブリは必要スペースが低減される。

20

【0013】

上記の差動増幅器は1つの前置増幅器であってよい。前置増幅器は、さらなる増幅または処理用に、たとえばセンサからの小さな電気信号を生成する電子式増幅器である。これは信号対ノイズ比(SNR)を顕著に劣化することなくその信号強度を増大するために用いられる。

【0014】

差動増幅器は、その入力信号(複数)間の差を増幅するように構成されている。上記の制御部品は、この差動増幅器の入力信号(複数)のバランスングが最適化されるように、上記の設定を調整するように構成されてよい。この場合、本マイクロフォンアセンブリのCMRRが改善される。具体的には、この場合は、いかなるノイズもこれら2つの入力信号間の差に影響しないので、これらのノイズは上記の入力信号の双方に均等に影響し、この差動増幅器はノイズに対してイコライズできることが保証されている。

30

【0015】

1つの実施形態においては、上記の差動増幅器は、バランス出力信号を供給するように構成されている。さらに、上記の制御素子は、このバランス出力信号のバランスングが最適化されるように、上記の設定を調整するように構成されてよい。

【0016】

具体的には、上記のバランス出力信号は、2つの相補信号から成っていてよい。さらに上記の制御素子は、このバランス出力信号のこれらの2つの相補信号が同時にクリッピングに達するように、上記の設定を調整するように構成されてよい。

40

【0017】

クリッピングとは、1つの信号が一旦1つの閾値を越えると、この信号が制限される歪みの形態のことである。クリッピングは、上記のMEMSデュアルバックプレートマイクロフォンがこの差動アンプのレンジに制限を有することによって、信号が録音された場合に発生し得る。

【0018】

この実施形態においては、本マイクロフォンアセンブリのダイナミックレンジがクリッピングによって制限されるので、このダイナミックレンジが改善される。ここで上記のA

50

S I Cに配設されている上記の差動増幅器は、クリッピングに達する1つの信号が、これに対応する他の信号がクリッピングに達する前に、このダイナミックレンジを制限することがないように、その両方の出力信号で同時にクリッピングに達する。

【0019】

1つの実施形態においては、上記のMEMSデュアルバックプレートマイクロフォンは、第1のバックプレートと第2のバックプレートとの間に配設された1つのメンブレンを備える。上記の制御素子は、このメンブレンに印加される電圧を調整するように構成されていてよく、および/または上記の制御素子は、この第1のバックプレートに印加される電圧およびこの第2のバックプレートに印加される電圧を調整するように構成されていてよい。

10

【0020】

この実施形態は、上記のメンブレンと上記の第1のバックプレートとの間、および上記のメンブレンと上記の第2のバックプレートとの間に、異なるキャパシタンスを設定することを可能とする。これにより上記のMEMSデュアルバックプレートマイクロフォンの製造における非対称性を調整することができる。

【0021】

1つの実施形態においては、上記のASICは、1つの第1のダンピングキャパシタおよび1つの第2のダンピングキャパシタを備えてよく、ここで上記の制御素子は、この第1のダンピングキャパシタのキャパシタンスおよび/またはこの第2のダンピングキャパシタのキャパシタンスを調整するように構成されている。これらのダンピングキャパシタは、信号分割器として使用することができる。具体的には、それぞれのダンピングキャパシタのキャパシタンスを調整することにより、上記の差動増幅器の入力信号の信号強度を調整することができる。

20

【0022】

上記の制御素子は、上記の第1のダンピングキャパシタおよび上記の第2のダンピングキャパシタのキャパシタンスの各々を、それぞれの他のキャパシタンスから独立して調整するように構成することができる。

【0023】

第1の信号経路は、上記の差動増幅器の1つの第1の入力を、上記のMEMSデュアルバックプレートマイクロフォンに接続してよく、第2の信号経路は、上記の差動増幅器の1つの第2の入力を、上記のMEMSデュアルバックプレートマイクロフォンに接続してよい。上記の第1のダンピングキャパシタは、この第1の信号経路と1つの基準電位とに接続されていてよい。上記の第2のダンピングキャパシタは、この第2の信号経路とこの基準電位とに接続されていてよい。この基準電位はグラウンドであってよい。

30

【0024】

さらに、上記の制御素子は、上記の差動増幅器の利得設定を調整するように構成されていてよい。具体的には、この差動増幅器は、2つの内部チャネルを備えてよく、ここで1つの内部チャネルは、この差動増幅器の2つの相補信号に対応している。具体的には、上記の差動増幅器の内部チャネル(複数)の各々の利得設定が、それぞれの他の内部チャネルから独立して調整されていてよい。

40

【0025】

これは本マイクロフォンアセンブリのアンバランスを補正することを可能とする。上記の差動増幅器は、トランジスタ(複数)を備えてよく、ここでこの差動増幅器の利得設定は、これらのトランジスタのサイズを変更することによって調整されてよい。

【0026】

1つの実施形態においては、上記のアセンブリは、1つのメモリを備えてよく、ここでこのメモリは、上記の設定の情報を格納するように構成されていてよい。さらに上記の制御素子は、このメモリ素子に格納された情報に基づいて、上記の設定を調整するように構成されていてよい。

【0027】

50

具体的には、上記の制御素子および上記のメモリ素子は、1つの単一のデバイスによって形成されていてよい。

【0028】

上記のメモリ素子は1つの不揮発性メモリであってよい。これに応じて、このメモリ素子は、たとえ本マイクロフォンアセンブリが電源オフされても、上記の情報を格納しているように構成されている。この結果この格納されている情報は、電源オフの際に失われない。

【0029】

上記のメモリ素子は、ワンタイムプログラムデバイスであってよい。これに応じてこのメモリ素子は、これが1度プログラムされた後は、上記の格納されている情報をもはや上書きすることができないように構成されていてよい。このメモリ素子は、本マイクロフォンアセンブリの製造プロセスの最終的な検査段階の際にプログラムされてよい。これに応じて、この製造プロセスの最後に、このメモリ素子に上記の最適化された設定が格納される。もしこのメモリ素子がワンタイムプログラムデバイスである場合、上記の最適な設定が後で事故により上書きされ得ないことが保証される。

【0030】

しかしながら、1つの代替の実施形態においては、上記のメモリ素子は、多数回プログラムされるデバイスで構成されていてよい。この場合、本マイクロフォンアセンブリの動作の際に、新たな最適な設定が決定されてこのメモリ素子に格納されるようにこのアセンブリを再構成することができる。これにより本マイクロフォンアセンブリの経年変化を調整することができる。

【0031】

本発明の第2の態様は、マイクロフォンアセンブリを製造する方法に関する。

【0032】

本アセンブリは、差動出力信号を供給するように構成された1つのMEMSデュアルバックプレートマイクロフォンと、この差動信号を受信するように構成された1つの差動増幅器を備える1つのASICと、このMEMSデュアルバックプレートマイクロフォンおよび/またはこのASICおよび1つのメモリ素子の設定を調整するように構成された1つの制御素子とを備える。本方法は、本アセンブリを検査するステップ(複数)を備え、上記のMEMSデュアルバックプレートマイクロフォンおよび/または上記のASICの最適な設定を決定するステップと、上記のメモリ素子にこの最適な設定を格納するステップとを備える。

【0033】

本方法によって製造されたこのマイクロフォンアセンブリは、上述のマイクロフォンアセンブリであってよい。この結果、上記のマイクロフォンアセンブリに関して開示されたいかなる構造的および機能的特徴は、本方法に関しても適用することができる。この逆に、本方法に関して開示されるいかなる構造的または機能的特徴も、上記のマイクロフォンアセンブリに関して適用することができる。

【0034】

本方法は、製造されるマイクロフォンアセンブリが、上記のMEMSデュアルバックプレートマイクロフォンおよび上記のASICの最適化された設定を有するという利点を提供する。具体的には、避けることのできないプロセス変動を、これに応じて上記の設定を調整することによってイコライズすることができる。この設定は、たとえばバランス出力信号のバランスが改善されるように最適化されていてよい。本方法は、このバランスを改善するための外部部品を必要としない。さらに本方法は、上記のマイクロフォンアセンブリのダイナミックレンジを改善することを可能とする。

【0035】

1つの実施形態においては、上記のMEMSデュアルバックプレートマイクロフォンは、第1のバックプレートと第2のバックプレートとの間に配設された1つのメンブレンを備える。上記の最適な設定を決定するステップは、上記のメンブレンに印加される電圧の

10

20

30

40

50

設定を決定するステップを備え、および/または上記の最適な設定を決定するステップは、上記の第1のバックプレートに印加される電圧および上記の第2のバックプレートに印加される電圧の設定を決定するステップを備える。

【0036】

1つの実施形態においては、上記のASICは、1つの第1のダンピングキャパシタおよび1つの第2のダンピングキャパシタを備え、ここで上記の最適な設定を決定するステップは、この第1のダンピングキャパシタのキャパシタンスおよび/またはこの第2のダンピングキャパシタのキャパシタンスの設定を決定するステップを備える。

【0037】

1つの実施形態においては、上記の最適な設定を決定するステップは、上記の差動増幅器の利得設定を決定するステップを備えてよい。

10

【0038】

この差動増幅器は、バランス出力信号を供給するように構成されていてよい。上記の最適な設定は、このバランス出力信号のバランスが最適化されている設定として規定されていてよい。

【0039】

具体的には、上記の差動増幅器は、2つの相補信号から成るバランス出力信号を供給するように構成されていてよい。上記の最適な設定は、このバランス出力信号の2つの相補信号が同時にクリッピングに達する設定として規定されていてよい。

【0040】

20

以下では本発明によるマイクロフォンアセンブリおよび方法を、図を参照してさらに詳細に説明する。

【図面の簡単な説明】

【0041】

【図1】1つのマイクロフォンアセンブリを示す。

【0042】

図1は、マイクロフォンアセンブリ1を示す。このマイクロフォンアセンブリ1は、1つのMEMSデュアルバックプレートマイクロフォン2および1つのASIC3を備える。

【0043】

30

このMEMSデュアルバックプレートマイクロフォン2は、1つの第1のバックプレート5と1つの第2のバックプレート6との間に配設された1つの可動なメンブレン4を備える。このメンブレン4と第1のバックプレート5との間、およびこのメンブレン4と第2のバックプレート6との間にそれぞれ1つの電圧が印加されている。このため1つの電圧がこのメンブレン4に印加されている。代替として、または追加的に、第1の電圧が第1のバックプレート5に印加されてよく、そして第2の電圧が第2のバックプレート6に印加されてよい。MEMSデュアルバックプレートマイクロフォン2は、差動出力信号を供給するように構成されている。差動信号伝送は、一対の2つの経路での2つの相補信号を用いて電氣的に情報を伝達する方法である。

【0044】

40

第1のバックプレート5は、第1の信号経路7に接続されている。第2のバックプレート6は、第2の信号経路8に接続されている。MEMSデュアルバックプレートマイクロフォン2は、第1の信号経路7における信号および第2の信号経路8における信号を供給するように構成されており、ここで第1の信号経路7における信号と第2の信号経路8における信号とは相補的となっている。これにより、これらの信号は1つの差動信号を形成している。

【0045】

具体的には、メンブレン4がバックプレート5, 6の1つに向かって動くとき、このメンブレン4とバックプレート5, 6との間のキャパシタンスが増加し、これによって信号の電圧が増加する。これと同時にこのメンブレン4は、他のバックプレート5, 6から遠ざ

50

かり、こうしてこれに応じてこのメンブレン4とこの他のバックプレート5, 6との間のキャパシタンスが低減されて、これに対応した信号の電圧が低減される。

【0046】

ASIC3は、1つの差動増幅器9を備える。この差動増幅器9は、第1の入力10および第2の入力11を備える。これらの入力10, 11の各々は、1つの入力信号を受信するように構成されている。この差動増幅器9は、その入力信号(複数)間の差を増幅するように構成されている。

【0047】

ASIC3は、差動信号を1つの入力信号として受信するように構成されている。具体的には、第1の信号経路7は、このASIC3の中まで続いている。第2の信号経路8も、このASIC3の中まで続いている。この第1の信号経路7は、MEMSデュアルバックプレートマイクロフォン2の第1のバックプレート5を差動増幅器9の第1の入力10と接続している。この第2の信号経路8は、MEMSデュアルバックプレートマイクロフォン2の第2のバックプレート6を差動増幅器9の第2の入力11と接続している。

10

【0048】

さらにこの差動増幅器9は、バランス出力信号を供給するように構成されてよい。この差動増幅器9は、第1の内部チャンネル(不図示)および第2の内部チャンネル(不図示)を有する。この第1の内部チャンネルは、上記の第1の入力10で受信された入力信号を処理するように構成されている。この第2の内部チャンネルは、上記の第2の入力11で受信された入力信号を処理するように構成されている。

20

【0049】

差動増幅器9は、上記の第1の内部チャンネルに対する利得設定および上記の第2の内部チャンネルに対する利得設定が互いに独立に調整されるように構成されている。

【0050】

さらに、ASIC3は、1つの第1のダンピングキャパシタ12および1つの第2のダンピングキャパシタ13を備える。第1のダンピングキャパシタ12のキャパシタンスは調整可能である。第2のダンピングキャパシタ13のキャパシタンスもまた調整可能である。この第1のダンピングキャパシタ12は、第1の信号経路7と1つの基準電位とに接続されていてよい。この第2のダンピングキャパシタ13は、第2の信号経路8とこの基準電位とに接続されていてよい。この基準電位はグラウンドである。

30

【0051】

第1のダンピングキャパシタ12の可変キャパシタンスが調整されると、第1の信号経路7を通して差動増幅器9の第1の入力10まで伝播する信号の強度が調整される。これに対応して、第2のダンピングキャパシタ13の可変キャパシタンスが調整されると、第2の信号経路8を通して差動増幅器9の第2の入力11まで伝播する信号の強度が調整される。第1および第2のダンピングキャパシタ12, 13の各々は、差動増幅器9のそれぞれの入力10, 11における信号強度を調整するための信号分割器として使用することができる。

【0052】

さらにASIC3は1つの制御素子14を備える。このASIC3はまた、1つのメモリ素子15を備える。図1に示す実施形態においては、制御素子14およびメモリ素子15は、1つの単一のユニットで形成されている。

40

【0053】

メモリ素子15には、MEMSデュアルバックプレートマイクロフォン2および/またはASIC3の設定が格納されている。制御素子14は、このメモリ素子15に格納された情報に基づいてMEMSデュアルバックプレートマイクロフォン2および/またはASIC3を設定するように構成されている。この制御素子14は、メモリ素子15に格納された情報を読み出し、この情報に基づいてMEMSデュアルバックプレートマイクロフォン2および/またはASIC3の設定を調整するようにプログラムされている。

【0054】

50

具体的には、制御素子 1 4 は、第 1 のダンピングキャパシタ 1 2 のキャパシタンスおよび第 2 のダンピングキャパシタ 1 3 のキャパシタンスを設定するように構成されている。

【 0 0 5 5 】

さらに、この制御素子 1 4 は、差動増幅器 9 の利得設定を調整するように構成されている。具体的には、差動増幅器 9 の内部チャンネル（複数）の各々の利得設定は、この差動増幅器 9 のそれぞれの他の内部チャンネルの利得設定から独立して設定できる。

【 0 0 5 6 】

図 1 に示す実施形態においては、A S I C 3 はさらに、M E M S デュアルバックプレートマイクロフォン 2 のメンブレン 4 に接続された 1 つのチャージポンプ 1 6 を備える。このチャージポンプ 1 6 は、メンブレン 4 にバイアス電圧を供給するように構成されている。さらに制御素子 1 4 は、チャージポンプ 1 6 からメンブレン 4 に印加されるバイアス電圧を調整するように構成されている。

【 0 0 5 7 】

追加的にまたは代替として、電圧は第 1 のバックプレート 5 および第 2 のバックプレート 6 に印加されてもよい。さらに制御素子 1 4 は、第 1 のバックプレート 5 に印加される電圧を調整するように構成されていてよい。さらに、この制御素子 1 4 は、第 2 のバックプレート 6 に印加される電圧を調整するように構成されていてよい。

【 0 0 5 8 】

制御素子 1 4 は、第 1 のダンピングキャパシタ 1 2 のキャパシタンス、第 2 のダンピングキャパシタ 1 3 のキャパシタンス、第 1 の内部チャンネルの利得設定、第 2 の内部チャンネルの利得設定、メンブレン 4 に印加される電圧、第 1 のバックプレート 5 に印加される電圧および第 2 のバックプレート 6 に印加される電圧の少なくとも 1 つを設定するように構成されている。メモリ素子 1 5 には、これらのパラメータの少なくとも 1 つに関する情報が格納されている。この制御素子 1 4 は、このパラメータを、メモリ素子 1 5 に格納されたそれぞれ対応する情報に基づいて、設定するように構成されていてよい。

【 0 0 5 9 】

理想的な回路においては、メンブレン 4 と第 1 のバックプレート 5 との間に形成されたキャパシタと、このメンブレン 4 と第 2 のバックプレート 6 との間に形成されたキャパシタとは完全に対称的になっている。さらに、理想的な回路においては、第 1 の信号経路 7 は第 2 の信号経路 8 に対して完全に対称になっている。さらに、理想的な回路においては、差動増幅器 9 は、完全にバランスした出力信号を供給する。

【 0 0 6 0 】

しかしながら、実際のマイクロフォンアセンブリ 1 においては、M E M S デュアルバックプレートマイクロフォン 2、信号経路 7、8、および差動増幅器 9 における非対称性は不可避であり、この結果この差動増幅器 9 の不完全にバランスされた出力信号がもたらされる。これらの非対称性は、たとえば M E M S デュアルバックプレートマイクロフォン 2 および / または A S I C 3 の製造プロセスによって生じ得る。

【 0 0 6 1 】

この出力信号のバランスを改善するために、M E M S デュアルバックプレートマイクロフォン 2 および / または A S I C 3 の設定が調整されてよい。具体的には、この M E M S デュアルバックプレートマイクロフォン 2 から供給される 2 つの相補信号が異なって処理されるように、この A S I C 3 の所定のパラメータ（複数）が設定されていてよい。さらに、この M E M S デュアルバックプレートマイクロフォン 2 から供給される信号を整えるように、この M E M S デュアルバックプレートマイクロフォン 2 の所定のパラメータ（複数）が調整されてよい。以上により本マイクロフォンアセンブリにおけるいかなる非対称性も調整することができる。

【 0 0 6 2 】

具体的には、制御素子 1 4 は、差動増幅器 9 のバランス出力信号のバランスが最適化されるように、上述の複数のパラメータのいくつかを設定するように構成されていてよい。このバランス出力信号は、2 つの相補信号から成っている。制御素子 1 4 は、これら

10

20

30

40

50

の相補信号の双方に対し、同じ信号強度でクリッピングに達するように、上記のパラメータのいくつかを設定するように構成されていてよい。

【 0 0 6 3 】

以下では、図 1 に示すマイクロフォンアセンブリを製造する方法を説明する。

【 0 0 6 4 】

まずマイクロフォンアセンブリ 1 が図 1 に示すように組み立てられるこの製造プロセスの最後のステップにおいて、このマイクロフォンアセンブリ 1 の最終検査が行われる。この最終検査の間に、このマイクロフォンアセンブリ 1 の異なるポイントで測定が行われる。

【 0 0 6 5 】

具体的には、既知の信号強度を有する、事前に規定された音響信号が MEMS デュアルバックプレートマイクロフォン 2 に供給される。次に、第 1 のバックプレート 5 における第 1 の信号経路 7 に入る信号および第 2 のバックプレート 6 における第 2 の信号経路 8 に入る信号の信号強度が測定される。さらに、第 1 および第 2 の信号経路 7, 8 の終端で上記の信号 (複数) の信号強度が測定される。差動増幅器 9 のバランス出力信号も測定される。

【 0 0 6 6 】

これらのデータから、このマイクロフォンアセンブリのバランスが推定される。これらの測定は、事前に規定される音響入力信号を変化させながら数回行われてよい。

【 0 0 6 7 】

この後、上記のバランス出力信号のバランスが最適化されるような、この MEMS デュアルバックプレートマイクロフォン 2 および / または ASIC 3 の最適な設定が計算される。具体的には、第 1 および第 2 のダンピングキャパシタンス 1 2, 1 3, メンブレン 4 および / または第 1 および第 2 のバックプレート 5, 6 に印加される電圧 (複数) が調整される。差動増幅器 9 の利得設定も調整されてよい。

【 0 0 6 8 】

この最終検査ステップで上記の最適な設定が決定されると、この設定に関する情報がメモリ素子 1 5 に格納される。さらに本方法は、メモリ素子 1 5 に格納された情報を読み出し、そしてこれに対応して MEMS デュアルバックプレートマイクロフォン 2 および / または ASIC 3 を設定するように、制御素子 1 4 をプログラムするステップを備える。毎回このマイクロフォンアセンブリ 1 が起動されてから、制御素子 1 4 は、格納された情報をメモリ素子 1 5 から読み出し、そしてこれに応じてそれぞれ対応したパラメータ (複数) を設定する。

【 0 0 6 9 】

さらに、メモリ素子 1 5 は、1 つの高電圧を印加するための 1 つのピン 1 7 を備える。このピン 1 7 は、メモリ素子 1 5 に情報を書き込むために必要である。

【 符号の説明 】

【 0 0 7 0 】

- 1 : マイクロフォンアセンブリ
- 2 : MEMS デュアルバックプレートマイクロフォン
- 3 : ASIC
- 4 : メンブレン
- 5 : 第 1 のバックプレート
- 6 : 第 2 のバックプレート
- 7 : 第 1 の信号経路
- 8 : 第 2 の信号経路
- 9 : 差動増幅器
- 10 : 第 1 の入力
- 11 : 第 2 の入力
- 12 : 第 1 のダンピングキャパシタ

10

20

30

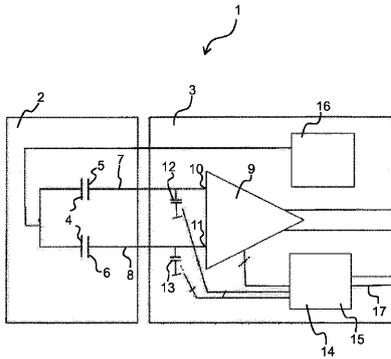
40

50

- 13 : 第2のダンピングキャパシタ
- 14 : 制御素子
- 15 : メモリ素子
- 16 : チャージポンプ
- 17 : ピン

【図1】

Fig. 1.



---

フロントページの続き

- (56)参考文献 特表2014-510472(JP,A)  
国際公開第2013/102499(WO,A1)  
国際公開第2013/167183(WO,A1)  
特開2012-090224(JP,A)  
国際公開第2013/083203(WO,A1)

(58)調査した分野(Int.Cl., DB名)

H04R	19/04
B81B	7/02
H04R	1/02
H04R	3/00