



(19)  
 Bundesrepublik Deutschland  
 Deutsches Patent- und Markenamt

(10) **DE 103 34 531 A1** 2004.03.25

(12)

## Offenlegungsschrift

(21) Aktenzeichen: **103 34 531.0**  
 (22) Anmeldetag: **29.07.2003**  
 (43) Offenlegungstag: **25.03.2004**

(51) Int Cl.7: **G06F 13/00**  
**G06F 13/16**

(30) Unionspriorität:  
**2002/220048 29.07.2002 JP**

(74) Vertreter:  
**Betten & Resch, 80333 München**

(71) Anmelder:  
**Elpida Memory, Inc., Tokio/Tokyo, JP**

(72) Erfinder:  
**Shibata, Kayoko, Tokio/Tokyo, JP; Nishio, Yoji, Tokio/Tokyo, JP; Funaba, Seiji, Tokio/Tokyo, JP**

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

(54) Bezeichnung: **Speichermodul und Speichersystem, geeignet für einen Hochgeschwindigkeitsbetrieb**

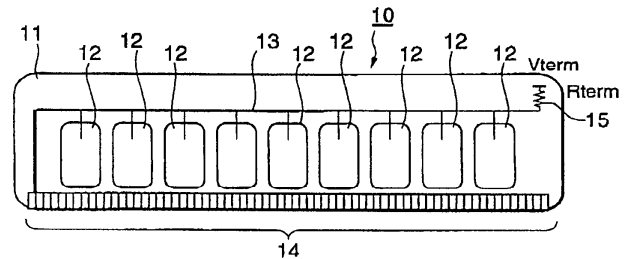
(57) Zusammenfassung: Ein Speichermodul weist einen Stickleitungswiderstand (stub resistor) zwischen einem Pin bzw. Anschlussstift und einem Ende eines Busses auf. Eine Vielzahl von Speicherchips ist an den Bus zwischen seinen beiden Enden angeschlossen. Ein Abschlusswiderstand ist am anderen Ende des Busses angeschlossen. Ein Stickleitungswiderstandswert  $R_s$  des Stickleitungswiderstands und ein Abschlusswiderstandswert  $R_{term}$  des Abschlusswiderstandes sind gegeben durch:

$$R_s = (N - 1) \times Z_{effdim}/N \text{ und}$$

$$R_{term} = Z_{effdim},$$

wobei  $N$  die Anzahl der Speichermodule in einem Speichersystem darstellt und  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und den Speicherchips besteht. Im Speichersystem sind die Speichermodule an einer Speichersteuerung auf einer Hauptplatine auf eine Art eines Stickleitungsanschlusses (stub connection) angeschlossen. Eine Verdrahtungsimpedanz  $Z_{mb}$  der Hauptplatine ist gegeben durch:

$$Z_{mb} = (2N - 1) \times Z_{effdim}/N^2.$$



## Beschreibung

[0001] Diese Erfindung betrifft ein Speichermodul und ein Speichersystem, insbesondere ein Speichersystem mit einer Vielzahl von Speichermodulen, die an eine Speichersteuerung angeschlossen sind, und die insbesondere über einen Stichleitungsanschluss (stub connection) angeschlossen sind.

[0002] Ein zugehöriges Speichersystem bzw. ein Speichersystem nach dem Stand der Technik weist eine Vielzahl von Speichermodulen und eine Speichersteuerung zum Steuern der Speichermodule auf. Die Speichersteuerung ist an einer Hauptplatine zusammen mit Anschlussstücken zum Aufnehmen der Speichermodule angebracht. Die Anschlussstücke sind einzeln an die Speichersteuerung angeschlossen, wobei Hauptplatinen-Übertragungsbuseleitungen auf der Hauptplatine ausgebildet sind. Jedes der Speichermodule ist teilweise in irgendeines der Anschlussstücke eingefügt, um durch die Speichersteuerung gesteuert zu werden.

[0003] Beim zugehörigen Speichersystem sind die Hauptplatinen-Übertragungsbuseleitungen bezüglich einer Anzahl gleich den Anschlussstücken. Demgemäß hat das Speichersystem einen derartigen Nachteil, dass die Übertragungsbuseleitungen eine lange Gesamtlänge und einen komplizierten Aufbau haben. Somit ist diese Art von Speichersystem in einem solchen Fall schwer zu entwickeln, in welchem es mehrere Anschlussstücke hat.

[0004] Ein weiteres zugehöriges Speichersystem mit einer Vielzahl von Speichermodulen, das RIMM (Rambus Inline Memory Module = RAM-Bus-Reihenanschluss-Speichermodul) genannt wird, hat keine Verzweigung zwischen den Speichermodulen und einer Speichersteuerung zum Speichern der Steuermodule. Das bedeutet, dass die Speichermodule durch Hauptplatinen-Übertragungsbuseleitungen zueinander in Reihe geschaltet sind. Daher hat das Speichersystem nicht den oben angegebenen Nachteil des komplizierten Aufbaus.

[0005] Jedoch hat das Speichersystem einen anderen derartigen Nachteil, dass die Hauptplatinen-Übertragungsbuseleitungen eine enge Busbreite haben.

## ZUSAMMENFASSUNG DER ERFINDUNG

[0006] Es ist daher eine Aufgabe dieser Erfindung, ein Speichermodul zu schaffen, das eine Verdrahtung einer Hauptplatine für ein Speichersystem vereinfachen kann.

[0007] Eine weitere Aufgabe dieser Erfindung besteht im Schaffen eines Speichersystems, das für einen Hochgeschwindigkeitsbetrieb geeignet ist.

[0008] Andere Aufgaben dieser Erfindung werden im Verlauf der Beschreibung klar werden.

[0009] Gemäß einem ersten Aspekt dieser Erfindung ist es möglich, dass ein Speichermodul in irgendeines von Anschlussstücken eingefügt wird, die

auf einer Hauptplatine ausgebildet sind. Das Speichermodul ist ein Speicherchip. Ein Pin bzw. Anschlussstift ist an das Anschlussstück anschließbar. Ein Bus verbindet den Speicherchip mit dem Anschlussstift. Ein Abschlusswiderstand ist an ein Ende des Busses angeschlossen. Ein Stichleitungswiderstand (stub resistor) ist zwischen dem Anschlussstift und dem anderen Ende des Busses angeschlossen.

[0010] In einem Fall, in welchem die Anschlussstücke in einem Stichleitungsanschluss (stub connection) an eine Speichersteuerung angeschlossen sind, haben der Stichleitungswiderstand und der Abschlusswiderstand jeweils einen Stichleitungswiderstandswert  $R_s$  und einen Abschlusswiderstandswert  $R_{term}$ . Der Stichleitungswiderstandswert  $R_s$  und der Abschlusswiderstandswert  $R_{term}$  sind gegeben durch:

$$R_s = (N-1) \times Z_{effdim}/N, \text{ und } R_{term} = Z_{effdim}$$

wobei  $N$  die Anzahl der Anschlussstücke darstellt; und  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und dem Speicherchip besteht.

[0011] Gemäß einem zweiten Aspekt dieser Erfindung enthält ein Speichersystem eine Vielzahl von Speichermodulen, die in Anschlussstücken eingefügt sind, die auf einer Hauptplatine ausgebildet sind. Jedes der Speichermodule weist einen Speicherchip auf. Ein Pin bzw. Anschlussstift ist an eines der Anschlussstücke angeschlossen. Ein Bus verbindet den Speicherchip mit dem Anschlussstift. Ein Abschlusswiderstand ist an einem Ende des Busses angeschlossen. Ein Stichleitungswiderstand ist zwischen dem Anschlussstift und dem anderen Ende des Busses angeschlossen.

[0012] Beim Speichersystem sind die Anschlussstücke in einem Stichleitungsanschluss an eine Speichersteuerung angeschlossen. Der Stichleitungswiderstand und der Abschlusswiderstand haben jeweils einen Stichleitungswiderstandswert  $R_s$  und einen Abschlusswiderstandswert  $R_{term}$ . Der Stichleitungswiderstandswert  $R_s$  und der Abschlusswiderstandswert  $R_{term}$  sind gegeben durch:

$$R_s = (N-1) \times Z_{effdim}/N, \text{ und } R_{term} = Z_{effdim}$$

wobei  $N$  die Zahl der Speichermodule darstellt; und  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und dem Speicherchip besteht. Die Hauptplatine hat eine Verdrahtungsimpedanz  $Z_{mb}$ , die dargestellt ist durch:

$$Z_{mb} = (2N-1) \times Z_{effdim}.$$

## KURZE BESCHREIBUNG DER ZEICHNUNG

[0013] **Fig. 1** ist ein schematisches Diagramm eines zugehörigen Speichermoduls bzw. eines Speichermoduls nach dem Stand der Technik;

[0014] **Fig. 2** ist ein schematisches Diagramm eines Speichersystems, das zwei der Speichermodule der **Fig. 1** verwendet;

[0015] **Fig. 3** ist ein Ersatzschaltbild zum Beschreiben eines derartigen Zustands, dass an einer Sternschaltung keine Signalreflexion auftritt;

[0016] **Fig. 4** ist ein Ersatzschaltbild zum Beschreiben einer Anwendung der Theorie der **Fig. 3** auf ein Speichersystem;

[0017] **Fig. 5** ist ein schematisches Diagramm eines Speichermoduls gemäß einem bevorzugten Ausführungsbeispiel dieser Erfindung;

[0018] **Fig. 6** ist ein schematisches Diagramm eines Speichersystems, das zwei der Speichermodule der **Fig. 5** enthält;

[0019] **Fig. 7** ist ein schematisches Diagramm eines Speichersystems, das drei der Speichermodule der **Fig. 5** enthält;

[0020] **Fig. 8** ist ein Ersatzschaltbild des Speichersystems der **Fig. 6**;

[0021] **Fig. 9** ist ein Ersatzschaltbild des Speichersystems der **Fig. 7**;

[0022] **Fig. 10** ist ein schematisches Diagramm einer Modifikation der **Fig. 6**;

[0023] **Fig. 11** ist ein schematisches Diagramm einer Modifikation der **Fig. 7**;

[0024] **Fig. 12** ist ein schematisches Diagramm einer Modifikation der **Fig. 5**;

[0025] **Fig. 13** ist ein schematisches Diagramm eines Speichermoduls gemäß einem weiteren Ausführungsbeispiel dieser Erfindung;

[0026] **Fig. 14** ist ein schematisches Diagramm eines Speichersystems, das drei der Speichermodule der **Fig. 13** enthält;

[0027] **Fig. 15** ist ein schematisches Diagramm eines Speichersystems, das vier der Speichermodule der **Fig. 13** enthält; und

[0028] **Fig. 16** ist ein Beispiel für ein Abschließen einer Modul-Übertragungsbusleitung im Speichermodul der **Fig. 5, 12** oder **13**.

#### BESCHREIBUNG DES BEVORZUGTEN AUSFÜHRUNGSBEISPIELS

[0029] Unter Bezugnahme auf die **Fig. 1** und **2** wird die Beschreibung für ein besseres Verstehen dieser Erfindung zuerst auf ein Speichermodul nach dem Stand der Technik und ein Speichersystem nach dem Stand der Technik unter Verwendung des Speichermoduls gerichtet werden.

[0030] **Fig. 1** ist eine schematische Vorderansicht eines Speichermoduls **10** nach dem Stand der Technik. Das Speichermodul **10** weist eine Speicherkarte **11**, eine Vielzahl von Speicherchips **12**, eine Modul-Übertragungsbusleitung **13**, eine Vielzahl von Pins bzw. Anschlussstiften **14** und einen Abschlusswiderstand (Rterm) **15** auf.

[0031] Die Speicherkarte **11** ist eine Leiterplatte. Die Speicherchips **12** sind auf der Speicherkarte **11** angebracht und in regelmäßigen Intervallen angeord-

net. Die Modul-Übertragungsbusleitung **13** ist auf der Speicherkarte **11** ausgebildet, um die Speicherchips **11** an spezifische der Anschlussstifte **14** gemeinsam anzuschließen. Das bedeutet, dass der spezifische Anschlussstift an einem Ende der Modul-Übertragungsbusleitung **13** angeschlossen ist. Die Anschlussstifte **14** sind an Anschlüsse eines Anschlussstücks anschließbar, das auf einer Hauptplatine angebracht ist. Der Abschlusswiderstand **15** ist an seinem einen Ende am anderen Ende der Modul-Übertragungsbusleitung **13** angeschlossen und wird an seinem anderen Ende mit einem vorbestimmten Spannungspegel von Vterm versorgt.

[0032] Das Speichermodul **10** ist ein DIMM (Dual In-line Memory Module = duales Reihenanschluss-Speichermodul) und hat eine Rückseite mit derselben Struktur wie der in **Fig. 1** gezeigten Vorderseite.

[0033] **Fig. 2** zeigt ein Speichersystem, das zwei der Speichermodule **10** der **Fig. 1** enthält.

[0034] In **Fig. 2** weist das Speichersystem eine Speichersteuerung **21** auf, die auf einer Hauptplatine (nicht gezeigt) angebracht ist. Eine Vielzahl von Anschlussstücken **22** ist auf der Hauptplatine angebracht und an die Speichersteuerung **21** mit jeweiligen Hauptplatinen-Übertragungsbusleitungen **23** angeschlossen, die auf der Hauptplatine ausgebildet sind. Ein derartiges Speichersystem ist in der japanischen ungeprüften Patentveröffentlichung Nr. 2002-23901 offenbart.

[0035] Die Struktur der **Fig. 2** benötigt dieselbe Anzahl von Hauptplatinen-Übertragungsbusleitungen **23** wie die Anschlussstücke **22**. Dies ist deshalb so, weil die Anschlussstücke **22** mit den Hauptplatinen-Übertragungsbusleitungen **23** einzeln an die Speichersteuerung **21** angeschlossen sind, wie es oben angegeben ist. Demgemäß wird die Gesamtlänge der Hauptplatinen-Übertragungsbusleitungen **23** ungefähr proportional zu der Anzahl der Anschlussstücke **22** groß. Weiterhin wird eine Anordnung der Hauptplatinen-Übertragungsbusleitungen **23** mit einem Erhöhen ihrer Gesamtlänge schwierig. Somit ist es schwer, ein Speichersystem mit mehreren Anschlussstücken (und Speichermodulen) zu entwickeln bzw. zu entwerfen.

[0036] Bei einem anderen Speichersystem nach dem Stand der Technik mit einer Vielzahl von Speichermodulen, das RIMM (Rambus Inline Memory Module = RAM-Bus-Reihenanschluss-Speichermodul) genannt wird, sind die Speichermodule durch Speicher-Übertragungsbusleitungen ohne Verzweigung aneinander angeschlossen. Daher hat das Speichersystem nicht den oben angegebenen Nachteil. Jedoch hat das Speichersystem einen anderen derartigen Nachteil, dass die Hauptplatinen-Übertragungsbusleitungen eine schmale Busbreite haben.

[0037] Wenn die Speichermodule, wie sie in **Fig. 1** gezeigt sind, mit einer gemeinsamen Übertragungsbusleitung in einem Stichleitungsanschluss (stub connection) an die Speichersteuerung angeschlos-

sen sind, hat das Speichersystem einen einfachen Verdrahtungsaufbau. Zusätzlich ist es möglich, eine Busbreite der gemeinsamen Übertragungsbusleitungen auszuweiten.

[0038] Jedoch hat der Stichleitungsanschluss einige oder viele Verzweigungsstellen. Demgemäß ist es einfach, eine Reflexion eines Übertragungssignals an jeder der Verzweigungsstellen auf der gemeinsamen Übertragungsbusleitung zu verursachen. Die reflektierten Signale werden dann beachtlich, wenn eine Übertragungsrate bzw. -geschwindigkeit des Übertragungssignals hoch wird. Somit begrenzt der Stichleitungsanschluss eine Betriebs- bzw. Operationgeschwindigkeit des Speichersystems, das die Speichermodule verwendet, wie sie in **Fig. 1** gezeigt sind.

[0039] Unter Bezugnahme auf **Fig. 3** wird ein präventives Verfahren zum Verhindern, dass ein reflektiertes Signal an einer Sternschaltung verursacht wird, beschrieben, um ein besseres Verstehen dieser Erfindung zu fördern.

[0040] In **Fig. 3** sind vier Übertragungsleitungen, von welchen jede eine Verdrahtungsimpedanz  $Z_0$  hat, bei einer Verzweigungsstelle über jeweilige Stichleitungswiderstände (stub resistors) aneinander angeschlossen, von welchen jeder einen Widerstandswert  $R_s$  hat. Wenn man eine der Übertragungsleitungen betrachtet, werden die übrigen drei Übertragungsleitungen als Verzweigungen angesehen, die von der betrachteten Übertragungsleitung abgezweigt sind. Das bedeutet, dass die Sternschaltung der **Fig. 3** eine Übertragungsleitung mit 3 ( $N=3$ ) Zweigen aufweist.

[0041] Eine notwendige und hinreichende Bedingung für keine Reflexion bei einer Stelle A ist gegeben durch:

$$Z_0 = R_s (R_s + Z_0)/3 \quad (1)$$

Die Gleichung (1) wird wie nachfolgend verallgemeinert:

$$Z_0 = R_s + (R_s + Z_0)/N \quad (2)$$

Aus der Gleichung (2) wird der Widerstandswert  $R_s$  wie nachfolgend gefunden:

$$R_s = (N-1) \times Z_0/(N + 1) \quad (3)$$

[0042] Im Fall der **Fig. 3** ist der Widerstandswert  $R_s$  gleich  $Z_0/2$ , weil  $N=3$  gilt.

[0043] Somit wird bei der Sternschaltung der **Fig. 3** ein von irgendeiner Richtung gesendetes Signal dann bei der Verzweigungsstelle nicht reflektiert, wenn der Widerstandswert  $R_s$  der Stichleitungswiderstände die Gleichung (3) erfüllt. Das bedeutet, dass die Übertragungsleitung mit  $N$  Zweigen unter Annahme des Widerstandswertes  $R_s$  ausgebildet

werden kann, der unter Verwendung der Gleichung (3) gefunden wird.

[0044] Zusätzlich offenbart die japanische ungeprüfte Patentveröffentlichung Nr. 2001-84070 ein Verfahren zum Finden eines Widerstandswertes von zwei Stichleitungswiderständen ( $N = 2$ ) in einer Übertragungsleitung mit zwei Zweigen. Jedoch ist das Verfahren nicht auf einen Fall anwendbar, in welchem die Anzahl von Zweigen gleich drei oder größer ist ( $N \geq 3$ ). Weiterhin dient das Verfahren für eine Flüssigkristallanzeigetafel und schlägt die Veröffentlichung nicht vor, dass es auf ein Speichersystem, insbesondere auf ein Hochgeschwindigkeits-Speichersystem, anwendbar ist. Das Verfahren gilt unter der Bedingung, dass keine Abschlusswiderstände an Enden der Drähte angeschlossen sind und dass eine Reflexion an den Enden der Drähte auftritt. Weiterhin ist es unmöglich, dass das Verfahren auf das Speichersystem angewendet wird, weil es zuerst eine charakteristische Impedanz von einem der Drähte festlegt und dann über charakteristische Impedanzen der übrigen zwei Drähte und Widerstände entscheidet.

[0045] Nun wird angenommen, dass das oben angegebene präventive Verfahren zum Verhindern, dass ein reflektiertes Signal bei der Sternschaltung auftritt, auf ein Speichersystem mit einer Vielzahl von Speichermodulen angewendet wird, die in einem Stichleitungsanschluss an eine Speichersteuerung angeschlossen sind. Beispielsweise wird das präventive Verfahren für eine IO-Busleitung im Speichersystem verwendet.

[0046] Bei der Anwendung ist es unerwünscht, dass Stichleitungswiderstände auf einer Hauptplatine vorgesehen sind. Dies ist deshalb so, weil der Hersteller der Hauptplatine allgemein Änderungen an der Hauptplatine verbietet. Das bedeutet, dass es dann, wenn die Stichleitungswiderstände auf der Hauptplatine ausgebildet sind, unmöglich ist, sie gegen andere Widerstände auszutauschen. Es gibt eine Vielfalt von Notwendigkeiten für Anwender bezüglich der Anzahl der Speichermodule. Um diese Notwendigkeiten zu erfüllen, ist es nötig, einen Widerstandswert von jedem Stichleitungswiderstand gemäß der Anzahl der Speichermodule (oder Zweige) ändern zu können.

[0047] Zusätzlich ist die Anzahl von Elementen auf der Hauptplatine kleiner und wird eine Signaldämpfung auf der Hauptplatine unterdrückt, wenn die Stichleitungswiderstände nicht auf der Hauptplatine ausgebildet sind.

[0048] Daher ist es nötig, die Signalreflexion im Speichersystem ohne Vorsehen der Stichleistungswiderstände auf der Hauptplatine zu unterdrücken. Dies wird durch dasselbe Verfahren wie demjenigen zum Unterdrücken der Signalreflexion bei einer Sternschaltung erreicht, die in **Fig. 4** dargestellt ist. Das bedeutet, dass ein Zustand, dass es keine Signalreflexion an beiden Stellen A und B der **Fig. 4** gibt, gefunden werden sollte.

[0049] In **Fig. 4** stellen  $Z_{mb}$ ,  $Z_{dim}$  und  $R_s$  jeweils

eine charakteristische Impedanz der Leiterplatte, eine Verdrahtungsimpedanz von jedem Speichermodul und einen Widerstandswert von einem jeweiligen Stichleitungswiderstand dar. Eine notwendige und hinreichende Bedingung für keine Signalreflexion bei der Stelle A ist gegeben durch:

$$Z_{mb} = (R_s + Z_{dim})/N \quad (4)$$

wobei N die Anzahl von Zweigen darstellt. Andererseits ist eine notwendige und hinreichende Bedingung für keine Signalreflexion bei der Stelle B gegeben durch:

$$Z_{dim} = R_s + \{Z_{mb} \times (R_s + Z_{dim})\} / \{(R_s + Z_{dim}) + Z_{mb} \times (n-1)\} \quad (5)$$

[0050] Wenn die Gleichung (4) in die Gleichung (5) eingesetzt wird, wird die charakteristische Impedanz  $Z_{mb}$  wie nachfolgend eliminiert:

$$R_s = (N-1) \times Z_{dim}/N \quad (6)$$

Weiterhin wird dann, wenn die Gleichung (6) in die Gleichung (4) eingesetzt wird, der Widerstandswert  $R_s$  wie nachfolgend eliminiert:

$$Z_{mb} = (2N-1) \times Z_{dim}/N^2 \quad (7)$$

[0051] Wie es aus den oben angegebenen Gleichungen (6) und (7) verstanden wird, kann über den Widerstandswert  $R_s$  und die charakteristische Impedanz  $Z_{mb}$  auf der Basis der Verdrahtungsimpedanz  $Z_{dim}$  und der Anzahl der Speichermodule entschieden werden. Durch die Verwendung des Widerstandswertes  $R_s$  und der charakteristischen Impedanz  $Z_{mb}$ , über die entschieden wird, wie es oben angegeben ist, kann eine bidirektionale Übertragung zwischen der Hauptplatine und jedem Speichermodul, die aneinander angeschlossen sind, wie es in **Fig. 4** dargestellt ist, ohne die Signalreflexion ausgeführt werden.

[0052] Die Sternschaltung, die die Gleichungen (6) und (7) erfüllt, ist auf einen unidirektionalen Bus, wie einen Befehlsadressenbus, im Speichersystem anwendbar. Jedoch ist es unnötig, in einem solchen Fall die Gleichung (5) zu erfüllen. Das bedeutet, dass für den unidirektionalen Bus lediglich die Gleichung (4) erfüllt sein sollte.

[0053] Unter Bezugnahme auf die **Fig. 5 bis 7** wird die Beschreibung zu einem Speichermodul gemäß einem bevorzugten Ausführungsbeispiel dieser Erfindung und zu Speichersystemen, die die Speichermodule verwenden, fortschreiten.

[0054] In **Fig. 5** weist das Speichermodul **50** eine Speicherkarte **51**, neun Speicherchips **52**, eine Modul-Übertragungsbusleitung **53**, eine Vielzahl von Pins bzw. Anschlussstiften **54**, einen Abschlusswiderstand ( $R_{term}$ ) **55** und einen Stichleitungswider-

stand ( $R_s$ ) **56** auf.

[0055] Die Speicherkarte **51** ist eine Leiterplatte. Die Speicherchips **52** sind auf der Speicherkarte **51** in regelmäßigen Intervallen angebracht und gemeinsam an die Modul-Übertragungsbusleitung **53** zwischen ihren beiden Enden angeschlossen. Die Anschlussstifte **54** sind an einem Rand der Speicherkarte **51** ausgebildet, um in einen Schlitz eines Anschlussstücks (siehe **Fig. 6**), das auf einer Hauptplatine (nicht gezeigt) ausgebildet ist, eingefügt und durch ihn gehalten zu werden. Wenn die Anschlussstifte **54** in den Schlitz des Anschlussstücks eingefügt sind, sind sie elektrisch an Anschlüsse des Anschlussstücks angeschlossen. Der Abschlusswiderstand **55** ist an seinem einen Ende an einem Ende der Modul-Übertragungsbusleitung **53** angeschlossen und wird an seinem anderen Ende mit einem vorbestimmten Abschluss-Spannungspegel  $V_{term}$  versorgt. Der Stichleitungswiderstand **56** ist zwischen dem anderen Ende der Modul-Übertragungsbusleitung **53** und einem der Anschlussstifte **54** angeschlossen.

[0056] **Fig. 6** zeigt eines der Speichersysteme mit zwei Speichermodulen **50** der **Fig. 5**, während **Fig. 7** das andere von Speichersystemen mit drei Speichermodulen **50** der **Fig. 5** zeigt.

[0057] In **Fig. 6** weist das Speichersystem **60** eine Hauptplatine (nicht gezeigt), eine Speichersteuerung **61**, zwei Anschlussstücke **62** und eine Hauptplatinen-Übertragungsbusleitung **63** auf. Die Speichersteuerung **61** und die Anschlussstücke **62** sind auf der Hauptplatine angebracht. Die Anschlussstücke **62** werden zum Aufnehmen der Speichermodule **50** verwendet. Die Hauptplatinen-Übertragungsbusleitung **63** ist auf der Hauptplatine ausgebildet, um die Anschlussstücke **62** mit der Speichersteuerung **61** in einem Stichleitungsanschluss zu verbinden. Die Hauptplatinen-Übertragungsbusleitung **63** hat zwei Verzweigungsstellen BP1 und BP2, die an die Anschlussstücke **62** angeschlossen sind.

[0058] Gleichermaßen weist das Speichersystem **70** der **Fig. 7** eine Hauptplatine (nicht gezeigt), eine Speichersteuerung **71**, drei Anschlussstücke **72** und eine Hauptplatinen-Übertragungsbusleitung **73** auf. Die Speichersteuerung **71** und die Anschlussstücke **72** sind auf der Hauptplatine angebracht, während die Hauptplatinen-Übertragungsbusleitung **73** auf der Hauptplatine ausgebildet ist, um die Anschlussstücke **72** in einem Stichleitungsanschluss an die Speichersteuerung **71** anzuschließen. Die Hauptplatinen-Übertragungsbusleitung **73** hat drei Verzweigungsstellen BP1, BP2 und BP3, die an die Anschlussstücke **72** angeschlossen sind.

[0059] In jedem der Speichersysteme **60** und **70** werden die Modul-Übertragungsbusleitungen **53** und die Hauptplatinen-Übertragungsbusleitungen **63** oder **73** für eine IO-Busleitung (oder einen bidirektionalen Bus) verwendet. Jeder der Speicherchips **51** weist einen Treiber und einen Empfänger auf, die an die IO-Busleitung angeschlossen sind. Jede der Speichersteuerungen **61** und **71** weist gleichermaßen ei-

nen Treiber und einen Empfänger auf, die an die IO-Busleitung angeschlossen sind. In **Fig. 6** sind zwei Gruppen aus dem Treiber und dem Empfänger durch kleine Dreiecke in der Speichersteuerung **61** und einem der Speicherchips **52** bezeichnet. Gleichermaßen zeigt die **Fig. 7** weitere zwei Gruppen aus dem Treiber und dem Empfänger mit kleinen Dreiecken.

[0060] Das Speichermodul **50** hat einen Speicherchip-Aufbauteil, der aus den Speicherchips **52** und den Modul-Übertragungsbusleitungen **53** besteht. Der Speicherchip-Aufbauteil hat eine effektive Impedanz  $Z_{\text{effdimm}}$  (entsprechend  $Z_{\text{dim}}$  der **Fig. 4**). Hier ist angenommen, dass die Modul-Übertragungsbusleitung **53** eine Verdrahtungsimpedanz von  $Z_0 (= \sqrt{L/C})$  [ $\Omega$ ] hat, dass ein Intervall zwischen benachbarten zwei Speicherchips **52** durch  $X$  [m] dargestellt ist und dass eine Eingangskapazität durch  $C_{\text{in}}$  [F] dargestellt ist. Dann ist die effektive Impedanz  $Z_{\text{effdimm}}$  des Speicherchip-Aufbauteils gegeben durch:

$$Z_{\text{effdimm}} = \sqrt{L/(C + C_{\text{in}}/X)}$$

[0061] Beispielsweise ist die effektive Impedanz  $Z_{\text{effdimm}}$  näherungsweise gleich  $39,3$  [ $\Omega$ ], wenn  $Z_0 = 60$  [ $\Omega$ ] ( $L = 3,6 \times 10^{-7}$  [H/m],  $c = 1,0 \times 10^{-10}$  [F/m],  $X = 12 \times 10^{-3}$  [m] und  $C_{\text{in}} = 1,6 \times 10^{-12}$  [F]) gilt. Darüber hinaus ist die effektive Impedanz  $Z_{\text{effdimm}}$  näherungsweise gleich  $43,3$  [ $\Omega$ ], wenn  $Z_0 = 60$  [ $\Omega$ ] ( $L = 3,6 \times 10^{-7}$  [H/m],  $c = 1,0 \times 10^{-10}$  [F/m]),  $X = 13 \times 10^{-3}$  [m] und  $C_{\text{in}} = 1,2 \times 10^{-12}$  [F]) gilt.

[0062] Der Abschlusswiderstand **55** im Speichermodul **50** hat einen Widerstandswert  $R_{\text{term}}$ , über den entschieden wird, dass er äquivalent der effektiven Impedanz  $Z_{\text{effdimm}}$  ist.

[0063] Der Stichleitungswiderstand **56** hat den Widerstandswert  $R_s$ , der durch dieselbe Gleichung wie die Gleichung (6) gegeben ist. Das bedeutet, dass der Widerstandswert  $R_s$  des Widerstandes **56** gegeben ist durch:

$$R_s = \{(N-1)/N\} \times Z_{\text{effdimm}}$$

[0064] Beispielsweise ist der Widerstand  $R_s$  wie folgt, wenn  $N = 2$  und  $Z_{\text{effdimm}} = 39,3$  [ $\Omega$ ] gilt.

$$R_s = \{(N-1)/N\} \times Z_{\text{effdimm}} = (1/2) \times 39,3 = 19,7$$
 [ $\Omega$ ]

[0065] In diesem Fall ist die Verdrahtungsimpedanz  $Z_{\text{mb}}$  der Hauptplatine durch dieselbe Gleichung wie die Gleichung (7) gegeben. Das bedeutet, dass die Verdrahtungsimpedanz  $Z_{\text{mb}}$  gegeben ist durch:

$$Z_{\text{mb}} = (2N-1)Z_{\text{effdimm}}/N^2 = 3 \times 39,3/4 = 29,5$$
 [ $\Omega$ ]

[0066] **Fig. 8** zeigt ein schematisches Diagramm des Speichersystems mit der charakteristischen Im-

pedanz  $Z_{\text{effdimm}}$ , dem Widerstandswert  $R_s$  und der Verdrahtungsimpedanz  $Z_{\text{mb}}$ , über die entschieden wird, wie es oben angegeben ist.

[0067] In Bezug auf das Speichersystem der **Fig. 7** werden der Widerstandswert  $R_s$  des Stichleitungswiderstandes **56** und die Verdrahtungsimpedanz  $Z_{\text{mb}}$  der Hauptplatine auf gleiche Weise gefunden. Beispielsweise gilt  $R_s = 28,9$  [ $\Omega$ ] und  $Z_{\text{mb}} = 24,1$  [ $\Omega$ ], wenn  $N = 3$  und  $Z_{\text{effdimm}} = 43,3$  [ $\Omega$ ] gilt. Dies ist in **Fig. 9** dargestellt.

[0068] Die in den **Fig. 6** und **7** gezeigten Speichersysteme können schneller als ein existierendes Speichersystem, das DDR-I (Doppeldatenraten-Speicher mit einer Betriebsfrequenz von: 133 MHz) oder DDR-II (Betriebsfrequenz: 266 MHz) genannt wird, stabil arbeiten. Beispielsweise arbeiten die Speichersysteme oberhalb einer Betriebsfrequenz von 300 MHz. Dies ist deshalb so, weil überhaupt keine Signalreflexion bei den Verzweigungsstellen und den Endteilen auftritt.

[0069] Weiterhin benötigt keines der Speichersysteme der **Fig. 6** und **7** einen Stichleitungswiderstand auf der Hauptplatine. Demgemäß hat die Hauptplatine eine geringe Anzahl von Elementen und breite Räume für eine Verdrahtung. Zusätzlich gibt es keine Dämpfung eines Übertragungssignals auf den Hauptplatinen in den Speichersystemen der **Fig. 6** und **7**. Zusätzlich lässt die Struktur der Speichersysteme der **Fig. 6** und **7** zu, dass ein Mehrfachschlitzsystem ohne großen Zuwachs an Drähten auf der Hauptplatine ausgebildet wird.

[0070] Obwohl die Beschreibung in Bezug auf ein Anwenden dieser Erfindung auf den bidirektionalen Bus als den IO-Bus des Speichersystems durchgeführt ist, ist diese Erfindung auf einen unidirektionalen Bus, wie einen Befehlsadressenbus, des Speichersystems anwendbar, wie es in **Fig. 10** oder **11** dargestellt ist. In einem solchen Fall können die Verdrahtungsimpedanz  $Z_{\text{mb}}$  der Hauptplatine, der Stichleitungswiderstandswert  $R_s$  und die effektive Impedanz  $Z_{\text{effdimm}}$  durch die Verwendung der Gleichungen (6) und (7) gefunden werden. Jedoch können sie durch die Verwendung der Gleichung (4) gefunden werden.

[0071] Beispielsweise wird angenommen, dass  $Z_{\text{effdimm}} = 39,3$  [ $\Omega$ ] und  $Z_{\text{mb}} = 30$  [ $\Omega$ ] für das Speichersystem der **Fig. 10** gilt. Aus der Gleichung (4) ist der Stichleitungswiderstandswert  $R_s$  gegeben durch:

$$R_s = N \times Z_{\text{mb}} - Z_{\text{effdimm}} = 2 \times 30 - 39,3 = 20,7$$
 [ $\Omega$ ]

[0072] Andererseits wird angenommen, dass  $Z_{\text{effdimm}} = 43,3$  [ $\Omega$ ] und  $Z_{\text{mb}} = 30$  [ $\Omega$ ] für das Speichersystem der **Fig. 11** gilt. Der Stichleitungswiderstandswert ist gegeben durch:

$$R_s = 3 \times 30 - 43,3 = 46,7$$
 [ $\Omega$ ]

[0073] Obwohl der Abschlusswiderstand **55** an der

Außenseite der Speicherchips **52** auf der Speicherkarte **51** ausgebildet ist, kann der Abschlusswiderstand **55A** in einem der Speicherchips **32A** ausgebildet sein, wie es in **Fig. 12** dargestellt ist. Dies ist als Technik bekannt, die "On Die Termination" (= Abschluss auf dem Chip) genannt wird.

[0074] Als Nächstes werden unter Bezugnahme auf die **Fig. 13 bis 15** ein Speichermodul gemäß einem weiteren Ausführungsbeispiel dieser Erfindung und Speichersysteme, die die Speichermodule verwenden, beschrieben.

[0075] In **Fig. 13** weist das Speichermodul **130** eine Speicherkarte **131**, neun Speicherchips **132**, Modul-IO-Busleitungen **133**, Abschlusswiderstände **143**, Stichleitungswiderstände **135** und Pins bzw. Anschlussstifte **136** auf.

[0076] Die Speicherkarte **131** ist eine Leiterplatte. Die Speicherchips **132** sind auf der Speicherkarte **131** in regelmäßigen Intervallen angebracht. Die Modul-IO-Busleitungen **133** sind auf der Speicherkarte **131** ausgebildet, um jeweils an die Speicherchips **132** angeschlossen zu werden. Die Abschlusswiderstände **134** sind in den Speicherchips **132** ausgebildet und an Enden der jeweiligen Speicherbusleitungen **133** angeschlossen. Die Stichleitungswiderstände **135** sind auf der Speicherkarte ausgebildet, um an jeweiligen anderen Enden der Modul-IO-Busleitungen **133** angeschlossen zu werden. Die Anschlussstifte **136** sind am Rand auf der Speicherkarte **131** ausgebildet. Jeder der Stichleitungswiderstände **135** ist auch an einen entsprechenden der Anschlussstifte **136** angeschlossen.

[0077] **Fig. 14** zeigt das Speichersystem, das drei Speichermodule **130** der **Fig. 13** verwendet, während **Fig. 15** das Speichersystem zeigt, das vier Speichermodule **130** der **Fig. 13** verwendet.

[0078] In **Fig. 14** weist das Speichersystem eine Hauptplatine (nicht gezeigt), eine Speichersteuerung **141**, drei Anschlussstücke **142** und neun Hauptplatinen-IO-Busleitungen **143** auf.

[0079] Die Speichersteuerung **141** ist auf der Hauptplatine ausgebildet. Die Anschlussstücke **142** sind auf der Hauptplatine angebracht, um die Speichermodule der **Fig. 13** aufzunehmen. Die Hauptplatinen-IO-Busleitungen **143** sind auf der Hauptplatine ausgebildet, um an die Anschlussstücke **142** angeschlossen zu werden. Die Hauptplatinen-IO-Busleitungen **143** entsprechen jeweils den Speicherchips **133** jedes Speichermoduls **130**. Jede der Hauptplatinen-IO-Busleitungen **143** verbindet entsprechende Speicherchips an den Speichermodulen **130** miteinander. Das bedeutet, dass gemäß diesem Ausführungsbeispiel nicht Speichermodule, sondern Speicherchips in einem Stichleitungsanschluss miteinander verbunden sind.

[0080] Bei diesem Ausführungsbeispiel kann eine bidirektionale Übertragung ohne Signalreflexion zwischen der Speichersteuerung und jedem Speicherchip ausgeführt werden, wenn ein Widerstandswert der Abschlusswiderstände **134** und der Stichleitungs-

widerstände **135** durch die Verwendung der Gleichungen (6) und (7) gefunden wird. Jedoch hängt die effektive Impedanz Zeffdim von dem Speicherchip **134** und der am Speicherchip **134** angeschlossenen Modul-IO-Busleitung **132** ab.

[0081] Das Speichersystem der **Fig. 15** ist gleich demjenigen der **Fig. 14**, außer bezüglich der Anzahl der Speichermodule **130**. Das bedeutet, dass das Speichersystem eine Speichersteuerung **151**, vier Anschlussstücke **152** und neun Hauptplatinen-IO-Busleitungen **153** aufweist.

[0082] Weil sich die Speichersysteme der **Fig. 14** und **15** bezüglich der Anzahl der Speichermodule **130** unterscheiden, unterscheiden sie sich auch bezüglich des Stichleitungswiderstandswertes  $R_s$ .

[0083] Die in den **Fig. 14** und **15** gezeigten Speichersysteme können, wie die Speichersysteme der **Fig. 6** und **7**, schneller als das existierende Speichersystem stabil arbeiten. Weiterhin ist es notwendig, einen Stichleitungswiderstand auf jeder Hauptplatine der Speichersysteme der **Fig. 14** und **15** auszubilden.

[0084] Bei jedem der oben angegebenen Ausführungsbeispiele sind die Abschlusswiderstände an den vorbestimmten Spannungspegel  $V_{term}$  angeschlossen. Der vorbestimmte Spannungspegel kann durch Aufteilen einer Leistungsversorgungsspannung VDD erhalten werden wie es in **Fig. 16** gezeigt ist.

[0085] Während diese Erfindung bislang in Zusammenhang mit ihren wenigen Ausführungsbeispielen beschrieben worden ist, wird es für Fachleute auf dem Gebiet ohne weiteres möglich sein, diese Erfindung auf verschiedene andere Arten auszuführen. Beispielsweise kann die Anzahl der Anschlussstücke auf der Hauptplatine größer als vier sein.

## Patentansprüche

1. Speichermodul, um in irgendeines von Anschlussstücken eingefügt zu werden, die auf einer Hauptplatine ausgebildet sind, welches Modul folgendes aufweist:

einen Speicherchip;

einen Anschlussstift, um an das Anschlussstück angeschlossen zu werden; einen Bus zum Anschließen des Speicherchips an den Anschlussstift; einen Abschlusswiderstand, der an ein Ende des Busses angeschlossen ist, und

einen Stichleitungswiderstand (stub resistor), der zwischen dem Anschlussstift und dem anderen Ende des Busses angeschlossen ist.

2. Speichermodul nach Anspruch 1, wobei die Anschlussstücke an eine Speichersteuerung auf eine Art eines Stichleitungsanschlusses (stub connection) angeschlossen sind, wobei der Stichleitungswiderstand und der Abschlusswiderstand jeweils einen Stichleitungswiderstandswert  $R_s$  und einen Abschlusswiderstandswert  $R_{term}$  haben, wobei

der Stichleitungswiderstandswert  $R_s$  und der Abschlusswiderstandswert  $R_{term}$  gegeben sind durch:

$$R_s = (N-1) \times Z_{effdim}/N, \text{ und } R_{term} = Z_{effdim}$$

wobei  $N$  die Anzahl der Anschlussstücke darstellt; und  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und dem Speicherchip besteht.

3. Speichermodul nach Anspruch 1 oder 2, das weiterhin andere Speicherchips aufweist, wobei der Bus an alle Speicherchips gemeinsam angeschlossen ist.

4. Speichermodul nach einem der Ansprüche 1 bis 3, das weiterhin weitere Speicherchips, weitere Anschlussstifte jeweils entsprechend den weiteren Chips und weitere Busse zum einzelnen Anschließen der Speicherchips an die weiteren Anschlussstifte aufweist.

5. Speichermodul nach einem der Ansprüche 1 bis 4, wobei der Bus ein bidirektionaler Bus ist.

6. Speichermodul nach einem der Ansprüche 1 bis 5, wobei der Bus ein unidirektionaler Bus ist.

7. Speichermodul nach einem der Ansprüche 1 bis 6, wobei der Abschlusswiderstand im Speicherchip ausgebildet ist.

8. Speichersystem, das eine Vielzahl von Speichermodulen enthält, die in Anschlussstücken eingefügt sind, die auf einer Hauptplatine ausgebildet sind, wobei jedes Speichermodul folgendes aufweist:  
einen Speicherchip;  
einen Anschlussstift, um an eines der Anschlussstücke angeschlossen zu werden;  
einen Bus zum Anschließen des Speicherchips an den Anschlussstift;  
einen Abschlusswiderstand, der an ein Ende des Busses angeschlossen ist, und  
einen Stichleitungswiderstand (stub resistor), der zwischen dem Anschlussstift und dem anderen Ende des Busses angeschlossen ist.

9. Speichersystem nach Anspruch 8, wobei die Anschlussstücke an eine Speichersteuerung auf eine Art eines Stichleitungsanschlusses (stub connection) auf einer Hauptplatine angeschlossen sind, wobei der Stichleitungswiderstand und der Abschlusswiderstand jeweils einen Stichleitungswiderstandswert  $R_s$  und einen Abschlusswiderstandswert  $R_{term}$  haben, wobei der Stichleitungswiderstandswert  $R_s$  und der Abschlusswiderstandswert  $R_{term}$  gegeben sind durch:

$$R_s = (N-1) \times Z_{effdim}/N, \text{ und } R_{term} = Z_{effdim}$$

wobei  $N$  die Anzahl der Speichermodule darstellt; und  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und dem Speicherchip besteht, und wobei die Hauptplatine eine Verdrahtungsimpedanz  $Z_{mb}$  hat, die dargestellt ist durch:

$$Z_{mb} = (2N-1) \times Z_{effdim}$$

10. Speichersystem nach Anspruch 8 oder 9, wobei jedes der Speichermodule weiterhin weitere Speicherchips aufweist, wobei der Bus an alle Speicherchips in jedem der Speichermodule gemeinsam angeschlossen ist.

11. Speichersystem nach einem der Ansprüche 8 bis 10, wobei jedes der Speichermodule weiterhin weitere Speicherchips, weitere Anschlussstifte jeweils entsprechend den weiteren Speicherchips und weitere Busse zum einzelnen Anschließen der Speicherchips an die weiteren Anschlussstifte aufweist.

12. Speichersystem nach einem der Ansprüche 8 bis 11, wobei der Bus ein bidirektionaler Bus ist.

13. Speichersystem nach einem der Ansprüche 8 bis 12, wobei der Bus ein unidirektionaler Bus ist.

14. Speichersystem nach Anspruch 13, wobei die Anschlussstücke auf eine Art eines Stichleitungsanschlusses an die Speichersteuerung angeschlossen sind, wobei der Stichleitungswiderstand und der Abschlusswiderstand jeweils einen Stichleitungswiderstandswert  $R_s$  und einen Abschlusswiderstandswert  $R_{term}$  haben, wobei der Stichleitungswiderstandswert  $R_s$  und der Abschlusswiderstandswert  $R_{term}$  die Gleichung

$$Z_{mb} = (R_s + Z_{effdim})/N$$

erfüllen, wobei  $Z_{mb}$  eine Verdrahtungsimpedanz der Hauptplatine darstellt;  $Z_{effdim}$  eine effektive Impedanz eines Speicherchip-Aufbauteils, der aus dem Bus und dem Speicherchip besteht; und  $N$  die Anzahl des Speichermoduls.

15. Speichersystem nach einem der Ansprüche 8 bis 14, wobei der Abschlusswiderstand im Speicherchip ausgebildet ist.

Es folgen 10 Blatt Zeichnungen



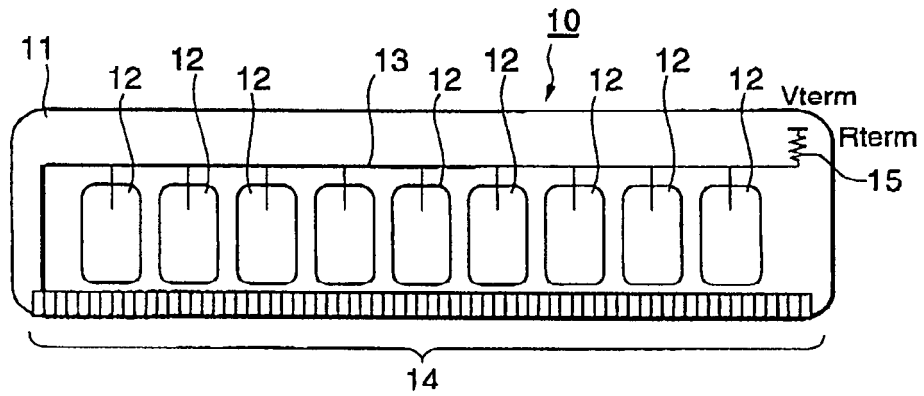


Fig. 1 STAND DER TECHNIK

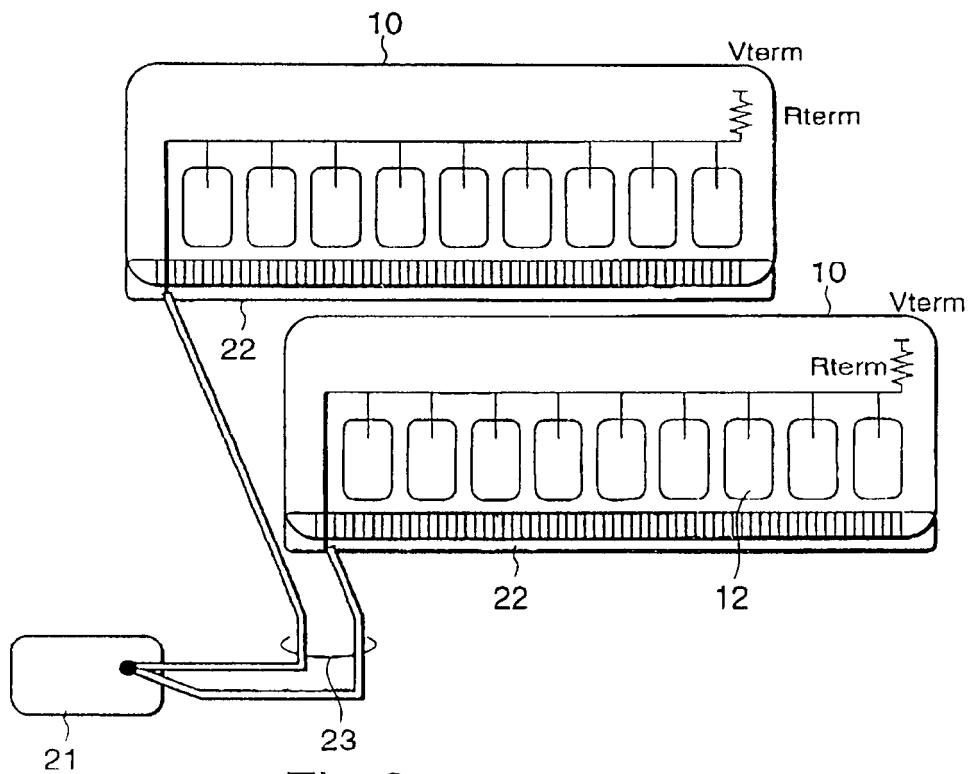


Fig. 2 STAND DER TECHNIK

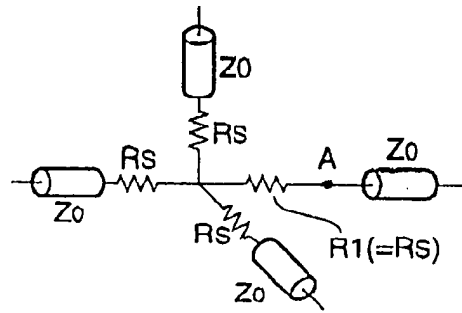


Fig.3

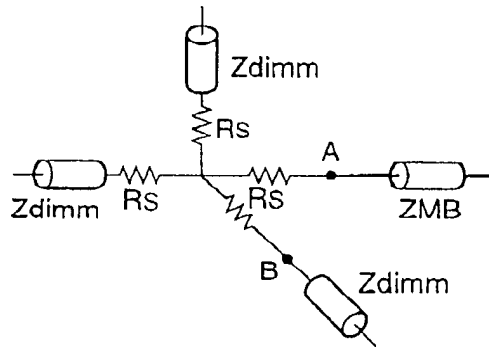


Fig.4

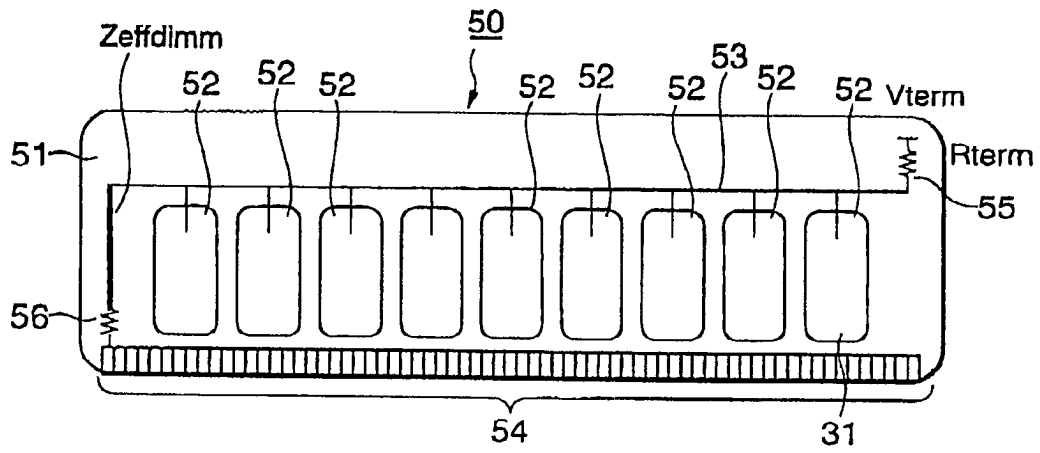


Fig.5

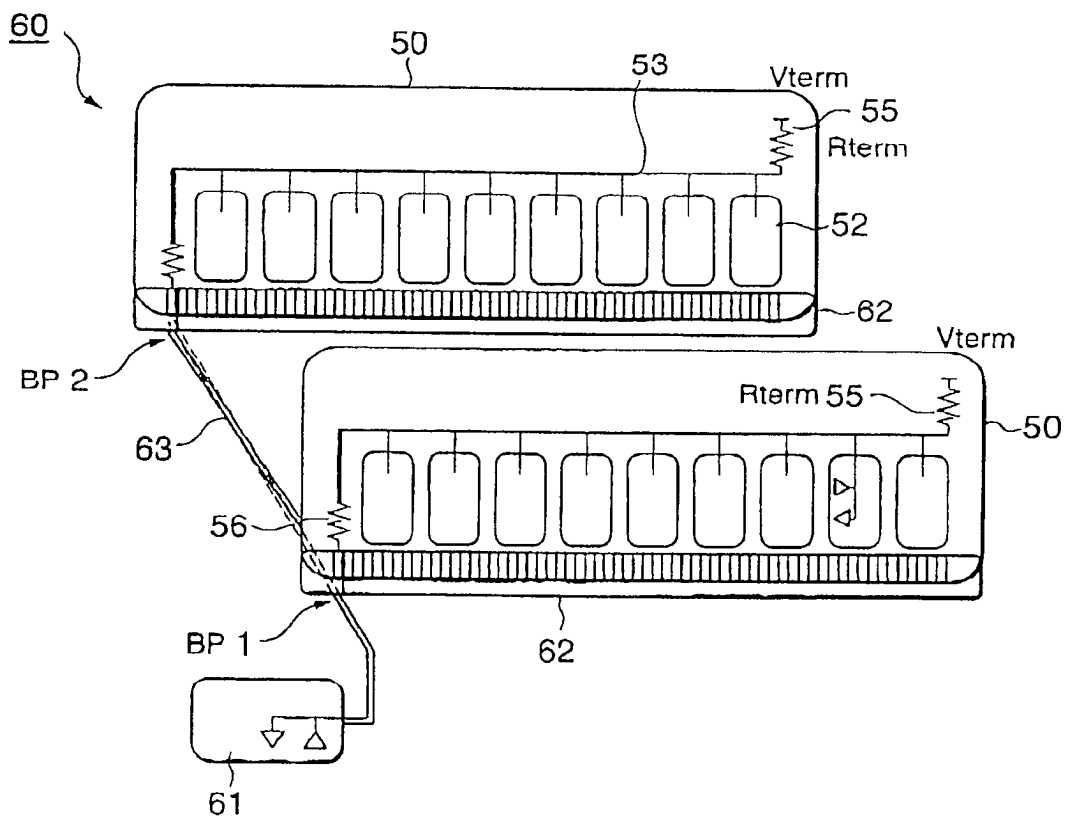


Fig.6

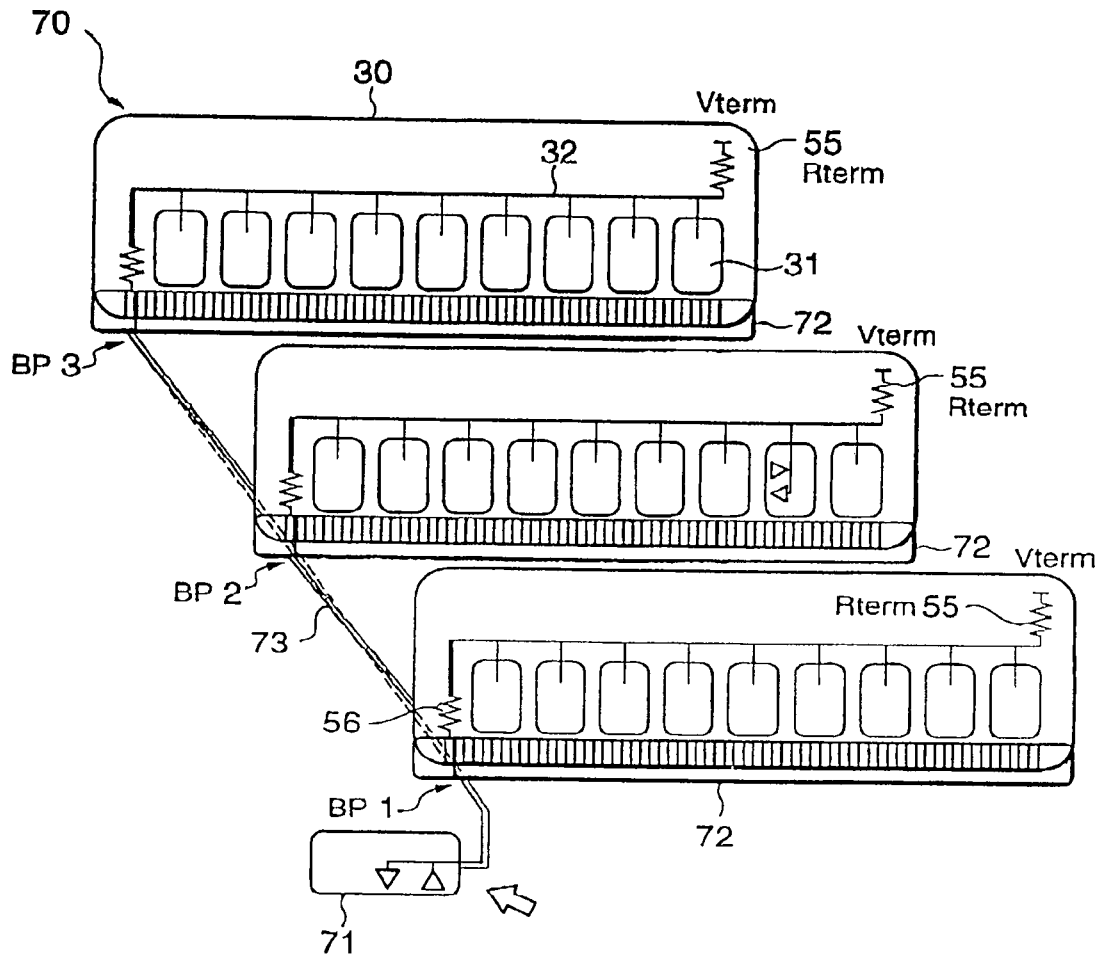


Fig.7

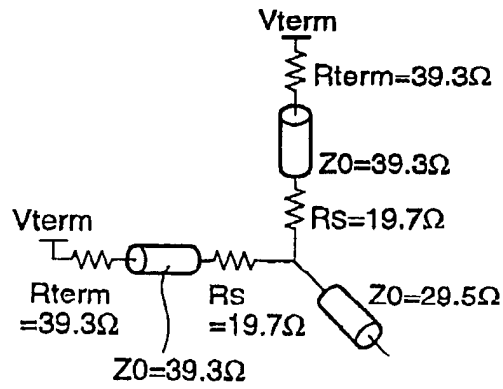


Fig.8

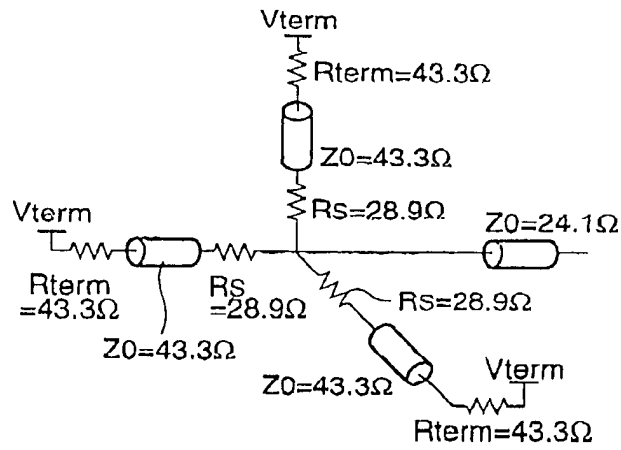


Fig.9

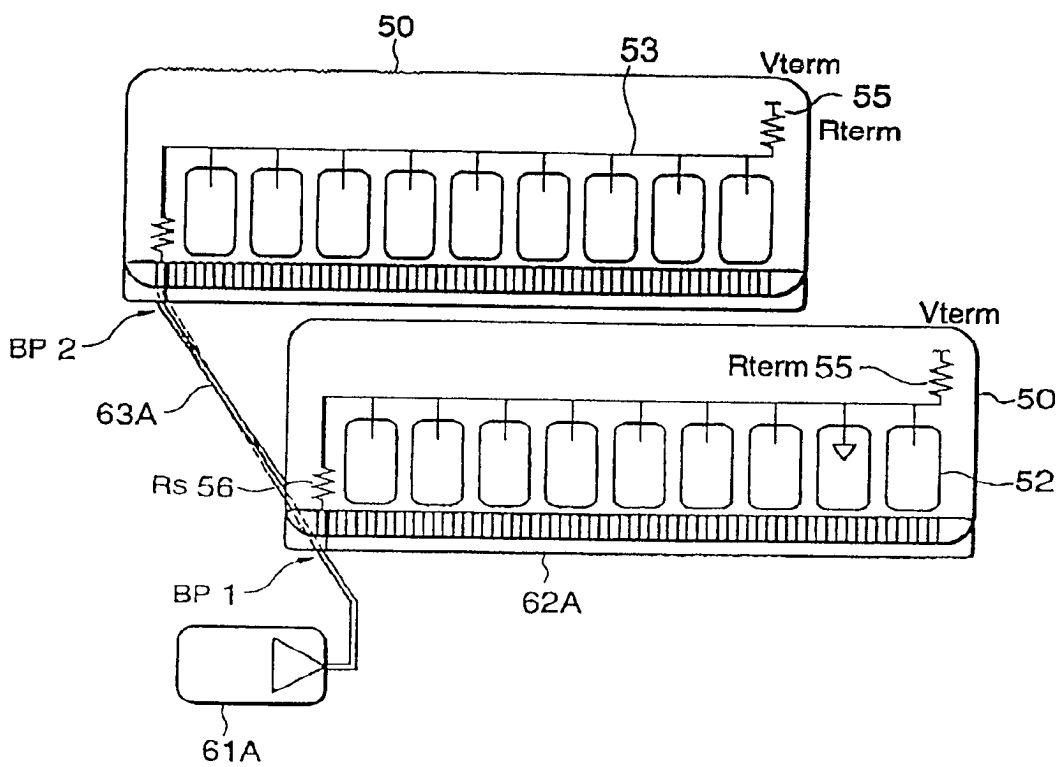


Fig.10

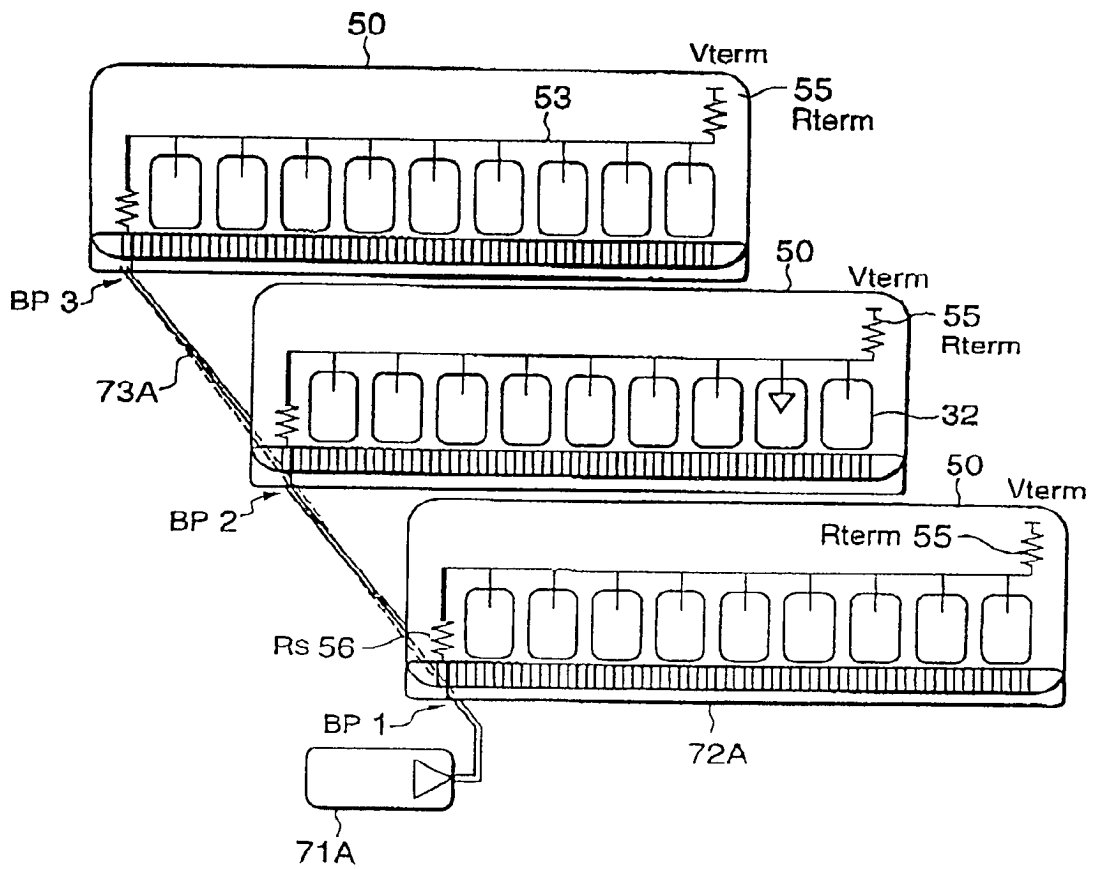


Fig.11

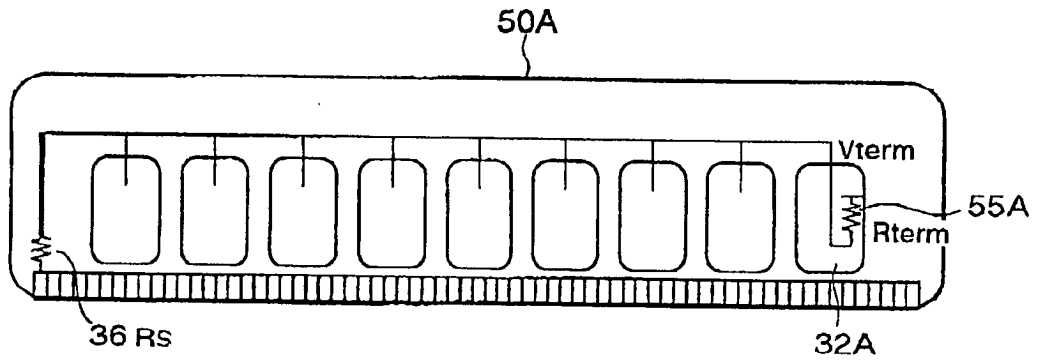


Fig.12

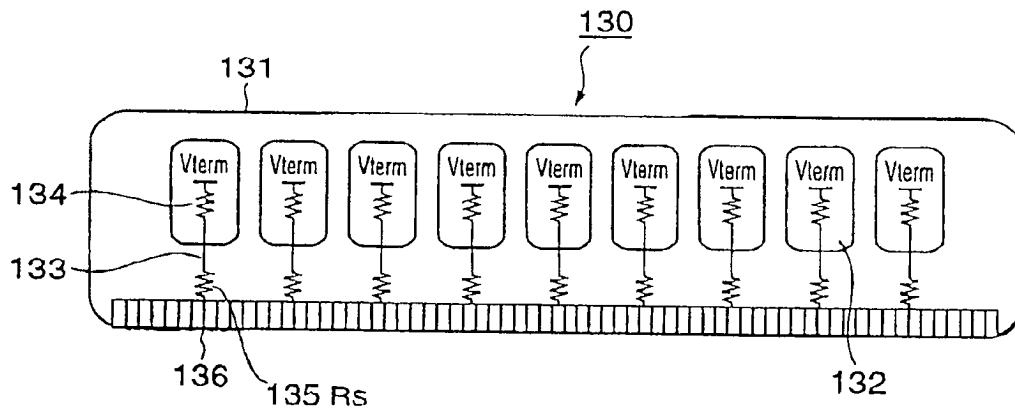


Fig.13



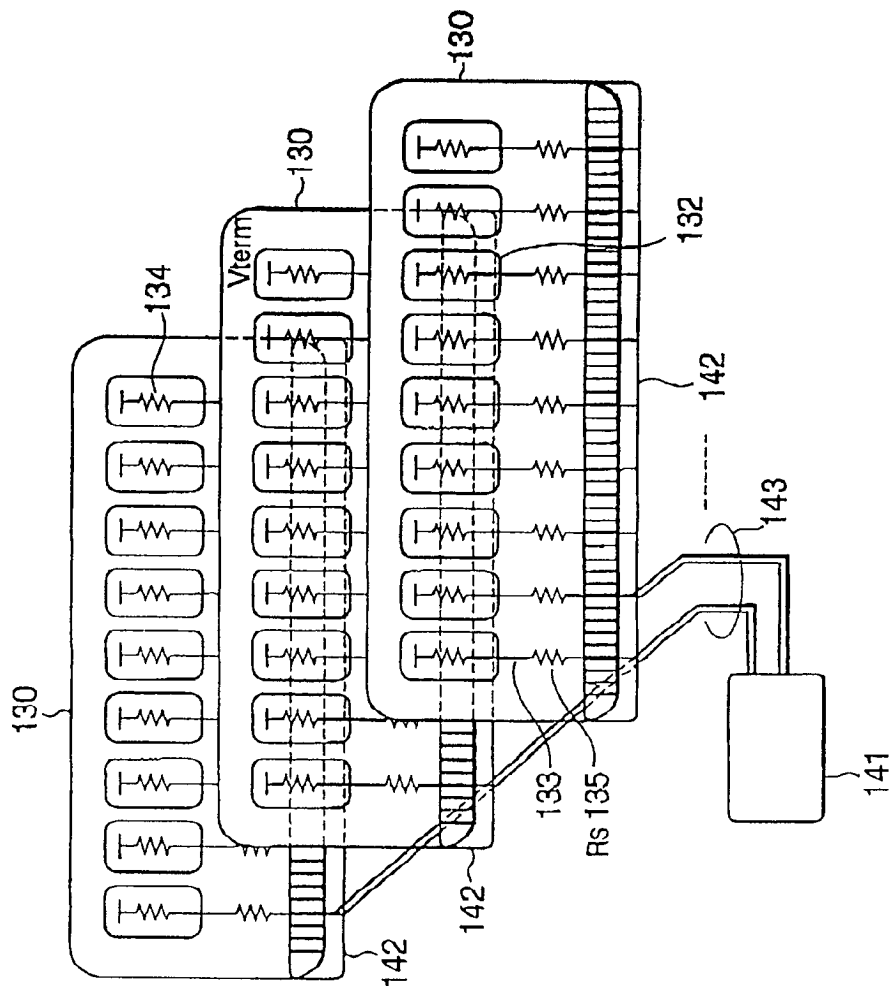


Fig.14

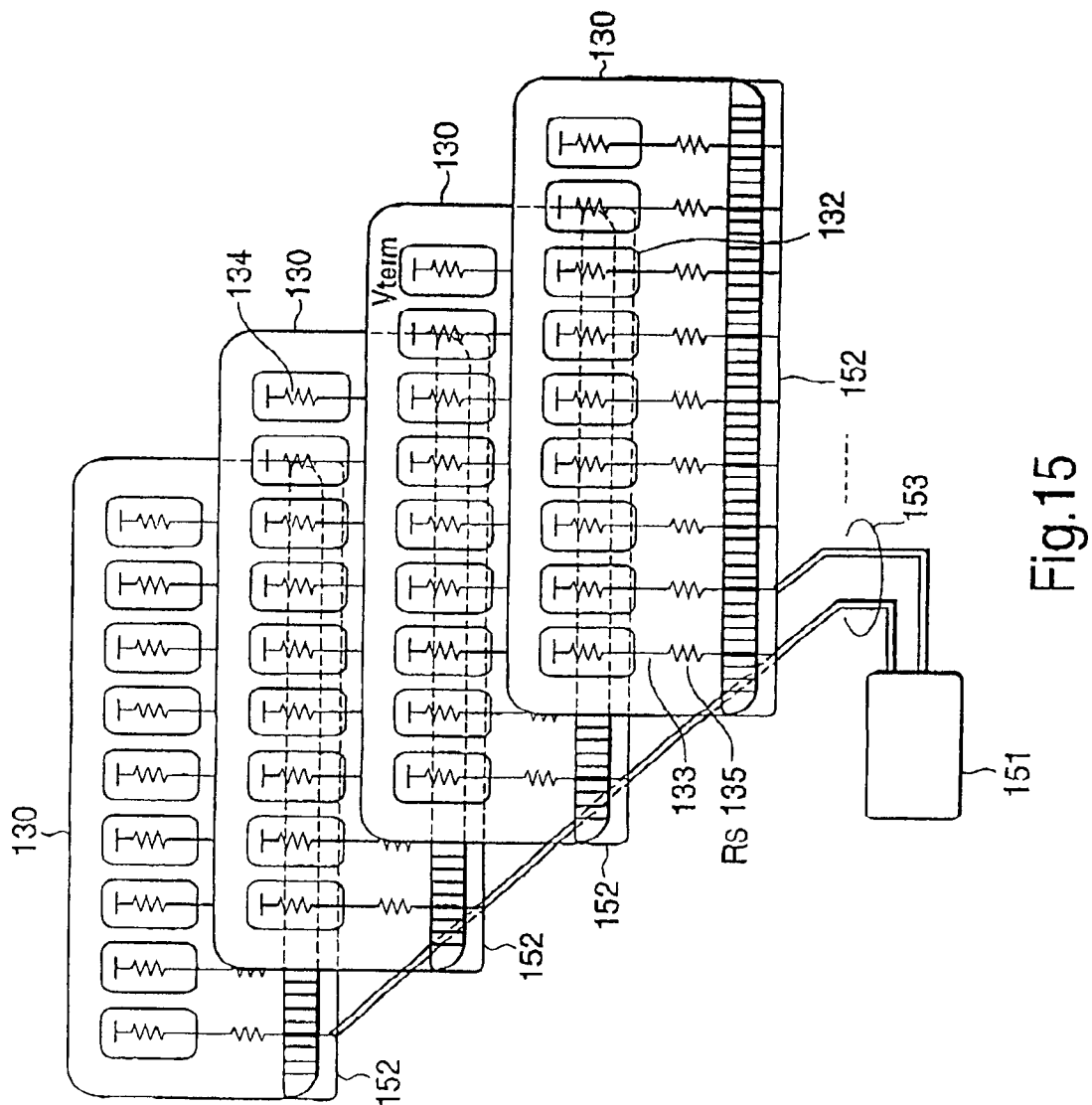


Fig. 15

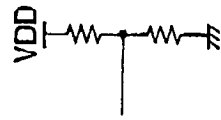


Fig. 16