

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4928752号
(P4928752)

(45) 発行日 平成24年5月9日(2012.5.9)

(24) 登録日 平成24年2月17日(2012.2.17)

(51) Int.Cl.		F I		
G 1 1 C	16/02	(2006.01)	G 1 1 C	17/00 6 4 1
G 1 1 C	16/04	(2006.01)	G 1 1 C	17/00 6 2 2 E
G 1 1 C	16/06	(2006.01)	G 1 1 C	17/00 6 3 2 B
			G 1 1 C	17/00 6 1 3

請求項の数 4 (全 20 頁)

(21) 出願番号	特願2005-205950 (P2005-205950)	(73) 特許権者	000003078
(22) 出願日	平成17年7月14日 (2005.7.14)		株式会社東芝
(65) 公開番号	特開2007-26523 (P2007-26523A)		東京都港区芝浦一丁目1番1号
(43) 公開日	平成19年2月1日 (2007.2.1)	(74) 代理人	100149803
審査請求日	平成20年6月10日 (2008.6.10)		弁理士 藤原 康高
前置審査		(72) 発明者	柴田 昇
			神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		(72) 発明者	今宮 賢一
			神奈川県川崎市幸区小向東芝町1番地 株式会社東芝マイクロエレクトロニクスセンター内
		審査官	滝谷 亮一
			最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

第1導電型の半導体基板と、

ワード線、及びビット線に接続され、直列接続された複数のメモリセルがマトリックス状に配置されて構成されたメモリセルアレイと、

前記ワード線を選択する選択トランジスタと、

入力データに応じて前記ワード線、ビット線の電位を制御し、前記メモリセルに対するデータの書き込み、読み出し及び消去動作を制御する制御回路とを具備し、

前記選択トランジスタは、前記半導体基板中に形成された前記第1導電型とは反対の型の第2導電型のウェル内に形成された第1導電型のウェル上に形成され、少なくとも前記メモリセルから下限が負である閾値電圧を読み出す読み出し動作時に、前記第1導電型のウェルには第1負電圧が供給され、選択ワード線には第1電圧(第1電圧 第1負電圧)が供給され、非選択ワード線には、第2電圧が供給され、前記第2導電型のウェル及び前記半導体基板には0Vが印加されることを特徴とする半導体記憶装置。

【請求項2】

前記メモリセルアレイは、少なくとも1つの前記ワード線を含むブロックを少なくとも1つ有し、前記選択トランジスタは前記ブロック毎に同一のウェル上に形成され、選択ブロックのウェルには、前記第1負電圧又は第2負電圧が供給され、非選択ブロックのウェルには第4電圧、第1負電圧、第2負電圧のうちの1つが供給されることを特徴とする請求項1記載の半導体記憶装置。

【請求項 3】

前記メモリセルは複数の負の閾値電圧のうちの1つが設定されることを特徴とする請求項1記載の半導体記憶装置。

【請求項 4】

前記制御回路は、負電圧発生回路を具備することを特徴とする請求項1記載の半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、例えばEEPROMを用いたNAND型フラッシュメモリに係り、特に、1つのメモリセルに多値データを記憶することが可能な半導体記憶装置に関する。 10

【背景技術】

【0002】

NAND型フラッシュメモリは、カラム方向に配置された複数のメモリセルが直列接続されてNANDセルを構成し、各NANDセルは選択ゲートを介して対応するビット線に接続される。各ビット線は、書き込みデータ、及び読み出しデータをラッチするラッチ回路に接続されている。ロー方向に配置された複数のセルの全て、又は半数のセルは、同時に選択され、この同時に選択された全てのセル又は半数のセルに対して、一括して書き込み、又は読み出し動作が行なわれる。ロー方向に配置された複数のNANDセルはブロックを構成し、このブロック単位に消去動作が実行される。消去動作は、メモリセルの閾値電圧を負に設定する。書き込み動作により、メモリセル内に電子を注入することにより閾値電圧が正に設定される（例えば特許文献1参照）。 20

【0003】

ところで、NANDセルにおいて、メモリセルは直列に接続されている。このため、読み出し動作時において、非選択セルはオン状態である必要があり、非選択セルのゲート電極に閾値電圧より高い電圧（V_{read}）が印加される。このため、書き込み動作において、セルに設定される閾値電圧は、V_{read}を超えてはならず、書き込みシーケンスにおいて、ビット毎にプログラム、プログラムベリファイリードを繰り返し行ない、V_{read}を超えないように閾値分布を制御している。 30

【0004】

また、近時、メモリの大容量化に伴い、1つのセルに2ビット以上を記憶する多値メモリが開発されている。例えば1つのセルに2ビットを記憶するためには、V_{read}を超えない範囲において、4つの閾値分布を設定する必要がある。このため、1つのセルに1ビット、2つの閾値分布を記憶する場合に比べて、閾値分布を狭く制御する必要がある。さらに、1つのセルに3ビット、4ビットを記憶するには、8個、16個の閾値分布を設定しなくてはならない。このため、1つ当たりの閾値電圧の分布幅を非常に狭くする必要がある。このように、閾値電圧の分布幅を狭くするためには、プログラム、ベリファイを厳密に繰り返す必要があり、書き込みスピードが遅くなるという問題が発生する。 40

【特許文献1】特開2004-192789号公報

【発明の開示】

【発明が解決しようとする課題】

【0005】

本発明は、書き込み速度を高速化することが可能な半導体記憶装置を提供しようとするものである。

【課題を解決するための手段】

【0006】

本発明の半導体記憶装置の態様は、第1導電型の半導体基板と、ワード線、及びビット線に接続され、直列接続された複数のメモリセルがマトリクス状に配置されて構成されたメモリセルアレイと、前記ワード線を選択する選択トランジスタと、入力データに応じて前記ワード線、ビット線の電位を制御し、前記メモリセルに対するデータの書き込み、 50

読み出し及び消去動作を制御する制御回路とを具備し、前記選択トランジスタは、前記半導体基板中に形成された前記第1導電型とは反対の型の第2導電型のウェル内に形成された第1導電型のウェル上に形成され、少なくとも前記メモリセルから下限が負である閾値電圧を読み出す読み出し動作時に、前記第1導電型のウェルには第1負電圧が供給され、選択ワード線には第1電圧(第1電圧 第1負電圧)が供給され、非選択ワード線には、第2電圧が供給され、前記第2導電型のウェル及び前記半導体基板には0Vが印加されることを特徴とする。

【発明の効果】

【0008】

本発明によれば、書き込み速度を高速化することが可能な半導体記憶装置を提供できる

10

【発明を実施するための最良の形態】

【0009】

図1(a)(b)は、従来と本実施形態の閾値電圧の関係を示している。図1(a)(b)は、2ビット、4値のデータを記憶する場合を示している。

【0010】

本実施形態は、図1(b)に示すように、例えば0V以下の負側にも複数の閾値電圧を設定している。このように、負側にも複数の閾値電圧を設定することにより、Vreadを変えなく、1つ当りの閾値分布幅を広げることができる。このため、プログラム、ベリファイの回数を削減でき、書き込み速度を高速化することが可能となる。

20

【0011】

このような閾値電圧を設定するため、次のような構成が必要となる。すなわち、選択セルのゲート電極を負電圧とするため、ワード線を負電位に設定する必要がある。このため、ローデコーダを構成する高耐圧の例えばNチャンネルMOSトランジスタをP型ウェル(Pウェルと称す)領域内に形成し、このPウェル領域に負電圧を供給する。この時、選択ブロック内の非選択ワード線には、Vread(例えば5V)を供給し、非選択セルを導通させる。

【0012】

また、“1”書き込み(非書き込み)において、誤書き込みが生じないように、RLSB(Revised Local Self Boost)、REASB(Revised Erased Local Self Boost)と称する書き込み方式が考案されている。この書き込み方式は、NANDセルのうち、書き込みセルの近傍のセルのチャンネル領域をオフに設定し、チャンネル領域の電位がブートされ易くしている。このため、ワード線に接地電位を供給している。しかし、本実施形態の場合、セルが消去セルの場合、図1(b)にデータ“0”で示すように、その閾値電圧が従来に比べて負側に深くなっている。このため、書き込みセルの近傍のセルのチャンネル領域をオフさせるため、ワード線に負電位を供給する必要がある。

30

【0013】

以下、本発明の実施の形態について、図面を参照して説明する。

【0014】

図2は、本実施形態に係る半導体記憶装置、具体的には例えば4値(2ビット)のデータを記憶するNAND型フラッシュメモリの構成を示している。

40

【0015】

メモリセルアレイ1は複数のビット線と複数のワード線と共通ソース線を含み、例えばEEPROMセルからなる電氣的にデータを書き換え可能なメモリセルがマトリクス状に配置されている。このメモリセルアレイ1には、ビット線を制御するためのビット制御回路2とワード線制御回路6が接続されている。

【0016】

ビット線制御回路2は、ビット線を介してメモリセルアレイ1中のメモリセルのデータを読み出したり、ビット線を介してメモリセルアレイ1中のメモリセルの状態を検出したり、ビット線を介してメモリセルアレイ1中のメモリセルに書き込み制御電圧を印加して

50

メモリセルに書き込みを行なう。ビット線制御回路 2 には、カラムデコーダ 3、データ入出力バッファ 4 が接続されている。ビット線制御回路 2 内のデータ記憶回路はカラムデコーダ 3 によって選択される。データ記憶回路に読み出されたメモリセルのデータは、前記データ入出力バッファ 4 を介してデータ入出力端子 5 から外部へ出力される。

【 0 0 1 7 】

また、外部からデータ入出力端子 5 に入力された書き込みデータは、データ入出力バッファ 4 を介して、カラムデコーダ 3 によって選択されたデータ記憶回路に入力される。

【 0 0 1 8 】

ワード線制御回路 6 は、ローデコーダ 6 - 1 を含んでいる。ワード線制御回路 6 は、ローデコーダ 6 - 1 を介してメモリセルアレイ 1 中のワード線を選択し、選択されたワード線に読み出し、書き込みあるいは消去に必要な電圧を印加する。

10

【 0 0 1 9 】

メモリセルアレイ 1、ビット線制御回路 2、カラムデコーダ 3、データ入出力バッファ 4、及びワード線制御回路 6 は、制御信号及び制御電圧発生回路 7 に接続され、この制御信号及び制御電圧発生回路 7 によって制御される。制御信号及び制御電圧発生回路 7 は、制御信号入力端子 8 に接続され、外部から制御信号入力端子 8 を介して入力される制御信号によって制御される。制御信号及び制御電圧発生回路 7 は、後述する負電圧発生回路 7 - 1 を含んでいる。この負電圧発生回路 7 - 1 はデータの書き込み、読み出し時に負電圧を発生する。

【 0 0 2 0 】

20

前記ビット線制御回路 2、カラムデコーダ 3、ワード線制御回路 6、制御信号及び制御電圧発生回路 7 は書き込み回路、及び読み出し回路を構成している。

【 0 0 2 1 】

図 3 は、図 2 に示すメモリセルアレイ 1 及びビット線制御回路 2 の構成を示している。メモリセルアレイ 1 には複数の NAND セルが配置されている。1 つの NAND セルは、直列接続された例えば 3 2 個の EEPROM からなるメモリセル MC と、選択ゲート S 1、S 2 とにより構成されている。選択ゲート S 2 はビット線 BL 0 e に接続され、選択ゲート S 1 はソース線 SRC に接続されている。各ローに配置されたメモリセル MC の制御ゲートはワード線 WL 0 ~ WL 2 9、WL 3 0、WL 3 1 に共通接続されている。また、選択ゲート S 2 はセレクト線 SGD に共通接続され、選択ゲート S 1 はセレクト線 SGS に共通接続されている。

30

【 0 0 2 2 】

ビット線制御回路 2 は複数のデータ記憶回路 1 0 を有している。各データ記憶回路 1 0 には、一対のビット線 (BL 0 e、BL 0 o)、(BL 1 e、BL 1 o) ... (BL i e、BL i o)、(BL 8 k e、BL 8 k o) が接続されている。

【 0 0 2 3 】

メモリセルアレイ 1 は、破線で示すように、複数のブロックを含んでいる。各ブロックは、複数の NAND セルにより構成され、例えばこのブロック単位でデータが消去される。また、消去動作は、データ記憶回路 1 0 に接続されている 2 本のビット線について同時に行なわれる。

40

【 0 0 2 4 】

また、ビット線の 1 つおきに配置され、1 つのワード線に接続された複数のメモリセル (破線で囲まれた範囲のメモリセル) は、1 セクタを構成する。このセクタ毎にデータが書き込まれ、読み出される。

【 0 0 2 5 】

リード動作、プログラムベリファイ動作及びプログラム動作時において、データ記憶回路 1 0 に接続されている 2 本のビット線 (BL i e、BL i o) のうち外部より供給されるアドレス信号 (YA 0、YA 1 ... YA i ... YA 8 k) に応じて 1 本のビット線が選択される。さらに、外部アドレスに応じて、1 本のワード線が選択される。

【 0 0 2 6 】

50

図4(a)(b)はメモリセル及び選択トランジスタの断面図を示している。図4(a)はメモリセルを示している。基板51(後述するPウェル領域55)にはメモリセルのソース、ドレインとしてのn型拡散層42が形成されている。Pウェル領域55の上にはゲート絶縁膜43を介して浮遊ゲート(FG)44が形成され、この浮遊ゲート44の上には絶縁膜45を介して制御ゲート(CG)46が形成されている。図4(b)は選択ゲートを示している。Pウェル領域55にはソース、ドレインとしてのn型拡散層47が形成されている。Pウェル領域55の上にはゲート絶縁膜48を介して制御ゲート49が形成されている。

【0027】

図5は、半導体記憶装置の断面図を示している。例えばP型半導体基板51内には、N型ウェル(以下、Nウェルと称す)領域52、53、54、56、Pウェル領域57が形成されている。Nウェル領域52内にはPウェル領域55が形成され、このPウェル領域55内にメモリセルアレイ1を構成する低電圧NチャンネルMOSトランジスタLVNTrが形成されている。さらに、前記Nウェル領域53、Pウェル領域57内に、データ記憶回路10を構成する低電圧PチャンネルMOSトランジスタLVPTr、低電圧NチャンネルMOSトランジスタLVNTrが形成されている。

【0028】

前記Nウェル領域56内には、Pウェル領域58が形成され、このPウェル領域58内にローデコーダ6-1を構成する高電圧NチャンネルMOSトランジスタHVNTrが形成されている。また、前記Nウェル領域54内には例えばワード線駆動回路等を構成する高電圧PチャンネルMOSトランジスタHVPTrが形成されている。高電圧トランジスタHVNTr、HVPTrは、低電圧トランジスタLVNTr、LVPTrに比べて例えば厚いゲート絶縁膜を有している。

【0029】

図6は、消去、プログラム、読み出し時における各ウェルに供給される電位を示している。ローデコーダ6-1を構成するNチャンネルMOSトランジスタが形成されるPウェル58には、プログラム時及びデータの読み出し時に負電位、例えば-2Vが供給される。

【0030】

図7は、図3に示すデータ記憶回路10の一例を示す回路図である。

【0031】

このデータ記憶回路10は、プライマリデータキャッシュ(PDC)、セコンダリデータキャッシュ(SDC)、ダイナミックデータキャッシュ(DDC)、テンポラリデータキャッシュ(TDC)を有している。SDC、PDC、DDCは、書き込み時に入力データを保持し、読み出し時に読み出しデータを保持し、ベリファイ時に一時的にデータを保持し、多値データを記憶する際に内部データの操作に使用される。TDCは、データの読み出し時にビット線のデータを増幅し、一時的に保持するとともに、多値データを記憶する際に内部データの操作に使用される。

【0032】

SDCは、ラッチ回路を構成するクロックインバータ回路61a、61b、及びトランジスタ61c、61dにより構成されている。トランジスタ61cはクロックインバータ回路61aの入力端と、クロックインバータ回路61bの入力端の間に接続されている。このトランジスタ61cのゲートには信号EQ2が供給されている。トランジスタ61dはクロックインバータ回路61bの出力端と接地間に接続されている。このトランジスタ61dのゲートには信号PRSTが供給されている。SDCのノードN2aは、カラム選択トランジスタ61eを介して入出力データ線IOに接続され、ノードN2bは、カラム選択トランジスタ61fを介して入出力データ線IO_nに接続される。これらトランジスタ61e、61fのゲートにはカラム選択信号CSLiが供給されている。SDCのノードN2aは、トランジスタ61g、61hを介してPDCのノードN1aに接続されている。トランジスタ61gのゲートには信号BLC2が供給され、トランジスタ61hのゲートには信号BLC1が供給されている。

10

20

30

40

50

【0033】

PDCは、クロックインバータ回路61i、61j及びトランジスタ61kにより構成されている。トランジスタ61kは、クロックインバータ回路61iの入力端とクロックインバータ回路61jの入力端の相互間に接続されている。このトランジスタ61kのゲートには信号EQ1が供給されている。PDCのノードN1bはトランジスタ61lのゲートに接続されている。このトランジスタ61lの電流通路の一端はトランジスタ61mを介して接地されている。このトランジスタ61mのゲートには信号CHK1が供給されている。また、トランジスタ61lの電流通路の他端はトランスファゲートを構成するトランジスタ61n、61oの電流通路の一端に接続されている。このトランジスタ61nのゲートには信号CHK2nが供給されている。また、トランジスタ61oのゲートはトランジスタ61g、61hの接続ノードN3に接続されている。トランジスタ61n、61oの電流通路の他端には、信号COMiが供給されている。この信号COMiは全データ記憶回路10に共通の信号であり、全データ記憶回路10のベリファイが完了したかどうかを示す信号である。すなわち、後述するように、ベリファイが完了すると、PDCのノードN1bがローレベルとなる。この状態において、信号CHK1、CHK2nをハイレベルとすると、ベリファイが完了している場合、信号COMiがハイレベルとなる。

10

【0034】

さらに、前記TDCは、例えばMOSキャパシタ61pにより構成されている。このキャパシタ61pは、前記トランジスタ61g、61hの接続ノードN3と接地間に接続されている。また、接続ノードN3には、トランジスタ61qを介してDDCが接続されている。トランジスタ61qのゲートには、信号REGが供給されている。

20

【0035】

DDCは、トランジスタ61r、61sにより構成されている。トランジスタ61rの電流通路の一端には信号VREGが供給され、他端は前記トランジスタ61qの電流通路に接続されている。このトランジスタ61rのゲートはトランジスタ61sを介して前記PDCのノードN1aに接続されている。このトランジスタ61sのゲートには信号DTGが供給されている。

【0036】

さらに、前記接続ノードN3にはトランジスタ61t、61uの電流通路の一端が接続されている。トランジスタ61uの電流通路の他端には信号VPREが供給され、ゲートには信号BLPREが供給されている。前記トランジスタ61tのゲートには信号BLCLAMPが供給されている。このトランジスタ61tの電流通路の他端はトランジスタ61vを介してビット線BLoの一端に接続され、トランジスタ61wを介してビット線BLEの一端に接続されている。ビット線BLoの他端はトランジスタ61xの電流通路の一端に接続されている。このトランジスタ61xのゲートには信号BLASoが供給されている。ビット線BLEの他端はトランジスタ61yの電流通路の一端に接続されている。このトランジスタ61yのゲートには信号BLASeが供給されている。これらトランジスタ61x、61yの電流通路の他端には、信号BLCRLが供給されている。トランジスタ61x、61yは、信号BLASo、BLASeに応じてトランジスタ61v、61wと相補的にオンとされ、非選択のビット線に信号BLCRLの電位を供給する。

30

40

【0037】

上記各信号及び電圧は、図2に示す制御信号及び制御電圧発生回路7により生成され、この制御信号及び制御電圧発生回路7の制御に基づき、以下の動作が制御される。

【0038】

図8は、負電圧発生回路7-1の一例を示している。負電圧発生回路7-1は、例えば4相のポンプ回路PMP、検出回路DT、制御部7d、発振回路7eにより構成されている。ポンプ回路PMPは、例えば複数のPチャネルMOSトランジスタPMOS、複数のキャパシタCpにより構成されている。各キャパシタCpの一端にクロック信号CLK1~CLK4が供給されている。これらクロック信号CLK1~CLK4により、PMOS

50

が順次オンとされ、負電圧が発生される。

【 0 0 3 9 】

検出回路 D T は、ポンプ回路 P M P の出力端に接続されている。この検出回路 D T は、定電流源 7 a、抵抗 7 b、及び差動増幅器 7 c により構成されている。定電流源 7 a と抵抗 7 b は、電源 V D D が供給されるノードとポンプ回路 P M P の出力端間に直列接続されている。差動増幅器 7 c の一方入力端は定電流源 7 a と抵抗 7 b の接続ノードに接続され、他端には基準電圧 V ref が供給されている。この基準電圧 V ref は、例えばバンドギャップリファレンス回路により生成された、1 V 程度の電圧である。この検出回路 D T は、基準電圧 V ref に基づき、ポンプ回路 P M P の出力電圧を検出する。この検出出力信号は制御部 7 d に供給される。制御部 7 d は、検出出力信号に応じて発振回路 7 e を制御する。発振回路 7 e は、制御部 7 d の制御に基づき、発振又は停止される。このようにして、ポンプ回路 P M P により、一定の負電圧が生成される。

10

【 0 0 4 0 】

また、抵抗 7 b は、トリミング回路 7 f を構成している。このトリミング回路 7 f は、トリミング信号 T M に応じて、抵抗 7 b の抵抗値を変化することにより、ポンプ回路 P M P から出力される負電圧のレベルを切り替える。前記トリミング信号 T M は、例えば制御信号及び制御電圧発生回路 7 により、データの読み出し時、プログラムベリファイ時に発生される。したがって、負電圧発生回路 7 - 1 は、データの読み出し時、プログラムベリファイ時に種々のレベルの負電圧を発生する。

【 0 0 4 1 】

本メモリは、多値メモリであるため、1セルに2ビットのデータを記憶することができる。2ビットの切り替えはアドレス(第1ページ、第2ページ)によって行なう。

20

【 0 0 4 2 】

図9(a)(b)(c)は、メモリセルのデータとメモリセルの閾値の関係を表している。図9(c)に示すように、消去動作を行なうとメモリセルのデータは“0”となる。データ“0”は、0V以下の負電圧である。後述するように、R L S B、R E A S B書き込み方式を適用するため、消去後、ベリファイ電圧“z”によりベリファイが行なわれる。閾値電圧がベリファイ電圧“z”以下である場合、閾値電圧がベリファイ電圧“z”となるまで書き込み動作が行なわれる。

【 0 0 4 3 】

図9(a)に示すように、第1ページの書き込みにより、メモリセルのデータはデータ“0”とデータ“2”になる。また、図9(b)に示すように、第2ページの書き込み後、メモリセルのデータはデータ“0”、“1”、“2”、“3”となる。本実施形態において、メモリセルのデータは閾値電圧の低い方から高い方へと定義されている。

30

【 0 0 4 4 】

図10は、本実施形態における書き込み順序を概略的に示している。図10に示すように、ブロック内において、ソース線に近いメモリセルからページ毎に書き込み動作が行なわれる。この場合、先に書き込まれた隣接するメモリセルの閾値電圧の影響を除去するため、図9に示すように、メモリセルへの書き込み順序が定められている。

【 0 0 4 5 】

図11は、ローデコーダ6-1の一部を構成するトランスファークゲートを示している。このトランスファークゲートは、前述した複数のNチャネルMOSトランジスタH V N T rにより構成されている。各トランジスタH V N T rの一端には電圧S G S _ D R V、C G 0 ~ C G 3 1、S G D _ D R Vが供給され、他端は、セレクト線S G S、ワード線W L 0 ~ W L 3 1、セレクト線S G Dに接続されている。各トランジスタH V N T rのゲートには、信号T Gが供給される。各選択ブロックのトランジスタH V N T rが信号T Gに応じてオンすることにより、セルのワード線W L 0 ~ W L 3 1に所定の電圧が供給される。

40

【 0 0 4 6 】

尚、ローデコーダ6-1が配置されるPウェル領域58は、ブロック毎に分離されていても良いし、1つのPウェル領域58に複数又は全ブロックのローデコーダが配置されて

50

いてもよい。

【 0 0 4 7 】

(読み出し動作)

図 9 (a) に示すように、第 1 ページ書き込み後、メモリセルのデータは、“ 0 ” 又は “ 2 ” となっている。このため、これらデータの中間のレベル “ a ” をワード線に供給して読み出し動作を行なうことにより、これらデータを読み出すことができる。また、図 9 (b) に示すように、第 2 ページ書き込み後、メモリセルのデータは、“ 0 ”、“ 1 ”、“ 2 ”、“ 3 ” のいずれかとなっている。このため、これらデータの各中間のレベル “ b ”、“ c ”、“ d ” をワード線にそれぞれ供給して読み出し動作を行なうことにより、これらデータを読み出すことができる。本実施形態において、例えばレベル “ a ” 及び “ b ” は、負電圧である。

10

【 0 0 4 8 】

メモリセルのウェル (図 5、P ウェル領域 5 5)、ソース線及び非選択ビット線を V_{ss} (接地電位 = 0 V) にする。P ウェル領域 5 8 がブロック毎に分離されている場合、非選択ブロックの P ウェル領域 5 8 は V_{ss} 又は負電位 (例えば - 2 V) に設定され、非選択ブロックのトランスファークゲート (図 1 1 に示す) をオフとする。1 つの P ウェル領域 5 8 に複数又は全ブロックのローデコーダが配置されている場合、P ウェル領域 5 8 は負電位 (例えば - 2 V) に設定され、非選択ブロックのトランスファークゲート (図 1 1 に示す) をオフとする。これにより、非選択ブロックのワード線はフローティング状態となり、選択ゲートは V_{ss} となる。

20

【 0 0 4 9 】

選択ブロックのローデコーダの P ウェル領域 5 8 に負電位 (例えば - 2 V) を供給し、選択ブロックのトランスファークゲートをオンとすることにより、選択ブロックの選択ワード線にリードの時の電位 (例えば - 2 V から 3 V)、選択ブロックの非選択ワード線に V_{read} (例えば 5 V)、選択ブロックの選択ゲート SG_1 に V_{sg} ($V_{dd} + V_{th}$ 、例えば $2.5 V + V_{th}$) が供給される。ここで、読み出し時の電位が負でないとき、P ウェル領域は V_{ss} でも良い。

【 0 0 5 0 】

次に、図 7 に示すデータ記憶回路 1 0 の信号 V_{PRE} を V_{dd} (例えば 2.5 V)、信号 BL_{PRE} を V_{sg} ($V_{dd} + V_{th}$)、信号 $BLCLAMP$ を例えば ($0.6 V + V_{th}$) に設定し、ビット線を例えば 0.6 V にプリチャージする。次に、セルのソース側のセレクト線 SG_2 を V_{dd} に設定する。メモリセルの閾値電圧が読み出し時の電位より高い時、セルはオフするため、ビット線はハイレベルのままである。また、メモリセルの閾値電圧が読み出し時の電位より低い場合、セルはオンするため、ビット線の電位は V_{ss} となる。

30

【 0 0 5 1 】

この後、図 7 に示すデータ記憶回路 1 0 の信号 BL_{PRE} を一旦 V_{sg} ($V_{dd} + V_{th}$) に設定して、TDC のノード N_3 を V_{dd} にプリチャージした後、信号 $BLCLAMP$ を例えば ($0.45 V + V_{th}$) に設定する。TDC のノード N_3 は、ビット線の電位が 0.45 V より低い場合、ローレベルとなり、ビット線の電位が 0.45 V より高い場合、ハイレベルとなる。信号 $BLCLAMP$ を V_{ss} とした後、信号 BLC_1 を V_{sg} ($V_{dd} + V_{th}$) として、TDC の電位を PDC に読み込む。したがって、セルの閾値電圧が、ワード線の電位より低い場合、PDC はローレベル、高い場合、PDC はハイレベルとなる。このようにして読み出し動作が行なわれる。

40

【 0 0 5 2 】

(プログラム)

(第 1 ページ書き込み動作)

図 1 2 は、第 1 ページの書き込みシーケンスを示し、図 1 3 は、第 2 ページの書き込みシーケンスを示している。

【 0 0 5 3 】

50

プログラム動作は、先ずアドレスを指定し、図3示すように、1本のワード線に接続された半数のメモリセル(2ページ)が選択される。本メモリは、この2ページのうち、第1ページ、第2ページの順でしか、プログラム動作できない。したがって、初めにアドレスにより第1ページを選択する。

【0054】

図12に示す第1ページの書き込み動作において、先ず、書き込みデータを外部より入力し、全てのデータ記憶回路10内のSDCに記憶する(S11)。この後、書き込みコマンドが入力されると、全てのデータ記憶回路10内のSDCのデータがPDCに転送される(S12)。外部よりデータ“1”(書き込みを行なわない)が入力された場合、PDCのノードN1aはハイレベルになり、データ“0”(書き込みを行なう)が入力された場合、PDCのノードN1aはローレベルとなる。以後、PDCのデータはノードN1aの電位、SDCのデータはノードN2aの電位とする。

【0055】

(プログラム動作)(S13)

図7に示すデータ記憶回路10において、信号BLC1を $V_{dd} + V_{th}$ とすると、トランジスタ61hが導通する。このため、PDCにデータ“1”(書き込みを行なわない)が記憶されている時、ビット線は V_{dd} となり、データ“0”(書き込みを行なう)が記憶されている時、ビット線は V_{ss} となる。また、選択されたワード線に接続され、非選択ページ(ビット線が非選択)のセルは書き込みが行なわれてはならない。このため、これらのセルに接続されたビット線もデータ“1”が供給されるビット線と同様、 V_{dd} に設定される。

【0056】

この状態において、Pウェル領域58がブロック毎に分離されている場合、非選択ブロックのPウェル領域58は V_{ss} 又は負電位(例えば $-2V$)に設定され、非選択ブロックのトランスファークゲート(図11に示す)をオフとする。1つPウェル領域58に複数又は全ブロックのローデコーダが配置されている場合、Pウェル領域58は負電位(例えば $-2V$)に設定され、非選択ブロックのトランスファークゲート(図11に示す)をオフとする。これにより、非選択ブロックのワード線はフローティング状態となり、選択ゲートは V_{ss} となる。

【0057】

また、選択ブロックのローデコーダのPウェル領域58は、負電位(例えば $-2V$)に設定し、選択ブロックのトランスファークゲートを導通することにより、選択ブロックの選択ゲートSGDに V_{dd} (又は V_{dd} より若干低い電位)が供給される。さらに、選択ブロックの選択ゲートSGSに V_{ss} を供給し、選択ワード線に V_{pgm} ($20V$)、非選択ワード線に V_{pass} ($10V$)を供給すると、ビット線が V_{ss} になっている場合、セルのチャンネルが V_{ss} 、ワード線が V_{pgm} となるため、書き込みが行なわれる。一方、ビット線が V_{dd} になっている場合、セルのチャンネルが V_{ss} ではなく、カップリングによりチャンネルがブートされる。このため、ゲートとチャンネル間の電位差が小さくなり、書き込みが行われない。

【0058】

図10に示す順序により書き込みを行った場合、ソース線から離れるに従い、書き込まれたセルの数が増える。このため、チャンネルがブートされにくくなり誤書き込みされる問題がある。これを解決するために、前述したRLSB書き込み方式、REASB書き込み方式が開発されている。RLSB書き込み方式は、選択ワード線の隣のワード線、又はそれより1つ離れた隣のワード線を V_{ss} に設定し、選択ワード線を V_{pgm} 、その他のワード線を V_{pass} 又は中間電位に設定する。また、REASB書き込み方式は、ソース側の選択ワード線の隣のワード線、又はそれより1つ離れた隣のワード線を V_{ss} に設定し、選択ワード線を V_{pgm} 、その他のワード線を V_{pass} 又は中間電位に設定する。このように選択ワード線の隣、又はそれより1つ離れた隣のワード線を V_{ss} に設定してメモリセルをオフさせ、選択セル直下のチャンネルがブートされ易くしている。

【 0 0 5 9 】

しかし、本実施形態において、ワード線が V_{ss} となるセルが消去セルである場合、閾値が負電圧であるためオフしなくなってしまう。このため、本実施形態の場合、図 14 (a) (b) に示す R L S B 書き込み方式、図 14 (c) に示す R E A S B 書き込み方式において、選択ワード線の隣、又はそれより 1 つ離れた隣のワード線を V_{ss} ではなく、負電位、例えば (- 1 . 5 V) に設定する。第 1 ページの書き込みにおいて、メモリセルのデータはデータ “ 0 ” とデータ “ 2 ” になる。

【 0 0 6 0 】

(プログラムベリファイリード) (S 1 4)

プログラムベリファイリードは、読み出し動作と同じであるが、読み出しレベルより若干高いベリファイレベル “ a ’ ” をワード線に供給してリードする。このベリファイリードにより、メモリセルの閾値電圧がベリファイレベル “ a ’ ” に達している場合、 P D C がデータ “ 1 ” となり、書き込みが行なわれなくなる。

10

【 0 0 6 1 】

一方、メモリセルの閾値電圧がベリファイレベル “ a ’ ” に達していない場合、 P D C がデータ “ 0 ” となる。各データ記憶回路 1 0 の P D C のデータが全て “ 1 ” でない場合 (S 1 5)、再度プログラムが行われる (S 1 3)。各データ記憶回路 1 0 の P D C のデータが全て “ 1 ” になるまで、プログラム動作とベリファイ動作が繰り返される。

【 0 0 6 2 】

(第 2 ページ書き込み動作)

図 1 3 に示す第 2 ページの書き込み動作において、先ず、書き込みデータを外部より入力し、全てのデータ記憶回路 1 0 内の S D C に記憶する (S 2 1)。この後、第 1 ページの書き込みにおいて、書き込まれたデータを確認するため、読み出しレベル “ a ” (例えば負電圧) をワード線に設定して、メモリセルのデータが読み出される (S 2 2)。この読み出し動作は、前述した通りである。セルの閾値電圧が、ワード線の電位 “ a ” より低い場合、 P D C はローレベル、高い場合、 P D C はハイレベルとなる。

20

【 0 0 6 3 】

この後、データキャッシュが設定される (S 2 3)。すなわち、第 2 ページの書き込みは、図 9 (b) に示すように行なわれる。

【 0 0 6 4 】

第 1 ページの書き込みにおいて、データ “ 1 ” の場合で、第 2 ページの書き込みにおいて、データ “ 1 ” の場合、第 2 ページ書き込みが行なわれない。

30

【 0 0 6 5 】

第 1 ページの書き込みにおいて、データ “ 1 ” の場合で、第 2 ページの書き込みにおいて、データ “ 0 ” の場合、第 2 ページ書き込みにより、メモリセルのデータが “ 1 ” に設定される。

【 0 0 6 6 】

第 1 ページの書き込みにおいて、データ “ 0 ” の場合で、第 2 ページの書き込みにおいて、データ “ 0 ” の場合、第 2 ページ書き込みにより、メモリセルのデータが “ 2 ” に設定される。

40

【 0 0 6 7 】

第 1 ページの書き込みにおいて、データ “ 0 ” の場合で、第 2 ページの書き込みにおいて、データ “ 1 ” の場合、第 2 ページ書き込みにより、セルのデータが “ 3 ” に設定される。

【 0 0 6 8 】

この動作を行なうため、データキャッシュが設定される。

【 0 0 6 9 】

すなわち、メモリセルのデータを “ 0 ” にする場合 (第 1 ページにおいてデータ “ 1 ”、第 2 ページはデータ “ 1 ”)、 P D C はハイレベル、 D D C はローレベル、 S D C はハイレベルに設定される。

50

【 0 0 7 0 】

メモリセルのデータを“ 1 ”にする場合（第 1 ページにおいてデータ“ 1 ”、第 2 ページはデータ“ 0 ”）、P D C はローレベル、D D C はハイレベル、S D C はハイレベルに設定される。

【 0 0 7 1 】

メモリセルのデータを“ 2 ”にする場合（第 1 ページにおいてデータ“ 0 ”、第 2 ページはデータ“ 0 ”）、P D C はローレベル、D D C はハイレベル、S D C はローレベルに設定される。

【 0 0 7 2 】

メモリセルのデータを“ 3 ”にする場合（第 1 ページではデータ“ 0 ”、第 2 ページはデータ“ 1 ”）、P D C はローレベル、D D C はローレベル、S D C はローレベルに設定される。

10

【 0 0 7 3 】

P D C , D D C , S D C の各データは、信号 B L C 1 , B L C 2 , D T G , R E G 、 V R E G を所定の順序で供給し、P D C , D D C , S D C , T D C のデータを転送することにより設定される。尚、具体的な動作については省略する。

【 0 0 7 4 】

（プログラム動作）（ S 2 4 ）

プログラム動作は、第 1 ページのプログラム動作と全く同じである。P D C にデータ“ 1 ”が記憶されている場合、書き込みが行なわれず、データ“ 0 ”が記憶されている場合、書き込みが行なわれる。

20

【 0 0 7 5 】

（ベリファイ動作）（ S 2 5 , S 2 6 , S 2 7 ）

プログラムベリファイリードは、リード動作と同じである。しかし、ベリファイレベル“ b ’ ”、“ c ’ ”、“ d ’ ”は、リードレベルにマージンが付加され、リードレベルより若干高いレベルに設定されている。このベリファイレベル“ b ’ ”、“ c ’ ”、“ d ’ ”を用いてベリファイリードを行う。例えばベリファイレベル“ b ’ ”は、負電圧であり、ベリファイレベル“ c ’ ”、“ d ’ ”は、正の電圧である。

【 0 0 7 6 】

ベリファイ動作は、例えばベリファイレベル“ b ’ ”、“ c ’ ”、“ d ’ ”の順に実行される。

30

【 0 0 7 7 】

すなわち、先ず、ワード線にベリファイレベル“ b ’ ”が設定され、メモリセルの閾値電圧がベリファイレベル“ b ’ ”に達しているかどうか検証される（ S 2 5 ）。この結果、メモリセルの閾値電圧がベリファイレベルに達している場合、P D C がハイレベルとなり、書き込みが行なわれなくなる。一方、ベリファイリードレベルに達していない場合、P D C がローレベルとなり、次のプログラムで書き込みが行なわれる。

【 0 0 7 8 】

この後、ワード線にベリファイレベル“ c ’ ”が設定され、メモリセルの閾値電圧がベリファイレベル“ c ’ ”に達しているかどうか検証される（ S 2 6 ）。この結果、メモリセルの閾値電圧がベリファイレベルに達している場合、P D C がハイレベルとなり、書き込みが行なわれなくなる。一方、ベリファイリードレベルに達していない場合、P D C がローレベルとなり、次のプログラムで書き込みが行なわれる。

40

【 0 0 7 9 】

次いで、ワード線にベリファイレベル“ d ’ ”が設定され、メモリセルの閾値電圧がベリファイレベル“ d ’ ”に達しているかどうか検証される（ S 2 7 ）。この結果、メモリセルの閾値電圧がベリファイレベルに達している場合、P D C がハイレベルとなり、書き込みが行なわれなくなる。一方、ベリファイリードレベルに達していない場合、P D C がローレベルとなり、次のプログラムで書き込みが行なわれる。

【 0 0 8 0 】

50

このようにして、全てのデータ記憶回路10のPDCがハイレベルになるまで、プログラム動作とベリファイ動作が繰り返される。

【0081】

以下に、具体的なベリファイ動作について説明する。

【0082】

(ベリファイ(b'))(S25)

このプログラムベリファイ動作では、選択されているワード線にベリファイ電圧“b'”を与える。

【0083】

まず、選択されているブロック内の非選択ワード線及びセレクト線SG1に読み出し電位Vreadを与える。データ記憶回路10の信号BLCLAMPを $1V + V_{th}$ 、BLC2を $V_{dd} + V_{th}$ としてビット線をプリチャージする。メモリセルのデータ“2”、“3”への書き込み時、SDCの記憶データは“0”である。このため、ビット線はプリチャージされず、メモリセルのデータ“0”、“1”への書き込み時のみ、ビット線がプリチャージされる。

10

【0084】

次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“b'”より高い時セルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“b'”より低いセルはオンするためビット線はVssとなる。このビット線放電中、TDCのノードN3を一旦Vssとし、信号REGをハイレベルとしてトランジスタ61qをオンさせ、DDCのデータをTDCに移す。

20

【0085】

次に、信号DTGをハイレベルとしてトランジスタ61sを一旦オンとし、PDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。次に、データ記憶回路の信号BLPREに電圧 $V_{dd} + V_{th}$ として、トランジスタ61uをオンとし、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを $0.9V + V_{th}$ とし、トランジスタ61tをオンさせる。すると、TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。

【0086】

ここで、書き込みを行なう場合、DDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベルがラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“1”を書き込んでいて、セルの閾値電圧がベリファイ電圧“b'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が電位“b'”に達しない場合と、メモリセルのデータ“2”、“3”に書き込んでいる場合である。

30

【0087】

(ベリファイ(c'))(S26)

データ“2”を書き込むセルは、第1ページで本来のベリファイ電圧“c'”より低いベリファイ電圧“a'”により、書き込みが行なわれている。その後、隣接セルの書き込みにより閾値電圧が上昇している場合もあり、本来のベリファイ電圧“c'”に達しているセルもある。このため、まず、データ“2”のベリファイを行なう。このプログラムベリファイ動作では、選択されているワード線にベリファイ電圧“c'”を印加する。

40

【0088】

まず、選択されているブロック内の非選択ワード線及びセレクト線SG1に電位Vreadを与え、図7に示すデータ記憶回路10の信号BLCLAMPを $1V + V_{th}$ とし、信号REGを $V_{dd} + V_{th}$ としてビット線をプリチャージする。メモリセルにデータ“0”、“3”を書き込む場合、DDCがローレベルに設定されている。このため、ビット

50

線はプリチャージされない。また、メモリセルにデータ“1”、“2”を書き込む場合、DDCがハイレベルに設定されている。このため、ビット線がプリチャージされる。

【0089】

次に、NANDセルのソース側のセレクト線SG2をハイレベルにする。セルの閾値電圧が“c'”より高い時、セルはオフする。このため、ビット線はハイレベルのままである。また、セルの閾値電圧が“c'”より低いセルはオンする。このため、ビット線はVssとなる。ビット線の放電中に、TDCのノードN3が一旦Vssとされる。この後、信号REGをハイレベルとしてトランジスタ61qをオンさせ、DDCのデータをTDCに転送する。

【0090】

次に、信号DTGをVdd+Vthとしてトランジスタ61sを一旦オンさせ、PDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。

【0091】

次に、信号VPREをVddとし、信号BLPREをVdd+Vthとすることにより、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを0.9V+Vthとしてトランジスタ61tをオンさせる。TDCのノードN3はビット線がローレベルの場合、ローレベルとなり、ビット線がハイレベルの場合、ハイレベルとなる。

【0092】

ここで、書き込みを行なう場合、DDCにローレベル信号が記憶され、書き込みを行なわない場合、DDCにハイレベル信号が記憶されている。このため、信号VREGをVddとし、信号REGをVdd+Vthにすると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。

【0093】

この後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベル信号がラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“2”を書き込み、セルの閾値電圧がベリファイ電圧である“c'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が“c'”に達しない場合と、メモリセルにデータ“1”、“3”を書き込んでいる場合である。

【0094】

(ベリファイ(d'))(S27)

このプログラムベリファイ動作では、選択されているワード線にベリファイ電圧“d'”を供給する。この状態において、先ず、選択されているブロック内の非選択ワード線及びセレクト線SG1にVreadを供給し、信号BLCLAMPを1V+Vth、BLPREをVdd+Vthとしてトランジスタ61t、61uをオンとしてビット線をプリチャージする。

【0095】

次に、セルのソース側のセレクト線SG2をハイレベルにする。閾値電圧が電位“d'”より高いセルはオフするため、ビット線はハイレベルのままである。また、閾値電圧が電位“d'”より低いセルはオンするため、ビット線はVssとなる。このビット線放電中、TDCのノードN3をVssとし、信号REGハイレベルとし、トランジスタ61qをオンとしてDDCのデータをTDCに移す。

【0096】

次に、信号DTGをハイレベルとし、トランジスタ61sをオンさせPDCのデータをDDCに移す。この後、TDCのデータをPDCに移す。次に、信号BLPREをVdd+Vthとしてトランジスタ61uをオンさせ、TDCのノードN3をVddにプリチャージする。この後、信号BLCLAMPを0.9V+Vthとしてトランジスタ61tをオンとする。TDCのノードN3はビット線がローレベルの場合ローレベルとなり、ビット線がハイレベルの場合ハイレベルとなる。

【0097】

10

20

30

40

50

ここで、書き込みを行なう場合、DDCにローレベルが記憶され、書き込みを行なわない場合、DDCにハイレベルが記憶されている。このため、信号VREGをVddとし、信号REGをハイレベルとしてトランジスタ61qをオンとする。すると、書き込みを行なわない場合のみTDCのノードN3が強制的にハイレベルとなる。この動作の後、PDCのデータをDDCに移し、TDCの電位をPDCに読み込む。PDCにハイレベルがラッチされるのは、書き込みを行なわない場合と、メモリセルにデータ“3”を書き込んでいて、セルの閾値電圧がベリファイ電圧“d'”に達した場合だけである。PDCにローレベルがラッチされる場合は、セルの閾値電圧が電位“d'”に達しない場合とメモリセルのデータ“1”、“2”に書き込んでいる場合である。

【0098】

PDCがローレベルの場合は再び書き込み動作を行ない全てのデータ記憶回路のPDCのデータがハイレベルになるまでこのプログラム動作とベリファイ動作を繰り返す(S28)。

【0099】

上記プログラムベリファイにおいて、1回のプログラムの後、3つのベリファイを行なっていた。しかし、初期のプログラムループでは、閾値電圧が上がらない。このため、メモリセルデータ“3”のベリファイ、若しくはメモリセルデータ“3”のベリファイ及びメモリセルデータ“2”のベリファイを省略することもできる。また、終了近くのプログラムループでは、メモリセルデータ“1”への書き込み、若しくはメモリセルデータ“2”及びメモリセルデータ“1”の書き込みは終了している。このため、これらのベリファイ動作は省略することもできる。メモリセルデータ“1”のベリファイが不用になると、SDCで記憶しているデータを保持する必要がなくなる。このため、次のデータを書き込みのためのデータを外部より読み込んでおくことも可能である。

【0100】

(消去動作)

消去動作は、図3の破線で示すブロック単位に実行される。また、各データ記憶回路10に接続されている2本のビット線(BLie、BLio)について同時に実行する。消去後、セルの閾値は、図9(c)に示すように、メモリセルのデータ“0”となる。

【0101】

RLSB、REASB方法の場合、消去セルの閾値電圧を浅くする必要がある。したがって、消去動作後、ブロック内の全ワード線を選択して、プログラム及びプログラムベリファイリードを行ない、図9(c)に示すように、ベリファイレベル“z”まで書き込み動作を行なう。この時、プログラム及びプログラムベリファイリード動作は、全ワード線を選択状態とし、ベリファイ時の選択ワード線の電位を $z + V_{fix}$ (例えば0V)とし、他は、通常のプログラム及びプログラムベリファイリードと同じ動作により実行する。このようにして、消去後の閾値電圧を若干浅く設定する。

【0102】

上記実施形態によれば、0Vより低い負電圧側に、データ“0”を含む複数の閾値電圧を設定している。すなわち、データ“0”“1”を負電圧側に設定している。このため、読み出し電圧Vreadの範囲内に、データ“2”“3”の2つのデータを設定すればよい。したがって、従来と同様の読み出し電圧Vreadの範囲に設定するデータの数を削減することができるため、各データの閾値電圧分布を広くすることができる。よって、プログラム、ベリファイ回数を削減することができ、書き込み速度を高速化することが可能である。

【0103】

また、書き込み時には、前述したように、選択セルのワード線に書き込み電圧Vpgmが供給され、プログラムベリファイ時に、書き込み電圧Vpgmを少しずつ増加して選択セルの閾値電圧が所定の閾値電圧になるまで繰り返し書き込まれる。図1(b)に示すように、本実施形態の場合、ベリファイレベルVC、VDを図1(a)に示す従来に比べて若干低くすることができる。このため、書き込み電圧Vpgmを低くすることが可能であ

10

20

30

40

50

り、周辺回路の耐圧を低くすることができるとともに、書き込み電圧 V_{pgm} を発生するポンプ回路を小型化できる利点を有している。

【0104】

尚、上記実施形態では、2ビット、4値の場合について説明した。しかし、これに限定されるものではなく、3ビット、8値、4ビット、16値以上の場合にも上記実施形態を適用することが可能である。このような多値データを記憶する場合において、例えば8値の場合であれば4値、16値の場合であれば8値のデータを負側に設定すればよい。

【0105】

また、上記実施形態において、多値データとしての複数の閾値電圧分布の中央部を0Vに設定した。しかし、これに限定されるものではなく、図15(a)に示すように、例えば多値データの中央部を中性閾値電圧(浮遊ゲート内に電子が存在しない状態における閾値電圧)に設定してもよい。

【0106】

さらに、図15(b)(c)は、各閾値電圧と中性閾値電圧との差分B、C、Dと、必要なデータリテンションとの関係を示している。図15(b)(c)に示すように、中性閾値電圧から離れるに従って、必要なデータリテンションのマージン、つまり、図1(a)(b)に示すベリファイレベル V_B 、 V_C 、 V_D と読み出しレベル R_B 、 R_C 、 R_D の差分 $V_B - R_B$ 、 $V_C - R_C$ 、 $V_D - R_D$ を大きく設定する必要がある。

【0107】

図15(b)に示す従来の場合、中性閾値電圧との差分Bについて、 $V_B - R_B$ は0.1V、差分Cについて、 $V_C - R_C$ は0.2V、差分Dについて、 $V_D - R_D$ は0.3Vであり、差分の合計は0.6Vである。このため、従来は0.6Vのマージンを設定する必要がある。

【0108】

これに対して、図15(c)に示す本実施形態の場合、差分Bについて、 $V_B - R_B$ は0.2V、差分Cについて、 $V_C - R_C$ は0.1V、差分Dについて $V_D - R_D$ は0.2Vであり、差分の合計は0.5Vである。このため、0.5Vのマージンを設定すればよい。

【0109】

このように、トータルのマージンを少なくすることができるため、 V_{read} の範囲内において、より多くのデータを記憶することが可能となる。

【0110】

その他、本発明の要旨を変えない範囲において、種々変形実施可能なことは勿論である。

【図面の簡単な説明】

【0111】

【図1】従来と本実施形態との閾値電圧の関係を示す図。

【図2】本実施形態に係る半導体記憶装置の一例を示す構成図。

【図3】図2に示すメモリセルアレイ及びビット線制御回路の構成を示す回路図。

【図4】図4(a)(b)はメモリセル及び選択トランジスタを示す断面図。

【図5】本実施形態に係る半導体記憶装置を示す断面図。

【図6】本実施形態に係る消去、プログラム、読み出し時において、各ウェルに供給される電位を示す図。

【図7】図3に示すデータ記憶回路の一例を示す回路図。

【図8】図2に示す負電圧発生回路の一例を示す回路図。

【図9】図9(a)(b)(c)は、メモリセルのデータとメモリセルの閾値の関係を示す図。

【図10】本実施形態における書き込み順序を示す図。

【図11】図2に示すローデコーダの一部を構成するトランスファークゲートを示す図。

【図12】第1ページの書き込み動作を示すフローチャート。

10

20

30

40

50

【図13】第2ページの書き込み動作を示すフローチャート。

【図14】図14(a)(b)はRLSB書き込み方式における各部の電圧示す図、図14(c)はREASB書き込み方式における各部の電圧示す図。

【図15】図15(a)(b)(c)は本実施形態の変形例を示す図。

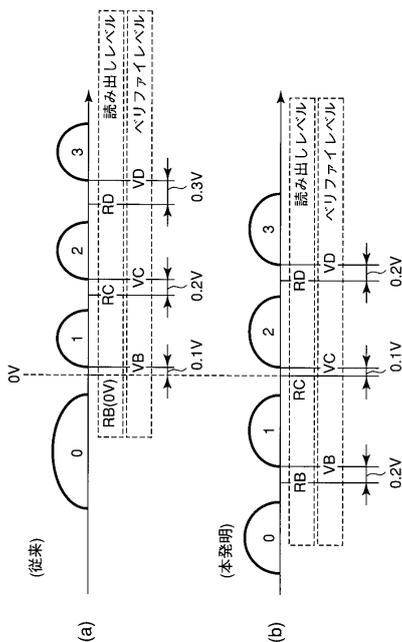
【符号の説明】

【0112】

1...メモリアルレイ、2...ビット線制御回路、6...ワード線制御回路、6-1...ローデコーダ、7...制御信号及び制御電圧発生回路、7-1...負電圧発生回路、10...データ記憶回路、58...Pウェル領域、MC...メモセル、WL0~WL31...ワード線、BLOe、BLOo...ビット線、SGS、SGD...選択ゲート、HVNTTr...トランジスタ。

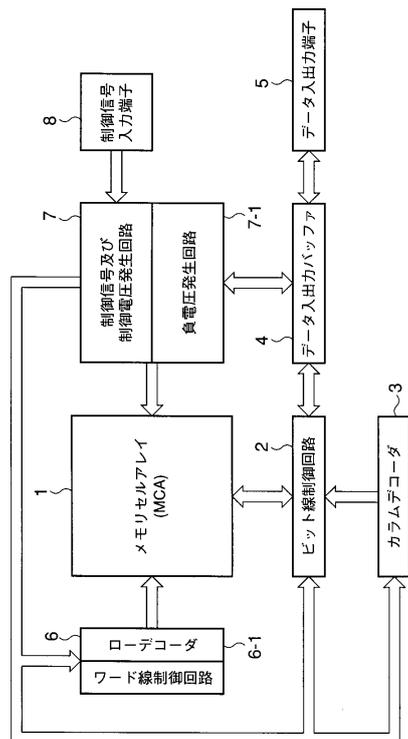
【図1】

図1

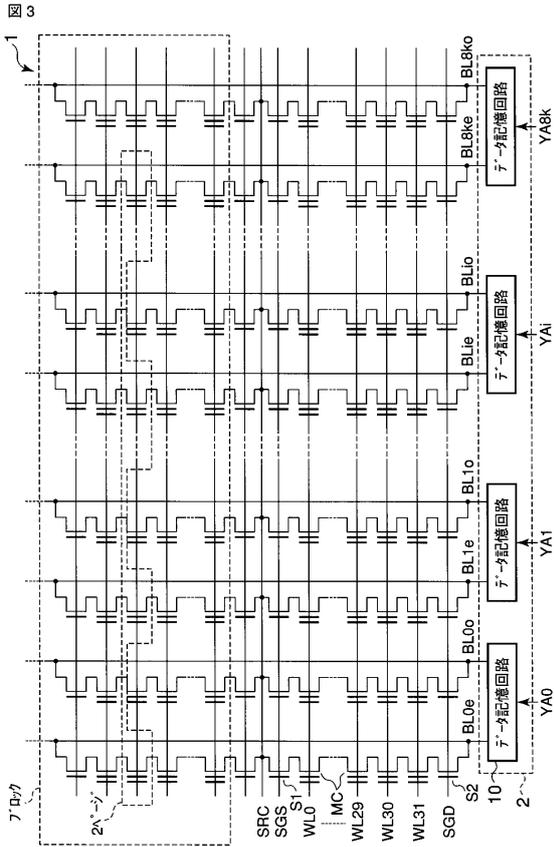


【図2】

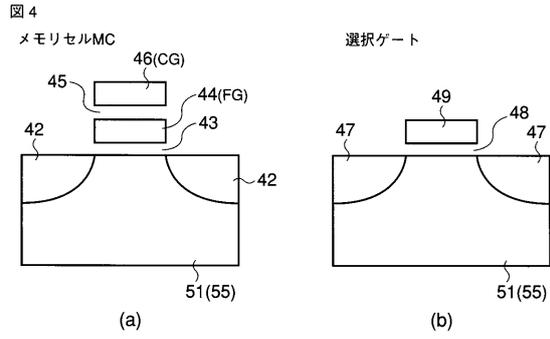
図2



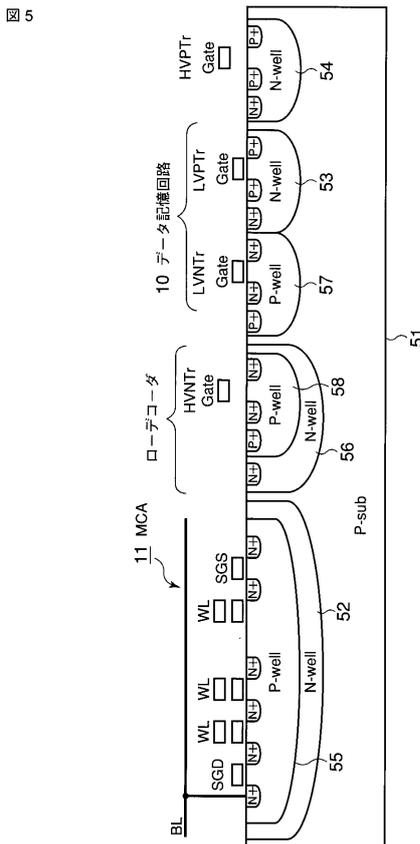
【図3】



【図4】



【図5】

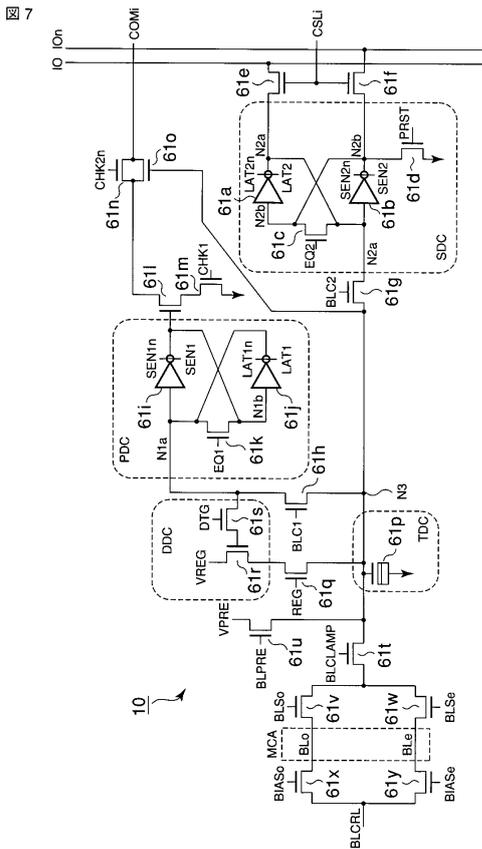


【図6】

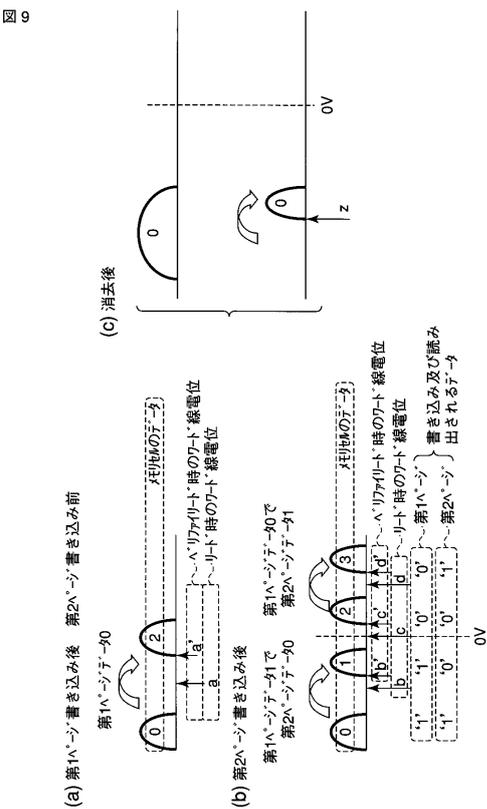
図6

消去	Cell		H.V.NTr(ローデコーダ)		L.V.NTr	L.V.PTr	H.V.PTr
	(P-well)	(N-well)	(P-well)	(N-well)	(P-well)	(N-well)	(N-well)
	Vera (20V)	Vera (20V)	Vss (0V)	Vss (0V)	Vss (0V)	Vdd (2.5V)	Vdd (2.5V)
プログラマ	Vss (0V)	Vss (0V)	Vss (0V)	Vss (0V)	Vss (0V)	Vdd (2.5V)/Vpgrmh	Vdd (2.5V)/Vpgrmh
正読み出し	Vss (0V)	Vss (0V)	負電位 (-2V)	負電位 (-2V)	Vss (0V)	Vdd (2.5V)/Vreadh	Vdd (2.5V)/Vreadh

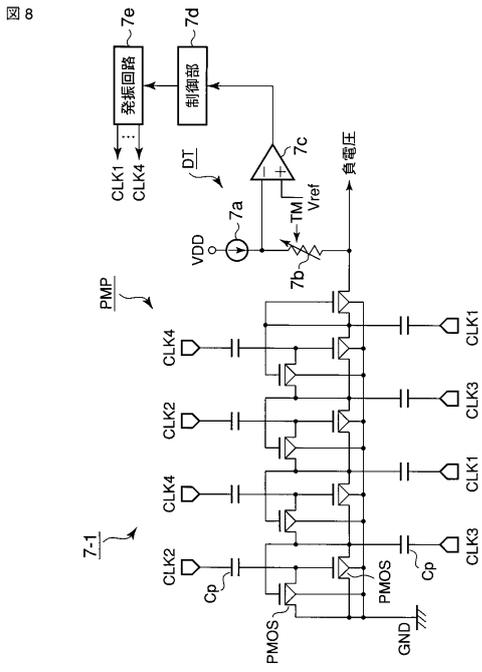
【 図 7 】



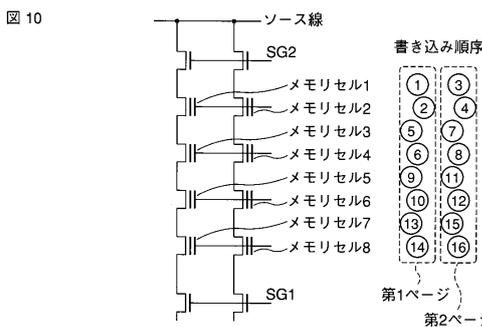
【 図 9 】



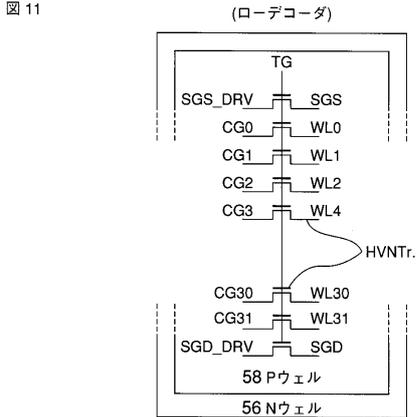
【 図 8 】



【 図 10 】

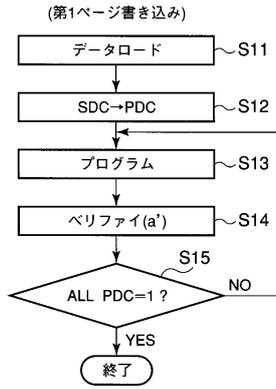


【 図 11 】



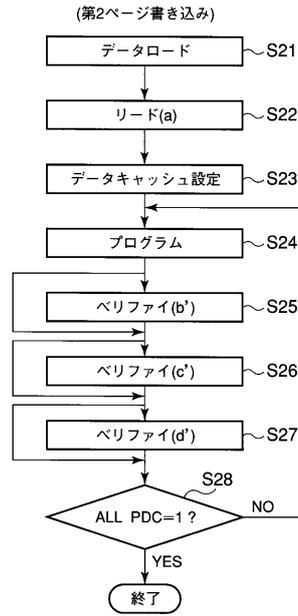
【図12】

図12



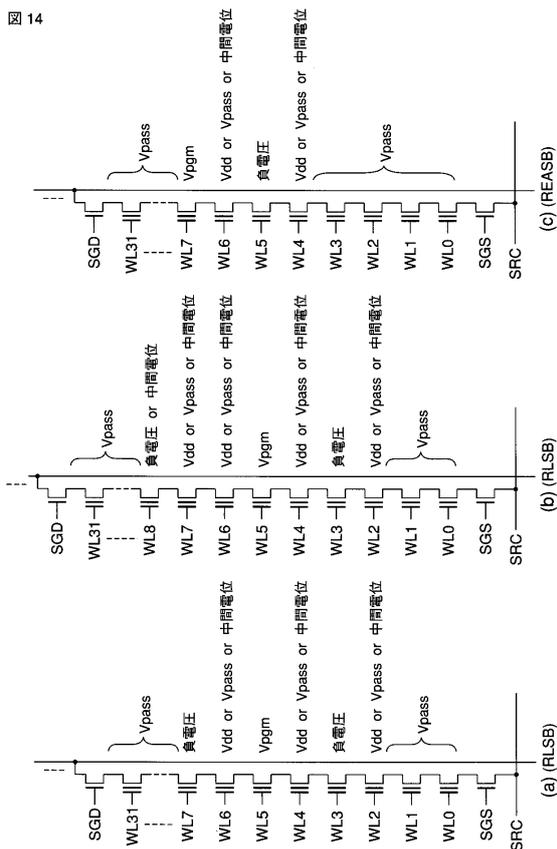
【図13】

図13



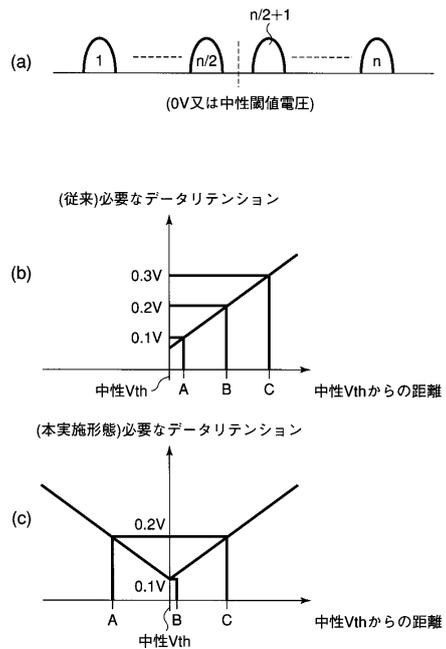
【図14】

図14



【図15】

図15



フロントページの続き

- (56)参考文献 特開平 1 1 - 0 4 5 9 8 6 (J P , A)
特開平 1 1 - 0 9 6 7 7 7 (J P , A)
特開平 0 9 - 0 8 2 9 2 2 (J P , A)
特表 2 0 0 5 - 2 4 3 2 1 1 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G 1 1 C 1 6 / 0 2
G 1 1 C 1 6 / 0 4
G 1 1 C 1 6 / 0 6