



(12) 发明专利

(10) 授权公告号 CN 1787415 B

(45) 授权公告日 2011.05.25

(21) 申请号 200410096861.0

页第 12- 第 7 页第 6 行、图 5a.

(22) 申请日 2004.12.08

CN 1302495 A, 2001.07.04, 全文.

(73) 专利权人 中兴通讯股份有限公司

CN 1450745 A, 2003.10.22, 全文.

地址 518057 广东省深圳市南山区高新技术产业园科技南路中兴通讯大厦A座6层

WO 2004/032098 A1, 2004.04.15, 全文.

CN 1438768 A, 2003.08.27, 全文.

(72) 发明人 温子瑜

审查员 田涛

(74) 专利代理机构 北京安信方达知识产权代理有限公司 11262

代理人 霍育栋 王蔚

(51) Int. Cl.

H04J 13/10 (2011.01)

(56) 对比文件

CN 1094019 C, 2002.11.06, 说明书第 7 页第 9-19 行、图 9.

WO 03/019807 A1, 2003.03.06, 说明书第 6

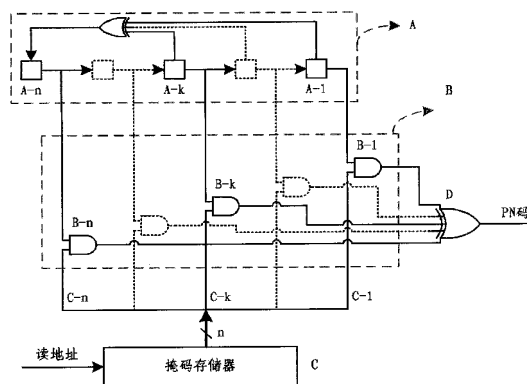
权利要求书 1 页 说明书 4 页 附图 2 页

(54) 发明名称

实现伪随机码相位偏移的装置及其生成伪随机码的方法

(57) 摘要

本发明公开了一种实现伪随机码相位偏移的装置及其生成伪随机码的方法,其装置包括线性反馈移位寄存器A、与门阵列B、掩码存储器C和异或门D;线性反馈移位寄存器A为一个通用伪随机码发生器;掩码存储器C读地址与相位偏移值相对应,存储的内容为所需相位偏移值对应的掩码,掩码的各个比特与线性反馈移位寄存器A中的各个寄存器一一对应;线性反馈移位寄存器A的各个寄存器输出与对应的掩码存储器C的掩码各比特输出作为与门阵列B的输入,与门阵列B的输出作为异或门D的输入,异或门D的输出即为所需相位偏移的伪随机码。采用本发明提出的装置和方法,可以直接由PN码生成器的当前相位得到所需相位偏移m后的PN码,节省了PN码生成的时间。



1. 一种实现伪随机码相位偏移的装置,其特征在于包括线性反馈移位寄存器(A)、与门阵列(B)、掩码存储器(C)和异或门(D);所述线性反馈移位寄存器(A)为一个通用伪随机码发生器;掩码存储器(C)的读地址与相位偏移值相对应,存储的内容为所需相位偏移值对应的掩码,掩码的各个比特与线性反馈移位寄存器(A)中的各个寄存器一一对应;线性反馈移位寄存器(A)的各个寄存器输出与掩码存储器(C)的对应掩码的各比特输出作为与门阵列(B)的输入,与门阵列(B)的输出作为异或门(D)的输入,异或门(D)的输出即为所需相位偏移的伪随机码;

其中,当需要使用一相位偏移值的伪随机码时,构造与该相位偏移值相对应的掩码存储器(C)的读地址,以根据线性反馈移位寄存器(A)输出的当前相位的伪随机码和掩码存储器(C)输出的掩码,立刻产生该相位偏移值的伪随机码而不需要对所述通用伪随机码发生器先运行多余的时钟。

2. 根据权利要求1所述的装置,其特征在于,所述掩码存储器(C)为只读存储器或可读写存储器。

3. 一种利用权利要求1所述的装置生成相位偏移后的伪随机码的方法,其特征在于包括下列步骤:

步骤一、确定需要用到的相位偏移的所有取值;

步骤二、根据需要用到的相位偏移的所有取值和伪随机码的生成多项式确定与各个相位偏移值相对应的掩码;

步骤三、将得到的所有掩码存入掩码存储器中;

步骤四、当需要使用一相位偏移值的伪随机码时,根据该相位偏移值构造与该相位偏移值相对应的掩码存储器(C)的读地址,读取掩码存储器(C),得到掩码;

步骤五、与门阵列(B)将步骤四中得到的掩码的各比特与线性反馈移位寄存器(A)的对应的各个寄存器的输出进行与操作;

步骤六、异或门(D)将与门阵列(B)的所有输出比特进行异或操作,输出该相位偏移值的伪随机码;

其中,在生成该相位偏移值的伪随机码过程中,根据线性反馈移位寄存器(A)输出的当前相位的伪随机码和掩码存储器(C)输出的掩码,立刻产生该相位偏移值的伪随机码而不需要对所述通用伪随机码发生器先运行多余的时钟。

## 实现伪随机码相位偏移的装置及其生成伪随机码的方法

### 技术领域

[0001] 本发明涉及数据通信领域,特别涉及实现伪随机(PN)码相位移位的方法和装置。

### 背景技术

[0002] 码分多址及宽带码分多址制式的通信技术目前得到了广泛的应用,可以为人们提供语音、数据、多媒体等多种业务。在码分多址制式的通信中,发送端的数据通过 PN 码加扰后进行发送,在接收端通过使用同样的 PN 码进行解扰。在系统实现时,经常需要使用当前 PN 码某个相位偏移后的 PN 码。

[0003] PN 码的实现结构通常使用线性反馈移位寄存器,图 1 为 PN 码生成器的通用电路结构,由移位寄存器和异或门组成。PN 码生成器每个时钟生成一个 PN 码,如果要使用某个相位偏移后的 PN 码,比如 256 个相位偏移,则需要将 PN 码产生器先运行 256 个时钟,才能生成需要使用的 PN 码,而在这 256 个时钟内生成的 PN 码是无用的,系统其他模块为了得到可用的 PN 码,不得不等待,这样会导致系统处于空闲状态,从而降低了系统的处理能力。

### 发明内容

[0004] 本发明的目的就是提出一种无需运行多余的时钟,直接从 PN 码生成器输出所需相位偏移后的 PN 码的装置和方法。

[0005] 一种实现伪随机码相位偏移的装置,包括线性反馈移位寄存器 A、与门阵列 B、掩码存储器 C 和异或门 D;所述线性反馈移位寄存器 A 为一个通用伪随机码发生器;掩码存储器 C 读地址与相位偏移值相对应,存储的内容为所需相位偏移值对应的掩码,掩码的各个比特与线性反馈移位寄存器 A 中的各个寄存器一一对应;线性反馈移位寄存器 A 的各个寄存器输出与对应的掩码存储器 C 的掩码各比特输出作为与门阵列 B 的输入,与门阵列 B 的输出作为异或门 D 的输入,异或门 D 的输出即为所需相位偏移的伪随机码。

[0006] 利用上述装置生成相位偏移后的伪随机码的方法,包括下列步骤:

[0007] 步骤一、确定所需相位偏移的所有取值;

[0008] 步骤二、根据需要用到的相位偏移和伪随机码的生成多项式确定各个相位偏移对应的掩码;

[0009] 步骤三、将得到的所有掩码存入掩码存储器中;

[0010] 步骤四、根据相位偏移构造读地址,读取掩码存储器,得到掩码;

[0011] 步骤五、将步骤四中得到的掩码的各比特与对应的线性反馈移位寄存器的各个寄存器进行与门阵列操作;

[0012] 步骤六、将与门阵列的所有输出比特进行异或操作,即得到相位偏移后的伪随机码。

[0013] 采用本发明提出的装置和方法,与现有技术相比,在希望使用相位偏移  $m$  后的 PN 码时,不需要对 PN 码生成器先运行  $m$  个多余的时钟,可以直接由 PN 码生成器的当前相位得到所需相位偏移  $m$  后的 PN 码,节省了 PN 码生成器的时间,去除了由于 PN 码生成器占用多

余时间对系统造成的影响。当所需的掩码存放在 ROM(只读存储器)中,并且所需偏移值不多时,本方案与现有技术相比增添的电路消耗非常少,对于大规模集成电路而言可以忽略不计。

[0014] 附图说明

[0015] 图 1 是通用的伪随机码发生器的电路原理图;

[0016] 图 2 是本发明提出的实现伪随机码相位偏移的装置的电路原理图;

[0017] 图 3 是一个 3 阶的伪随机码发生器的电路原理图;

[0018] 图 4 是本发明提出的方法的流程图。

### 具体实施方式

[0019] 下面结合附图和实施例对本发明作进一步的详细说明。

[0020] 图 1 已经在背景技术中进行过说明。

[0021] 在说明本发明之前,先对本发明的原理作一个简要的说明。生成 PN 码的线性反馈移位寄存器在数学上可表示为一个生成多项式  $G(x)$ ,其输出为一个  $m$  序列。

[0022] 为了直观地说明,取  $G(x) = x^3+x+1$ ,即一个 3 次多项式,其输出序列的周期为  $2^3-1 = 7$ 。因为  $m$  序列为周期序列,因此相位偏移的取值有  $0 \sim 6$  共 7 种,其电路实现为图 3 所示,其输出为 E-1,此时的相位偏移为 0,当需要输出 1 个相位偏移后的 PN 码时,可以直接输出 E-2,因为 E-2 是 E-1 寄存一拍前的值;同理,相位偏移为 2 时,可以直接输出 E-3;相位偏移为 3 时,输出 E-4,即 E-1 与 E-2 的异或;相位偏移为 4 时,输出 E-2 与 E-3 的异或;相位偏移为 5 时,输出为 E-1、E-2 与 E-3 的异或;相位偏移为 6 时,输出 E-1 与 E-3 的异或。

[0023] 综合以上各种情况,可以根据不同相位偏移时需要用哪几个寄存器做异或来构造掩码,使用线性反馈移位寄存器与此掩码做与阵列操作后再异或输出。上述 7 种情况需要参加异或运算的寄存器和掩码分别列表如下,这里将需要参加异或运算的寄存器称为抽头。

[0024]

相位偏移	抽头	掩码(2 进制)
0	E-1	001
1	E-2	010
2	E-3	100
3	E-2、E-1	011
4	E-3、E-2	110
5	E-3、E-2、E-1	111
6	E-3、E-1	101

[0025] 对于相位偏移值大于 6 或小于 0 的情况,可以先对 7 求余,然后根据此余数来确定所需的掩码,比如相位偏移为 12 时,余数为 5,相位偏移为 -3 时,余数为 4。

[0026] 对于生成多项式为其他情况的 PN 码生成器,可根据上述方法得到各种相位偏移对应的掩码。上面的推导掩码的过程也可以通过数学多项式除法计算得到。

[0027] 图 2 是本发明提出的实现伪随机码相位偏移的装置的电路原理图,如图 2 所示,本发明提出的实现伪随机码相位偏移的装置,包括线性反馈移位寄存器 A、与门阵列 B、掩码存储器 C 和异或门 D;所述线性反馈移位寄存器 A 为一个通用伪随机码发生器;掩码存储器

C 可以是只读存储器或可读写存储器,其读地址与相位偏移值相对应,存储的内容为所需相位偏移值对应的掩码,掩码的各个比特与线性反馈移位寄存器 A 中的各个寄存器一一对应;线性反馈移位寄存器 A 的各个寄存器输出与对应的掩码存储器 C 的掩码各比特输出作为与门阵列 B 的输入,与门阵列 B 的输出作为异或门 D 的输入,异或门 D 的输出即为所需相位偏移的伪随机码。

[0028] 图 4 是使用图 2 中的装置生成相位偏移后的伪随机码的流程图,如图 所示,包括下列步骤:

[0029] 步骤一、确定所需相位偏移的所有取值。

[0030] 步骤二、根据需要用到的相位偏移和伪随机码的生成多项式确定各个相位偏移对应的掩码。

[0031] 步骤三、将得到的所有掩码存入掩码存储器中。

[0032] 步骤四、根据相位偏移构造读地址,读取掩码存储器,得到掩码。

[0033] 步骤五、将步骤四中得到的掩码的各比特与对应的线性反馈移位寄存器的各个寄存器进行与门阵列操作;如图 2 所示,与门阵列为 B,线性反馈移位寄存器的各个寄存器为 A-1, ..., A-n,掩码存储器的输出为 C-1, ..., C-n, A-1 和 C-1 作为与门 B-1 的输入, ..., A-n 和 C-n 作为与门 B-n 的输入。

[0034] 步骤六、将与门阵列的所有输出比特进行异或操作,即 B-1, ..., B-n 的输出做异或操作,即得到相位偏移后的伪随机码。

[0035] 下面结合图 3,以生成多项式  $G(x) = x^3+x+1$  的 PN 码发生器为例,说明使用数学多项式除法得到掩码的方法。其原理为:如果所需相位偏移值为 n,以  $x^n$  为被除数,以  $G(x)$  为除数做多项式除法,得到余式,根据余数得到此相位偏移对应于  $G(x)$  的掩码,即判断余式中各项的系数,系数为 0 时掩码为 0,系数为 1 时掩码为 1。下面以相位偏移为 4 的情况进行说明。

[0036] 如果所需相位偏移为 4,  $x^4$  除以  $x^3+x+1$  的余数为  $x^2+x$ ,则其掩码为 110,其推导公式如下:

[0037]

$$x^3+x+1 \overline{) \begin{array}{r} x^4 \\ x^4+x^2+x \\ \hline x^2+x \end{array}}$$

[0038] 相位偏移为 6 时,  $x^6$  除以  $x^3+x+1$  的余数为  $x^2+1$ ,其掩码为 101,相位偏移值为其他情况时类似,可通过此方法得到对应的掩码。

[0039] 如果所需的相位偏移值有:0、2、4、6 共四种,可以以相位偏移 0 作为地址 0,相位偏移 2 作为地址 1,相位偏移 4 作为地址 2,相位偏移 6 作为地址 3 构造下面的只读存储器 ROM。

地址	ROM 内容
0	001
1	100
2	110
3	101

[0040] 如果不使用 ROM,而使用可读写 RAM 时,可以先将 001 写入 RAM 的地址 0 中,将 100

写入地址 1 中,将 110 写入地址 2 中,将 101 写入地址 3 中,然后以以相位偏移 0 作为地址 0,相位偏移 2 作为地址 1,相位偏移 4 作为地址 2,相位偏移 6 作为地址 3 读取此 RAM。

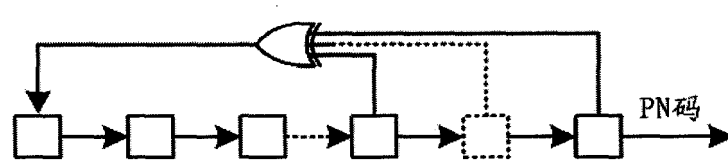


图 1

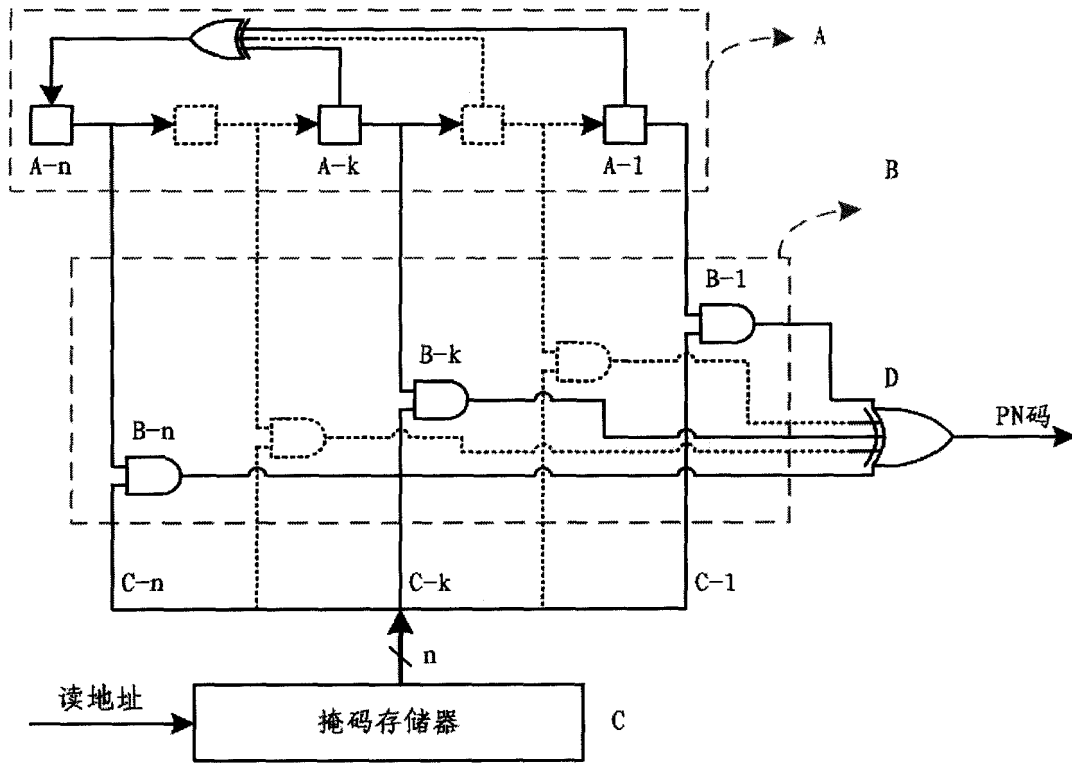


图 2

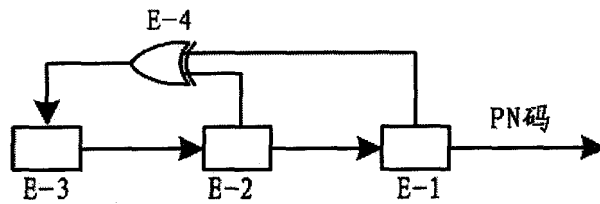


图 3

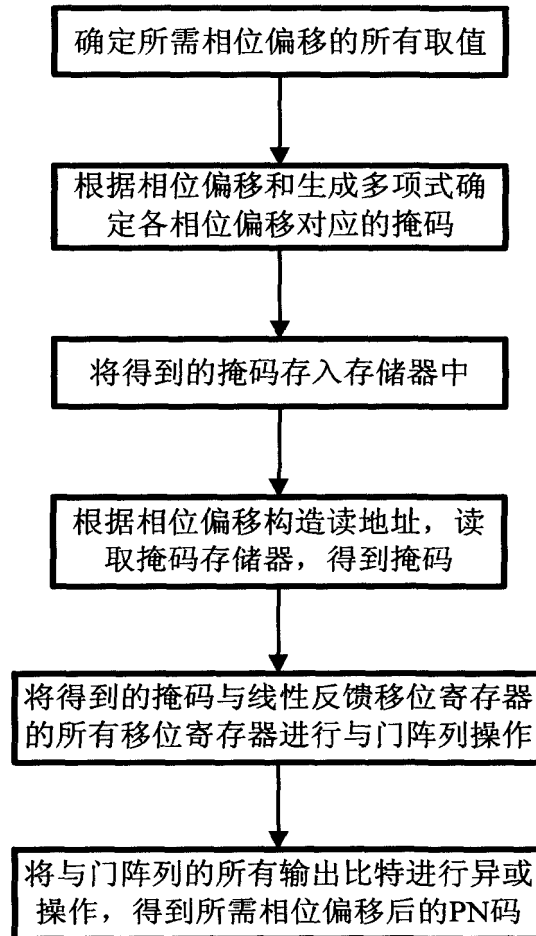


图 4