





## 【發明說明書】

【中文發明名稱】 用於半導體製造之方法

【英文發明名稱】 METHOD FOR SEMICONDUCTOR  
FABRICATION

### 【技術領域】

【0001】 本揭露是關於一種用於半導體製造的方法。

### 【先前技術】

【0002】 鰭式場效電晶體(FINFET)裝置在半導體製造中已經變成主流以獲得愈來愈小之裝置特徵及增強電路效能。在積體電路(integrated circuit; IC)中製造這些小FINFET裝置存在許多挑戰。例如，當在FINFET裝置中形成接觸特徵時，由於晶圓上之形貌，接觸深度偏差已經成為問題。特定而言，半導體鰭片通常比隔離鰭片之隔離結構高。當接觸特徵(包含金屬)在鰭片之頂部以及在隔離結構上形成時，接觸特徵之一些比其他高。這些不均勻之接觸特徵可能隨時間傾斜並將附近電路元件(例如，閘極結構)推至彎曲，可能導致電路缺陷。與接觸形成關聯之另一問題為一些接觸孔深且狹窄，導致接觸特徵完全填充這些接觸孔可能很困難，從而在接觸特徵下面留下空隙。這些空隙在製造階段期間可能很難偵測到，但它們可能導致電路隨著時間短路或斷開。因此，需要改進接觸形成製程。

**【發明內容】**

**【0003】** 本揭示案之一示範性態樣是關於用於半導體製造之方法。方法包括提供具有隔離結構之裝置結構，鄰近隔離結構且比隔離結構高之鰭片，及在鰭片及隔離結構上方之閘極結構，其中隔離結構、鰭片及閘極結構界定在鰭片上方之第一溝槽及在隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方形成第一接觸蝕刻停止層；在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一溝槽及第二溝槽；以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約齊平的高度。

**【0004】** 在本揭示案之另一示範性態樣中，半導體製造之方法包括提供具有基板之裝置結構。裝置結構包含從基板延伸之鰭片、在基板上方且鄰近鰭片且比鰭片更低之隔離結構，及鰭片及隔離結構上方之閘極結構。鰭片、隔離結構及閘極結構界定鰭片上方之第一溝槽及隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方形成第一接觸蝕刻停止層，其中第一接觸蝕刻停止層在閘極結構之頂部上的厚度比在閘極結構之側壁上的厚度厚。方法另外包括在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一及第二溝槽；以及凹進第一層間介電層以去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約相同的高度。

**【0005】** 在本揭示案之又一示範性態樣中，半導體製造之方法包括提供具有隔離結構之裝置結構，裝置結構包含橫向地鄰接隔離結構且比隔離結構高的鰭片，及鰭片及隔離結構上方之閘極結構。隔離結構、鰭片及閘極結構界定鰭片上方之第一溝槽及隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方沉積第一接觸蝕刻停止層；在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一溝槽及第二溝槽；以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約相同的高度；以及凹進第一接觸蝕刻停止層使得其從第一溝槽去除，及從第一層間介電層以上之第二溝槽去除。

**【圖式簡單說明】**

**【0006】** 當結合附圖閱讀時，自以下詳細描述很好地理解本揭示案之態樣。應強調，根據此工業中標準實務，各特徵未按比例繪製。事實上，為論述清楚，各特徵之大小可任意地增加或縮小。

第 1A 圖、第 1B 圖、第 1C 圖及第 1D 圖為根據本揭示案之各態樣之形成半導體裝置的方法的流程圖。

第 2 圖為根據實施例之根據第 1A 圖至第 1D 圖中的方法構成之半導體裝置的部分的透視圖。

第 3 圖、第 4 圖、第 5 圖、第 6 圖、第 7 圖、第 8 圖、第 9 圖及第 10 圖為根據一些實施例之根據第 1A 圖、第 1B

圖及第 1C 圖中的方法在製造的中間階段處第 2 圖之半導體裝置的部分的橫剖面圖。

第 11 圖、第 12 圖、第 13 圖、第 14 圖、第 15 圖、第 16 圖及第 17 圖為根據一些實施例之根據第 1A 圖及第 1D 圖中的方法在製造之中間階段處的第 2 圖之半導體裝置的部分的橫剖面圖。

### 【實施方式】

**【0007】** 以下揭示案提供許多不同實施例或例子，為實現此提供標的物之不同的特徵。下文描述之組件及排列之特定之示例為了簡化本揭示案。當然，此等僅僅為示例且不意指限制。舉例而言，在隨後描述中在第二特徵上方或在第二特徵上第一特徵之形成可包括第一及第二特徵形成為直接接觸之實施例，以及亦可包括額外特徵可形成在第一及第二特徵之間，使得第一及第二特徵可不直接接觸之實施例。另外，本揭示案在各示例中可重複元件符號及/或字母。此重複為出於簡易及清楚之目的，且本身不指示所論述各實施例及/或結構之間之關係。

**【0008】** 另外，空間相對術語，諸如「之下」、「下方」、「下部」、「上方」、「上部」及類似者，可為描述之便而在本文使用，以描述在附圖中圖示之一個元件或特徵相對另一元件或特徵的關係。除圖形中描繪之方向外，空間相對術語意圖是包含裝置在使用或操作中之不同的方向。裝置可為

不同之朝向（旋轉90度或在其他的方向）及在此使用之空間相關的描述詞可因此同樣地解釋。

**【0009】** 本揭示案一般係關於半導體裝置及其形成方法。更特定而言，本揭示案係關於半導體製程，尤其FINFET裝置製造過程中之接觸形成製程。根據本揭示案之一些態樣，形成諸如源極/汲極(source/drain; S/D)接觸、局部互連接觸及對接接觸之接觸特徵，以具有跨大面積晶圓之約相同的深度。這些接觸特徵趨向於隨著時間維持它們的形狀及位置，從而增大電路之可靠性。此外，本揭示案所提供的技術方案降低了接觸孔之深寬比，從而有效地降低在接觸特徵下產生空隙之可能性。

**【0010】** 第1A圖、第1B圖、第1C圖及第1D圖圖示根據本揭示案之各態樣之形成半導體裝置結構100的方法10的流程圖。第1A圖及第1C圖圖示方法10之實施例，及第1A圖及第1D圖圖示方法10之另一實施例。第1B圖圖示可包括為方法10之部分的方法的流程圖。方法10僅為一示例，並且並不意欲限制本揭示案超出申請專利範圍中明確敘述之內容。額外操作可在方法10之前、在方法10期間及在方法10之後提供，及對於方法之其他實施例可替換、除去或移動一些步驟。在以下論述中，首先參考第1A圖、第1B圖、第1C圖及第2圖至第10圖描述方法10，隨後參考第1A圖、第1D圖及第11圖至第17圖描述。第2圖在透視圖中圖示在製造之中間階段中的半導體裝置結構100，及第3圖至第17圖圖示

第2圖之側視橫剖面圖中的製造之中間階段中的半導體裝置結構100。

【0011】 提供半導體裝置結構100為說明目的，且不一定將本揭示案之實施例限制於任意數目之裝置、任意數目之區域或任意配置之結構或區域。此外，如在第2圖至第17圖中圖示之半導體裝置結構100可為在處理IC過程中製造的中間裝置或其部分，其可以包含靜態隨機存取記憶體 (static random access memory; SRAM) 及/或邏輯電路、諸如電阻器、電容器及電感器之被動元件，及諸如p型場效電晶體 (field effect transistors; PFETs)、N型FET之主動元件，諸如FinFET、金屬氧化物半導體場效電晶體 (metal-oxide semiconductor field effect transistors; MOSFETs)、互補金屬氧化物半導體 (complementary metal-oxide semiconductor; CMOS) 電晶體、雙極電晶體之多閘極 FET、高壓電晶體、高頻電晶體、其他記憶體單元及其組合。

【0012】 在操作12處，方法10（第1A圖）提供或具備如第2圖至第3圖中圖示之裝置結構100。參看第2圖，裝置結構100包括基板102、從基板102延伸之一或多個鰭片104、將鰭片104彼此隔離之隔離結構106、及多個閘極結構108a、閘極結構108b、閘極結構108c、閘極結構108d及閘極結構108e。

【0013】 在本實施例中基板102為矽基板。在替代實施例中，基板102包括諸如鍺之其他元素半導體；諸如碳化



矽、砷化鎵、砷化銮及磷化銮之化合物半導體；或諸如碳化矽銻、鎵砷磷及磷化銮鎵之合金半導體。在實施例中，基板102可以包括絕緣體上矽(silicon on insulator; SOI)基板，經應變及/或產生應力以增強效能，包括磊晶區、包括隔離區、包括摻雜區及/或包括其他適宜特徵及層。

**【0014】** 鱗片104包含一或多個半導體材料，諸如矽、銻、矽銻、碳化矽、砷化鎵、砷化銮、磷化銮、碳化矽銻、鎵砷磷及磷化銮鎵。鱗片104摻雜有適當摻雜劑以形成FinFET。例如，鱗片104可以摻雜有諸如硼或銮之一或多個p型摻雜劑，或諸如磷或砷之一或多個N型摻雜劑。鱗片104可以包括諸如輕微摻雜區及重摻雜區之摻雜區，及可以包括磊晶生長材料。

**【0015】** 在本實施例中，裝置結構100另外包括S/D特徵120（第3圖）。在實施例中，S/D特徵120完全伸入在諸如重摻雜S/D區之鱗片104中。在另一實施例中，S/D特徵120部分地伸入鱗片104中且凸出於鱗片104，諸如具有適當摻雜劑之磊晶生長半導體材料。S/D特徵120可以另外包括矽化物或矽化銻。在本實施例中，兩個S/D特徵120圖示（第3圖）在閘極結構108c附近。

**【0016】** 鱗片104可以使用包括光微影及蝕刻製程之適宜製程來製造。例如，光微影製程可以包括形成覆蓋基板102之光阻層(抗蝕劑)、將抗蝕劑暴露於圖案、執行曝光後烘烤製程、以及顯影抗蝕劑以形成包括抗蝕劑之遮罩元件。遮罩元件則用於在基板102中蝕刻凹口，從而將鱗片104

【0018】 在本實施例中，鰭片104比隔離結構106高。換言之，鰭片104之頂表面沿「Z」方向比隔離結構106之頂表面高。這可以例如藉由在形成鰭片104之後回蝕隔離結構106，或藉由從隔離結構106中之溝槽磊晶生長鰭片104而形成。

【0019】 閘極結構108a至閘極結構108e之每個為多層結構（第3圖）。在本實施例中，閘極結構108a至閘極結構108e之每個包括作為各別閘極結構之側壁之介電層110、閘電極層112、第一硬遮罩(hard mask; HM)層114、第二硬遮罩層116及間隔物層118。介電層110可以包括氧化矽或氮氧化矽，並且可以藉由化學氧化、熱氧化、原子層沉積(atomic layer deposition; ALD)、化學氣相沉積(chemical vapor deposition; CVD)及/或其他適宜方法而形成。閘電極層112可以包括多晶矽層，其可以藉由諸如低壓化學氣相沉積(low-pressure chemical vapor deposition; LPCVD)及電漿增強CVD(plasma-enhanced CVD; PECVD)之適宜沉積製程而形成。硬遮罩層114可以包括諸如氮化矽、氮化碳矽、氮氧化矽及氮化碳氧化矽之氮化物。硬遮罩層116可以包括諸如氧化矽之氧化物。硬遮罩層114及硬遮罩層116之每個可以藉由CVD、PVD或ALD方法而形成。間隔物層118可以為單層或多層結構。間隔物層118可以包括介電質材料，諸如氧化矽、氮化矽、氮氧化矽、碳化矽、其他適宜介電質材料或其組合。在示例中，間隔物層118藉由毯覆沉積第一介電層（例如，具有均勻厚度

之SiO<sub>2</sub>層)而形成為裝置結構100上方之襯墊層，及藉由毯覆沉積第二介電層(例如，SiN層)而形成為第一介電層上方之主要D形間隔物，隨後各向異性地蝕刻以去除介電層之部分以形成間隔物層118。

**【0020】** 閘極結構108a至閘極結構108e可以根據其各別功能具有不同寬度。例如，閘極結構108b比其他閘極結構寬(沿「X」方向)。另外，一些閘極結構(例如，108b及108c)設置在鰭片104上方，以及一些其他閘極結構(例如，108a、108d及108e)設置在隔離結構106上方。閘極結構108a至閘極結構108e可以經設計以具有不同功能。例如，閘極結構108c經設計為FINFET之閘極端(或閘極端之預留位置)。例如，閘極結構108b可以藉由使用對接觸點將S/D特徵120連接至另一S/D特徵或閘極(未圖示)而設計為局部互連。例如，為了裝置的均勻性，閘極結構108a、閘極結構108d及閘極結構108e可以每個設計為互連或簡單地為虛設閘極。當閘極結構設置在鰭片104上方時，將鰭片104接合在其三個側面上，即在鰭片104之頂部及側壁上。第2圖圖示將鰭片104之頂部及一個側壁與切斷而未圖示之鰭片104的其他側壁接合的閘極結構108b及閘極結構108c。

**【0021】** 各鰭片104、隔離結構106及閘極結構108a至閘極結構108e在裝置結構100中提供(或界定)各溝槽。在圖示之實施例中，提供溝槽109a、溝槽109b、溝槽109c及溝槽109d。特定而言，閘極結構108a至閘極結構108e之相

鄰側壁（及在溝槽109a情況下為鱗片104之側壁）提供溝槽109a至溝槽109d之側壁，而鱗片104之頂表面與隔離結構106之頂表面提供溝槽109a至溝槽109d之底表面。應注意，由於鱗片104比隔離結構106高，溝槽109a至溝槽109d在本實施中具有不同深度。隨著電晶體之幾何大小減小，如由它們的高度（沿Z方向）對它們的寬度（沿X方向）定義之溝槽109a至溝槽109d的深寬比增大，從而使這些溝槽深且狹窄。這在隔離結構106作為溝槽的底表面，如溝槽109a及溝槽109d中尤其明顯。

**【0022】** 對於形成伸入溝槽之底部中的接觸特徵的後續製造製程，這些溝槽109a至溝槽109d可能存在兩個問題。第一，溝槽中之接觸特徵當它們的頂表面處在相同高度處時具有不同深度。例如，溝槽109d中之接觸特徵將具有比溝槽109c中之接觸特徵更大（或更長）的深度。較長接觸特徵可能隨時間傾斜並推靠在閘極結構附近以導致電路故障。第二，使用金屬材料完全填充諸如溝槽109a及溝槽109d之深且狹窄溝槽可能很困難，從而在溝槽中留下空隙。這些空隙可能隨著時間導致電路開路或短路。本揭示案提供解決這些問題之方法。

**【0023】** 在操作14處，方法10(第1A圖)在裝置結構100之各結構上方形成接觸蝕刻停止層(contact etch stop layer)122。參看第4圖，接觸蝕刻停止層122在鱗片104、隔離結構106、閘極結構108a至閘極結構108e、及S/D特徵120之表面上方形成。在實施例中，接觸蝕刻停止層122包

128，如在第15圖中圖示。已經參考第8圖在上文描述操作20之其他態樣。

**【0045】** 在操作22處，方法10（第1D圖）在接觸蝕刻停止層128上方沉積層間介電層130並填充溝槽109a至溝槽109d（第15圖），如在第16圖中圖示。已經參考第9圖在上文描述操作22之其他態樣。

**【0046】** 在操作24處，方法10（第1D圖）形成伸入第二層間介電層130之接觸特徵136a、接觸特徵136b、接觸特徵136c及接觸特徵136d，如在第17圖中圖示。參看第17圖，接觸特徵136a至接觸特徵136d穿透層間介電層134、接觸蝕刻停止層132、層間介電層130及接觸蝕刻停止層128。在鰭片104上方，接觸特徵136b至接觸特徵136c電接觸S/D特徵120。在隔離結構106上方，接觸特徵136a及接觸特徵136d在本實施例中與層間介電層124接觸。操作24之其他態樣已經參考第10圖論述。

**【0047】** 儘管未意指限制，本揭示案之一或多個實施例向半導體裝置及其形成製程提供了許多益處。例如，本揭示案之實施例形成在鰭片以上及隔離結構以上具有約相同深度（及高度）之接觸特徵，儘管鰭片及隔離結構具有不同高度。因此，這些接觸特徵並不遭受與具有大體上不同高度之彼等接觸特徵差不多之傾斜及彎曲缺陷的影響。此外，本揭示案之實施例減小處在隔離結構以上之溝槽的深寬比，這在接觸形成之後有效地減小了在溝槽之底部具有空隙之可能

性。更進一步，本揭示案之實施例可輕易地整合進現有半導體製造製程中。

**【0048】** 在一個示範性態樣中，本揭示案關於用於半導體製造之方法。方法包括提供具有隔離結構之裝置結構，鄰近隔離結構且比隔離結構高之鰭片，及在鰭片及隔離結構上方之閘極結構，其中隔離結構、鰭片及閘極結構界定在鰭片上方之第一溝槽及在隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方形成第一接觸蝕刻停止層；在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一溝槽及第二溝槽；以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約齊平的高度。

**【0049】** 在方法之實施例中，第一接觸蝕刻停止層在閘極結構之頂部上比在閘極結構之側壁上厚。在實施例中，方法另外包括在凹進第一層間介電層之後在第一溝槽中之第一接觸蝕刻停止層上方及在第二溝槽中之第一接觸蝕刻停止層及第一層間介電層上方形成第二接觸蝕刻停止層；以及在第二接觸蝕刻停止層上方沉積第二層間介電層並填充第一溝槽及第二溝槽之剩餘空間。在另一實施例中，方法包括在第一溝槽中形成伸入此第二層間介電層中的第一接觸特徵及在第二溝槽中形成伸入第二層間介電層中的第二接觸特徵。在方法之實施例中，第二接觸蝕刻停止層為共形的。

**【0050】** 在實施例中，第一接觸蝕刻停止層之形成包括在閘極結構、鰭片及隔離結構上方沉積包含介電質材料之共

形層；使用電漿處理共形層使得閘極結構之頂部上之共形層的第一部分比閘極結構之側壁上的共形層之第二部分接收更多電漿處理；以及將化學溶液應用至溶解第二部分比第一部分快的共形層。在另一實施例中，介電質材料包括氮化矽，電漿使用氫氣或氦氣，以及化學溶液包括稀釋氫氟酸 (DHF)。

**【0051】** 在實施例中，方法另外包括在第一層間介電層之凹進之後，凹進第一接觸蝕刻停止層使得其從第一溝槽去除，及從第一層間介電層上方之第二溝槽去除。在另一實施例中，方法包括在凹進第一接觸蝕刻停止層之後在第一溝槽及第二溝槽之側壁上形成第二接觸蝕刻停止層，以及在第二接觸蝕刻停止層上方沉積第二層間介電層並填充第一溝槽及第二溝槽之剩餘空間。另外，方法可以包括在第一溝槽中形成伸入第二層間介電層中的第一接觸特徵及在第二溝槽中形成伸入第二層間介電層中的第二接觸特徵。

**【0052】** 在另一示範性態樣中，本揭示案關於用於半導體製造之方法。方法包括提供具有基板之裝置結構；從基板延伸之鰭片；在基板上方、鄰近鰭片且比鰭片更低之隔離結構；及鰭片及隔離結構上方之閘極結構。鰭片、隔離結構及閘極結構界定鰭片上方之第一溝槽及隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方形成第一接觸蝕刻停止層，其中第一接觸蝕刻停止層在閘極結構之頂部上比在閘極結構之側壁上厚。方法另外包括在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一及第二

溝槽；以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約一樣低。

**【0053】** 在實施例中，方法另外包括在第一層間介電層之凹進之後，在第一溝槽中之第一接觸蝕刻停止層上方及在第二溝槽中之第一接觸蝕刻停止層及第一ILD上方形成第二接觸蝕刻停止層。第二接觸蝕刻停止層為共形的。方法另外包括在第二接觸蝕刻停止層上方沉積第二層間介電層並填充第一溝槽及第二溝槽之剩餘空間。在另一實施例中，方法包括形成穿透第一溝槽中之第二接觸蝕刻停止層的第一接觸特徵及穿透第二溝槽中之第二接觸蝕刻停止層的第二接觸特徵。

**【0054】** 在方法之實施例中，第一接觸蝕刻停止層之形成包括在閘極結構、鰭片及隔離結構上方沉積包含氮化矽之共形層；使用電漿處理共形層使得閘極結構之頂部上的共形層之第一部分比閘極結構之側壁上的共形層之第二部分接收更多電漿處理；以及將包含氫氟酸之化學溶液應用至共形層，此化學溶液溶解第二部分比第一部分快。

**【0055】** 在又一示範性態樣中，本揭示案關於用於半導體製造之方法。方法包括提供具有隔離結構之裝置結構，橫向地鄰接隔離結構且比隔離結構高的鰭片，及鰭片及隔離結構上方之閘極結構。隔離結構、鰭片及閘極結構界定鰭片上方之第一溝槽及隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方沉積第一接觸蝕刻停止層；



在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一溝槽及第二溝槽；以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約相同的高度；以及凹進第一接觸蝕刻停止層使得其從第一溝槽去除，及從第一層間介電層以上之第二溝槽去除。

**【0056】** 在實施例中，方法另外包括在第一溝槽及第二溝槽之側壁上方沉積第二接觸蝕刻停止層。在實施例中，第一接觸蝕刻停止層為共形的及第二接觸蝕刻停止層為共形的。在另一實施例中，方法包括在第二接觸蝕刻停止層上方沉積第二層間介電層並形成分別穿透第一溝槽及第二溝槽中之第二層間介電層的兩個接觸特徵。

**【0057】** 在另一示範性態樣中，本揭示案關於半導體裝置。半導體裝置包括隔離結構；鄰近隔離結構且比隔離結構高之鰭片；在隔離結構及鰭片上方，界定閘極結構之第一對相鄰側壁與鰭片之頂表面之間的第一間距，及界定閘極結構之第二對相鄰側壁與隔離結構之頂表面之間的第二間距之閘極結構；隔離結構之第二對相鄰側壁及頂表面上之第一介電層；第一介電層上方並填充第二空間之下部的第二介電層，其中第一介電層及第二介電層包含不同材料；鰭片之頂表面上方及在第一對相鄰側壁之間的第一接觸特徵；及第二介電層之頂表面上方及在第二對相鄰側壁之間的第二接觸特徵，其中鰭片之頂表面處在與第二介電層之頂表面約相同的高度處。

【0058】 在實施例中，半導體裝置另外包括在第一對相鄰側壁上方及在第二介電層以上之第二對相鄰側壁的部分上方的第三介電層。在實施例中，第一介電層亦設置在第三介電層與第一對相鄰側壁之每個之間。在另一實施例中，第一介電層亦設置在第三介電層與第二對相鄰側壁之每個之間。

【0059】 在又一示範性態樣中，本揭示案關於半導體裝置。半導體裝置包括隔離結構；鄰近隔離結構之鰭片；隔離結構及鰭片上方之閘極結構；隔離結構之頂表面、鰭片之頂表面、及閘極結構之側壁上方的第一介電層；在隔離結構正上方之第一介電層的部分上方的第二介電層，其中第一介電層及第二介電層包括不同材料；與在鰭片正上方之第一介電層的另一部分實體接觸、與鰭片實體接觸、及與在隔離結構正上方之第一介電層及第二介電層實體接觸的第三介電層；及第三介電層上方之第四介電層。

【0060】 在實施例中，半導體裝置另外包括在鰭片之頂表面上方並穿透第一介電層、第三介電層及第四介電層的第一導電特徵；及在隔離結構之頂表面上方並穿透第三介電層及第四介電層但未穿透第二介電層的第二導電特徵。半導體裝置可以另外包括與第一導電特徵實體接觸之源極/汲極特徵。

【0061】 在又一示範性態樣中，本揭示案關於半導體裝置。半導體裝置包括隔離結構；鄰近隔離結構之鰭片；隔離結構及鰭片上方之閘極結構；在隔離結構之頂表面上方及在

隔離結構正上方之閘極結構的側壁上的第一介電層；第一介電層上方之第二介電層；與閘極結構之側壁實體接觸、與鰭片實體接觸、及與第二介電層實體接觸之第三介電層，其中第二介電層包括不同於含在第一介電層及第三介電層中的材料；及第三介電層上方之第四介電層。

**【0062】** 在一些實施例中，半導體裝置另外包括在鰭片上方且穿透第三介電層及第四介電層之第一導電特徵；及第二介電層上方且穿透第三介電層及第四介電層之第二導電特徵。在半導體裝置之一些實施例中，第二介電層之頂表面低於鰭片之頂表面。

**【0063】** 上文概述若干實施例之特徵，使得熟習此項技術者可更好地理解本揭示案之態樣。熟習此項技術者應瞭解，可輕易使用本揭示案作為設計或修改其他製程及結構的基礎，以便實施本文所介紹之實施例的相同目的及/或實現相同優勢。熟習此項技術者亦應認識到，此類等效結構並未脫離附加主張之精神及範疇，且可在不脫離附加主張之精神及範疇的情況下產生本文的各種變化、替代及更改。

## **【符號說明】**

### **【0064】**

10 方法

12 操作

14 操作

14a 步驟

- 14b 步驟
- 14c 步驟
- 16 操作
- 17 操作
- 18 操作
- 19 操作
- 20 操作
- 22 操作
- 24 操作
- 100 裝置結構
- 102 基板
- 104 鱗片
- 104' 頂表面
- 106 隔離結構
- 108a 閘極結構
- 108b 閘極結構
- 108c 閘極結構
- 108d 閘極結構
- 108e 閘極結構
- 109a 溝槽
- 109b 溝槽
- 109c 溝槽
- 109d 溝槽
- 110 介電層

- 110' 介電層
- 112 閘電極層
- 112' 閘電極層
- 114 硬遮罩層
- 116 硬遮罩層
- 118 間隔物層
- 120 S/D特徵
- 122 接觸蝕刻停止層
- 122a 頂端部分
- 122b 側壁部分
- 124 層間介電層
- 124' 頂表面
- 126 層
- 128 接觸蝕刻停止層
- 130 層間介電層
- 132 接觸蝕刻停止層
- 134 層間介電層
- 136a 接觸特徵
- 136b 接觸特徵
- 136c 接觸特徵
- 136d 接觸特徵
- X、Z 方向

I643293

**【發明摘要】****【中文發明名稱】** 用於半導體製造之方法**【英文發明名稱】** METHOD FOR SEMICONDUCTOR  
FABRICATION**【中文】**

半導體製造之方法包括提供一種裝置結構，裝置結構具有隔離結構、鄰近隔離結構且比隔離結構高之鰭片、及位在鰭片及隔離結構上方之閘極結構。隔離結構、鰭片及閘極結構界定鰭片上方之第一溝槽及隔離結構上方之第二溝槽。方法另外包括在閘極結構、鰭片及隔離結構上方形成第一接觸蝕刻停止層、在第一接觸蝕刻停止層上方沉積第一層間介電層並填充第一溝槽及第二溝槽，以及凹進第一層間介電層使得去除第一溝槽中之第一層間介電層並將第二溝槽中之第一層間介電層凹至與鰭片之頂表面約齊平的高度。

**【英文】**

A method includes providing a device structure having an isolation structure, a fin adjacent the isolation structure and taller than the isolation structure, and gate structures over the fin and the isolation structure. The isolation structure, the fin, and the gate structures define a first trench over the

fin and a second trench over the isolation structure. The method further includes forming a first contact etch stop layer over the gate structures, the fin, and the isolation structure; depositing a first inter-layer dielectric (ILD) layer over the first contact etch stop layer and filling in the first and second trenches; and recessing the first ILD layer such that the first ILD layer in the first trench is removed and the first ILD layer in the second trench is recessed to a level that is about even with a top surface of the fin.

【指定代表圖】 第10圖

【代表圖之符號簡單說明】

- 100 裝置結構
- 102 基板
- 104 鰭片
- 106 隔離結構
- 108a 閘極結構
- 108b 閘極結構
- 108c 閘極結構
- 108d 閘極結構
- 108e 閘極結構
- 110' 介電層
- 112' 閘電極層

## 【發明申請專利範圍】

【第 1 項】一種用於半導體製造之方法，該方法包含以下步驟：

提供一裝置結構，具有一隔離結構、鄰近該隔離結構且比該隔離結構高之一鰭片，及位在該鰭片及該隔離結構上方之多個閘極結構，其中該隔離結構、該鰭片及該些閘極結構界定該鰭片上方之一第一溝槽及該隔離結構上方之一第二溝槽；

在該些閘極結構、該鰭片及該隔離結構上方形成一第一接觸蝕刻停止層；

在該第一接觸蝕刻停止層上方沉積一第一層間介電層並填充該第一溝槽及該第二溝槽；以及

凹進該第一層間介電層使得去除該第一溝槽中之該第一層間介電層並將該第二溝槽中之該第一層間介電層凹至與該鰭片之一頂表面約齊平的一高度。

【第 2 項】如請求項 1 所述之方法，其中該第一接觸蝕刻停止層在該些閘極結構之頂部的厚度比在該些閘極結構之側壁上的厚度厚。

【第 3 項】如請求項 2 所述之方法，更包含以下步驟：

在凹進該第一層間介電層之步驟後，在該第一溝槽中之該第一接觸蝕刻停止層上方、該第二溝槽中之該第一接觸蝕刻停止層及該第一層間介電層上方形成一第二接觸蝕刻停止層；以及



在該第二接觸蝕刻停止層上方沉積一第二層間介電層以填充該第一溝槽及該第二溝槽。

**【第 4 項】**如請求項 2 所述之方法，其中形成該第一接觸蝕刻停止層的步驟包括：

在該些閘極結構、該鰭片及該隔離結構上方沉積包含一介電質材料之一共形層；

使用一電漿處理該共形層，使得在該些閘極結構之頂部上之該共形層之第一部分比該些閘極結構之該側壁上的該共形層之第二部分接收更多電漿處理；以及

供給一化學溶液至該共形層，該化學溶液溶解該第二部分比溶解該第一部分更快。

**【第 5 項】**如請求項 1 所述之方法，更包含以下步驟：

在凹進該第一層間介電層之步驟後，凹進該第一接觸蝕刻停止層使得該第一接觸蝕刻停止層從該第一溝槽移除，及從該第一層間介電層上方之該第二溝槽移除。

**【第 6 項】**如請求項 5 所述之方法，更包含以下步驟：

在凹進該第一接觸蝕刻停止層之步驟後，在該第一溝槽及第二溝槽之側壁上形成一第二接觸蝕刻停止層；以及

在該第二接觸蝕刻停止層上方沉積一第二層間介電層以填充該第一溝槽及第二溝槽。

**【第 7 項】**如請求項 6 所述之方法，更包含以下步驟：

在該第一溝槽中形成伸入該第二層間介電層中的一第一接觸特徵及在該第二溝槽中形成伸入該第二層間介電層中的一第二接觸特徵。

【第 8 項】一種用於半導體製造之方法，該方法包含以下步驟：

提供一裝置結構，該裝置結構具有：

一基板；

一鰭片，從該基板延伸；

一隔離結構，在該基板上方並鄰近該鰭片，該隔離結構比該鰭片更低；以及

在該鰭片及該隔離結構上方之多個閘極結構，其中該鰭片、該隔離結構、及該些閘極結構界定該鰭片上方之一第一溝槽及該隔離結構上方之一第二溝槽；

在該些閘極結構、該鰭片及該隔離結構上方形成一第一接觸蝕刻停止層，其中該第一接觸蝕刻停止層在該些閘極結構之頂部的厚度比在該些閘極結構之側壁的厚度厚；

在該第一接觸蝕刻停止層上方沉積一第一層間介電層並填充該第一溝槽及該第二溝槽；以及

凹進該第一層間介電層，以去除該第一溝槽中之該第一層間介電層並將該第二溝槽中之該第一層間介電層凹至與該鰭片之一頂表面約相同之一高度。

【第 9 項】一種用於半導體製造之方法，該方法包含以下步驟：

提供一裝置結構，具有一隔離結構、橫向地鄰接該隔離結構且比該隔離結構高之一鰭片，及位在該鰭片及該隔離結構上方之多個閘極結構，其中該隔離結構、該鰭片及該些閘極結構界定該鰭片上方之一第一溝槽及該隔離結構上方之一第二溝槽；

在該些閘極結構、該鰭片及該隔離結構上方沉積一第一接觸蝕刻停止層；

在該第一接觸蝕刻停止層上方沉積一第一層間介電層以填充該第一溝槽及第二溝槽；

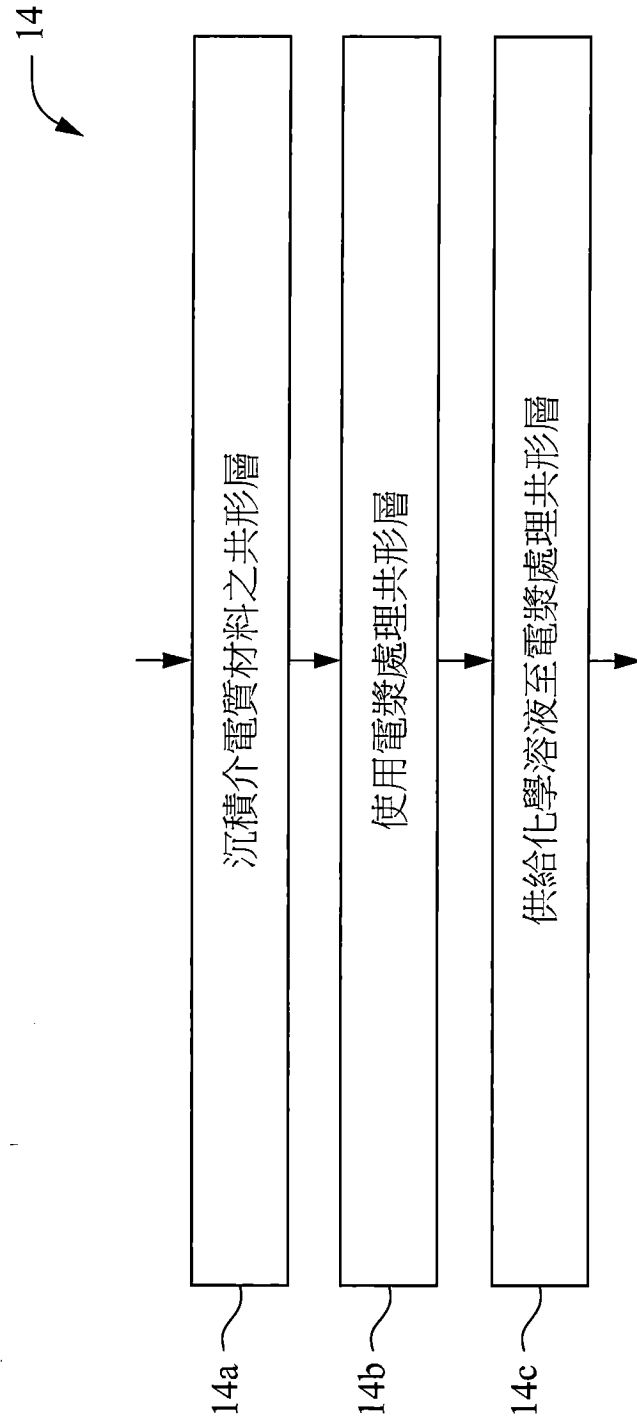
凹進該第一層間介電層，使得去除該第一溝槽中之該第一層間介電層並將該第二溝槽中之該第一層間介電層凹至與該鰭片之一頂表面約相同之一高度；以及

凹進該第一接觸蝕刻停止層使得該第一接觸蝕刻停止層從該第一溝槽移除，及從該第一層間介電層以上之該第二溝槽移除。

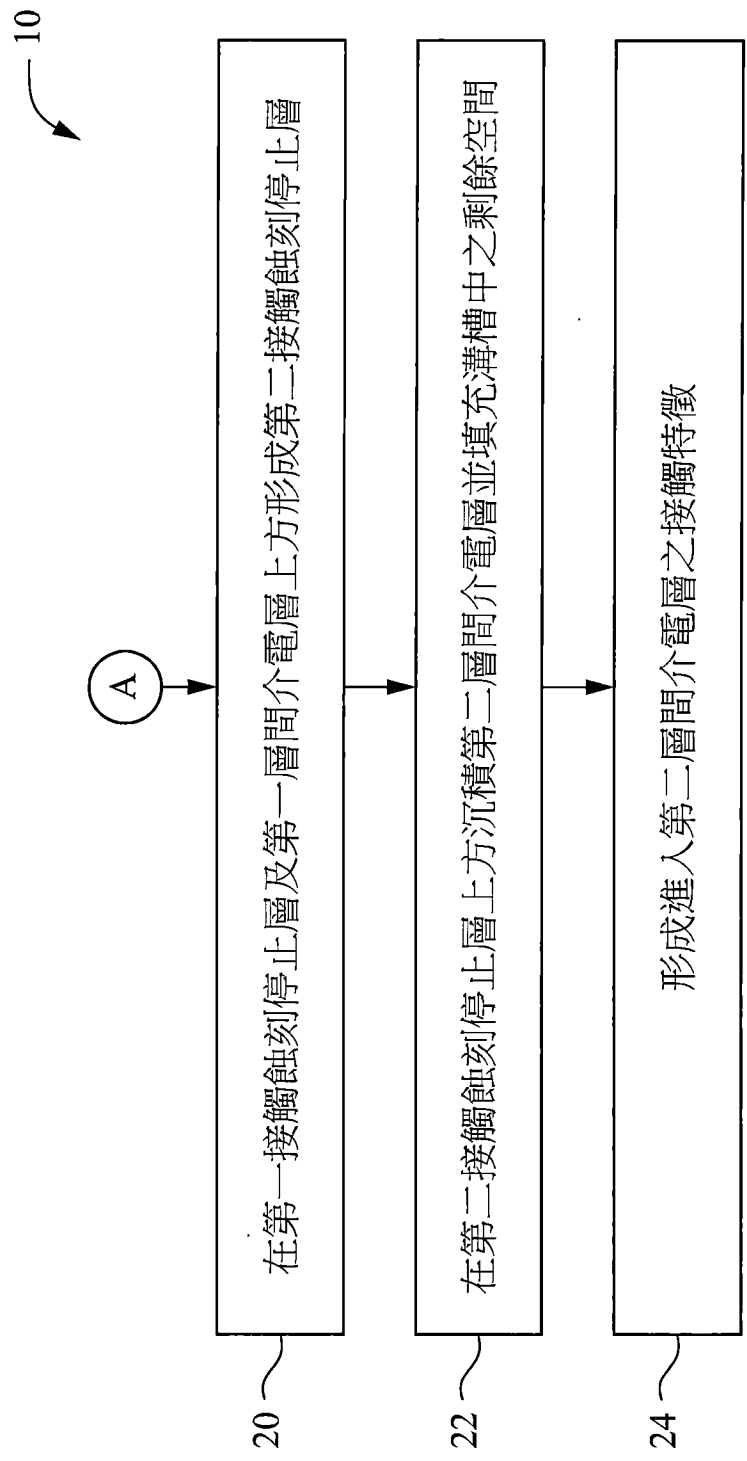
**【第 10 項】**如請求項 9 所述之方法，更包含以下步驟：

在該第二接觸蝕刻停止層上方沉積一第二層間介電層；  
以及

形成分別穿透在該第一溝槽及該第二溝槽中之該第二層間介電層的兩個接觸特徵。



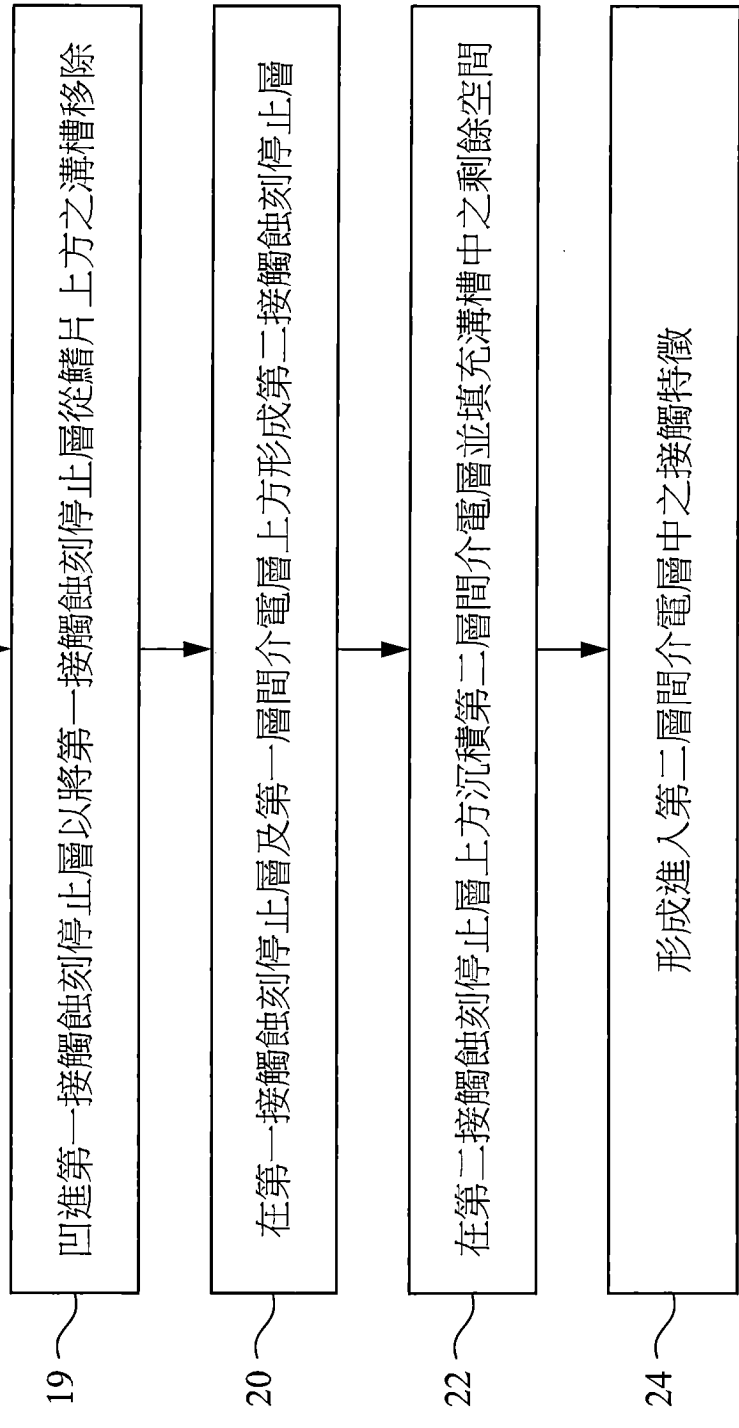
第 1B 圖



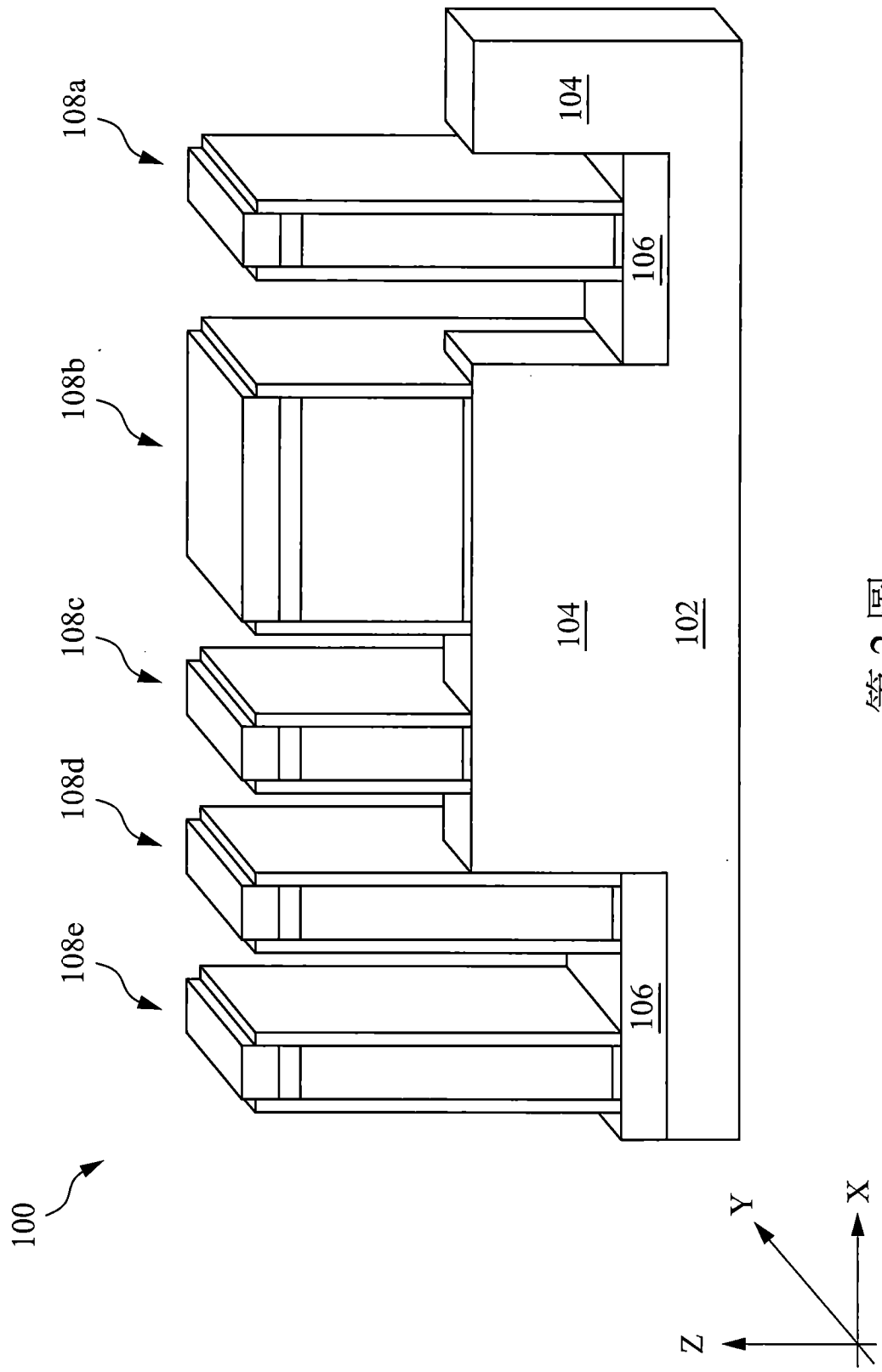
第 1C 圖

10

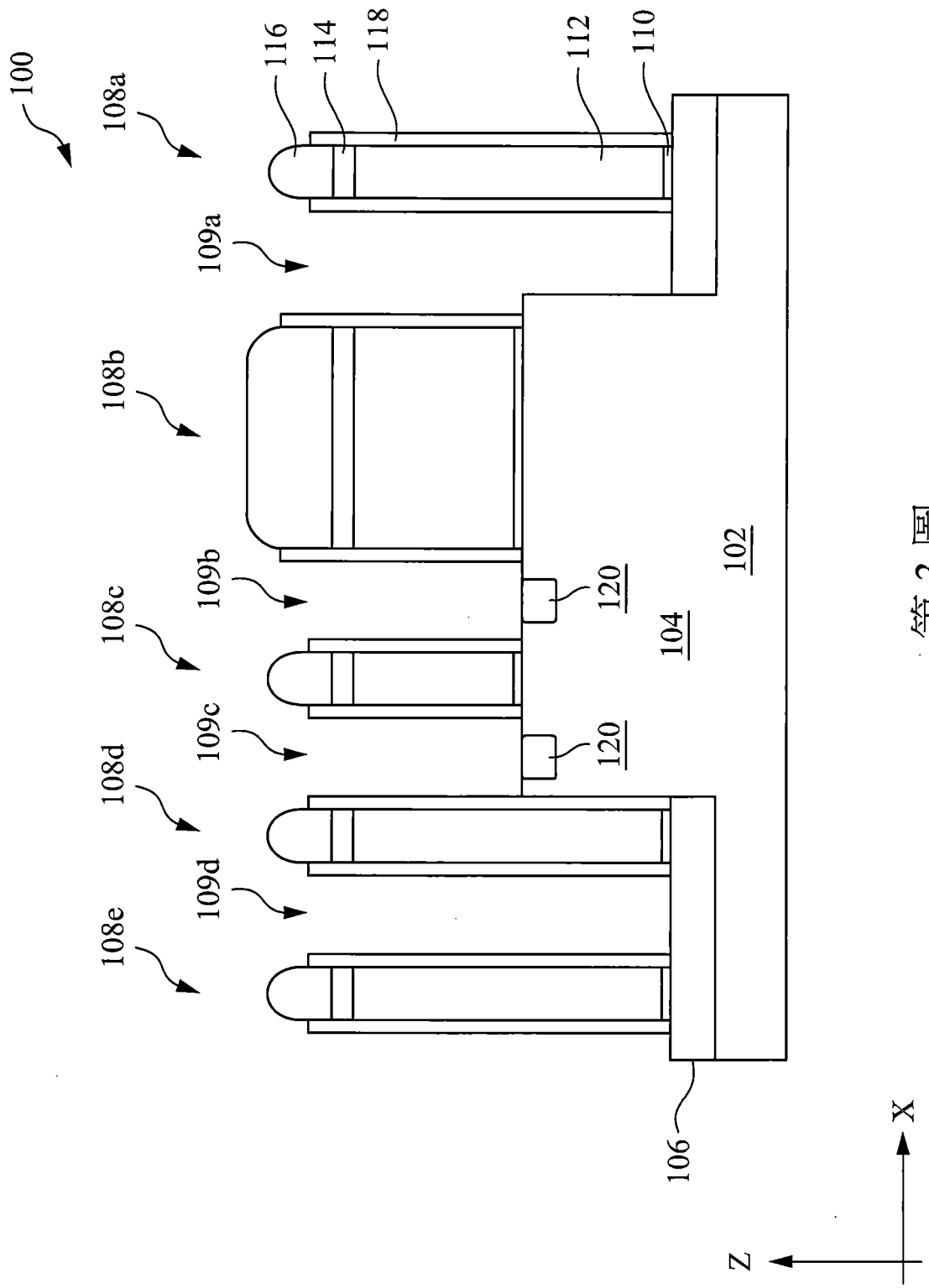
A



第1D圖

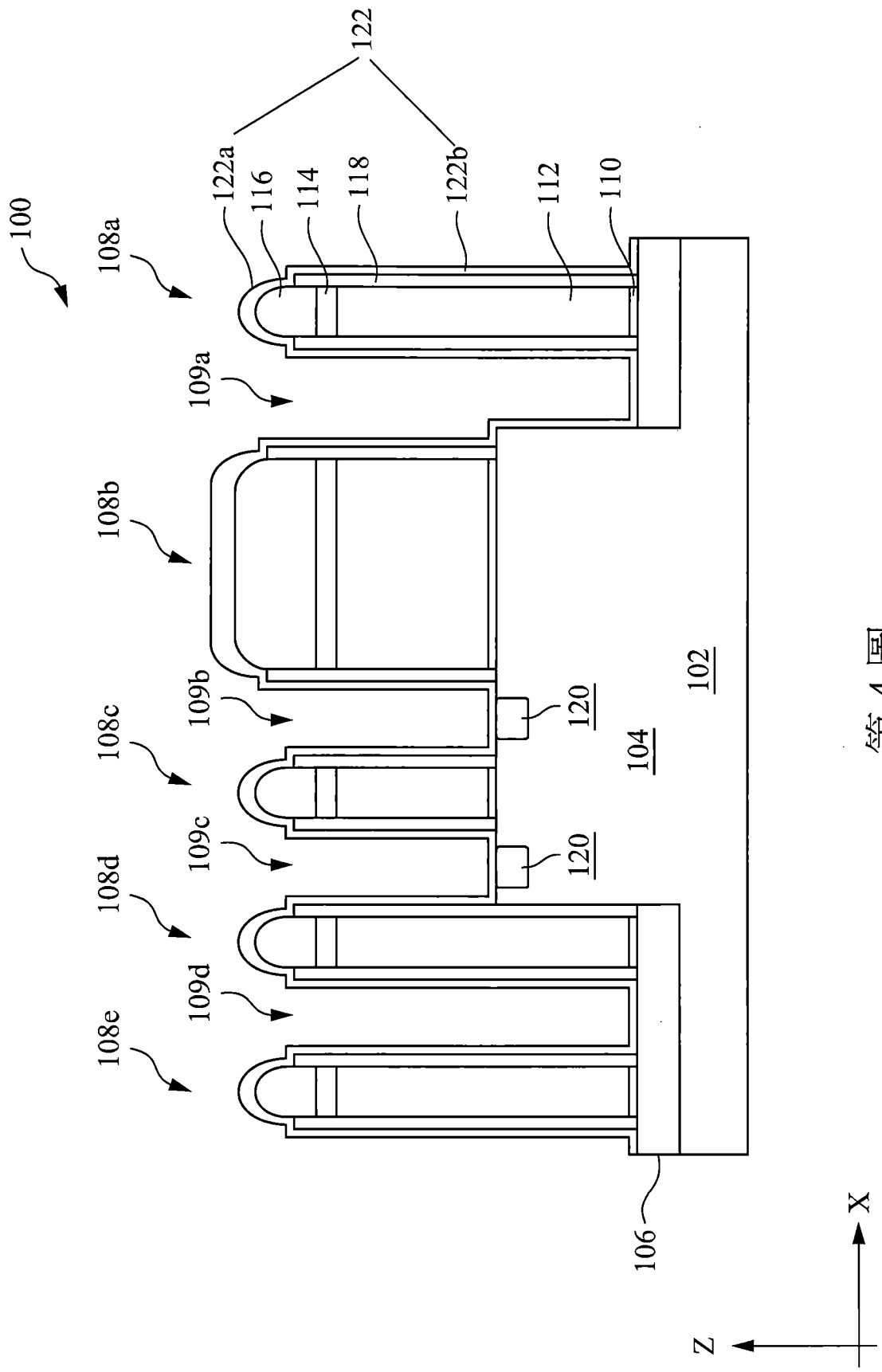


第 2 圖

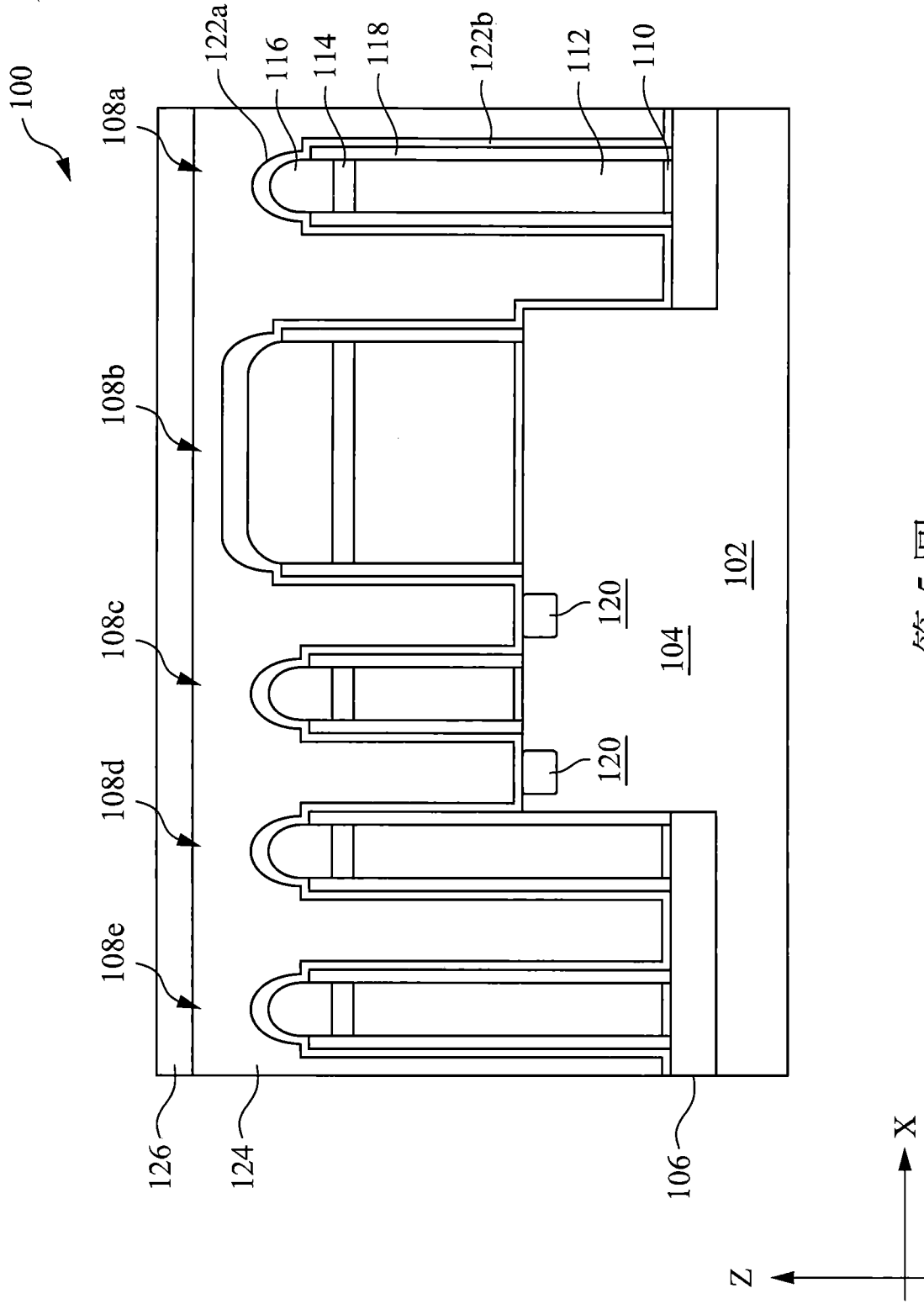


第3圖

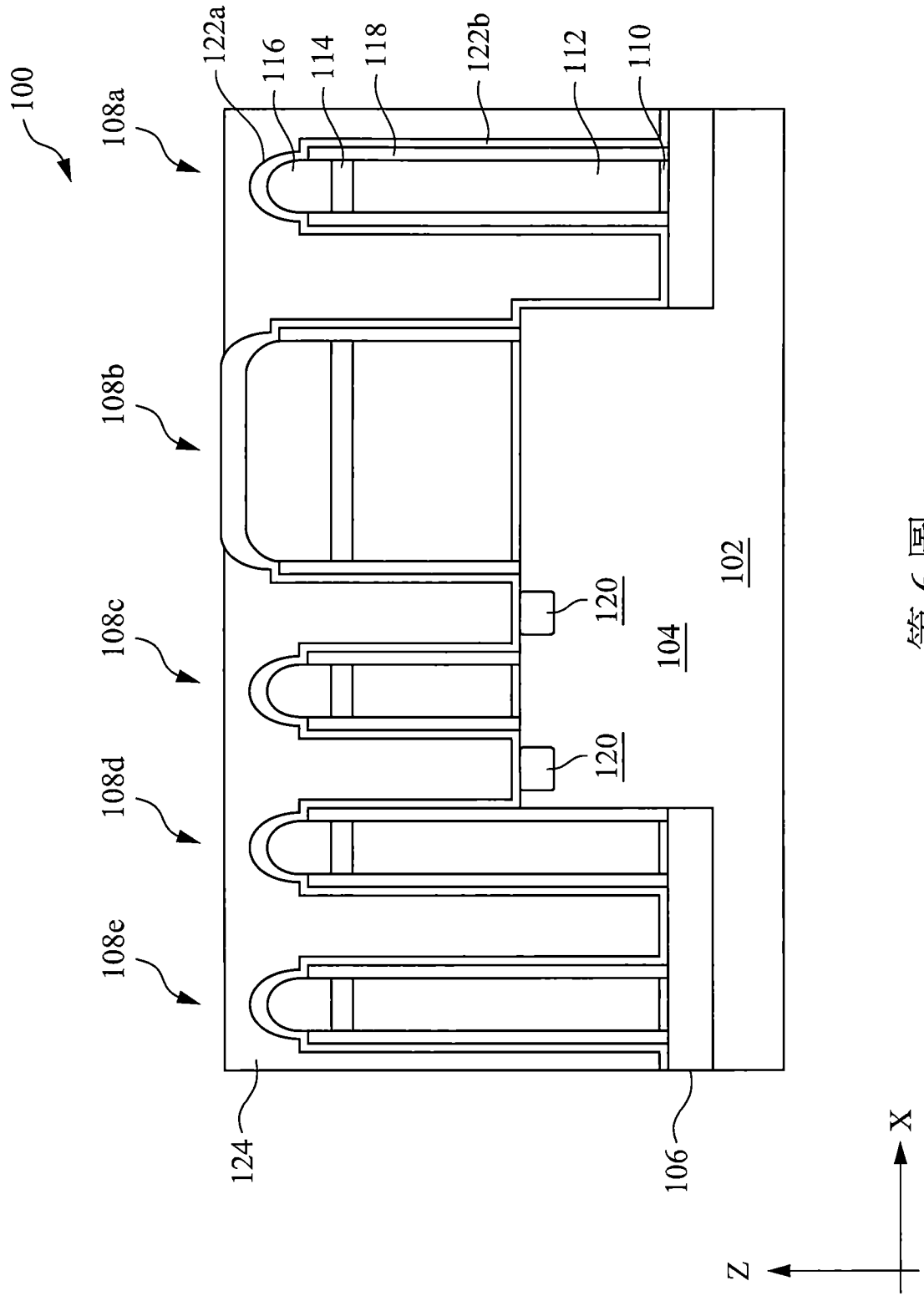




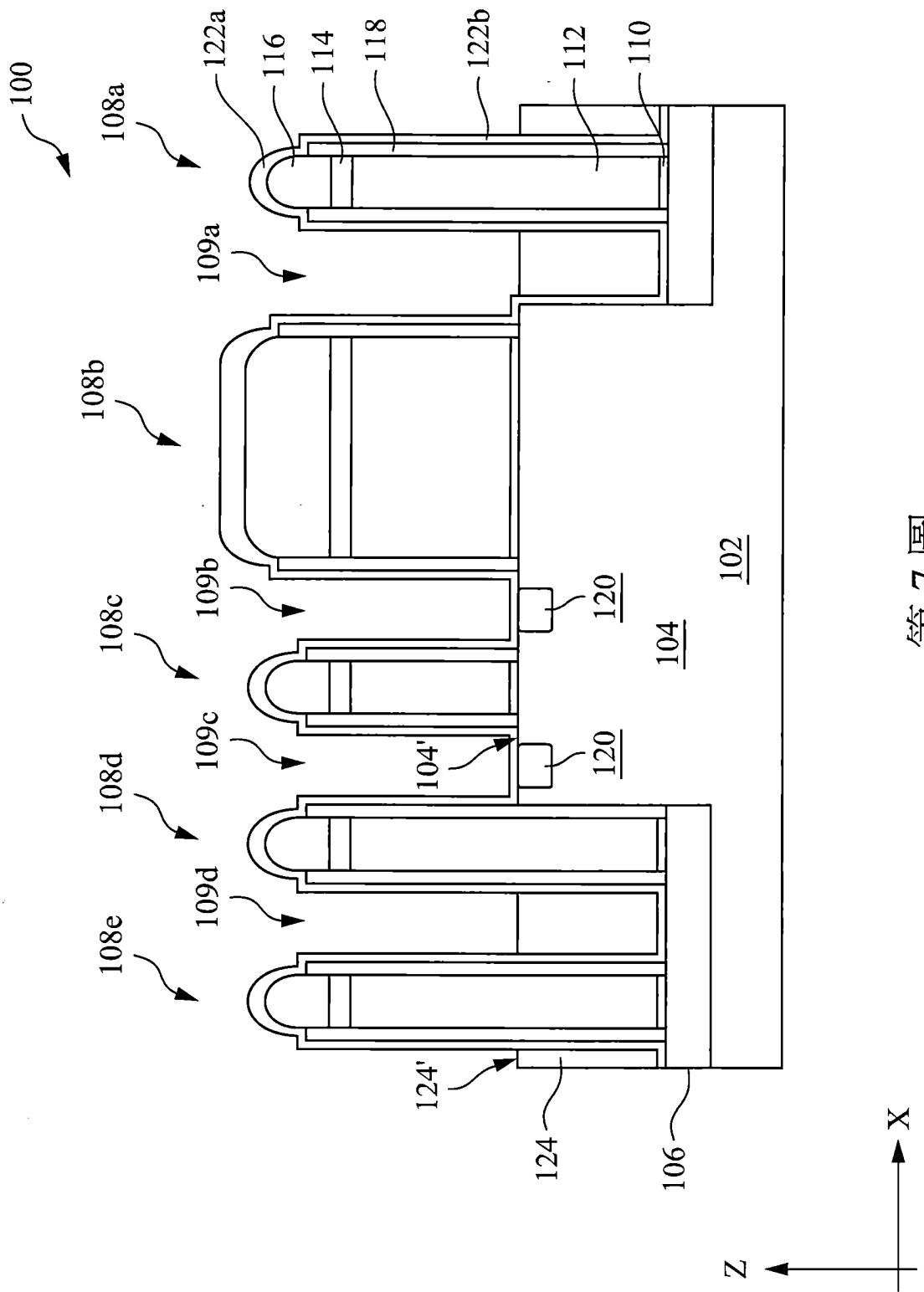
第4圖



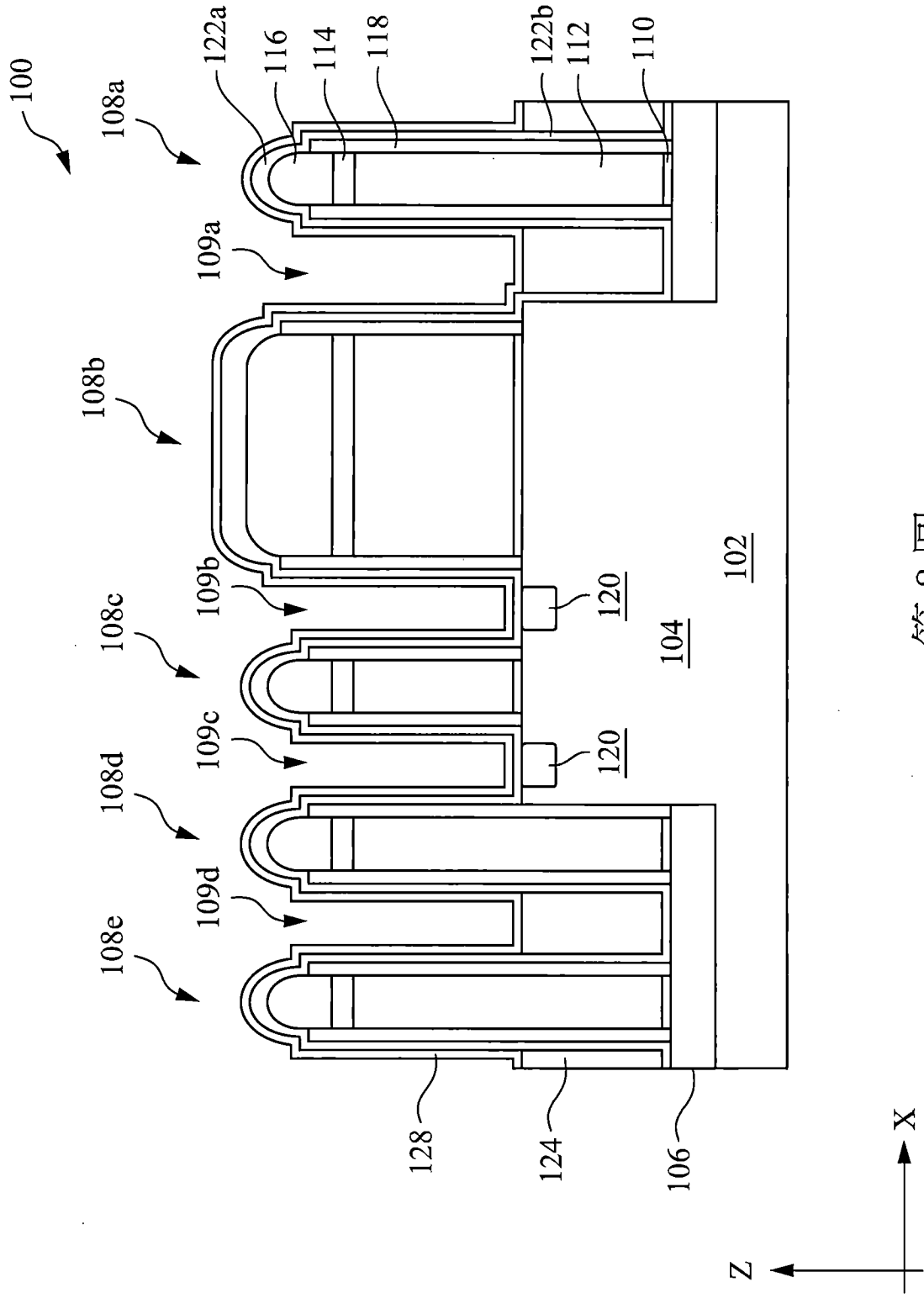
第5圖



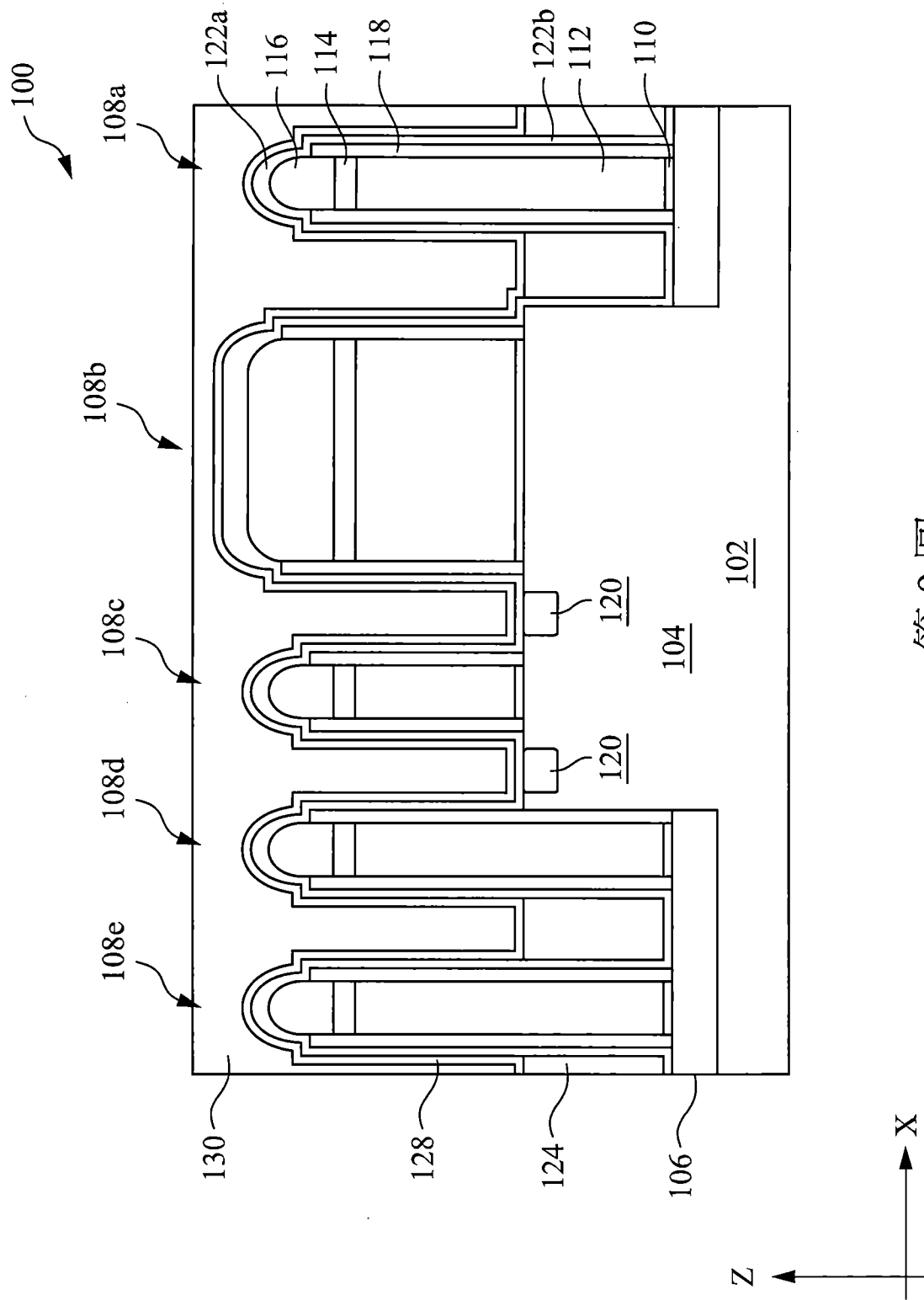
第6圖



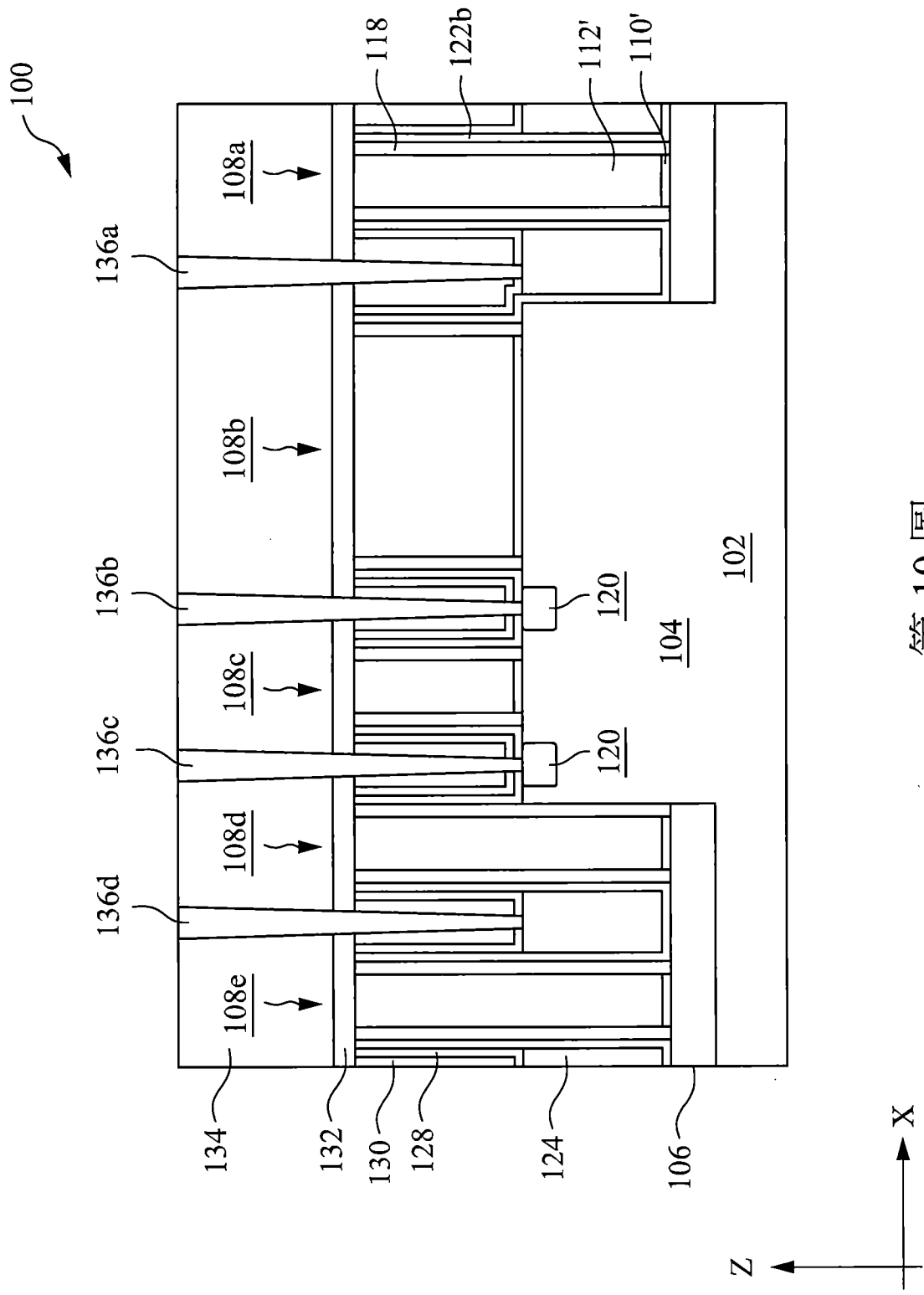
第7圖



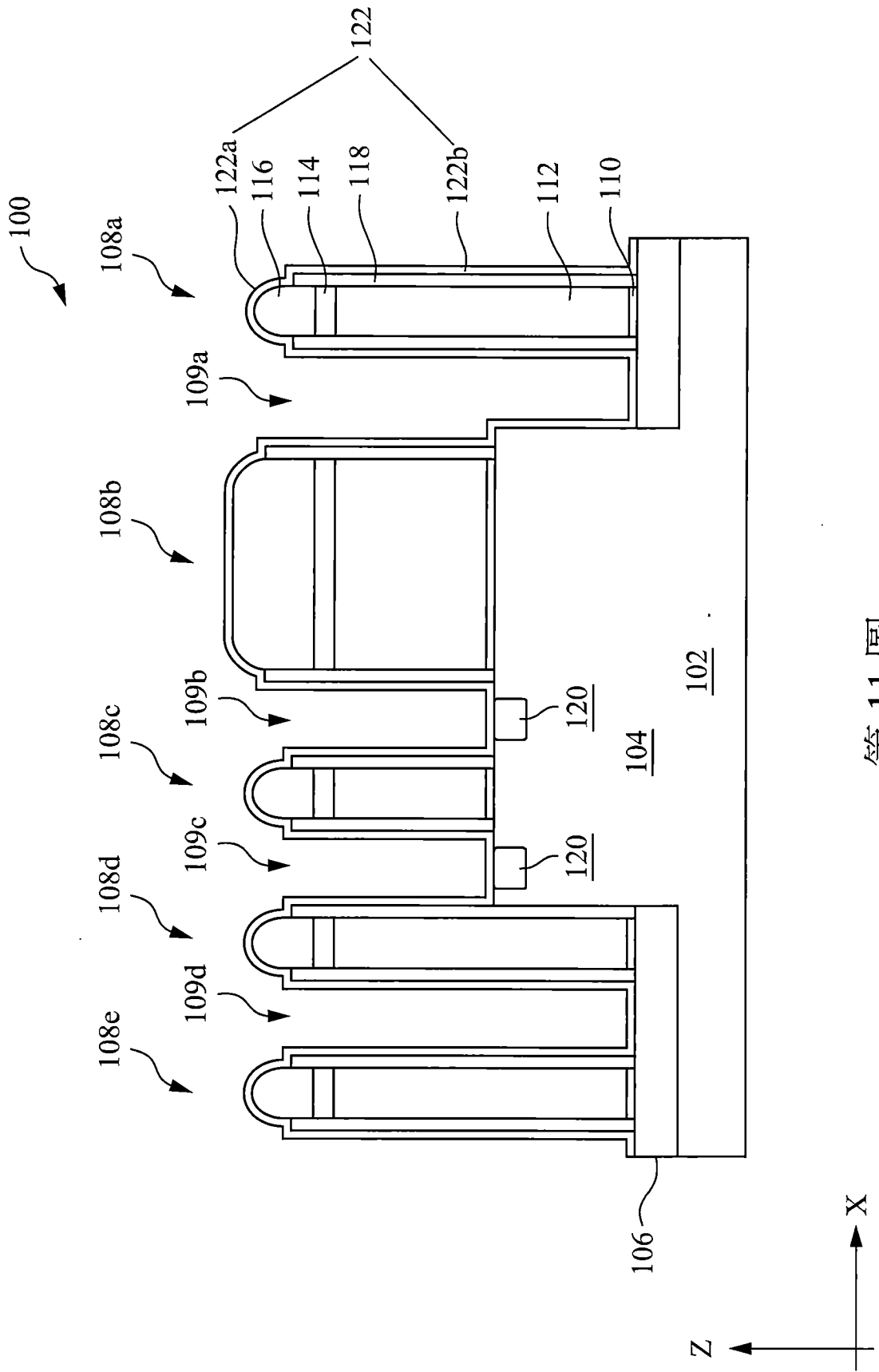
第 8 圖



第9圖

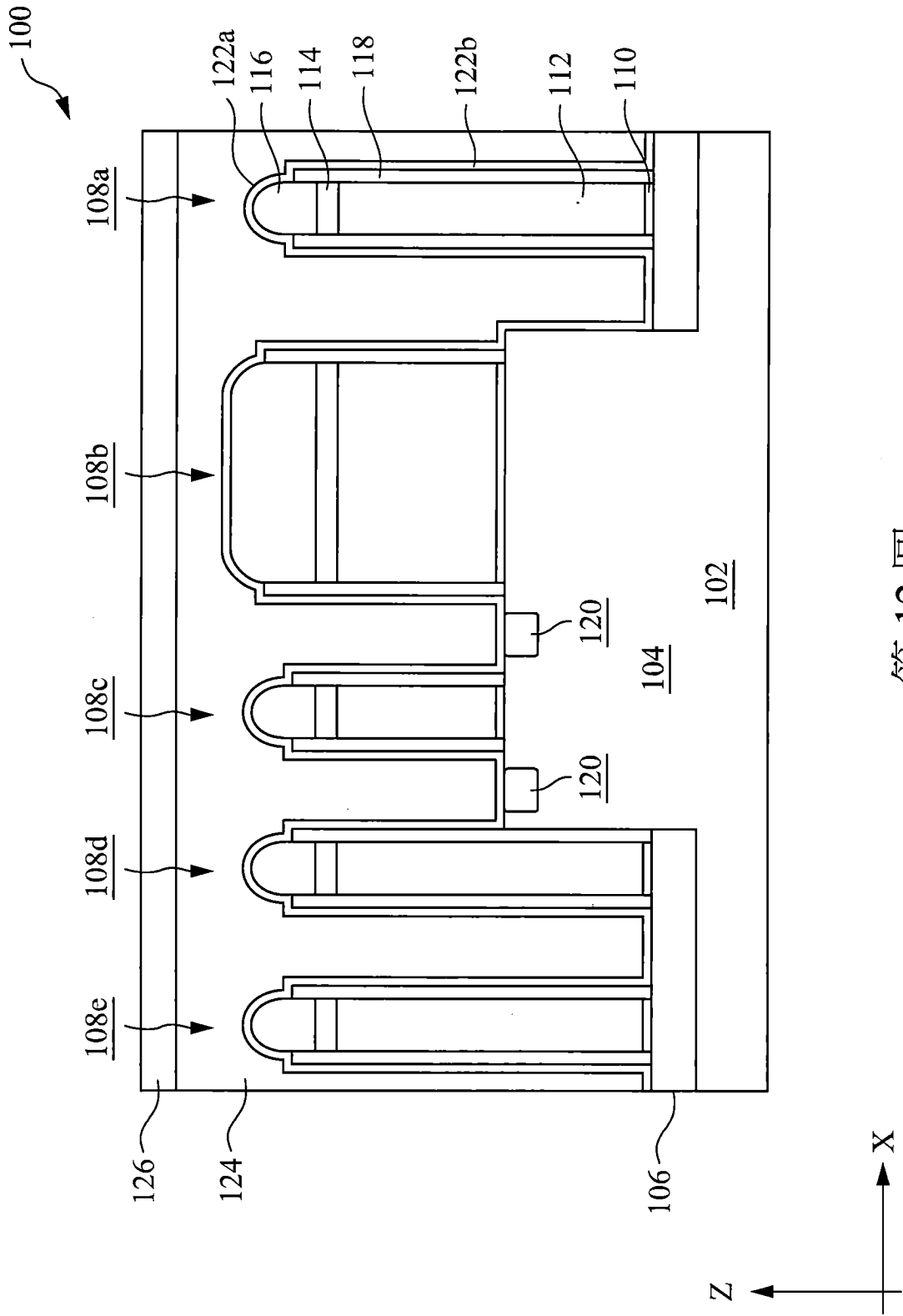


第 10 圖

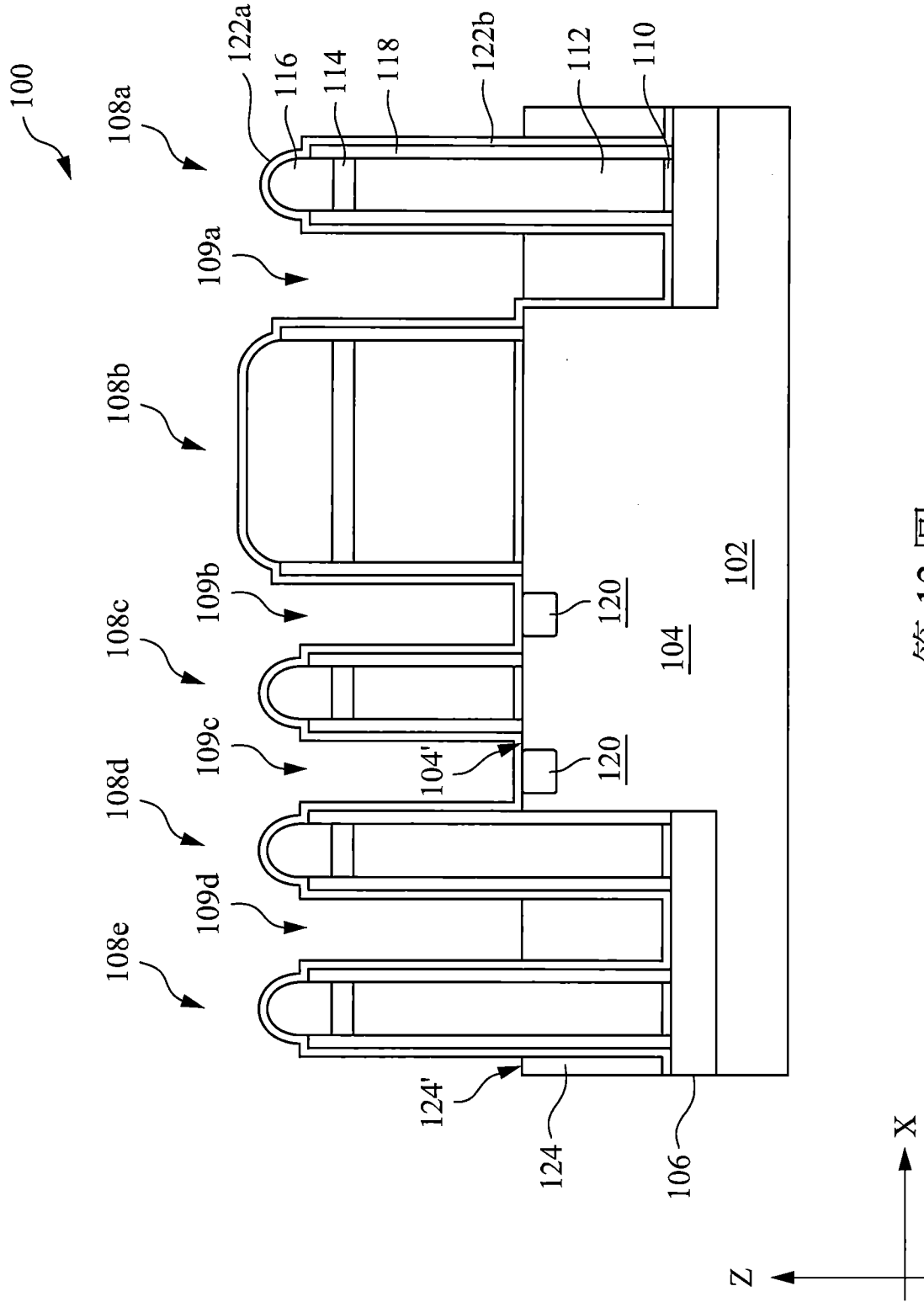


第 11 圖

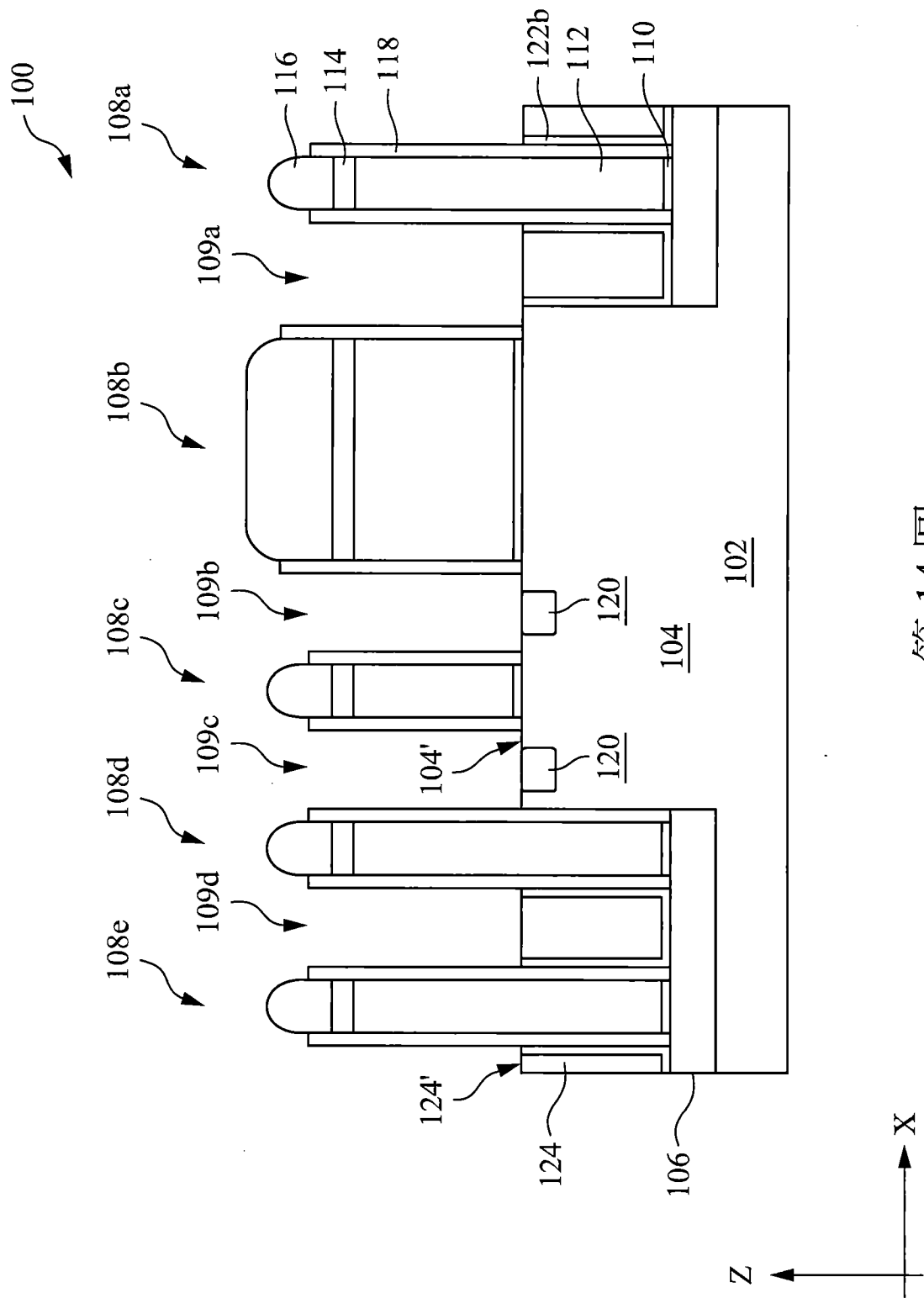




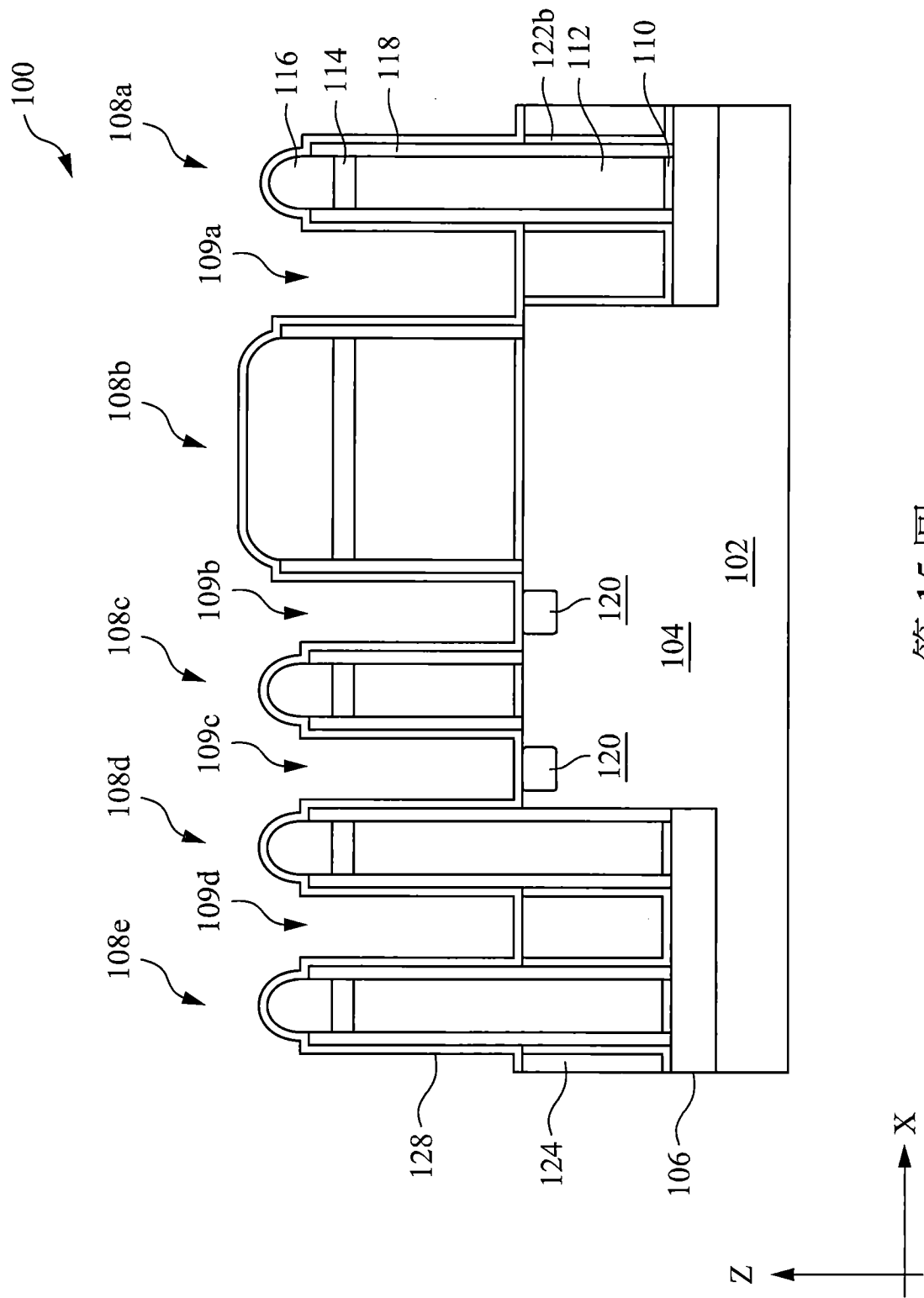
第12圖



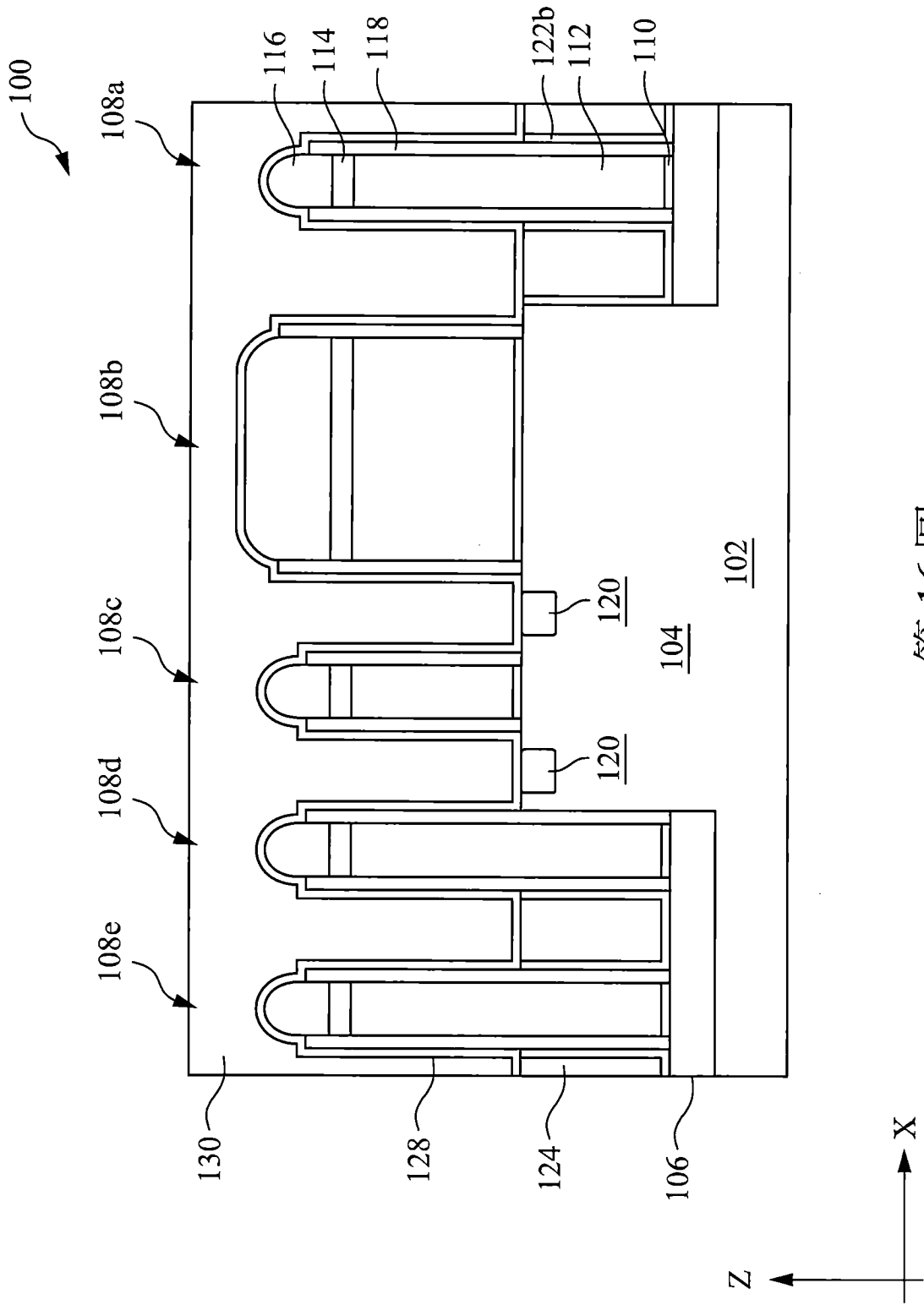
第13圖



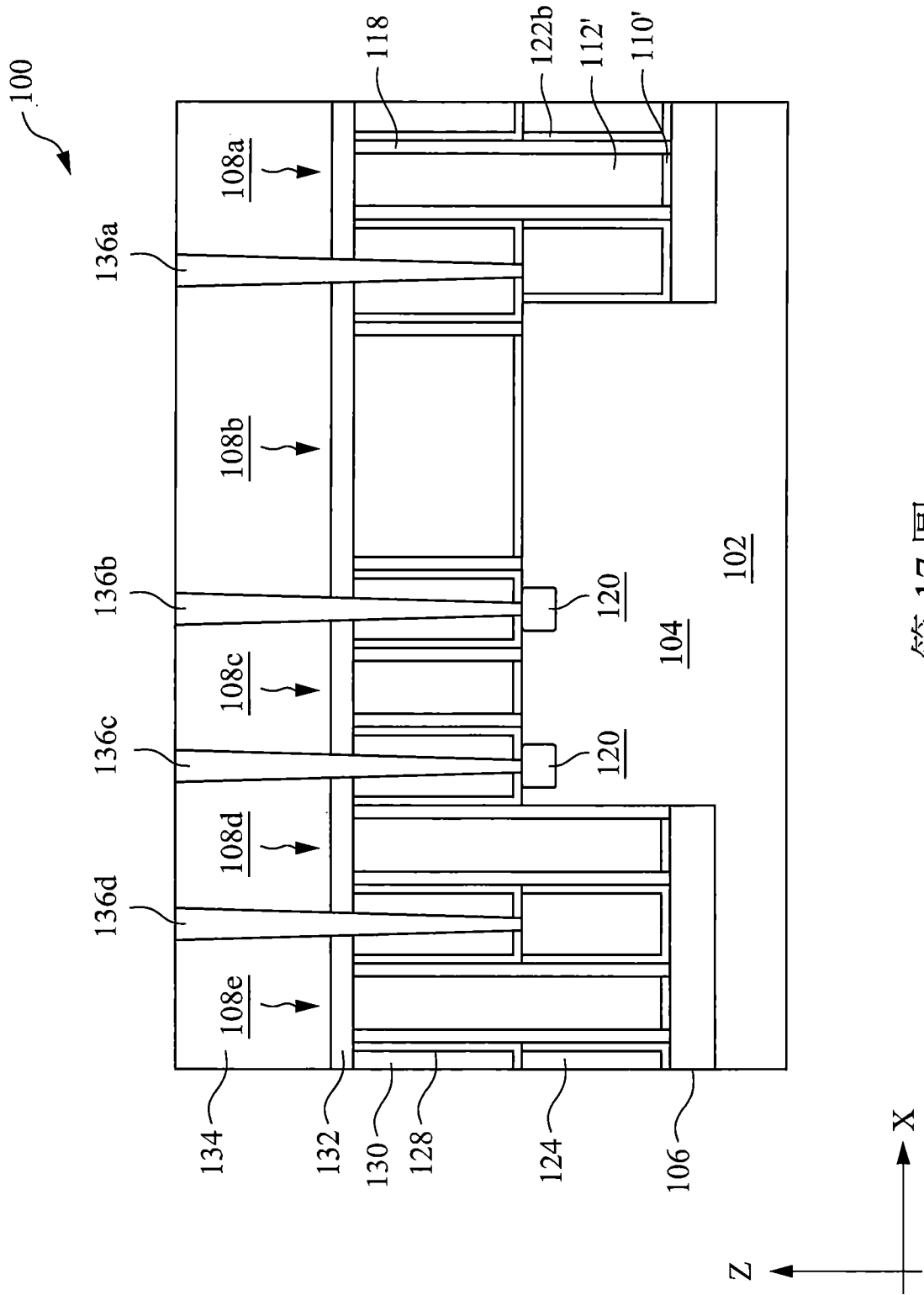
第14圖



第15圖



第 16 圖



第17圖

fin and a second trench over the isolation structure. The method further includes forming a first contact etch stop layer over the gate structures, the fin, and the isolation structure; depositing a first inter-layer dielectric (ILD) layer over the first contact etch stop layer and filling in the first and second trenches; and recessing the first ILD layer such that the first ILD layer in the first trench is removed and the first ILD layer in the second trench is recessed to a level that is about even with a top surface of the fin.

【指定代表圖】 第10圖

【代表圖之符號簡單說明】

- 100 裝置結構
- 102 基板
- 104 鰭片
- 106 隔離結構
- 108a 閘極結構
- 108b 閘極結構
- 108c 閘極結構
- 108d 閘極結構
- 108e 閘極結構
- 110' 介電層
- 112' 閘電極層

- 118 間隔物層
- 120 S/D特徵
- 122b 側壁部分
- 124 層間介電層
- 128 接觸蝕刻停止層
- 130 層間介電層
- 132 第三接觸蝕刻停止層
- 134 層間介電層
- 136a 接觸特徵
- 136b 接觸特徵
- 136c 接觸特徵
- 136d 接觸特徵
- Z、X 方向

**【特徵化學式】**

無



留在基板102上。蝕刻製程可以包括乾式蝕刻、濕式蝕刻、反應性離子蝕刻(reactive ion etching; RIE)及/或其他適宜製程。例如，乾式蝕刻製程可以實施含氧氣體、含氟氣體（例如， $\text{CF}_4$ 、 $\text{SF}_6$ 、 $\text{CH}_2\text{F}_2$ 、 $\text{CHF}_3$ 及/或 $\text{C}_2\text{F}_6$ ）、含氯氣體（例如， $\text{Cl}_2$ 、 $\text{CHCl}_3$ 、 $\text{CCl}_4$ 及/或 $\text{BCl}_3$ ）、含溴氣體（例如， $\text{HBr}$ 及/或 $\text{CHBR}_3$ ）、含碘氣體、其他適宜氣體及/或電漿、及/或其組合。例如，濕式蝕刻製程可以包含在稀釋氫氟酸(DHF)；氫氧化鉀(KOH)溶液；氨；含有氫氟酸(HF)、硝酸( $\text{HNO}_3$ )及/或乙酸( $\text{CH}_3\text{COOH}$ )之溶液中；或其他適宜濕式腐蝕劑中蝕刻。鱗片104亦可使用雙重圖案化光微影(double-patterning lithography; DPL)製程形成。用以形成鱗片104之方法的眾多其他實施例可能為適宜的。

【0017】 隔離結構106可以包含氧化矽、氮化矽、氮氧化矽、氟化物摻雜矽酸鹽玻璃(fluoride-doped silicate glass; FSG)、低K介電質材料及/或其他適宜絕緣材料。在一些實施例中隔離結構106可以為淺溝槽隔離(shallow trench isolation; STI)特徵。隔離結構106可以藉由在基板102中蝕刻溝槽（例如，作為鱗片104形成製程之部分）而形成。溝槽可以隨後充滿隔離材料，之後進行化學機械平坦化(chemical mechanical planarization; CMP)處理。諸如場氧化、矽之局部氧化(LOCAl Oxidation of Silicon; LOCOS)之其他隔離結構，及/或其他適宜結構為可能的。隔離結構106可以包括例如具有一或多個熱氧化襯墊層之多層結構。

括諸如氮化矽(SiN)、氧化矽(SiO<sub>2</sub>)、氮氧化矽(SiON)及/或其他材料之介電質材料。接觸蝕刻停止層 122可以藉由包括電漿增強CVD(plasma enhanced CVD; PECVD)、ALD及/或其他適宜沉積或氧化製程之一或多個方法而形成。在本實施例中，閘極結構108a至閘極結構108e之頂部上的接觸蝕刻停止層 122之頂部122a形成為比閘極結構108a至閘極結構108e之側壁上的接觸蝕刻停止層 122之側壁部分122b厚。在替代實施例中(如在後續論述之第11圖中圖示)，接觸蝕刻停止層 122形成為共形地，即具有在整個裝置結構100上約相同之厚度。接觸蝕刻停止層 122之其他厚度輪廓在本揭示案之範疇內。

**【0024】** 第1B圖圖示形成比側壁部分122b厚之頂端部分122a的操作14之實施例的流程圖。參看第1B圖，在本實施例中之操作14包括步驟14a、步驟14b及步驟14c。在步驟14a中，操作14例如藉由ALD方法沉積介電質材料之共形的接觸蝕刻停止層122。介電質材料在閘極結構108a至閘極結構108e之頂部及側壁、鰭片104之頂部及側壁、及隔離結構106之頂部上方大體上均勻地沉積。在步驟14b中，操作14使用諸如氫電漿及/或氮電漿之電漿處理共形的接觸蝕刻停止層。在特定示例中，電漿處理為方向性的，即，共形的接觸蝕刻停止層122之頂端部分122a比共形的接觸蝕刻停止層122之側壁部分122b接收更多的電漿處理。在步驟14c中，操作14將化學溶液應用至電漿處理共形層122。化學溶液以比其溶解或蝕刻頂端部分122a更快之速率溶解或蝕刻

側壁部分122b。因此，頂端部分122a變得比側壁部分122b厚。在示例中，化學溶液包括稀釋氫氟酸(DHF)。首先，頂端部分122a在隨後CMP處理中充當CMP停止層，如若其太薄，則其不會有效果。在一些實施例中，頂端部分122a至少4奈米厚。第二，側壁部分122b之存在會不必要地增大溝槽109a至溝槽109d之深寬比，因此，會期望側壁部分122b儘可能地薄。在一些實施例中，去除側壁部分122b（或其部分）並暴露間隔物層118。

**【0025】** 在操作16處，方法10（第1A圖）在第一接觸蝕刻停止層122上方沉積層間介電(inter-layer dielectric; ILD)層124。參看第5圖，層間介電層124填充各溝槽並且覆蓋閘極結構108a至閘極結構108e、鰭片104及隔離結構106。在實施例中，層間介電層124藉由可流動化學氣相沉積(flowable chemical vapor deposition; FCVD)方法沉積。例如，可流動材料（諸如液體化合物）沉積在裝置結構100上並填充溝槽109a至溝槽109d（第4圖）。隨後，執行一或多個退火製程以將可流動材料轉換至固體材料。在替代實施例中，層間介電層124可以藉由諸如電漿增強CVD(PECVD)方法之其他沉積方法而沉積。層間介電層124可以包括諸如正矽酸乙酯(TEOS)氧化物、不摻雜矽酸鹽玻璃，或諸如硼磷矽酸鹽玻璃(BPSG)、熔凝矽石玻璃(FSG)、磷矽酸鹽玻璃(PSG)、硼摻雜矽玻璃(BSG)之摻雜氧化矽、低K介電質材料及/或其他適宜介電質材料的

材料。在本實施例中，操作16進一步藉由PECVD在層間介電層124上方沉積氧化層126。

【0026】 在操作17處，方法10（第1A圖）對層間介電層124執行化學機械平坦化(CMP)製程。在本實施例中，CMP製程首先去除氧化層126，隨後凹進層間介電層124直到暴露接觸蝕刻停止層122之頂表面，諸如在第6圖中圖示。頂端部分122a在本實施例中充當CMP停止層。

【0027】 在操作18處，方法10（第1A圖）藉由蝕刻製程凹進層間介電層124。蝕刻製程在實施例中為乾式蝕刻。調諧蝕刻製程以選擇性蝕刻層間介電層124而非（或不顯著蝕刻）接觸蝕刻停止層122。參看第7圖，去除鰭片104上方之層間介電層124及凹進隔離結構106上方之層間介電層124，使得其頂表面124'在與鰭片104之頂表面104'約相同之高度處。具有層間介電層124之一個目的為在溝槽109a至溝槽109d中提供約相同的深度使得在溝槽中形成之接觸特徵（若有）將有約相同的深度。因此，需要使頂表面124'與頂表面104'約齊平（在約相同高度處）。在實施例中，藉由計時器控制蝕刻製程以獲得蝕刻之特定深度。在本實施例中，方法10將要形成伸入S/D特徵120中之一些接觸特徵。在S/D特徵120上方具有一些層間介電層124可以適當地使接觸特徵避免電接觸S/D特徵120。因此，在本實施例中完全地去除溝槽109b至溝槽109c中之層間介電層124，例如，藉由對層間介電層124執行一些過度蝕刻。同一過度蝕刻亦在溝槽109a及溝槽109d中凹進層間介電層124，使得

頂表面124'可能變得略微低於頂表面104'。在一些實施例中，頂表面124'可以略微低於頂表面104'高達數奈米，諸如小於或等於15奈米。

**【0028】** 在操作20處，方法10（第1C圖）在接觸蝕刻停止層122上方及層間介電層124上方形成第二接觸蝕刻停止層128。參看第8圖，接觸蝕刻停止層128在本實施例中形成為共形層，並且其覆蓋裝置結構100之形貌。接觸蝕刻停止層128包括諸如氮化矽(SiN)、氧化矽(SiO<sub>2</sub>)、氮氧化矽(SiON)及/或其他材料之介電質材料。接觸蝕刻停止層128可以藉由包括電漿增強CVD(PECVD)、ALD及/或其他適宜沉積或氧化製程之一或多個方法而形成。在各實施例中，接觸蝕刻停止層122及接觸蝕刻停止層128可以包含相同或不同介電質材料。在本實施例中，閘極結構108a至閘極結構108e之側壁上的接觸蝕刻停止層122及接觸蝕刻停止層128之組合厚度經設計為儘可能地薄，使得溝槽109a至溝槽109d之深寬比在目標範圍內。

**【0029】** 在操作22處，方法10（第1C圖）在接觸蝕刻停止層128上方沉積第二層間介電層130。參看第9圖，層間介電層130填充溝槽並且覆蓋裝置結構100之形貌。在實施例中，層間介電層130藉由包括沉積可流動材料及退火可流動材料之FCVD方法而沉積。在替代實施例中，層間介電層130可以藉由諸如電漿增強CVD(PECVD)方法之其他沉積方法而沉積。層間介電層130可以包括諸如正矽酸乙酯(TEOS)氧化物、不摻雜矽酸鹽玻璃，或諸如硼磷矽酸鹽玻

璃(BPSG)、熔凝矽石玻璃(FSG)、磷矽酸鹽玻璃(PSG)、硼摻雜矽玻璃(BSG)之摻雜氧化矽、低K介電質材料及/或其他適宜介電質材料的材料。另外，層間介電層124及層間介電層130可以包含相同或不同介電質材料。

【0030】 在操作24處，方法10（第1C圖）形成伸入第二層間介電層130之接觸特徵136a、接觸特徵136b、接觸特徵136c及接觸特徵136d，如在第10圖中圖示。在本實施例中這包括各種製程，如下文論述。

【0031】 首先，操作24執行一或多個CMP製程以凹進層間介電層130、接觸蝕刻停止層128、接觸蝕刻停止層122及間隔物層118，及去除硬遮罩層116及硬遮罩層114。由於一或多個CMP製程，暴露閘電極層112。

【0032】 第二，操作24執行選擇性去除閘電極層112而不蝕刻層間介電層130、接觸蝕刻停止層128、接觸蝕刻停止層122及間隔物層118之一或多個蝕刻製程。在一些實施例中，一或多個蝕刻製程亦去除介電層110。因此，溝槽在每對間隔物層118之間形成。隨後，操作24在溝槽中沉積閘極介電層110'及閘電極層112'。閘極介電層110'可以包括高k介電層，諸如二氧化鈣( $\text{HfO}_2$ )、氧化鋯( $\text{ZrO}_2$ )、氧化釷( $\text{La}_2\text{O}_3$ )、二氧化鈦( $\text{TiO}_2$ )、氧化釷( $\text{Y}_2\text{O}_3$ )、鈦酸鋇( $\text{SrTiO}_3$ )、其他適宜金屬氧化物或其組合，以及可以藉由ALD及/或其他適宜方法而形成。閘電極層112'可以包括p型功函數金屬層或n型功函數金屬層。p型功函數金屬層包含但不限於從以下材料之組中選擇的金屬：氮化鈦(TiN)、

氮化鉭(TaN)、鈦(Ru)、鉬(Mo)、鎢(W)、鉑(Pt)或其組合。n型功函數金屬層包含但不限於從以下材料之組中選擇的金屬：鈦(Ti)、鋁(Al)、碳化鉭(TaC)、碳化鉭氮化物(TaCN)、氮化矽鉭(TaSiN)或其組合。p型或N型功函數金屬層可以包括複數個層及可以藉由CVD、PVD及/或其他適宜製程沉積。閘電極層112'可以另外包括金屬填充(或塊金屬)層，其包括鋁(Al)、鎢(W)、鈷(Co)、銅(Cu)及/或其他適宜材料，並且可以藉由CVD、PVD、電鍍及/或其他適宜製程而形成。操作24可以另外執行CMP製程以去除閘電極層112'之過量材料。

**【0033】** 第三，操作24在層間介電層130、接觸蝕刻停止層128、接觸蝕刻停止層122、間隔物層118及閘電極層112'之頂部上沉積第三接觸蝕刻停止層132。接觸蝕刻停止層132可以包含氮化矽(SiN)、氧化矽(SiO<sub>2</sub>)、氮氧化矽(SiON)及/或其他材料，並且可以藉由包括電漿增強CVD(PECVD)、ALD及/或其他適宜方法之一或多個方法而形成。此後，操作24在接觸蝕刻停止層132上方沉積另一層間介電層134。層間介電層134可以包括諸如正矽酸乙酯(TEOS)氧化物、不摻雜矽酸鹽玻璃，或諸如硼磷矽酸鹽玻璃(BPSG)、熔凝矽石玻璃(FSG)、磷矽酸鹽玻璃(PSG)、硼摻雜矽玻璃(BSG)之摻雜氧化矽、低K介電質材料及/或其他適宜介電質材料的材料。層間介電層134可以藉由FCVD、PECVD或其他適宜方法而形成。

【0034】 第四，操作24蝕刻穿透層間介電層134、接觸蝕刻停止層132、層間介電層130、接觸蝕刻停止層128及接觸蝕刻停止層122之接觸孔。在鰭片104之頂部上方，接觸孔暴露S/D特徵120之部分。在隔離結構106之頂部上方，接觸孔暴露層間介電層124之頂端部分。因為頂表面124'與頂表面104'（第7圖）約齊平，鰭片104以上及隔離結構106以上之接觸孔具有與從層間介電層134之頂部量測的深度約相同的深度。

【0035】 最後，操作24在接觸孔中沉積一或多個導電材料以形成接觸特徵136a至接觸特徵136d。接觸特徵136a至接觸特徵136d之每個可以包括阻障層及阻障層上方之金屬填充層。阻障層可以包括諸如TaN或TiN之導電氮化物，以及金屬填充層可以包括鋁(Al)、鎢(W)、銅(Cu)、鈷(Co)、其組合、或其他適宜材料。阻障層及金屬填充層之每個可以藉由PVD、CVD、電鍍或其他適宜方法而形成。在實施例中，矽化物或矽化鎳可以在阻障層下面及S/D特徵120以上形成。有利地，因為接觸特徵136a至接觸特徵136d具有約相同之深度及大小，所以它們趨向於隨著時間維持它們的形狀及位置而不傾斜。此外。因為隔離結構106上方之接觸孔比不具有層間介電層124之接觸孔相對更淺，所以它們變得相對更容易完全地填充接觸特徵136a及接觸特徵136d，從而降低在這些接觸特徵下具有空隙之可能性。

【0036】 方法10可以進行至另外操作以完成裝置結構100之製造。例如，方法10可以在層間介電層134頂上形成



一或多個介電層，在閘電極層112'上方形成閘極接觸塞（通孔），以及形成金屬互連以連接各電晶體之端子來形成IC。

【0037】 第1A圖及第1D圖圖示以下結合第11圖至第17圖描述的方法10的另一實施例的流程圖。

【0038】 在操作12處，方法10（第1A圖）提供或具備如第2圖至第3圖中圖示之裝置結構（或裝置）100。這已經在上文描述。

【0039】 在操作14處，方法10（第1A圖）在裝置結構100之各結構上方形成接觸蝕刻停止層122，如在第11圖中圖示。不同於在第4圖中圖示之實施例，第11圖中之接觸蝕刻停止層122大體上共形，即，其頂端部分122a具有與其側壁部分122b約相同的厚度，以及可以藉由ALD方法而形成。接觸蝕刻停止層122之其他態樣已經參考第4圖在上文描述。

【0040】 在操作16處，方法10（第1A圖）在接觸蝕刻停止層122上方沉積層間介電層124，如在第12圖中圖示。操作16可以在層間介電層124上方另外沉積氧化層126。層124及層126之材料及沉積方法已經參考第5圖在上文描述。

【0041】 在操作17處，方法10（第1A圖）執行CMP製程以去除氧化層126及凹進層間介電層124，進而暴露接觸蝕刻停止層層122。

【0042】 在操作18處，方法10（第1A圖）藉由蝕刻製程（諸如乾式蝕刻製程）凹進層間介電層124。調諧蝕刻製程以選擇性蝕刻層間介電層124而非（或不顯著蝕刻）接觸

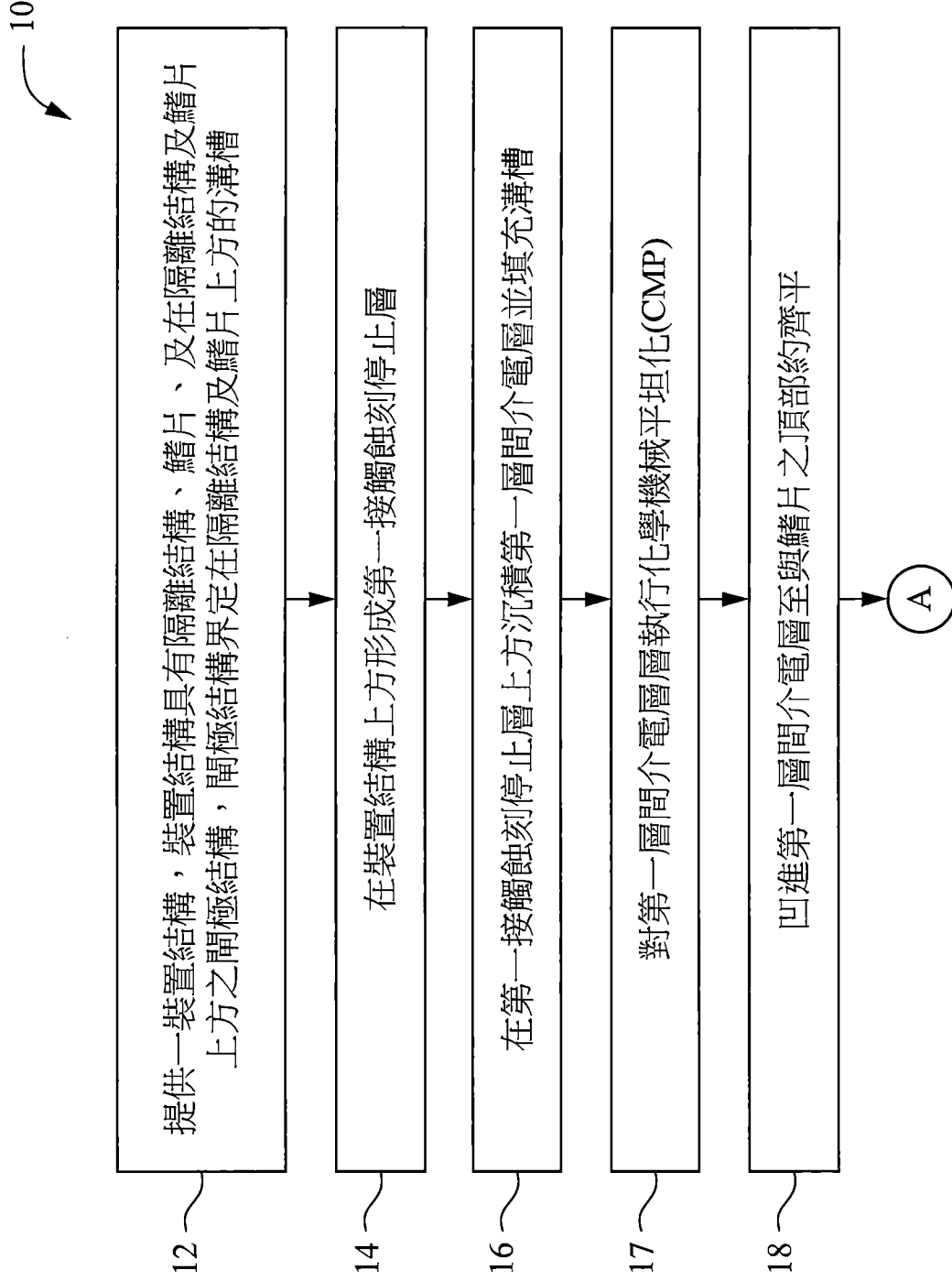
蝕刻停止層 122。參看第13圖，去除鰭片104上方之層間介電層124及凹進隔離結構106上方之層間介電層124，使得其頂表面124'在與鰭片104之頂表面104'約相同之高度處。在一些實施例中，由於過度蝕刻，頂表面124'可以略微低於頂表面104'，如上文參考第7圖論述。

**【0043】** 在操作19處，方法10（第1D圖）凹進接觸蝕刻停止層 122。參看第14圖，操作19從溝槽109b至溝槽109c去除接觸蝕刻停止層 122，並從溝槽109a及溝槽109d凹進接觸蝕刻停止層 122直到其等於或低於頂表面124'。操作19包括蝕刻製程，其經調諧以選擇性去除接觸蝕刻停止層 122之材料，而幾乎不去除硬遮罩層116、間隔物層118、鰭片104、S/D特徵120及層間介電層124。在實施例中，接觸蝕刻停止層 122包含氮化矽，硬遮罩層116包含氧化矽，間隔物層118包含氮氧化矽、氮化碳矽、氮化碳氧矽或氮化矽（不同於接觸蝕刻停止層 122之材料），以及S/D特徵120包含磷摻雜矽。本實施例進一步而言，操作19應用包含磷酸( $H_3PO_4$ )之蝕刻劑。磷酸蝕刻接觸蝕刻停止層 122比其蝕刻硬遮罩層116、間隔物層118、層間介電層124、鰭片104及S/D特徵120快得多。在一些實施例中，各特徵116、特徵118、特徵124、特徵104及特徵120在蝕刻處理期間之一些損失是可接受的。

**【0044】** 在操作20處，方法10（第1D圖）在閘極結構108a至閘極結構108e、鰭片104、S/D特徵120、接觸蝕刻停止層 122及層間介電層124上方形成接觸蝕刻停止層

圖式

107年6月4日修正替換頁



第1A圖