



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2024년05월23일
(11) 등록번호 10-2667929
(24) 등록일자 2024년05월17일

- (51) 국제특허분류(Int. Cl.)
G06F 3/041 (2006.01) G02F 1/1333 (2006.01)
H10K 59/40 (2023.01)
- (52) CPC특허분류
G06F 3/041 (2013.01)
G02F 1/13338 (2021.01)
- (21) 출원번호 10-2023-7022295(분할)
- (22) 출원일자(국제) 2016년03월17일
심사청구일자 2023년06월30일
- (85) 번역문제출일자 2023년06월30일
- (65) 공개번호 10-2023-0107393
- (43) 공개일자 2023년07월14일
- (62) 원출원 특허 10-2022-7025612
원출원일자(국제) 2016년03월17일
심사청구일자 2022년07월22일
- (86) 국제출원번호 PCT/IB2016/051496
- (87) 국제공개번호 WO 2016/157012
국제공개일자 2016년10월06일
- (30) 우선권주장
JP-P-2015-066887 2015년03월27일 일본(JP)
JP-P-2015-081398 2015년04월13일 일본(JP)
- (56) 선행기술조사문헌
JP2014109904 A
KR1020140068765 A
KR1020140096905 A

- (73) 특허권자
가부시키가이샤 한도오파이 에네루기 켄큐쇼
일본국 가나가와켄 아쓰기시 하세 398
- (72) 발명자
기무라 하지메
일본국 가나가와켄 아쓰기시 하세 398, 가부시키
가이샤 한도오파이에네루기 켄큐쇼 내
야마자키, 순페이
일본국 가나가와켄 아쓰기시 하세 398, 가부시키
가이샤 한도오파이에네루기 켄큐쇼 내
- (74) 대리인
장훈

전체 청구항 수 : 총 2 항

심사관 : 김진권

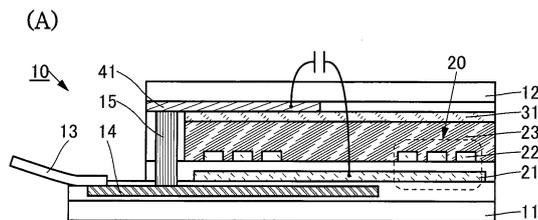
(54) 발명의 명칭 터치 패널

(57) 요약

본 발명은 얇거나, 간단한 구조를 갖거나, 또는 전자 기기에 용이하게 내장되는 터치 패널을 제공한다. 터치 패널은 제 1 기판, 제 2 기판, 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 액정, 및 FPC를 포함한다. 제 1 도전층은 화소 전극의 기능을 갖는다. 제 2 도전층은 공통 전극의 기능을 갖는다. 제 3 도전층 및 제 4 도전층은 각각 터치 센서의 전극의 기능을 갖는다. FPC는 제 4 도전층과 전기적으로 접속된다. 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 및 액정은 제 1 기판과 제 2 기판 사이에 제공된다. 제 1 도전층, 제 2 도전층, 및 제 3 도전층이 제 1 기판 위에 제공된다. FPC는 제 1 기판 위에 제공된다.

대표도

[도 7]



(52) CPC특허분류
H10K 59/40 (2023.02)

명세서

청구범위

청구항 1

기판과,
 상기 기판 위의 반도체층과,
 상기 반도체층과 중첩되는 영역을 가지는 게이트 전극과,
 상기 게이트 전극 위의 제 1 절연층과,
 상기 제 1 절연층 위의 소스 전극 또는 드레인 전극과,
 상기 소스 전극 위 또는 상기 드레인 전극 위의 제 2 절연층과,
 상기 제 2 절연층 위의 제 1 도전층과,
 상기 제 1 도전층 위의 제 3 절연층과,
 상기 제 3 절연층 위의 제 2 도전층과,
 상기 제 1 도전층과 전기적으로 접속된 제 3 도전층을 가지고,
 상기 제 1 도전층은 터치 센서의 한쪽의 전극으로서 기능하는 영역을 가지고,
 상기 제 3 도전층은 상기 소스 전극 또는 상기 드레인 전극과 같은 층에 위치하고, 또한, 상기 소스 전극 또는 상기 드레인 전극과 동일한 재료를 가지고,
 상기 제 2 도전층은 화소 전극으로서 기능하는 영역을 가지고,
 상기 제 2 도전층은 슬릿을 가지고,
 상기 제 2 도전층은 상기 소스 전극 및 상기 드레인 전극 중 한쪽과 전기적으로 접속되어 있는, 표시 장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 도전층과 상기 제 2 도전층과 상기 제 3 도전층은 상기 기판 위에 제공되어 있는, 표시 장치.

발명의 설명

기술 분야

- [0001] 본 발명의 일 형태는 입력 장치에 관한 것이다. 본 발명의 일 형태는 표시 장치에 관한 것이다. 본 발명의 일 형태는 입출력 장치에 관한 것이다. 본 발명의 일 형태는 터치 패널에 관한 것이다.
- [0002] 또한, 본 발명의 일 형태는 상기 기술 분야에 한정되지 않는다. 본 명세서 등에 개시(開示)되는 발명의 일 형태는 물건, 방법, 또는 제조 방법에 관한 것이다. 본 발명의 일 형태는 공정(process), 기계(machine), 제품(manufacture), 또는 조성물(composition of matter)에 관한 것이다. 구체적으로, 본 명세서 등에 개시되는 본 발명의 일 형태에 따른 기술 분야의 예는, 반도체 장치, 표시 장치, 발광 장치, 축전 장치, 기억 장치, 전자 기기, 조명 장치, 입력 장치, 입출력 장치, 그들의 구동 방법, 및 그들의 제조 방법을 포함한다.
- [0003] 본 명세서 등에서 반도체 장치란, 일반적으로 반도체 특성을 이용함으로써 기능할 수 있는 장치를 의미한다. 트랜지스터 등의 반도체 소자, 반도체 회로, 연산 장치, 및 기억 장치는 각각 반도체 장치의 일 형태이다. 촬상 장치, 표시 장치, 액정 표시 장치, 발광 장치, 입력 장치, 입출력 장치, 전기 광학 장치, 발전 장치(박막 태양 전지 및 유기 박막 태양 전지 등을 포함함), 및 전자 기기는 각각 반도체 장치를 포함할 수 있다.

배경 기술

- [0004] 근년에 들어, 위치 입력 수단으로서 터치 센서가 제공된 표시 장치(또는 표시 모듈)는 실용화되어 있다. 터치 센서가 제공된 표시 장치(또는 표시 모듈)는 터치 패널 또는 터치 스크린 등이라고 불린다(이하에서, 이 종류의 표시 장치를 단순히 터치 패널이라고 하여도 좋음). 표시 장치를 포함하지 않고 터치 센서만을 포함하는 장치를 터치 패널이라고 부르는 경우도 있다. 터치 센서가 제공된 표시 장치를, 터치 센서를 구비하는 표시 장치, 표시 장치를 구비하는 터치 패널, 또는 표시 모듈이라고도 부르는 경우도 있다. 또한, 터치 센서가 내장된 표시 장치를, 인셀 터치 센서(또는 인셀 터치 센서를 구비하는 표시 장치), 또는 온셀 터치 센서(온셀 터치 센서를 구비하는 표시 장치) 등이라고 부르는 경우가 있다. 인셀 터치 센서에서는, 예를 들어, 액정 소자에 사용되는 전극을 터치 센서의 전극으로서도 사용한다. 온셀 터치 센서에서는, 예를 들어, 터치 센서의 전극이 대향 기관의 상방(표시 소자가 제공되지 않는 측)에 형성된다. 이러한 터치 패널 등이 제공되는 휴대 정보 단말의 예는 스마트폰 및 태블릿 단말을 포함한다.
- [0005] 표시 장치 중 하나로서, 액정 소자가 제공된 액정 표시 장치가 있다. 예를 들어, 화소 전극이 매트릭스로 배치되고 각각의 화소 전극과 접속되는 스위칭 소자로서 사용되는 액티브 매트릭스 액정 표시 장치가 주목을 받고 있다.
- [0006] 예를 들어, 각각의 화소 전극과 접속되는 각 스위칭 소자로서, 채널 형성 영역에 금속 산화물을 사용하여 형성된 트랜지스터를 사용하는 액티브 매트릭스 액정 표시 장치가 알려져 있다(특허문헌 1 및 특허문헌 2 참조).
- [0007] 액정 소자가 사용되는 터치 패널에 대해서는 특허문헌 3 내지 특허문헌 6에 개시되어 있다.
- [0008] 액정 표시 장치는 대략 2종류의 액정 표시 장치로 나누어지는 것이 알려져 있다: 투과형 액정 표시 장치 및 반사형 액정 표시 장치이다.
- [0009] 투과형 액정 표시 장치에서는, 냉음극 형광 램프 또는 LED 등의 백라이트가 사용되고, 액정의 광학 변조 작용을 이용하여 2개의 상태(백라이트로부터의 광이 액정을 통과하여 액정 표시 장치의 외측에 출력되는 상태, 및 광이 액정 표시 장치의 외측에 출력되지 않는 상태) 중 한쪽을 선택함으로써, 밝은 화상 또는 어두운 화상이 표시된다. 또한, 이들 화상을 조합하여 화상 표시를 수행한다.
- [0010] 반사형 액정 표시 장치에서는, 액정의 광학 변조 작용을 이용하여 2개의 상태(외광 즉, 입사광이 화소 전극에서 반사하여 장치의 외측에 출력되는 상태, 및 입사광이 장치의 외측에 출력되지 않는 상태) 중 한쪽을 선택함으로써, 밝은 화상 또는 어두운 화상이 표시된다. 또한, 이들 화상을 조합하여 화상 표시를 수행한다.

선행기술문헌

특허문헌

- [0011] (특허문헌 0001) 일본 공개특허공보 2007-123861호
- (특허문헌 0002) 일본 공개특허공보 2007-096055호
- (특허문헌 0003) 일본 공개특허공보 2011-197685호
- (특허문헌 0004) 일본 공개특허공보 2014-044537호
- (특허문헌 0005) 일본 공개특허공보 2014-178847호
- (특허문헌 0006) 미국 특허공보 7,920,129호

발명의 내용

해결하려는 과제

- [0012] 표시 패널(표시 장치 또는 표시 모듈)에, 사용자 인터페이스로서 스크린을 터치하여 손가락 또는 스타일러스 등으로 데이터를 입력하는 기능이 제공되는 터치 패널이 요구되고 있다.
- [0013] 또한, 터치 패널을 사용하는 전자 기기의 박형화 및 경량화가 요구되고 있다. 그러므로, 터치 패널 자체의 박

형화 및 경량화가 요구되고 있다.

- [0014] 예를 들어, 터치 패널에서는, 표시 패널의 시인자 측(표시면 측), 즉, 손가락 또는 펜(스타일러스)으로 터치하는 측에 터치 센서를 제공할 수 있다.
- [0015] 예를 들어, 터치 패널(또는 표시 모듈)에서는, 터치 센서가 제공되는 기관을 표시 패널의 표시면 측에 접촉시킬 수 있다. 바꿔 말하면, 터치 패널(또는 표시 모듈)에서는, 표시 패널 및 터치 센서를 별도의 부품으로 할 수 있고, 서로 접촉시킬 수 있다. 그러나, 이러한 구조에서는, 표시 패널의 기관에 대하여 터치 센서의 기관이 필요하고, 터치 패널(또는 표시 모듈)의 두께를 저감할 수 없고 부품 수가 증가된다.
- [0016] 본 발명의 일 형태의 목적은 얇은 터치 패널(또는 얇은 터치 센서를 구비하는 표시 장치) 등을 제공하는 것이다. 다른 목적은 간단한 구조를 갖는 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공하는 것이다. 다른 목적은 전자 기기에 용이하게 제공할 수 있는 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공하는 것이다. 다른 목적은 부품 수가 적은 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공하는 것이다. 다른 목적은 경량의 터치 패널(또는 경량의 터치 센서를 구비하는 표시 장치) 등을 제공하는 것이다.
- [0017] 다른 목적은 신규 입력 장치를 제공하는 것이다. 다른 목적은 신규 입출력 장치를 제공하는 것이다. 다른 목적은 신규 표시 장치를 제공하는 것이다. 또한, 이들 과제와 기제는 다른 과제의 존재를 방해하지 않는다. 본 발명의 일 형태에서는, 모든 목적을 달성할 필요는 없다. 다른 목적은 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출할 수 있다.

과제의 해결 수단

- [0018] 본 발명의 일 형태는 제 1 기관, 제 2 기관, 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 액정, 및 FPC를 포함하는 터치 패널이다. 제 1 도전층은 화소 전극의 기능을 갖는다. 제 2 도전층은 공통 전극의 기능을 갖는다. 제 3 도전층 및 제 4 도전층은 각각 터치 센서의 전극의 기능을 갖는다. FPC는 제 4 도전층과 전기적으로 접속된다. 제 1 도전층, 제 2 도전층, 제 3 도전층, 제 4 도전층, 및 액정은 제 1 기관과 제 2 기관 사이에 제공된다. 제 1 도전층, 제 2 도전층, 및 제 3 도전층은 제 1 기관 위에 제공된다. FPC는 제 1 기관 위에 제공된다.
- [0019] 상술한 터치 패널은 제 5 도전층 및 접속체를 더 포함하고, 제 5 도전층이 제 1 기관 위에 제공되고, 제 4 도전층이 제 2 기관 위에 제공되고, 제 4 도전층 및 제 5 도전층이 접속체를 통하여 서로 전기적으로 접속되는 것이 바람직하다.
- [0020] 제 4 도전층은 제 1 기관 위에 제공되는 것이 바람직하다.
- [0021] 제 3 도전층 및 제 4 도전층 중 어느 한쪽은 제 2 도전층과 동일한 평면에 제공되는 것이 바람직하다.
- [0022] 제 3 도전층이 제 1 도전층 또는 제 2 도전층과 동일한 평면에 제공되고, 제 4 도전층이 제 1 도전층 또는 제 2 도전층과 동일한 평면에 제공되는 것이 바람직하다.
- [0023] 제 2 도전층과, 제 3 도전층 및 제 4 도전층 중 한쪽이 연속성을 갖는 것이 바람직하다.
- [0024] 제 1 도전층과, 제 3 도전층 및 제 4 도전층 중 한쪽이 연속성을 갖는 것이 바람직하다.

발명의 효과

- [0025] 본 발명의 일 형태에 따르면, 얇은 터치 패널(또는 얇은 터치 센서를 구비하는 표시 장치) 등을 제공할 수 있다. 간단한 구조를 갖는 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공할 수 있다. 전자 기기에 용이하게 제공할 수 있는 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공할 수 있다. 부품 수가 적은 터치 패널(또는 터치 센서를 구비하는 표시 장치) 등을 제공할 수 있다. 경량의 터치 패널(또는 경량의 터치 센서를 구비하는 표시 장치) 등을 제공할 수 있다. 신규 입력 장치를 제공할 수 있다. 신규 입출력 장치를 제공할 수 있다. 신규 표시 장치를 제공할 수 있다. 또한, 이들 효과의 기제는 다른 효과의 존재를 방해하지 않는다. 본 발명의 일 형태는 상술한 모든 효과를 달성할 필요는 없다. 다른 효과는 명세서, 도면, 및 청구항 등의 기재로부터 명백해질 것이고 추출할 수 있다.

도면의 간단한 설명

[0026]

- 도 1의 (A) 및 도 1의 (B)는 일 형태에 따른 터치 센서의 블록도 및 타이밍 차트이다.
- 도 2의 (A) 및 도 2의 (B)는 일 형태에 따른 터치 센서가 각각 제공된 화소를 도시한 것이다.
- 도 3은 일 형태에 따른 터치 센서가 각각 제공된 화소를 도시한 것이다.
- 도 4는 일 형태에 따른 터치 센서가 각각 제공된 화소를 도시한 것이다.
- 도 5는 일 형태에 따른 터치 센서가 각각 제공된 화소를 도시한 것이다.
- 도 6의 (A) 내지 도 6의 (C)는 일 형태에 따른 터치 센서 및 화소의 동작을 도시한 것이다.
- 도 7의 (A) 내지 도 7의 (E)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 8의 (A) 내지 도 8의 (C)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 9는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 10의 (A) 및 도 10의 (B)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 11의 (A) 내지 도 11의 (C)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 12는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 13의 (A) 및 도 13의 (B)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 14는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 15의 (A) 내지 도 15의 (C)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 16의 (A) 내지 도 16의 (C)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 17의 (A) 및 도 17의 (B)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 18의 (A) 및 도 18의 (B)는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 19는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 20은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 21은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 22는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 23은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 24는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 25는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 26은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 27은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 28은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 29는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 30은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 31은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 32는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 33은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 34는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 35는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.
- 도 36은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 73은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 74는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 75는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 76은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 77은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 78은 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 79는 일 형태에 따른 터치 패널의 구조예를 도시한 것이다.

도 80의 (A) 및 도 80의 (B)는 각각 표시 장치의 예를 도시한 개략도이다.

도 81의 (A1), 도 81의 (A2), 도 81의 (B1), 도 81의 (B2), 도 81의 (C1), 및 도 81의 (C2)는 각각 트랜지스터의 일 형태를 도시한 단면도이다.

도 82의 (A1), 도 82의 (A2), 도 82의 (A3), 도 82의 (B1), 및 도 82의 (B2)는 각각 트랜지스터의 일 형태를 도시한 단면도이다.

도 83의 (A1), 도 83의 (A2), 도 83의 (A3), 도 83의 (B1), 도 83의 (B2), 도 83의 (C1), 및 도 83의 (C2)는 각각 트랜지스터의 일 형태를 도시한 단면도이다.

도 84의 (A) 내지 도 84의 (C)는 트랜지스터의 일 형태를 도시한 평면도 및 단면도이다.

도 85의 (A) 내지 도 85의 (C)는 트랜지스터의 일 형태를 도시한 평면도 및 단면도이다.

도 86의 (A) 내지 도 86의 (C)는 트랜지스터의 일 형태를 도시한 평면도 및 단면도이다.

도 87의 (A) 내지 도 87의 (C)는 트랜지스터의 일 형태를 도시한 평면도 및 단면도이다.

도 88의 (A) 내지 도 88의 (C)는 트랜지스터의 일 형태를 도시한 평면도 및 단면도이다.

도 89의 (A) 및 도 89의 (B)는 각각 에너지 밴드 구조를 나타낸 것이다.

도 90은 일 형태에 따른 표시 모듈을 도시한 것이다.

도 91의 (A) 내지 도 91의 (H)는 각각 일 형태에 따른 전자 기기를 도시한 것이다.

도 92의 (A) 및 도 92의 (B)는 각각 일 형태에 따른 전자 기기를 도시한 것이다.

발명을 실시하기 위한 구체적인 내용

- [0027] 실시형태에 대하여 도면을 참조하여 자세히 설명하겠다. 또한, 본 발명은 이하의 설명에 한정되지 않고, 본 발명의 취지 및 그 범위에서 벗어남이 없이 그 모드 및 자세한 사항을 다양하게 변경할 수 있는 것은 통상의 기술자에 의하여 용이하게 이해된다. 따라서, 본 발명은 이하의 실시형태의 내용에 한정되어 한정하여 해석되지 말아야 한다.
- [0028] 또한, 이하에서 설명하는 발명의 구조에서, 동일한 부분 또는 비슷한 기능을 갖는 부분은 상이한 도면에서 동일한 부호로 나타내어지고, 이러한 부분의 설명은 반복되지 않는다. 또한, 비슷한 기능을 갖는 부분에는 동일한 해치 패턴을 적용하고, 그 부분을 특별히 부호로 나타내지 않는 경우가 있다.
- [0029] 또한, 본 명세서에 참조된 각 도면에서, 각 구성 요소의 크기, 층 두께, 또는 영역은 명료화를 위하여 과장되는 경우가 있다. 그러므로, 본 발명의 실시형태는 이러한 스케일에 한정되지 않는다.
- [0030] 본 명세서 등에서, "제 1" 및 "제 2" 등의 서수사는 구성 요소 사이의 혼동을 피하기 위하여 사용되고, 구성 요소를 수적으로 한정하지 않는다.
- [0031] 또한, "막" 및 "층"이라는 용어를 서로 교환할 수 있는 경우가 있다. 예를 들어, "도전막"이라는 용어를 "도전층"이라는 용어 대신에 사용할 수 있는 경우가 있고, "절연층"이라는 용어를 "절연막"이라는 용어 대신에 사용할 수 있는 경우가 있다.
- [0032] (실시형태 1)

- [0033] 본 실시형태에서는, 본 발명의 일 형태에 따른 입력 장치 또는 입출력 장치의 구동 방법, 모드, 및 구조에 대하여 도면을 참조하여 설명하겠다.
- [0034] [센서의 검지 방법예]
- [0035] 도 1의 (A)는 상호 용량 터치 센서의 구조를 도시한 블록도이다. 도 1의 (A)는 펄스 전압 출력 회로(601) 및 전류 검지 회로(602)를 도시한 것이다. 도 1의 (A)에는, 일례로서, 6개의 배선(X1) 내지 배선(X6)이 펄스 전압이 인가되는 전극(621)을 나타내고, 6개의 배선(Y1) 내지 배선(Y6)이 전류의 변화를 검지하는 전극(622)을 나타낸다. 이러한 전극의 수는 이 예에 도시된 수에 한정되지 않는다. 도 1의 (A)에는 전극(621) 및 전극(622)이 서로 중첩되거나, 또는 서로 매우 근접하여 제공됨으로써 형성되는 용량 소자(603)도 도시하였다. 또한, 전극(621) 및 전극(622)의 기능을 서로 교환할 수 있다.
- [0036] 예를 들어, 펄스 전압 출력 회로(601)는 배선(X1) 내지 배선(X6)에 순차적으로 펄스 전압을 인가하기 위한 회로이다. 배선(X1) 내지 배선(X6)에 펄스 전압을 인가함으로써 용량 소자(603)의 전극(621)과 전극(622) 사이에 전계가 발생한다. 펄스 전압에 의하여, 용량 소자(603)에 전류가 흐른다. 예를 들어, 손가락 또는 스타일러스로 터치 센서를 터치하면, 전극(621)과 전극(622) 사이에 발생하는 전계가 차단됨으로써 변화된다. 즉, 예를 들어, 손가락 또는 스타일러스로 터치함으로써, 용량 소자(603)의 용량이 변화된다. 상술한 바와 같이, 손가락 또는 스타일러스로 터치함으로써 일어나는 용량의 변화를 이용함으로써, 물체의 접근 또는 접촉을 검지할 수 있다.
- [0037] 전류 검지 회로(602)는 용량 소자(603)의 용량에서의 변화에 의하여 일어나는 배선(Y1) 내지 배선(Y6)에 흐르는 전류의 변화를 검지하기 위한 회로이다. 물체의 접근 또는 접촉이 없으면 배선(Y1) 내지 배선(Y6)의 전류값의 변화가 검지되지 않지만, 물체의 접근 또는 접촉으로 인하여 용량이 저감되면 전류값의 저감이 검지된다. 전류의 변화를 검지하기 위하여, 전류량의 총합을 검지하여도 좋다. 그 경우, 적분 회로 등을 전류량의 총합의 검지에 사용하여도 좋다. 또는, 전류의 피크값을 검지하여도 좋다. 그 경우, 전류를 전압으로 변환하여도 좋고, 전압의 피크값을 검지하여도 좋다.
- [0038] 도 1의 (B)는 도 1의 (A)에 도시된 상호 용량 터치 센서의 입출력 파형을 나타낸 타이밍 차트이다. 도 1의 (B)에서는 1프레임 기간에 모든 행 및 열에서 물체의 검지가 수행된다. 도 1의 (B)는 물체가 검지되지 않는 기간(비터치) 및 물체가 검지되는 기간(터치)을 나타낸 것이다. 배선(Y1) 내지 배선(Y6)에서 검지된 전류 값은 전압값의 파형으로서 나타내어진다. 또한, 표시 패널은 표시 동작을 수행한다. 표시 패널에서의 표시 동작의 타이밍은 터치 센서에서의 검지 동작의 타이밍과 동기하는 것이 바람직하다. 도 1의 (B)는 이들 타이밍이 동기하지 않는 예를 나타낸 것이다.
- [0039] 배선(X1) 내지 배선(X6)에는 펄스 전압이 순차적으로 인가되고, 이 펄스 전압에 따라 배선(Y1) 내지 배선(Y6)의 파형이 변화된다. 물체의 접근 또는 접촉이 없으면, 배선(X1) 내지 배선(X6)의 전압에서의 변화에 따라 배선(Y1) 내지 배선(Y6)의 파형이 변화된다. 한편, 물체가 접근 또는 접촉되는 부분에서는 전류값이 저감된다; 따라서, 전압값의 파형도 변화된다.
- [0040] 이러한 식으로 용량의 변화를 검지함으로써, 물체의 접근 또는 접촉을 검지할 수 있다. 손가락 또는 스타일러스 등의 물체가 터치 센서 또는 터치 패널을 터치하지 않고, 터치 센서 또는 터치 패널에 접근하기만 하여도, 신호를 검지할 수 있다.
- [0041] 일례로서는, 펄스 전압 출력 회로(601) 및 전류 검지 회로(602)가 하나의 IC 칩에 형성되는 것이 바람직하다. 예를 들어, IC 칩이 터치 패널, 또는 전자 기기의 하우징에서의 기관에 장착되는 것이 바람직하다. 터치 패널이 가요성을 갖는 경우, 터치 패널의 굴곡 부분에서 기생 용량이 증가될 수 있고, 노이즈의 영향이 증가될 수 있다. 이 관점에서, 노이즈에 의한 영향을 받기 어려운 구동 방법이 적용된 IC 칩을 사용하는 것이 바람직하다. 예를 들어, 신호-노이즈 비(S/N비)를 높일 수 있는 구동 방법이 적용된 IC 칩을 사용하는 것이 바람직하다.
- [0042] 도 1의 (A)에는 터치 센서로서, 배선의 교차부에 용량 소자(603)만이 제공되는 패시브 매트릭스 터치 센서의 구조를 도시하였지만, 트랜지스터 및 용량 소자를 포함하는 액티브 매트릭스 터치 센서를 사용하여도 좋다.
- [0043] [인셀 터치 패널의 구조예]
- [0044] 표시 소자 및 트랜지스터 등이 제공되는 기관 위에, 터치 센서에 포함되는 전극 중 적어도 하나가 형성되는 예에 대하여 이하에서 설명한다.

- [0045] 복수의 화소를 포함하는 표시부에 터치 센서를 제공하는 터치 패널(즉, 인셀 터치 패널)의 구조에 대하여 이하에서 설명한다. 화소에 제공되는 표시 소자로서 액정 소자가 사용되는 예에 대하여 설명한다. 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 다양한 표시 소자 중 어느 표시 소자를 사용할 수 있다.
- [0046] 도 2의 (A)는 이 구조에에서의 터치 패널의 표시부에 제공된 화소 회로의 일부의 등가 회로도이다.
- [0047] 각 화소는 적어도 트랜지스터(63) 및 액정 소자(64)를 포함한다. 각 화소는 유지 용량을 더 포함하는 경우가 있다. 트랜지스터(63)의 게이트는 배선(61)과 전기적으로 접속되고, 트랜지스터(63)의 소스 및 드레인 중 한쪽은 배선(62)과 전기적으로 접속된다.
- [0048] 화소 회로는 X 방향으로 연장되는 복수의 배선(예를 들어, 배선(72_1) 및 배선(72_2)), 및 Y 방향으로 연장되는 복수의 배선(예를 들어, 배선(71_1) 및 배선(71_2))을 포함한다. 이들은 서로 교차하도록 제공되고 용량이 이들 사이에 형성된다.
- [0049] 예를 들어, 화소 회로에 제공되는 화소 중에서, 서로 인접되는 일부의 화소의 액정 소자의 한쪽의 전극이 서로 전기적으로 접속되어 하나의 블록을 형성한다. 예를 들어, Y 방향으로 연장되는 복수의 선 형태의 블록(예를 들어, 블록(65_1) 및 블록(65_2))이 형성된다. 도 2의 (A)에는 화소 회로의 일부만을 도시하였지만, 이들의 블록은 X 방향으로 반복적으로 배치된다. 예를 들어, 액정 소자의 한쪽의 전극은 공통 전극 또는 대향 전극이다. 예를 들어, 액정 소자의 다른 쪽의 전극은 화소 전극이다.
- [0050] 상기 구조에 의하여, 화소 회로에서의 액정 소자의 한쪽의 전극은, 터치 센서에 포함되는 전극으로서도 기능할 수 있다. 도 2의 (A)에서는, 배선(71_1) 및 배선(71_2)이 각각 액정 소자의 한쪽의 전극 이외에, 터치 센서에 포함되는 전극으로서도 기능한다. 한편, 배선(72_1) 및 배선(72_2)은 각각 터치 센서에 포함되는 전극으로서 기능한다. 이러한 식으로, 터치 패널의 구조를 간단하게 할 수 있다. 도 2의 (A)에서는, Y 방향으로 연장되는 복수의 배선(예를 들어, 배선(71_1) 및 배선(71_2))이 각각 액정 소자의 한쪽의 전극 이외에, 터치 센서에 포함되는 전극으로서도 기능하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 예를 들어, X 방향으로 연장되는 복수의 배선(예를 들어, 배선(72_1) 및 배선(72_2))을 각각 액정 소자의 한쪽의 전극 이외에, 터치 센서에 포함되는 전극으로서도 기능시켜도 좋다. 그 경우에서의 회로도의 예를 도 3에 나타내었다.
- [0051] 도 2의 (A) 및 도 3에는 각각 하나의 배선이 액정 소자의 한쪽의 전극 이외에, 터치 센서에 포함되는 전극으로서도 기능하는 예를 도시하였지만, 본 발명의 일 형태는 이 예에 한정되지 않는다. 액정 소자의 한쪽의 전극, 및 터치 센서에 포함되는 전극을 별도의 배선으로 형성하여도 좋다. 예를 들어, 도 2의 (B)에 도시된 바와 같이, 액정 소자(64)의 한쪽의 전극을 배선(66)과 전기적으로 접속시켜도 좋다. 배선(66), 액정 소자(64)의 한쪽의 전극, 및 액정 소자(64)의 다른 쪽의 전극 중 적어도 하나와, X 방향으로 연장되는 배선 및 Y 방향으로 연장되는 배선 중 적어도 하나가 동일한 도전막을 가공함으로써 동시에 형성되면, 터치 패널의 제조 공정을 간단하게 할 수 있다. 예를 들어, 배선(66), 배선(71_1), 및 배선(71_2)을 동시에 형성하여도 좋다. 또는, 배선(66), 배선(72_1), 및 배선(72_2)을 동시에 형성하여도 좋다.
- [0052] 도 2의 (A), 도 2의 (B), 및 도 3에는 각각 표시 소자로서 액정 소자가 사용된 예를 도시하였지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도 4 및 도 5는 각각 표시 소자로서 발광 소자가 사용되는 예를 도시한 것이다.
- [0053] 도 6의 (A)는 X 방향으로 연장되는 복수의 배선(72)과 Y 방향으로 연장되는 복수의 배선(71) 사이의 접속을 도시한 등가 회로도이다. 회로도에서는, 터치 센서가 투영형 상호 용량 터치 센서이다. 입력 전압(또는 선택 전압) 및 공통 전위(또는 접지 전위 또는 기준 전위)를 Y 방향으로 연장되는 배선(71)의 각각에 입력할 수 있다. X 방향으로 연장되는 배선(72)에 각각 접지 전위(또는 기준 전위)를 입력할 수 있고, 또는 배선(72)을 검지 회로와 전기적으로 접속시킬 수 있다. 또한, 배선(71)과 배선(72)을 서로 교환할 수 있다. 즉, 배선(71)을 검지 회로와 전기적으로 접속시킬 수 있다.
- [0054] 상술한 터치 패널의 동작에 대해서는 도 6의 (B) 및 도 6의 (C)를 참조하여 이하에서 설명한다.
- [0055] 예를 들어, 1프레임 기간은 기록 기간 및 검지 기간으로 나누어진다. 기록 기간은 이미지 데이터가 화소에 기록되는 기간이고, 도 2의 (A) 및 도 2의 (B) 등의 배선(61)(게이트선 또는 주사선이라고도 함)이 순차적으로 선택된다. 검지 기간은 터치 센서에 의하여 검지가 수행되는 기간이고, Y 방향으로 연장되는 배선(71)은 순차적으로 선택되고 입력 전압이 입력된다.
- [0056] 도 6의 (B)는 기록 기간의 등가 회로도이다. 기록 기간에서, 공통 전위는 X 방향으로 연장되는 배선(72) 및 Y

방향으로 연장되는 배선(71) 양쪽에 입력된다.

- [0057] 도 6의 (C)는 검지 기간의 어느 시점에서의 증가 회로도이다. 검지 기간에서는, X 방향으로 연장되는 배선(72) 각각이 검지 회로와 전기적으로 접속된다. 입력 전압은 선택되는 Y 방향으로 연장되는 배선(71)에 입력되고, 공통 전위는 선택되지 않는 Y 방향으로 연장되는 배선(71)에 입력된다.
- [0058] 또한, 여기서 설명한 구동 방법은 인셀 터치 패널뿐만 아니라 상술한 터치 패널에도 적용할 수 있다.
- [0059] 상술한 바와 같이, 화상이 기록되는 기간 및 터치 센서에 의하여 검지가 수행되는 기간이 별도로 제공되는 것이 바람직하다. 예를 들어, 검지는 블랭킹 기간에 수행되는 것이 바람직하다. 이러한 식으로, 화소에 데이터를 기록할 때에 발생한 노이즈에 의한 터치 센서의 감도에서의 저하를 억제할 수 있다.
- [0060] [터치 패널의 예]
- [0061] 본 발명의 일 형태에 따른 터치 패널의 예에 대하여 이하에서 설명한다.
- [0062] 또한, 본 명세서 등에서, 터치 패널은 표시면에 화상 등을 표시 또는 출력하는 기능, 및 표시면에 대한 손가락 또는 스타일러스 등의 물체의 접근 또는 접촉을 검지할 수 있는 터치 센서의 기능을 갖는다. 그러므로, 터치 패널은 입출력 장치의 일 형태이다.
- [0063] 본 명세서 등에서는, 터치 패널의 기판에 FPC(flexible printed circuit) 또는 TCP(tape carrier package) 등의 접속체가 장착된 구조, 또는 기판에 COG(chip on glass)법에 의하여 IC(집적 회로)가 장착된 구조를 터치 패널 모듈 또는 표시 모듈, 또는 단순히 터치 패널이라고 하는 경우가 있다.
- [0064] 본 발명의 일 형태에 사용할 수 있는 정전 용량 터치 센서는 한 쌍의 도전층을 포함한다. 용량이 한 쌍의 도전층의 사이에 형성된다. 물체가 한 쌍의 도전층을 터치하거나, 또는 한 쌍의 도전층에 접근되면, 한 쌍의 도전층의 사이의 용량은 변화된다. 이 변화를 이용함으로써, 검지를 수행할 수 있다.
- [0065] 정전 용량 터치 센서의 예는 표면 정전 용량 터치 센서 및 투영 정전 용량 터치 센서를 포함한다. 투영 정전 용량 터치 센서의 예는, 주로 구동 방법이 상이한, 자기 정전 용량 터치 센서 및 상호 정전 용량 터치 센서를 포함한다. 상호 정전 용량 터치 센서를 사용하면, 여러 지점을 동시에 검지할 수 있기 때문에 바람직하다. 또한, 자기 정전 용량 터치 센서를 사용할 수도 있다.
- [0066] 본 발명의 일 형태에 따른 터치 패널의 표시 소자로서는, 다양한 표시 소자, 예를 들어, 액정 소자(세로 전계 모드 또는 가로 전계 모드를 사용함), MEMS(micro electro mechanical systems)를 이용한 광학 소자, 유기 EL(electroluminescence) 소자 또는 LED(light-emitting diode) 등의 발광 소자, 및 전기 영동 소자를 사용할 수 있다.
- [0067] 여기서, 일례로서, 표시 소자로서 가로 전계 모드를 사용한 액정 소자를 포함하는 투과형 액정 표시 장치가 터치 패널에 사용되는 것이 바람직하다.
- [0068] 본 발명의 일 형태에 따른 터치 패널은, 한 쌍의 기판 사이에, 터치 센서에 포함되는 한 쌍의 전극(도전층 또는 배선이라고도 함)을 포함하기 때문에, 표시 패널과 터치 센서가 조합된 구조를 갖는다. 즉, 터치 센서는 다른 기판 등 위에 형성되지 않고, 한 쌍의 기판 사이에 표시 소자 및 트랜지스터가 제공된다. 그러므로, 터치 패널의 두께가 저감되어, 터치 패널의 경량화로 이어진다.
- [0069] 또한, 본 발명의 일 형태에 따른 터치 패널에서는, 화소를 구동하기 위한 신호를 공급하는 FPC(flexible printed circuit), 및 터치 센서를 구동하는 FPC 양쪽이 한 쌍의 기판 중 한쪽 위에 제공된다. 이러한 식으로, 터치 패널을 전자 기기에 용이하게 제공할 수 있고, 부품의 수를 저감할 수 있다.
- [0070] 도 7의 (A)는 본 발명의 일 형태에 따른 터치 패널(10)의 단면 개략도이다.
- [0071] 터치 패널(10)은 기판(11), 기판(12), FPC(13), 도전층(14), 액정 소자(20), 착색층(31), 및 도전층(41) 등을 포함한다.
- [0072] 액정 소자(20)는 도전층(21), 도전층(22), 및 액정(23)을 포함한다. 여기에 도시된 예에서는, FFS(fringe field switching) 모드를 사용하는 액정 소자가 액정 소자(20)로서 사용된다. 도전층(22)은 절연층을 개재(介在)하여 도전층(21) 위에 위치한다. 예를 들어, 도전층(22)은 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상(이 상면 형상을 평면 형상이라고도 함)을 갖는다. 도전층(21) 및 도전층(22) 중 한쪽은 공통 전극으로서 기능하고, 다른 쪽은 화소 전극으로서 기능한다. 발광 소자 등이 표시 소자로서 사용되는 경우에는, 예를

들어, 도전층(22)은 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상을 갖지 않는다.

- [0073] 기관(12) 측에 제공된 도전층(41)과, 액정 소자(20)의 한 쌍의 전극 중 한쪽으로서 기능하는 도전층(21) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 여기에 도시된 예에서는, 도전층(41)이 기관(12)의 기관(11)과 대향하는 면(하면)에 제공되는 것이 바람직하다.
- [0074] 기관(12) 측에 제공된 도전층(41)은 접속층(15)을 통하여, 기관(11) 측에 제공된 도전층(14)과 전기적으로 접속된다. 도전층(14)은 기관(11) 측에 제공된 FPC(13)와 전기적으로 접속된다. 이러한 구조로 함으로써, 터치 센서를 구동하는 FPC, 및 액정 소자(20)를 구동하는 FPC 양쪽을 하나의 기관 위에 제공할 수 있다.
- [0075] 예를 들어, 터치 패널에서의 기관(12)의 기관(11)과 대향하지 않는 면(상면)에, 터치 센서의 전극으로서 기능하는 도전층이 제공되는 경우, 도전층과 전기적으로 접속되는 FPC를 반드시 기관(12)에 접촉시킬 필요는 없다. 또한, 도 7의 (A)에 도시된 접속층(15)이 사용되지 않으면, 도전층(41)과 전기적으로 접속되는 FPC를 기관(12)에 접촉시킬 필요가 있다. 또한, 터치 센서의 전극으로서 기능하는 도전층이 기관(11) 또는 기관(12)이 아닌 기관 위에 제공되면, FPC를 기관에 접촉시킬 필요가 있다. 이러한 구조로 함으로써, 부품의 수가 증가되거나, 또는 터치 패널이 전자 기기에 제공될 때에 FPC의 위치로 인하여 부품의 수가 제한될 수 있다. 그러나, 본 발명의 일 형태에서는, 한 쌍의 기관 중 한쪽에만 FPC를 접촉시킬 수 있다. 그러므로, 부품의 수를 저감할 수 있어, 터치 패널을 전자 기기에 용이하게 제공할 수 있다.
- [0076] 액정 소자(20)의 한 쌍의 전극 중 한쪽이 터치 센서에 포함되는 한 쌍의 전극 중 적어도 한쪽으로서도 기능하면, 제조 공정을 간단하게 할 수 있고, 이로써, 수율을 향상시키거나 제조 비용을 저감할 수 있다.
- [0077] 도 7의 (B)는 터치 센서의 전극으로서 기능하는 도전층(41)이 기관(11) 측에 제공되는 예를 도시한 것이다. 도전층(41)은 도전층(14)과 전기적으로 접속된다. 도전층(41)과, 액정 소자(20)의 한 쌍의 전극 중 한쪽(공통 전극)으로서 기능하는 도전층(21) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 이러한 구조에 의해서도, FPC(13)를 기관(11) 측에 제공할 수 있다. 기관(11) 측의 표면이 터치면으로서 사용되면, 터치 패널의 검지 감도를 높일 수 있기 때문에 바람직하다.
- [0078] 도 7의 (C)는 도전층(41)이 도전층(22)과 동일한 평면에 형성되는 예를 도시한 것이다. 도전층(41)은 도면에 도시되지 않은 영역에서, 도전층(14)과 전기적으로 접속된다. 도전층(41)과 도전층(22)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 도전층(41)과 도전층(21) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0079] 도 7의 (D)는 액정 소자(20)가 IPS(in-plane switching) 모드를 사용한 액정 소자인 예를 도시한 것이다.
- [0080] 액정 소자(20)에 포함되는 도전층(21)과 도전층(22)은 동일한 평면에 제공된다. 도전층(21) 및 도전층(22)은 각각 빗 형상을 갖고 서로 맞물리도록 제공된다. 도전층(41)과 도전층(21) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0081] 터치 센서의 한쪽의 전극으로서 기능하는 도전층(41)은 도전층(21) 및 도전층(22)과 동일한 평면에 형성된다. 도전층(41)은 도면에 도시되지 않은 영역에서, 도전층(14)과 전기적으로 접속된다. 도전층(41), 도전층(21), 및 도전층(22)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다.
- [0082] 도 7의 (E)는 액정 소자(20)가 FFS 모드를 사용한 액정 소자인 다른 예를 도시한 것이다. 도전층(41a)과 도전층(41b) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 도전층(21) 및 도전층(22) 중 한쪽은 액정 소자(20)의 공통 전극의 기능을 갖고, 다른 쪽은 액정 소자(20)의 화소 전극의 기능을 갖는다.
- [0083] 도전층(41a)은 도전층(22)과 동일한 평면에 제공된다. 도전층(41b)과 도전층(21)은 동일한 평면에 제공된다. 도전층(41a)과 도전층(22)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 도전층(41b)과 도전층(21)도 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 이러한 구조로 함으로써, 터치 센서에 포함되는 한 쌍의 전극을 액정 소자(20)의 한 쌍의 전극과 동시에 형성할 수 있다. 따라서, 제조 단계의 수를 증가시키지 않고 터치 센서의 기능을 갖는 터치 패널(10)을 제조할 수 있다.
- [0084] 도 8의 (A)는 액정 소자(20)가 FFS 모드를 사용한 액정 소자인 다른 예를 도시한 것이다. 도전층(41a)과 도전층(41b) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 예를 들어, 도전층(21)은

액정 소자(20)의 공통 전극의 기능을 갖는다.

- [0085] 도전층(41a) 및 도전층(41b)은 도전층(22)과 동일한 평면에 제공된다. 도전층(41a), 도전층(41b), 및 도전층(22)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 이러한 구조로 함으로써, 터치 센서에 포함되는 한 쌍의 전극을 액정 소자(20)의 한 쌍의 전극과 동시에 형성할 수 있다. 따라서, 제조 단계의 수를 증가시키지 않고 터치 센서의 기능을 갖는 터치 패널(10)을 제조할 수 있다.
- [0086] 도전층(41a)은 도전층(21)과 중첩되도록 제공되지만, 본 발명의 일 형태는 이에 한정되지 않는다. 도전층(41a)과 중첩되지 않도록 도전층(21)을 제공할 수 있다. 결과적으로, 도전층(41a)으로 인한 기생 용량을 저감할 수 있다. 비슷한 식으로, 도전층(41b)과 중첩되지 않도록 도전층(21)을 제공할 수 있다.
- [0087] 도 8의 (B)는 액정 소자(20)가 FFS 모드를 사용한 액정 소자인 다른 예를 도시한 것이다. 도전층(41a)과 도전층(41b) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 도전층(21) 및 도전층(22) 중 한쪽은 액정 소자(20)의 공통 전극의 기능을 갖고, 다른 쪽은 액정 소자(20)의 화소 전극의 기능을 갖는다.
- [0088] 도전층(41a) 및 도전층(41b)은 도전층(21)과 동일한 평면에 제공된다. 도전층(41a), 도전층(41b), 및 도전층(21)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 이러한 구조로 함으로써, 터치 센서에 포함되는 한 쌍의 전극을 액정 소자(20)의 한 쌍의 전극 중 한쪽과 동시에 형성할 수 있다. 따라서, 제조 단계의 수를 증가시키지 않고 터치 센서의 기능을 갖는 터치 패널(10)을 제조할 수 있다.
- [0089] 도 8의 (C)는 액정 소자(20)가 FFS 모드를 사용한 액정 소자인 다른 예를 도시한 것이다. 도전층(41)과, 액정 소자(20)의 한 쌍의 전극 중 한쪽으로서 기능하는 도전층(21) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0090] 도전층(41)은 도전층(21)과 동일한 평면에 제공된다. 도전층(41)과 도전층(21)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 이러한 구조로 함으로써, 터치 센서에 포함되는 한 쌍의 전극을 액정 소자(20)의 한 쌍의 전극 중 한쪽과 동시에 형성할 수 있다. 따라서, 제조 단계의 수를 증가시키지 않고 터치 센서의 기능을 갖는 터치 패널(10)을 제조할 수 있다.
- [0091] 도 9는 액정 소자(20)가 IPS 모드를 사용한 액정 소자인 예를 도시한 것이다.
- [0092] 액정 소자(20)에 포함되는 도전층(21)과 도전층(22)은 동일한 평면에 제공된다. 도전층(21) 및 도전층(22)은 각각 빗 형상을 갖고 서로 맞물리도록 제공된다. 도전층(21) 및 도전층(22) 중 한쪽은 액정 소자(20)의 공통 전극의 기능을 갖고, 다른 쪽은 액정 소자(20)의 화소 전극의 기능을 갖는다.
- [0093] 터치 센서의 한쪽의 전극으로서 기능하는 도전층(41a) 및 도전층(41b)은 도전층(21) 및 도전층(22)과 동일한 평면에 형성된다. 도전층(41a), 도전층(41b), 도전층(21), 및 도전층(22)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 도전층(41a)과 도전층(41b) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다.
- [0094] 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상을 갖도록 FFS 모드를 사용한 액정 소자의 도전층(21)을 형성함으로써, IPS 모드를 사용한 액정 소자를 얻을 수 있다.
- [0095] 도 10의 (A)는 도 7의 (C)에 도시된 액정 소자를 IPS 모드를 사용한 액정 소자로 변경함으로써 얻어지는 예를 도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0096] 도 10의 (B)는 도 7의 (E)에 도시된 액정 소자를 IPS 모드를 사용한 액정 소자로 변경함으로써 얻어지는 예를 도시한 것이다. 도전층(21) 및 도전층(22) 중 한쪽은 액정 소자(20)의 공통 전극의 기능을 갖고, 다른 쪽은 액정 소자(20)의 화소 전극의 기능을 갖는다.
- [0097] 도 11의 (A)는 도 8의 (A)에 도시된 액정 소자를 IPS 모드를 사용한 액정 소자로 변경함으로써 얻어지는 예를 도시한 것이고, 도 11의 (B)는 도 8의 (B)에 도시된 액정 소자를 IPS 모드를 사용한 액정 소자로 변경함으로써 얻어지는 예를 도시한 것이다. 도전층(21) 및 도전층(22) 중 한쪽은 액정 소자(20)의 공통 전극의 기능을 갖고, 다른 쪽은 액정 소자(20)의 화소 전극의 기능을 갖는다.
- [0098] 도 11의 (C)는 도 8의 (C)에 도시된 액정 소자를 IPS 모드를 사용한 액정 소자로 변경함으로써 얻어지는 예를

도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.

- [0099] 많은 상기 예에서는, 상부 전극이 액정 소자(20)의 화소 전극이고, 하부 전극이 액정 소자(20)의 공통 전극이다; 그러나, 본 발명의 일 형태는 이들에 한정되지 않는다. 상부 전극을 액정 소자(20)의 공통 전극으로 할 수 있고, 하부 전극을 액정 소자(20)의 화소 전극으로 할 수 있다.
- [0100] 도 12는 도 7의 (C)의 상부 전극이 액정 소자(20)의 공통 전극으로서 사용되는 예를 도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0101] 도 13의 (A)는 도 8의 (A)의 상부 전극이 액정 소자(20)의 공통 전극으로서 사용되는 예를 도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능을 갖는다.
- [0102] 도 13의 (B)는 도 8의 (C)의 상부 전극이 액정 소자(20)의 공통 전극으로서 사용되는 예를 도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0103] 도 14는 도 11의 (C)의 상부 전극이 액정 소자(20)의 공통 전극으로서 사용되는 예를 도시한 것이다. 예를 들어, 도전층(21)은 액정 소자(20)의 공통 전극의 기능, 및 터치 센서의 전극의 기능 양쪽을 갖는다.
- [0104] 도 15의 (A) 내지 도 15의 (C)는 각각 본 발명의 일 형태에 따른 터치 패널을 도시한 상면 개략도이다. 그러므로, 터치 센서에 포함되는 구성 요소 이외의 대부분의 구성 요소를 도시하지 않았다. 도시하지 않았지만, 화소 전극(51)은 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상을 갖는 경우가 있다.
- [0105] 도 15의 (A)에 도시된 구조에서, 터치 센서는 센서 전극(55) 및 센서 전극(56)을 포함한다. 센서 전극(55) 및 센서 전극(56)은 화소 전극(51)과 동일한 도전막을 사용하여 형성된다. 또는, 센서 전극(55) 및 센서 전극(56)은 화소 전극(51)과 동일한 평면에 제공된다. X 방향으로 배치되는 복수의 센서 전극(55)은 배선(57)을 통하여 서로 전기적으로 접속된다. 센서 전극(56)은 Y 방향으로 연장된다. 즉, 도 15의 (A)는 도 8의 (A)의 상면도에 상당한다. 센서 전극(55) 및 센서 전극(56)을 화소 전극과 동일한 도전막이 아니라, 공통 전극과 동일한 도전막을 사용하여 형성하여도 좋다.
- [0106] 도 15의 (B)는 공통 전극(52) 및 센서 전극(55)이 동일한 도전막을 사용하여 형성되는 예를 도시한 것이다. 또는, 공통 전극(52) 및 센서 전극(55)은 동일한 평면에 제공된다. 공통 전극(52) 및 센서 전극(55)은 각각 X 방향으로 연장된 밴드 형상을 갖고 센서 전극(56)과 교차된다. 즉, 도 15의 (B)는 도 8의 (C)의 상면도에 상당한다.
- [0107] 도 15의 (C)는 도 15의 (B)의 공통 전극(52)이 센서 전극(55)으로서도 기능하는 예를 도시한 것이다. 즉, 도 15의 (C)는 도 7의 (C)의 상면도에 상당한다.
- [0108] 상기 예에서, 센서 전극(56)은 Y 방향으로 연장되지만, X 방향으로 연장하여도 좋다. 도 16의 (A), 도 16의 (B), 및 도 16의 (C)는 각각, 센서 전극(56)이 X 방향으로 연장된 도 15의 (A), 도 15의 (B), 및 도 15의 (C)에 상당한다.
- [0109] 도 15의 (B) 및 도 15의 (C)에 도시된 예에서, 상부 전극(액정층에 가까운 전극, 즉, 손가락 또는 스타일러스 등의 물체에 가까운 전극)은 화소 전극으로서 기능하고, 하부 전극(액정층으로부터 떨어진 전극, 즉, 손가락 또는 스타일러스 등의 물체로부터 떨어진 전극)은 공통 전극으로서 기능한다; 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 상부 전극(액정층에 가까운 전극, 즉, 손가락 또는 스타일러스 등의 물체에 가까운 전극)은 공통 전극으로서 기능할 수 있고, 하부 전극(액정층으로부터 떨어진 전극, 즉, 손가락 또는 스타일러스 등의 물체로부터 떨어진 전극)은 화소 전극으로서 기능할 수 있다. 도 17의 (A) 및 도 17의 (B)는 각각 이러한 구조를 도 15의 (B) 및 도 15의 (C)에 적용함으로써 얻어진 예를 도시한 것이다. 도시되지 않았지만, 공통 전극(52)은 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상을 갖는 경우가 있다.
- [0110] 상기는 터치 패널에 대한 설명이다.
- [0111] [구조예 1]
- [0112] 터치 패널의 더 구체적인 구조예에 대하여 이하에서 설명한다.
- [0113] 도 18의 (A)는 본 발명의 일 형태에 따른 터치 패널(310)의 사시 개략도이다. 도 18의 (B)는 도 18의 (A)가 전개된 사시 개략도이다. 또한, 간략화를 위하여, 주된 구성 요소만을 도시하였다. 도 18의 (B)에서는, 일부의

구성 요소(기관(372) 등)는 파선으로 윤곽만을 나타낸다.

- [0114] 터치 패널(310)은 서로 대향하도록 제공되는 기관(371) 및 기관(372)을 포함한다.
- [0115] 표시부(381), 구동 회로(382), 배선(383), 및 구동 회로(384) 등이 기관(371) 위에 제공된다. 도전층(332)이 표시부(381)에 형성된다. 기관(371)에는, 배선(383)과 전기적으로 접속되는 FPC(373)가 제공된다. 도 18의 (A) 및 도 18의 (B)에 도시된 예에서는, IC(374)가 FPC(373) 위에 제공된다.
- [0116] 기관(371)과 대향하는 기관(372)의 표면에는, 복수의 도전층(331), 복수의 도전층(335), 및 복수의 도전층(341) 등이 제공된다. 각 도전층(341)은 복수의 도전층(331) 중 하나와 전기적으로 접속된다. 도전층(341)은 접속부(385)를 통하여, 기관(371) 위에 제공된 FPC(373)와 전기적으로 접속된다.
- [0117] 도전층(335)은 2개의 도전층(331) 사이에 제공된다. 도전층(335)에 의하여, 도전층(331)이 제공되는 영역의 투과율과 도전층(331)이 제공되지 않는 영역의 투과율 사이의 차이의 발생을 억제할 수 있다. 도전층(335)은 전기적으로 부유 상태인 것이 바람직하다. 이러한 구조로 함으로써, 도전층(335)을 통하여 도전층(331) 및 도전층(332) 중 한쪽의 전위에서의 변화를 다른 쪽에 효율적으로 전달할 수 있고, 이로써, 검지 감도를 높일 수 있다. 도전층(335)이 불필요하면, 반드시 그것을 제공할 필요는 없다.
- [0118] 표시부(381)는 적어도 복수의 화소를 포함한다. 각 화소는 적어도 하나의 표시 소자를 포함한다. 각 화소는 트랜지스터 및 표시 소자를 포함하는 것이 바람직하다. 표시 소자로서는, 대표적으로 유기 EL 소자 등의 발광 소자, 또는 액정 소자 등을 사용할 수 있다.
- [0119] 구동 회로(382)로서는, 예를 들어, 주사선 구동 회로 또는 신호선 구동 회로로서 기능하는 회로를 사용할 수 있다.
- [0120] 배선(383)은 표시부(381) 또는 구동 회로(382)에 신호 또는 전력을 공급하는 기능을 갖는다. 신호 또는 전력은, FPC(373)를 통하여 외측 또는 IC(374)로부터 배선(383)에 입력된다.
- [0121] 구동 회로(384)는 도전층(332)을 순차적으로 선택하는 기능을 갖는다. 도전층(332)이 아니라 도전층(331)을 순차적으로 선택함으로써 터치 센서가 구동되면, 구동 회로(384)는 고정 전위 및 검지 신호를 전환하고 그것을 도전층(332)에 공급하는 기능을 갖는다. 터치 센서를 구동하기 위한 신호가 IC(374) 또는 외측으로부터 공급되는 경우, 구동 회로(384)를 반드시 제공할 필요는 없다.
- [0122] 도 18의 (A) 및 도 18의 (B)에 도시된 예에서, IC(374)는 COF(chip-on-film) 방식에 의하여 FPC(373)에 장착된다. IC(374)로서는, 예를 들어, 주사선 구동 회로 또는 신호선 구동 회로로서 기능하는 IC를 사용할 수 있다. 또한, 터치 패널(310)이 주사선 구동 회로 및 신호선 구동 회로로서 기능하는 회로를 포함하는 경우, 또는 주사선 구동 회로 및 신호선 구동 회로로서 기능하는 회로가 외측에 제공되고 FPC(373)를 통하여 표시부(381)를 구동하기 위한 신호가 입력되는 경우에는, IC(374)를 제공하지 않는 것이 가능하다. COG(chip-on-glass) 방식 등에 의하여 기관(371)에 IC(374)를 직접 장착하여도 좋다.
- [0123] 터치 센서는 기관(372) 위에 제공된 도전층(331), 및 기관(371) 위에 제공된 도전층(332)을 포함한다. 도전층(331)과 도전층(332) 사이에 형성되는 용량을 이용함으로써, 터치 센서는 검지를 수행할 수 있다.
- [0124] 상기 구조로 함으로써, 터치 패널(310)과 접속되는 FPC를 하나의 기관 측(본 실시형태에서는 기관(371) 측)에만 제공할 수 있다. 또한, 도 18의 (A) 및 도 18의 (B)에 도시된 바와 같이, 표시 패널 및 터치 센서 양쪽에 신호를 공급하는 기능을 갖는 하나의 FPC(373)가 터치 패널(310)에 제공되면, 구조를 간략화할 수 있기 때문에 바람직하다.
- [0125] IC(374)는 터치 센서를 구동하는 기능을 가질 수 있다. 또는, 터치 센서를 구동하기 위한 IC를 더 제공하여도 좋다. 또는, 터치 센서를 구동하기 위한 IC를 기관(371)에 장착하여도 좋다.
- [0126] 도 19는 도 18의 (A) 및 도 18의 (B)에 도시된 구조와 상이한 구조를 갖는 터치 패널(310)의 상면 개략도이다.
- [0127] 도 19에 도시된 터치 패널은 기관(371) 위에 복수의 FPC(373a), 및 FPC(373b)를 포함한다. 각 FPC(373a)는 표시부(381)를 구동하기 위한 신호를 공급하는 기능을 갖는다. FPC(373b)는 기관(372) 측에 제공된 도전층(331)에 신호 등을 공급하는 기능을 갖는다.
- [0128] 상술한 바와 같이, FPC(373a)는 터치 패널(310)에 포함되는 표시부(381)의 2개 이상의 변을 따라 제공된다; 이러한 식으로, 많은 신호를 터치 패널(310)에 공급할 수 있다. 예를 들어, 표시부(381)의 해상도가 높은 경우,

상술한 바와 같이 2개 이상의 변으로부터 표시부(381)에 신호를 공급함으로써, 배선이 높은 밀도로 제공되면 발생하는 배선들 사이의 기생 용량을 저감할 수 있다. 표시 장치가 큰 경우에는, 상기 구성으로 함으로써 배선의 길이를 짧게 할 수 있기 때문에, 배선 저항을 저감하고 신호 지연 등의 영향을 억제할 수 있다.

- [0129] [단면 구조에 1]
- [0130] 본 발명의 일 형태에 따른 터치 패널의 단면 구조예에 대하여, 도면을 참조하여 이하에서 설명한다.
- [0131] [단면 구조에 1-1]
- [0132] 도 20은 터치 패널(310)의 단면 개략도이다. 도 20은 도 18의 (A)에서의, FPC(373)를 포함하는 영역, 구동 회로(382)를 포함하는 영역, 및 표시부(381)를 포함하는 영역의 단면을 도시한 것이다.
- [0133] 기관(371)과 기관(372)은 접착층(151)으로 서로 접착된다. 기관(371), 기관(372), 및 접착층(151)에 의하여 둘러싸인 영역은 액정(253)으로 채워져 있다.
- [0134] 트랜지스터(201), 트랜지스터(203), 접속부(206), 도전층(207), 및 액정 소자(208)에 포함되는 도전층(251) 및 도전층(252) 등은 기관(371) 위에 제공된다.
- [0135] 절연층(211), 절연층(212), 절연층(213), 절연층(214), 절연층(254), 및 스페이서(216) 등은 기관(371) 위에 제공된다. 절연층(211)의 일부는 각 트랜지스터의 게이트 절연층으로서 기능한다. 절연층(212), 절연층(213), 및 절연층(214)은 각 트랜지스터 등을 덮도록 제공된다. 예를 들어, 절연층(214)은 평탄화층으로서 기능한다. 여기서는, 3개의 절연층인, 절연층(212), 절연층(213), 및 절연층(214)이 트랜지스터 등을 덮도록 제공되는 예에 대하여 설명한다; 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 4개 이상의 절연층, 하나의 절연층, 또는 2개의 절연층을 제공하여도 좋다. 평탄화층으로서 기능하는 절연층(214)이 불필요하면, 반드시 그것을 제공할 필요는 없다.
- [0136] 도 20은 표시부(381)의 예로서 하나의 부화소의 단면을 도시한 것이다. 예를 들어, 부화소는 적색을 나타내는 부화소, 녹색을 나타내는 부화소, 청색을 나타내는 부화소이다; 따라서, 풀 컬러 표시를 달성할 수 있다. 예를 들어, 도 20에 도시된 부화소는 트랜지스터(203), 액정 소자(208), 및 착색층(231)을 포함한다.
- [0137] 도 20은 구동 회로(382)의 예로서, 트랜지스터(201)가 제공되는 예를 도시한 것이다.
- [0138] 예를 들어, 도 20에 도시된 예에서, 트랜지스터(201)는 채널이 형성되는 반도체층이 게이트 전극(283)과 게이트 전극(284) 사이에 제공되는 구조를 갖고, 트랜지스터(203)는 채널이 형성되는 반도체층이 게이트 전극(281)과 게이트 전극(282) 사이에 제공되는 구조를 갖는다. 게이트 전극(281)과 게이트 전극(282)이 서로 접속되고 게이트 전극(283)과 게이트 전극(284)이 서로 접속되는 경우, 이러한 트랜지스터는 다른 트랜지스터보다 높은 전계 효과 이동도를 가질 수 있기 때문에, 다른 트랜지스터보다 높은 온 상태 전류를 가질 수 있다. 결과적으로, 고속으로 동작할 수 있는 회로를 얻을 수 있다. 또한, 회로부에 의하여 차지되는 면적을 저감할 수 있다. 크기 또는 해상도가 증가되기 때문에, 배선의 수가 증가된 표시 패널 또는 터치 패널이라도 온 상태 전류가 높은 트랜지스터를 사용함으로써, 배선의 신호 지연을 저감하거나, 표시 불균일을 억제할 수 있다.
- [0139] 또한, 구동 회로(382)에 포함되는 트랜지스터, 및 표시부(381)에 포함되는 트랜지스터는 동일한 구조를 가져도 좋다. 구동 회로(382)에 포함되는 복수의 트랜지스터는 동일한 구조 또는 상이한 구조를 가져도 좋다. 표시부(381)에 포함되는 복수의 트랜지스터는 동일한 구조 또는 상이한 구조를 가져도 좋다.
- [0140] 예를 들어, 물 또는 수소 등의 불순물을 확산시키기 어려운 재료가, 트랜지스터를 덮는 절연층(212) 및 절연층(213) 중 적어도 한쪽에 사용되는 것이 바람직하다. 즉, 절연층(212) 또는 절연층(213)은 배리어막으로서 기능할 수 있다. 이러한 구조로 함으로써, 외측으로부터 트랜지스터로의 불순물의 확산을 효과적으로 억제할 수 있고, 신뢰성이 높은 터치 패널을 달성할 수 있다.
- [0141] 도 20에 도시된 예에서는, FFS(fringe field switching) 모드를 사용한 액정 소자가 액정 소자(208)로서 사용된다. 액정 소자(208)는 도전층(251), 액정(253), 및 도전층(252)을 포함한다. 액정(253)의 방향을, 도전층(251)과 도전층(252) 사이에 발생하는 전계로 제어할 수 있다.
- [0142] 도전층(252)이 절연층(214) 위에 제공된다. 절연층(254)이 도전층(252)을 덮도록 제공되고, 도전층(251)이 절연층(254) 위에 제공된다. 도전층(251)은, 절연층(254), 절연층(214), 절연층(213), 및 절연층(212)에 제공되는 개구를 통하여 트랜지스터(203)의 소스 및 드레인 중 한쪽과 전기적으로 접속된다. 투광 도전 재료를 사용하여 형성되는 도전층(251) 및 도전층(252) 각각에 의하여, 터치 패널(310)을 투과형 액정 표시 장치로 할 수

있다.

- [0143] 도전층(251)은 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상(이 상면 형상을 평면 형상이라고도 함)을 갖는다. 도전층(252)이 도전층(251)과 중첩되도록 제공된다. 착색층(231) 등과 중첩되는 영역에는, 도전층(252) 위에 도전층(251)이 제공되지 않는 부분이 있다.
- [0144] 도 20에서, 도전층(251)은 화소 전극으로서 기능하고, 도전층(252)은 공통 전극으로서 기능한다. 또는, 상층에 제공되고 빗 형상의 상면 형상 또는 슬릿이 제공된 상면 형상을 갖는 도전층(251)을 공통 전극으로서 사용하여도 좋고, 하층에 제공되는 도전층(252)을 화소 전극으로서 사용하여도 좋다. 그 경우, 도전층(252)을 트랜지스터(203)의 소스 및 드레인 중 한쪽과 전기적으로 접속시켜도 좋다.
- [0145] 접속부(206)는 기관(371)의 단부에 가까운 영역에 제공된다. 접속부(206)는 접속층(209)을 통하여 FPC(373)와 전기적으로 접속된다. 도 20에 도시된 예에서는, 도전층(207)의 일부와, 도전층(251)과 동일한 도전막을 가공함으로써 형성되는 도전층을 적층함으로써, 접속부(206)가 형성된다.
- [0146] 기관(371)과 대향하는 기관(372)의 표면에는, 도전층(331), 도전층(341), 착색층(231), 차광층(232), 및 절연층(255) 등이 제공된다.
- [0147] 도 20에서, 도전층(331)과 도전층(341)은 동일한 평면에 형성된다. 도전층(331)과 도전층(341)은 동일한 도전막을 가공함으로써 동시에 형성되는 것이 바람직하다. 또는, 도전층(331)과 도전층(341)은 연속성을 가져도 좋다. 그 경우, 적어도 표시부(381)와 중첩되는 영역은, 터치 센서의 하나의 전극으로서 기능하는 도전층(331)에 상당하고, 다른 영역은 도전층(341)에 상당한다. 즉, 도 20은 도 7의 (A)의 경우의 단면도의 예를 도시한 것이다.
- [0148] 접속부(385)에서, 도전층(341)은 절연층(255)으로 덮이지 않는 영역을 갖는다. 도전층(341)은 접속체(386)를 통하여, 기관(371) 측에 제공되는 도전층(207)과 전기적으로 접속된다. 따라서, FPC(373)는 도전층(331)과 전기적으로 접속된다. 도 20에 도시된 예에서는, 접속체(386)가 도전층(341)과 접촉되는 영역, 및 도전층(251)과 동일한 평면에 형성되고 도전층(207)과 전기적으로 접속되는 도전층과 접속체(386)가 접촉되는 영역이 제공된다.
- [0149] 접속체(386)로서는, 예를 들어, 도전 입자를 사용할 수 있다. 도전 입자로서는, 금속 재료로 덮인, 유기 수지 또는 실리카 등의 입자를 사용할 수 있다. 금속 재료로서 니켈 또는 금을 사용하면, 접촉 저항을 저감할 수 있기 때문에 바람직하다. 니켈, 및 또한 금이 도포된 입자 등, 2종류 이상의 금속 재료의 층이 도포된 입자를 사용하는 것도 바람직하다. 접속체(386)로서는, 탄성 변형 또는 소성 변형할 수 있는 재료를 사용하는 것이 바람직하다. 도 20에 도시된 바와 같이, 도전 입자는 수직으로 찌부러진 형상을 갖는 경우가 있다. 찌부러진 형상으로 함으로써, 접속체(386)와, 접속체(386)와 전기적으로 접속된 도전층 사이의 접촉 면적을 증가시킬 수 있고, 이로써, 접촉 저항을 저감하거나 단선 등의 문제의 발생을 억제할 수 있다.
- [0150] 접속체(386)는 접착층(151)으로 덮이도록 제공되는 것이 바람직하다. 예를 들어, 접착층(151)을 형성하기 위한 페이스트 등을 도포하고 나서, 접속체(386)를 접속부(385)에 제공하여도 좋다. 예를 들어, 고체 밀봉 구조를 갖는 표시 장치, 또는 중공 밀봉 구조를 갖는 표시 장치 등의, 예를 들어, 접착층(151)이 제공되는 영역에 접속부(385)가 제공되는 구조를, 접착층(151)이 주변의 영역에 제공되는 구조에 적용할 수 있다.
- [0151] 착색층(231) 및 차광층(232)이 도전층(331) 위에 제공된다. 절연층(255)이 착색층(231) 및 차광층(232)을 둘러싸도록 제공된다.
- [0152] 절연층(255)은 착색층(231) 및 차광층(232) 등에 함유되는 불순물이 액정(253)으로 확산되는 것을 방지하는 오버코트의 기능을 갖는다.
- [0153] 스페이서(216)는 절연층(254) 위에 제공되고 기관(371)과 기관(372) 사이의 거리를 일정하게 유지하는 기능을 갖는다. 도 20에는 스페이서(216)가 기관(372) 측의 구성 요소(예를 들어, 절연층(255))와 접촉되는 예를 도시하였지만, 스페이서(216)를 반드시 이들과 접촉시킬 필요는 없다. 또한, 도 20에는 스페이서(216)가 기관(371) 측에 제공되는 예를 도시하였다; 그러나, 스페이서(216)를 기관(372) 측에 제공하여도 좋다. 예를 들어, 스페이서(216)를 인접되는 2개의 부화소 사이에 제공할 수 있다. 입자 형상의 스페이서를 스페이서(216)로서 사용하여도 좋다. 실리카 등의 재료를 입자 형상의 스페이서에 사용할 수 있지만, 유기 수지 또는 고무 등의 탄성 재료를 사용하는 것이 바람직하다. 그 경우, 입자 형상의 스페이서는 수직으로 찌부러진 형상을 가져도 좋다.
- [0154] 액정(253)과 접촉되는, 도전층(251), 절연층(254), 및 절연층(255) 등의 표면에, 액정(253)의 방향을 제어하기

위한 배향막을 제공하여도 좋다.

- [0155] 적어도 착색층(231)과 중첩되는 도전층(331)의 영역은 투광 재료를 사용하여 형성되는 것이 바람직하다.
- [0156] 투과형 액정 소자인 액정 소자(208)의 경우, 예를 들어, 도시되지 않은 2개의 편광판이 표시부를 사이에 끼우도록 제공된다. 편광판보다 외측에 제공되는 백라이트로부터의 광이 편광판을 통하여 들어간다. 이때, 액정(253)의 방향이 도전층(251)과 도전층(252) 사이에 인가되는 전압으로 제어됨으로써, 광의 광학 변조를 제어할 수 있다. 바꿔 말하면, 편광판을 통하여 발해지는 광의 강도를 제어할 수 있다. 특정한 파장 범위의 광을 제외한, 백라이트로부터 들어가는 광은 착색층(231)에 의하여 흡수되어, 적색, 청색, 및 녹색의 광은 액정 소자(208)로부터 발해진다.
- [0157] 편광판에 더하여, 예를 들어, 원 편광판을 사용할 수 있다. 원 편광판의 예는 선 형상의 편광판과 1/4 파장 위상차판을 포함하는 적층이다. 원 편광판에 의하여, 시야각 의존을 저감할 수 있다.
- [0158] 여기에 도시된 예에서, 액정 소자(20)는 FFS 모드를 사용한 액정 소자이다. 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 다양한 모드 중 어느 것을 사용한 액정 소자를 사용할 수 있다. 예를 들어, VA(vertical alignment) 모드, TN(twisted nematic) 모드, IPS(in-plane switching) 모드, FFS(fringe field switching) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optically compensated birefringence) 모드, FLC(ferroelectric liquid crystal) 모드, 또는 AFLC(antiferroelectric liquid crystal) 모드 등을 사용한 액정 소자를 사용할 수 있다.
- [0159] 또한, 노멀리 블랙형 액정 표시 장치, 예를 들어, VA(vertical alignment) 모드를 사용한 투과형 액정 표시 장치를 터치 패널(310)로서 사용하여도 좋다. vertical alignment 모드의 예는 MVA(multi-domain vertical alignment) 모드, PVA(patterned vertical alignment) 모드, 및 ASV(advanced super-view) 모드를 포함한다.
- [0160] 액정 소자는 액정의 광학 변조 작용에 의하여 광의 투과 또는 비투과를 제어하는 소자이다. 또한, 액정의 광학 변조 작용은 액정에 가해지는 전계(수평 전계, 수직 전계, 및 경사 전계를 포함함)에 의하여 제어된다. 액정 소자에 사용되는 액정으로서, 서모트로픽 액정, 저분자 액정, 고분자 액정, PDLC(polymer dispersed liquid crystal), 강유전 액정, 또는 반강유전 액정 등을 사용할 수 있다. 이러한 액정 재료는, 조건에 따라, 콜레스테릭상, 스멕틱상, 큐빅상, 키랄 네마틱상, 또는 등방상 등을 나타낸다.
- [0161] 액정 재료로서는, 포지티브형 액정 및 네거티브형 액정 중 어느 한쪽을 사용하여도 좋고, 사용되는 모드 또는 디자인에 따라 적절한 액정 재료를 사용할 수 있다.
- [0162] 수평 전계 모드를 채용하는 경우, 배향막이 불필요한 블루상(blue phase)을 나타내는 액정을 사용하여도 좋다. 블루상은 액정상 중 하나이며, 이는 콜레스테릭 액정의 온도가 증가하면서 콜레스테릭상이 등방상으로 변화되기 직전에 생성된다. 블루상은 좁은 온도 범위에서만 나타나기 때문에, 온도 범위를 향상시키기 위하여, 몇 중량% 이상의 키랄제가 혼합된 액정 조성물이 액정층에 사용된다. 블루상을 나타내는 액정, 및 키랄제를 포함하는 액정 조성물은 응답 시간이 짧으며 광학 등방성을 갖는다. 또한, 블루상을 나타내는 액정을 포함하는 액정 조성물은 배향 처리를 필요로 하지 않고, 시야각 의존이 작다. 배향막을 제공할 필요가 없기 때문에, 러빙 처리가 필요하지 않다; 따라서, 러빙 처리에 의하여 일어나는 정전기 방전 대미지를 방지할 수 있고, 제조 공정에서의 액정 표시 장치의 결함 및 대미지를 저감할 수 있다.
- [0163] 본 구조예에서는, 도전층(331)과 도전층(252) 사이에 형성되는 용량을 이용함으로써, 터치 동작 등을 검지할 수 있다. 즉, 도전층(252)은 터치 센서의 한 쌍의 전극 중 한쪽 이외에 액정 소자(208)의 한 쌍의 전극 중 한쪽으로서도 기능한다.
- [0164] 도전층(251), 도전층(252), 또는 도전층(331)은 가시광을 투과시키는 도전 재료를 사용하여 형성되는 것이 바람직하다. 도전층(251), 도전층(252), 또는 도전층(331)은 예를 들어, 금속 산화물을 함유하는 도전 재료를 사용하여 형성된다. 예를 들어, 후술하는 투광 도전 재료 중 금속 산화물을 사용할 수 있다.
- [0165] 또는, 도전층(251), 도전층(252), 또는 도전층(331)은 다른 도전층 또는 반도체층과 동일한 금속 원소를 함유하는 금속 산화물을 사용하여 형성되는 것이 바람직하다. 특히, 산화물 반도체가 터치 패널(310)에서의 트랜지스터의 반도체층에 사용되는 경우, 산화물 반도체에 함유되는 금속 원소를 함유하는 도전 산화물이 사용되는 것이 바람직하다. 수소를 함유하는 질화 실리콘막을 사용하여 절연층(254)을 형성하여도 좋다. 그 경우, 산화물 반도체를 사용하여 형성되는 도전층(252)의 도전성을, 절연층(254)으로부터 공급되는 수소에 의하여 향상시킬 수 있다. 즉, 산화물 반도체를 n⁺형으로 할 수 있다.

- [0166] 조건에 따라서는, 고정 전위를 도전층(331)에 공급하여도 좋다. 그 경우, 외측으로부터의 전자기의 노이즈를 차단할 수 있다. 예를 들어, 검지를 수행하지 않을 때, 액정(253)의 전환에 영향을 미치지 않는 일정한 전위를 도전층(331)에 공급하여도 좋다. 예를 들어, 접지 전위, 공통 전위, 또는 미리 결정된 일정한 전위를 공급할 수 있다. 예를 들어, 도전층(331)과 도전층(252)을 동일한 전위로 설정하여도 좋다.
- [0167] 도전층(331)에 적절한 전위를 인가함으로써, 도전층(251)과 도전층(252) 사이에서 발생하는 전계의 방향(전기력의 선의 방향)에서의 두께 방향의 성분을 저감할 수 있고, 두께 방향에 대하여 실질적으로 수직인 방향에 전계를 효과적으로 인가할 수 있다. 따라서, 액정(253)의 방향 결함을 억제하거나, 광 누설 등의 문제를 방지할 수 있다.
- [0168] 손가락 또는 스타일러스 등의 물체가 직접 터치하는 기관을 기관(372) 위에 제공하여도 좋다. 그 경우, 기관(372)과 상기 기관 사이에 편광판 또는 원 편광판이 제공되는 것이 바람직하다. 그 경우, 상기 기관에 보호층(세라믹 코트 등)이 제공되는 것이 바람직하다. 산화 실리콘, 산화 알루미늄, 산화 이트륨, 또는 YSZ(yttria-stabilized zirconia) 등의 무기 절연 재료를 사용하여 보호층을 형성할 수 있다. 또한, 강화 유리를 상기 기관에 사용하여도 좋다. 여기서 사용할 수 있는 강화 유리는 이온 교환 방법 또는 열 강화 방법 등에 의하여 물리적 또는 화학적 처리가 수행되어 압축 응력이 가해진 표면을 갖는 강화 유리이다.
- [0169] [구성 요소]
- [0170] 상기 구성 요소에 대하여 이하에서 설명한다.
- [0171] [기관]
- [0172] 터치 패널에 포함되는 기관으로서 평탄면을 갖는 기관을 사용할 수 있다. 표시 소자로부터 발해지는 광이 추출되는 기관은 상기 광을 투과시키는 재료를 사용하여 형성된다. 예를 들어, 유리, 석영, 세라믹, 사파이어, 또는 유기 수지 등의 재료를 사용할 수 있다. 또는, 실리콘 또는 탄소화 실리콘 등으로 만들어진 단결정 반도체 기관 또는 다결정 반도체 기관, 실리콘 저마늄 등으로 만들어진 화합물 반도체 기관, 또는 SOI 기관 등을 사용하여도 좋다. 또는, 반도체 소자가 제공된 이들 기관 중 어느 기관을 기관으로서 사용하여도 좋다.
- [0173] 기관으로서 유리 기관이 사용되는 경우, 다음의 사이즈 중 어느 사이즈를 갖는 대형 유리 기관을 사용할 수 있다: 제 6 세대(1500mm×1850mm), 제 7 세대(1870mm×2200mm), 제 8 세대(2200mm×2400mm), 제 9 세대(2400mm×2800mm), 및 제 10 세대(2950mm×3400mm)이다. 따라서, 대형 표시 장치를 제조할 수 있다. 또는, 기관으로서 가요성 기관을 사용하고, 가요성 기관 위에 트랜지스터 또는 용량 소자 등을 직접 제공하여도 좋다.
- [0174] 얇은 기관을 사용함으로써, 터치 패널의 중량 및 두께를 저감할 수 있다. 또한, 가요성을 가질 정도로 얇은 기관을 사용함으로써 플렉시블 터치 패널을 얻을 수 있다.
- [0175] 유리로서는, 예를 들어, 무알칼리 유리, 바륨보로실리케이트 유리, 또는 알루미늄보로실리케이트 유리를 사용할 수 있다.
- [0176] 가요성 및 가시광에 대한 투광성을 갖는 재료의 예는 가요성을 가질 정도로 얇은 유리, 폴리에틸렌테레프탈레이트(PET) 및 폴리에틸렌나프탈레이트(PEN) 등의 폴리에스터 수지, 폴리이미드 수지, 폴리메틸메타크릴레이트 수지, 폴리카보네이트(PC) 수지, 폴리에터설폰(PES) 수지, 폴리아마이드 수지, 사이클로올레핀 수지, 폴리스타이렌 수지, 폴리아마이드 이미드 수지, 폴리염화바이닐 수지, 및 폴리테트라플루오로에틸렌(PTFE)을 포함한다. 특히, 열 팽창 계수가 낮은 재료가 바람직하고, 예를 들어, 폴리아마이드 이미드 수지, 폴리이미드 수지, 또는 PET를 적합하게 사용할 수 있다. 유기 수지에 유리 섬유가 함침(含浸)된 기관 또는 유기 수지를 무기 필러(filler)와 혼합함으로써 열 팽창 계수가 저감된 기관을 사용할 수도 있다. 이러한 재료를 사용한 기관은 경량이기 때문에, 이 기관을 사용한 터치 패널도 경량으로 할 수 있다.
- [0177] 광이 추출되지 않는 기관은 투광성을 가질 필요가 없기 때문에, 상술한 기관 이외에, 금속 재료 또는 합금 재료를 사용한 금속 기관, 세라믹 기관, 또는 반도체 기관 등을 사용할 수도 있다. 열 전도성이 높은 금속 재료 및 합금 재료는, 밀봉 기관 전체에 열을 용이하게 전도시킬 수 있기 때문에, 터치 패널의 국소적인 온도 상승을 방지할 수 있어 바람직하다. 가요성 및 굴곡성을 얻기 위해서는, 금속 기관의 두께가 10 μm 이상 200 μm 이하인 것이 바람직하고, 20 μm 이상 50 μm 이하인 것이 더 바람직하다.
- [0178] 금속 기관의 재료에 특별한 제한은 없지만, 예를 들어, 알루미늄, 구리, 니켈, 또는 알루미늄 합금 또는 스테인리스 스틸 등의 금속 합금을 사용하는 것이 바람직하다.

- [0179] 도전성 기관의 표면을 산화시키거나, 또는 표면에 절연막을 형성하는 식으로 절연 처리가 수행된 기관을 사용하는 것이 바람직하다. 예를 들어, 스핀 코팅법 또는 딥법(dipping method) 등의 도포법, 전착법, 증착법, 또는 스퍼터링법에 의하여 절연막을 형성하여도 좋다. 산소 분위기에서 양극 산화법, 노출, 가열, 또는 양극 산화법에 의하여 기관 표면에 산화막을 형성하여도 좋다.
- [0180] 개요성 기관은 상술한 재료 중 어느 재료의 층과, 터치 패널의 표면을 대미지 등으로부터 보호하는 하드 코트층(예를 들어, 질화 실리콘층), 또는 압력을 분산할 수 있는 층(예를 들어, 아라미드 수지층) 등과의 적층 구조를 가져도 좋다. 또한, 수분 등으로 인한 표시 소자의 수명에서의 감소를 억제하기 위하여, 투수성이 낮은 절연막을 제공하여도 좋다. 예를 들어, 질소 및 실리콘을 함유하는 막(예를 들어, 질화 실리콘막 또는 산화질화 실리콘막) 또는 질소 및 알루미늄을 함유하는 막(예를 들어, 질화 알루미늄막)을 제공하여도 좋다.
- [0181] 복수의 층을 적층함으로써 기관을 형성하여도 좋다. 특히, 유리층이 사용되면, 물 및 산소에 대한 배리어성을 향상시킬 수 있기 때문에, 신뢰성이 높은 터치 패널을 제공할 수 있다.
- [0182] 예를 들어, 표시 소자에 더 가까운 측으로부터 유리층, 접착층, 및 유기 수지층이 적층된 기관을 사용할 수 있다. 이 유리층의 두께는 20 μm 이상 200 μm 이하, 바람직하게는 25 μm 이상 100 μm 이하이다. 이러한 두께로 함으로써, 유리층은 물 및 산소에 대한 높은 배리어성, 및 높은 개요성 양쪽을 가질 수 있다. 유기 수지층의 두께는 10 μm 이상 200 μm 이하, 바람직하게는 20 μm 이상 50 μm 이하이다. 이러한 유기 수지층을 제공함으로써, 유리층에서의 깨짐 또는 크랙의 발생을 억제할 수 있고, 기계적 강도를 향상시킬 수 있다. 이러한 유리 재료 및 유기 수지의 복합 재료를 포함하는 기관으로 함으로써, 신뢰성이 높고 플렉시블 터치 패널을 제공할 수 있다.
- [0183] [트랜지스터]
- [0184] 트랜지스터는 게이트 전극으로서 기능하는 도전층, 반도체층, 소스 전극으로서 기능하는 도전층, 드레인 전극으로서 기능하는 도전층, 및 게이트 절연층으로서 기능하는 절연층을 포함한다. 상기 예에서는, 보텀 게이트 트랜지스터가 사용된다.
- [0185] 또한, 본 발명의 일 형태에 따른 터치 패널에 포함되는 트랜지스터의 구조에 특별한 제한은 없다. 예를 들어, 플레이너 트랜지스터, 스테거 트랜지스터, 또는 역 스테거 트랜지스터를 사용하여도 좋다. 톱 게이트 트랜지스터 또는 보텀 게이트 트랜지스터를 사용하여도 좋다. 게이트 전극을 채널 위 및 아래에 제공하여도 좋다. 트랜지스터에 사용되는 반도체 재료에 특별한 제한은 없고, 예를 들어, 산화물 반도체, 실리콘, 또는 저마늄을 사용할 수 있다.
- [0186] 트랜지스터에 사용되는 반도체 재료의 결정성에 특별한 제한은 없고, 비정질 반도체 또는 결정성을 갖는 반도체(미결정 반도체, 다결정 반도체, 단결정 반도체, 또는 부분적으로 결정 영역을 포함하는 반도체)를 사용하여도 좋다. 결정성을 갖는 반도체를 사용하면, 트랜지스터 특성의 열화를 억제할 수 있기 때문에 바람직하다.
- [0187] 트랜지스터의 반도체층을 위한 반도체 재료로서는, 예를 들어, 제 14족 원소, 화합물 반도체, 또는 산화물 반도체를 사용할 수 있다. 대표적으로는, 실리콘을 함유하는 반도체, 갈륨 비소를 함유하는 반도체, 또는 인듐을 함유하는 산화물 반도체 등을 사용할 수 있다.
- [0188] 트랜지스터의 채널이 형성되는 반도체로서 산화물 반도체가 사용되는 것이 바람직하다. 특히, 실리콘보다 밴드 갭이 넓은 산화물 반도체가 사용되는 것이 바람직하다. 실리콘보다 밴드 갭이 넓고 캐리어 밀도가 낮은 반도체 재료가 사용되면, 트랜지스터의 오프 상태를 저감할 수 있기 때문에 바람직하다.
- [0189] 예를 들어, 산화물 반도체는 적어도 인듐(In) 또는 아연(Zn)을 함유하는 것이 바람직하다. 산화물 반도체는 In-M-Zn계 산화물(M은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, Hf, 또는 Nd 등의 금속임)을 포함하는 것이 더 바람직하다.
- [0190] 반도체층이 형성되는 표면, 또는 반도체층의 상면에 대하여 c축이 실질적으로 수직으로 배향되고, 인접되는 결정부들 사이에 결정립계가 관찰되지 않는 복수의 결정부를 포함하는 산화물 반도체막을 반도체층으로서 사용하는 것이 특히 바람직하다.
- [0191] 이러한 산화물 반도체에는 결정립계가 없다; 그러므로, 표시 패널이 굴곡될 때에 응력에 의하여 일어나는 산화물 반도체막에서의 크랙의 발생이 방지된다. 그러므로, 굴곡된 상태에서 사용되는 플렉시블 터치 패널에 이러한 산화물 반도체를 적합하게 사용할 수 있다.

- [0192] 또한, 이러한 결정성을 갖는 산화물 반도체를 반도체층에 사용함으로써, 전기 특성의 편차가 억제된, 신뢰성이 높은 트랜지스터를 제공할 수 있다.
- [0193] 밴드 갭이 실리콘의 밴드 갭보다 넓은 산화물 반도체를 갖는 트랜지스터는, 트랜지스터의 오프 전류가 낮기 때문에, 트랜지스터와 직렬로 접속된 용량 소자에 저장된 전하는 장기간 유지될 수 있다. 이러한 트랜지스터가 화소에 사용되면, 각 표시 영역에 표시된 화상의 그레이 스케일을 유지하면서, 구동 회로의 동작을 정지할 수 있다. 결과적으로, 소비전력이 매우 낮은 표시 장치를 얻을 수 있다.
- [0194] 반도체층은 예를 들어, 적어도 인듐(In), 아연(Zn), 및 M (Al, Ti, Ga, Y, Zr, La, Ce, Sn, 또는 Hf 등의 금속)을 함유하는 In- M -Zn 산화물로 표기되는 막을 포함하는 것이 바람직하다. 이 산화물 반도체를 포함한 트랜지스터의 전기 특성의 편차를 저감하기 위하여, 산화물 반도체는 상기 소자에 더하여 스테빌라이저를 함유하는 것이 바람직하다.
- [0195] 스테빌라이저의 예는, M 으로서 사용할 수 있는 금속을 포함하는, 갈륨(Ga), 주석(Sn), 하프늄(Hf), 알루미늄(Al), 및 지르코늄(Zr)이 있다. 스테빌라이저의 다른 예는 란타넘(La), 세륨(Ce), 프라세오디뮴(Pr), 네오디뮴(Nd), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 테븀(Tb), 디스프로슘(Dy), 홀름(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb), 및 루테튬(Lu) 등의 란타노이드가 있다.
- [0196] 반도체층에 포함되는 산화물 반도체로서는, 다음 산화물 중 어느 산화물을 사용할 수 있다: 예를 들어, In-Ga-Zn계 산화물, In-Al-Zn계 산화물, In-Sn-Zn계 산화물, In-Hf-Zn계 산화물, In-La-Zn계 산화물, In-Ce-Zn계 산화물, In-Pr-Zn계 산화물, In-Nd-Zn계 산화물, In-Sm-Zn계 산화물, In-Eu-Zn계 산화물, In-Gd-Zn계 산화물, In-Tb-Zn계 산화물, In-Dy-Zn계 산화물, In-Ho-Zn계 산화물, In-Er-Zn계 산화물, In-Tm-Zn계 산화물, In-Yb-Zn계 산화물, In-Lu-Zn계 산화물, In-Sn-Ga-Zn계 산화물, In-Hf-Ga-Zn계 산화물, In-Al-Ga-Zn계 산화물, In-Sn-Al-Zn계 산화물, In-Sn-Hf-Zn계 산화물, 및 In-Hf-Al-Zn계 산화물이다.
- [0197] 또한, 여기서, "In-Ga-Zn계 산화물"이란 In, Ga, 및 Zn을 주성분으로서 함유하는 산화물을 의미하고, In:Ga:Zn의 비율에 제한은 없다. In-Ga-Zn계 산화물은 In, Ga, 및 Zn에 더하여 다른 금속 원소를 함유하여도 좋다.
- [0198] 반도체층 및 도전층은 상기 산화물에 함유되는 동일한 금속 원소를 포함하여도 좋다. 반도체층 및 도전층에 동일한 금속 원소를 사용함으로써, 제조 비용을 저감할 수 있다. 예를 들어, 금속 조성이 동일한 금속 산화물 타겟이 사용되면, 제조 비용을 저감할 수 있고, 반도체층 및 도전층을 가공할 때에 동일한 에칭 가스 또는 동일한 에칭액을 사용할 수 있다. 또한, 반도체층 및 도전층이 동일한 금속 원소를 갖는 경우라도 이들은 상이한 조성을 갖는 경우가 있다. 예를 들어, 트랜지스터 및 용량 소자의 제조 공정 동안에 막의 금속 원소가 방출되어, 상이한 금속 조성이 될 수 있다.
- [0199] 또한, 반도체층이 In- M -Zn 산화물을 포함하는 경우, Zn 및 O를 고려하지 않고 In과 M 의 합을 100atomic%라고 가정하면, In 및 M 의 원자수비는 각각 25atomic%보다 높고 75atomic% 미만인 것이 바람직하고, 각각 34atomic%보다 높고 66atomic% 미만인 것이 더 바람직하다.
- [0200] 반도체층의 에너지 갭은 2eV 이상, 바람직하게는 2.5eV 이상, 더 바람직하게는 3eV 이상이다. 이러한 식으로, 에너지 갭이 넓은 산화물 반도체를 사용함으로써, 트랜지스터의 오프 상태 전류를 저감할 수 있다.
- [0201] 반도체층의 두께는 3nm 이상 200nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0202] 반도체층이 In- M -Zn 산화물(M 은 Al, Ti, Ga, Ge, Y, Zr, Sn, La, Ce, Hf, 또는 Nd을 나타냄)인 경우, In- M -Zn 산화물의 막을 형성하기 위하여 사용되는 스퍼터링 타겟의 금속 원소의 원자수비는 $In \geq M$ 및 $Zn \geq M$ 을 만족시키는 것이 바람직하다. 이러한 스퍼터링 타겟의 금속 원소의 원자수비로서는, In:M:Zn=1:1:1, In:M:Zn=1:1:1.2, In:M:Zn=3:1:2, 및 In:M:Zn=4:2:3이 바람직하다. 또한, 형성되는 반도체층에서의 금속 원소의 원자수비는, 오차로서 $\pm 40\%$ 의 범위 내에서 상기 스퍼터링 타겟의 금속 원소의 원자수비로부터 변동된다.
- [0203] 캐리어 밀도가 낮은 산화물 반도체막이 반도체층으로서 사용된다. 예를 들어, $1 \times 10^{17}/\text{cm}^3$ 이하, 바람직하게는 $1 \times 10^{15}/\text{cm}^3$ 이하, 더 바람직하게는 $1 \times 10^{13}/\text{cm}^3$ 이하, 더욱 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 이하인 산화물 반도체막이 반도체층으로서 사용된다.
- [0204] 또한, 상술한 조성 및 재료에 한정되지 않고, 트랜지스터의 요구된 반도체 특성 및 전기 특성(예를 들어, 전계 효과 이동도 및 문턱 전압)에 따라 조성이 적절한 재료를 사용하여도 좋다. 또한, 트랜지스터의 요구된 반도체

특성을 얻기 위하여, 반도체층의 캐리어 밀도, 불순물 농도, 결합 밀도, 금속 원소와 산소의 원자수비, 원자간 거리, 및 밀도 등이 적절한 것으로 설정되는 것이 바람직하다.

[0205] 제 14쪽에 속하는 원소 중 하나인 실리콘 또는 탄소가 반도체층에 함유되면, 산소 결손이 증가되어 반도체층이 n형 도전성을 갖는다. 따라서, 반도체층의 실리콘 또는 탄소의 농도(이차 이온 질량 분석법(SIMS)에 의하여 측정됨)는 2×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{17} atoms/cm³ 이하이다.

[0206] 또한, SIMS에 의하여 측정되는 반도체층의 알칼리 금속 또는 알칼리 토금속의 농도는 1×10^{18} atoms/cm³ 이하, 바람직하게는 2×10^{16} atoms/cm³ 이하이다. 알칼리 금속 및 알칼리 토금속은 산화물 반도체와 결합되면 캐리어가 생성될 수 있고, 그 경우, 트랜지스터의 오프 상태 전류가 증가될 수 있다. 그러므로, 반도체층에서의 알칼리 금속 또는 알칼리 토금속의 농도를 저감하는 것이 바람직하다.

[0207] 반도체층에 질소가 함유되면, 캐리어로서 기능하는 전자가 생성되어 캐리어 밀도가 증가되어, 반도체층은 n형 도전성을 갖기 쉽다. 따라서, 질소를 함유하는 산화물 반도체를 포함하는 트랜지스터는 노멀리 온이 되기 쉽다. 이러한 이유로, 산화물 반도체막의 질소를 가능한 한 저감하는 것이 바람직하다; SIMS에 의하여 측정되는 질소의 농도는 예를 들어 5×10^{18} atoms/cm³ 이하로 설정되는 것이 바람직하다.

[0208] 반도체층은 예를 들어, 비단결정 구조를 가져도 좋다. 비단결정 구조는, 예를 들어, 후술하는 CAAC-OS(c-axis aligned crystalline oxide semiconductor), 다결정 구조, 후술하는 미세결정 구조, 또는 비정질 구조를 포함한다. 비단결정 구조 중, 비정질 구조는 결합 상태의 밀도가 가장 높지만, CAAC-OS는 결합 상태의 밀도가 가장 낮다.

[0209] 반도체층은 예를 들어, 비정질 구조를 가져도 좋다. 비정질 구조를 갖는 산화물 반도체막은 예를 들어, 원자 배열이 무질서이고, 결정 성분을 갖지 않는다. 또는, 비정질 구조를 갖는 산화물막은 예를 들어, 완전한 비정질 구조를 갖고, 결정부를 갖지 않는다.

[0210] 또한, 반도체층은 다음의 2개 이상의 영역을 포함하는 혼합막으로 하여도 좋다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS의 영역, 및 단결정 구조를 갖는 영역이다. 또한, 혼합막은 다음의 2개 이상의 영역의 적층 구조를 갖는 경우가 있다: 비정질 구조를 갖는 영역, 미결정 구조를 갖는 영역, 다결정 구조를 갖는 영역, CAAC-OS의 영역, 및 단결정 구조를 갖는 영역이다.

[0211] 또는, 트랜지스터의 채널이 형성되는 반도체로서 실리콘이 사용되는 것이 바람직하다. 실리콘으로서 비정질 실리콘을 사용하여도 좋지만, 결정성을 갖는 실리콘이 특히 바람직하다. 예를 들어, 미결정 실리콘, 다결정 실리콘, 또는 단결정 실리콘 등이 사용되는 것이 바람직하다. 특히, 단결정 실리콘보다 낮은 온도에서 다결정 실리콘을 형성할 수 있고, 비정질 실리콘보다 높은 전계 효과 이동도 및 신뢰성을 갖는다. 이러한 다결정 반도체가 화소에 사용되면, 화소의 개구율을 향상시킬 수 있다. 매우 높은 해상도로 화소가 제공되더라도, 게이트 구동 회로 및 소스 구동 회로를 화소가 형성되는 기관 위에 형성할 수 있고, 전자 기기의 부품의 수를 저감할 수 있다.

[0212] [도전층]

[0213] 트랜지스터의 게이트, 소스, 및 드레인, 및 터치 패널의 배선 및 전극 등의 도전층으로서는, 알루미늄, 타이타늄, 크로뮴, 니켈, 구리, 이트륨, 지르코늄, 몰리브데넘, 은, 탄탈럼, 및 텅스텐 등의 금속 중 어느 금속, 또는 이들 금속 중 어느 금속을 주성분으로서 함유하는 합금을 사용한 단층 구조 또는 적층 구조를 사용할 수 있다. 예를 들어, 실리콘을 함유하는 알루미늄막의 단층 구조, 타이타늄막 위에 알루미늄막이 적층된 2층 구조, 텅스텐막 위에 알루미늄막이 적층된 2층 구조, 구리-마그네슘-알루미늄 합금막 위에 구리막이 적층된 2층 구조, 타이타늄막 위에 구리막이 적층된 2층 구조, 텅스텐막 위에 구리막이 적층된 2층 구조, 타이타늄막 또는 질화 타이타늄막, 알루미늄막 또는 구리막, 및 타이타늄막 또는 질화 타이타늄막이 이 순서대로 적층된 3층 구조, 몰리브데넘막 또는 질화 몰리브데넘막, 알루미늄막 또는 구리막, 및 몰리브데넘막 또는 질화 몰리브데넘막이 이 순서대로 적층된 3층 구조 등을 들 수 있다. 또한, 산화 인듐, 산화 주석, 또는 산화 아연을 함유하는 투명 도전 재료를 사용하여도 좋다. 망가니즈를 함유하는 구리가 사용되면 예칭에 의한 형상 제어성이 높아지기 때문에 바람직하다.

[0214] 투광 도전 재료로서는, 산화 인듐, 인듐 주석 산화물, 인듐 아연 산화물, 산화 아연, 갈륨이 첨가된 산화 아연 등의 도전 산화물, 또는 그래핀을 사용할 수 있다. 또는, 금, 은, 백금, 마그네슘, 니켈, 텅스텐, 크로뮴, 몰

리브데늄, 철, 코발트, 구리, 팔라듐, 또는 타이타늄 등의 금속 재료, 또는 이들 금속 재료 중 어느 금속 재료를 함유하는 합금 재료를 사용할 수 있다. 또는, 이 금속 재료의 질화물(예를 들어, 질화 타이타늄) 등을 사용하여도 좋다. 금속 재료 또는 합금 재료(또는 그들의 질화물)를 사용하는 경우, 투광성을 가질 정도로 두께를 얇게 한다. 또는, 상기 재료 중 어느 재료의 적층을 도전층으로서 사용할 수 있다. 예를 들어, 인듐 주석 산화물과, 은과 마그네슘의 합금의 적층막이 사용되면, 도전성을 높일 수 있기 때문에 바람직하다.

- [0215] 또는, 도전층에는, 반도체층의 산화물 반도체와 비슷한 산화물 반도체가 사용되는 것이 바람직하다. 그 경우, 채널이 형성되는 반도체층의 영역보다 전기 저항이 낮아지도록 형성되는 것이 바람직하다.
- [0216] 예를 들어, 이러한 도전층을, 트랜지스터의 제 2 게이트 전극으로서 기능하는 도전층으로서 사용할 수 있다. 또는, 이러한 도전층을 다른 투광 도전층으로서 사용할 수 있다.
- [0217] [산화물 반도체의 저항률을 제어하는 방법]
- [0218] 반도체층 및 도전층 각각으로서 사용할 수 있는 산화물 반도체막은 막의 산소 결손, 및/또는 막의 수소 또는 물 등의 불순물의 농도에 의하여 저항률을 제어할 수 있는 반도체 재료를 포함한다. 따라서, 각 산화물 반도체막의 저항률을 제어하기 위하여, 반도체층 및 도전층에 수행되는 처리가 다음의 처리로부터 선택된다: 산소 결손 및/또는 불순물 농도를 증가시키기 위한 처리, 및 산소 결손 및/또는 불순물 농도를 저감하기 위한 처리이다.
- [0219] 구체적으로는, 도전층으로서 사용되는 산화물 반도체막에 플라즈마 처리를 수행함으로써, 산소 결손 및/또는 산화물 반도체막의 수소 또는 물 등의 불순물을 증가시켜, 캐리어 밀도가 높고 저항률이 낮은 산화물 반도체막으로 할 수 있다. 또한, 수소를 함유하는 절연막을 산화물 반도체막과 접촉되어 형성함으로써, 수소를 함유하는 절연막으로부터 산화물 반도체층으로 수소를 확산시켜, 캐리어 밀도가 높고 저항률이 낮은 산화물 반도체막으로 할 수 있다.
- [0220] 트랜지스터의 채널 영역으로서 기능하는 반도체층은 수소를 함유하는 절연막과 접촉되지 않는다. 반도체층과 접촉되는 절연막 중 적어도 하나에 산소를 함유하는 절연막, 바꿔 말하면, 산소를 방출할 수 있는 절연막을 사용함으로써, 산소를 반도체층에 공급할 수 있다. 산소가 공급되는 반도체층은 막 또는 계면의 산소 결손이 보충되기 때문에 저항률이 높은 산화물 반도체막이다. 또한, 산소를 방출할 수 있는 절연막으로서는, 예를 들어, 산화 실리콘막 또는 산화질화 실리콘막을 사용할 수 있다.
- [0221] 산화물 반도체막의 저항률을 저감하기 위하여, 이온 주입법, 이온 도핑법, 또는 플라즈마 잠입 이온 주입법 등을 채용하여 산화물 반도체막에 수소, 보론, 인, 또는 질소를 주입할 수 있다.
- [0222] 산화물 반도체막의 저항률을 저감하기 위하여, 산화물 반도체막에 플라즈마 처리를 수행하여도 좋다. 예를 들어, 플라즈마 처리에는, 희가스(He, Ne, Ar, Kr, 또는 Xe), 수소, 및 질소 중 적어도 하나를 함유하는 가스가 대표적으로 사용된다. 구체적으로는, Ar 분위기에서의 플라즈마 처리, Ar과 수소의 혼합 가스 분위기에서의 플라즈마 처리, 암모니아 분위기에서의 플라즈마 처리, Ar과 암모니아의 혼합 가스 분위기에서의 플라즈마 처리, 또는 질소 분위기에서의 플라즈마 처리 등을 채용할 수 있다.
- [0223] 플라즈마 처리가 수행되는 산화물 반도체막에서, 산소 결손은 산소가 방출되는 격자(또는 산소가 방출되는 부분)에 형성된다. 이 산소 결손은 캐리어를 발생시킬 수 있다. 산화물 반도체막의 근방에 있는 절연막, 구체적으로는, 산화물 반도체막의 하면 또는 상면과 접촉되는 절연막으로부터 수소가 공급되면, 수소가 이 산소 결손과 결합되어 캐리어로서 기능하는 전자가 발생될 수 있다.
- [0224] 산소 결손이 산소로 보충되고 수소 농도가 저감된 산화물 반도체막은 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막이라고 할 수 있다. "실질적으로 진성"이라는 용어는, 산화물 반도체막의 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만인 상태를 말한다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 캐리어 발생원이 적기 때문에 캐리어 밀도를 낮게 할 수 있다. 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 결함 상태의 밀도가 낮기 때문에 트랩 상태의 밀도를 낮게 할 수 있다.
- [0225] 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막은 오프 상태 전류가 매우 낮다; 소자의 채널 폭이 $1 \times 10^6 \mu\text{m}$ 이고 채널 길이가 $10 \mu\text{m}$ 인 경우라도, 소스 전극과 드레인 전극 사이의 전압(드레인 전압)이 1V 내지 10V일 때, 오프 상태 전류를 반도체 파라미터 애널라이저의 측정 한계 이하, 즉, $1 \times 10^{-13}\text{A}$ 이하로 할 수 있다. 따라서, 채널 영역이 상기 고순도 진성 또는 실질적으로 고순도 진성인 산화물 반도체막에 형성되는 트랜지스터

의 전기 특성의 편차를 작게 할 수 있고 신뢰성을 높일 수 있다.

- [0226] 도전층으로서 사용되는 산화물 반도체막과 접촉되는 절연막으로서, 예를 들어, 수소를 함유하는 절연막, 바꿔 말하면, 수소를 방출할 수 있는 절연막, 대표적으로는, 질화 실리콘막이 사용됨으로써, 수소를 도전층에 공급할 수 있다. 수소를 방출할 수 있는 절연막의 수소 농도는 1×10^{22} atoms/cm³ 이상인 것이 바람직하다. 이러한 절연막이 도전층과 접촉되어 형성됨으로써, 도전층에 효과적으로 수소를 함유시킬 수 있다. 이러한 식으로, 반도체층 및 도전층과 접촉되는 절연막의 구조를 변화시킴으로써, 산화물 반도체막의 저항률을 제어할 수 있다.
- [0227] 산화물 반도체막에 함유되는 수소는 금속 원자와 결합된 산소와 반응하여 물이 되고, 또한 산소가 방출된 격자(또는 산소가 방출된 부분)에 산소 결손이 발생한다. 산소 결손에 수소가 들어감으로써, 캐리어로서 기능하는 전자가 발생하는 경우가 있다. 또한, 수소의 일부와, 금속 원자에 결합된 산소의 결합이, 캐리어로서 기능하는 전자의 발생을 일으키는 경우가 있다. 따라서, 수소를 함유하는 절연막과 접촉되어 형성되는 도전층은 반도체층보다 캐리어 밀도가 높다.
- [0228] 채널 영역이 형성되는 트랜지스터의 반도체층에서의 수소가 가능한 한 저감되는 것이 바람직하다. 구체적으로는, 반도체층에서, SIMS에 의하여 측정되는 수소의 농도는 2×10^{20} atoms/cm³ 이하, 바람직하게는 5×10^{19} atoms/cm³ 이하, 더 바람직하게는 1×10^{19} atoms/cm³ 이하, 더 바람직하게는 5×10^{18} atoms/cm³ 미만, 더 바람직하게는 1×10^{18} atoms/cm³ 이하, 더 바람직하게는 5×10^{17} atoms/cm³ 이하, 더 바람직하게는 1×10^{16} atoms/cm³ 이하이다.
- [0229] 도전층은, 반도체층보다 수소 농도 및/또는 산소 결손의 수가 많은(즉, 저항률이 낮은) 산화물 반도체막이다. 도전층의 수소 농도는 8×10^{19} atoms/cm³ 이상, 바람직하게는 1×10^{20} atoms/cm³ 이상, 더 바람직하게는 5×10^{20} atoms/cm³ 이상이다. 도전층의 수소 농도는 반도체층의 수소 농도의 2배 이상, 바람직하게는 10배 이상이다. 도전층의 저항률은 바람직하게는 반도체층의 저항률의 1×10^{-8} 배 이상 1×10^{-1} 배 미만이다. 도전층의 저항률은 대표적으로 1×10^{-3} Ωcm 이상 1×10^4 Ωcm 미만, 바람직하게는 1×10^{-3} Ωcm 이상 1×10^{-1} Ωcm 미만이다.
- [0230] [절연층]
- [0231] 절연층, 오버코트, 및 스페이서 등에 사용할 수 있는 절연 재료의 예는 아크릴 또는 에폭시 수지 등의 수지, 실록산 결합을 갖는 수지, 및 산화 실리콘, 산화질화 실리콘, 질화산화 실리콘, 질화 실리콘, 또는 산화 알루미늄 등의 무기 절연 재료를 포함한다.
- [0232] [접착층]
- [0233] 접착층에, 열 경화 수지, 광 경화 수지, 또는 2액형 경화 수지 등의 경화 수지를 사용할 수 있다. 예를 들어, 아크릴 수지, 우레탄 수지, 에폭시 수지, 또는 실리콘(silicone) 등의 실록산 결합을 갖는 수지를 사용할 수 있다.
- [0234] [접속층]
- [0235] 접속층에는 ACF(anisotropic conductive film) 또는 ACP(anisotropic conductive paste) 등을 사용할 수 있다.
- [0236] [착색층]
- [0237] 착색층에 사용할 수 있는 재료의 예는, 금속 재료, 수지 재료, 안료 또는 염료를 함유한 수지 재료를 포함한다.
- [0238] 상기는 구성 요소에 대한 설명이다.
- [0239] [단면 구조에 1-2]
- [0240] 도 21은 상기 예와 부분적으로 상이한 터치 패널의 단면 구조예를 도시한 것이다. 또한, 이미 설명한 부분에 대한 설명은 생략하고, 다른 부분에 대하여 설명한다.
- [0241] 도 21은 착색층(231)이 기관(371) 측에 제공되는 예를 도시한 것이다. 구체적으로는, 착색층(231)이 절연층(213)의 상면과 접촉되어 제공된다. 평탄화층으로서 기능하는 절연층(214)은 착색층(231)을 덮도록 제공된다.
- [0242] 이러한 구조로 함으로써, 기관(372)의 구조를 더 간단하게 할 수 있다. 예를 들어, 도 21에서는, 기관(372)에

도전층(331) 및 도전층(341)만이 제공된다. 또한, 필요하다면, 기관(372)에 배향막 등을 제공하여도 좋다.

- [0243] [단면 구조에 1-3]
- [0244] 도 22는 도 20의 트랜지스터(201) 및 트랜지스터(203)가 각각 톱 게이트 구조를 갖는 예를 도시한 것이다.
- [0245] 트랜지스터는 각각 반도체층, 및 절연층(211)을 개재하여 반도체층 위에 제공되는 게이트 전극을 포함한다. 반도체층은 저저항 영역을 포함하여도 좋다. 저저항 영역은 소스 또는 드레인으로서 기능한다.
- [0246] 트랜지스터의 소스 전극 및 드레인 전극은 절연층(213) 위에 제공되고, 절연층(213), 절연층(212), 및 절연층(211)에 제공된 개구를 통하여 반도체층의 저저항 영역과 전기적으로 접속된다.
- [0247] 반도체층의 저저항 영역을, 예를 들어, 트랜지스터의 채널이 형성되는 영역보다 불순물을 많이 함유하는 영역, 캐리어 농도가 높은 영역, 또는 결정성이 낮은 영역 등으로 할 수 있다. 도전성을 높일 수 있는 불순물은 반도체층에 사용되는 반도체에 의존한다; 대표적으로는, 인 등의 n형 도전성을 부여할 수 있는 원소, 보론 등의 p형 도전성을 부여할 수 있는 원소, 헬륨, 네온, 또는 아르곤 등의 희가스, 수소, 리튬, 소듐, 망가니즈, 알루미늄, 질소, 플루오린, 포타슘, 또는 칼슘 등을 들 수 있다. 상기 원소에 더하여, 타이타늄, 철, 니켈, 구리, 아연, 은, 인듐, 또는 주석 등은 반도체의 도전성에 영향을 미치는 불순물로서도 기능한다. 예를 들어, 영역(262) 및 영역(263)은 트랜지스터의 채널이 형성되는 영역보다 높은 농도로 상기 불순물을 함유한다.
- [0248] [단면 구조에 1-4]
- [0249] 도 23은 도전층(252)의 위치가 도 20 등의 위치와 상이한 예를 도시한 것이다. 구체적으로는, 도전층(252)이 절연층(212)과 절연층(213) 사이에 제공된다.
- [0250] 도전층(252)에는, 예를 들어, 상술한 투광 도전 재료를 사용할 수 있다.
- [0251] 또한, 예를 들어, 도전층(252)은 저저항 산화물 반도체를 포함하는 것이 바람직하다. 특히, 터치 패널(310)에서의 트랜지스터의 반도체층에 산화물 반도체가 사용되는 경우, 도전층(252)은 반도체층에 사용되는 산화물 반도체층의 저항률보다 저항률이 낮은 산화물 반도체를 사용하여 형성되는 것이 바람직하다.
- [0252] 예를 들어, 상술한 산화물 반도체의 저항률을 제어하는 방법에 의하여, 도전층(252)의 저항률을 저감할 수 있다.
- [0253] 그 경우, 수소를 많이 함유하는 절연층은 도전층(252)을 덮는 절연층(213)으로서 사용되는 것이 바람직하다. 특히, 절연층(213)은 질화 실리콘을 함유하는 절연막을 포함하는 것이 바람직하다.
- [0254] [단면 구조에 2]
- [0255] 상기 단면 구조예와 부분적으로 상이한 터치 패널의 단면 구조예에 대하여 이하에서 설명한다.
- [0256] [단면 구조에 2-1]
- [0257] 도 24의 단면 구조예는 도전층(331) 및 도전층(341)이 기관(371) 측에 제공되는 점에서 상기 단면 구조예와 상이하다.
- [0258] 도전층(331) 및 도전층(341)은 기관(371) 위에 제공된다. 절연층(217)은 도전층(331) 및 도전층(341)을 덮도록 제공된다. 트랜지스터(201) 및 트랜지스터(203) 등은 절연층(217) 위에 제공된다.
- [0259] 접속부(385)에서는, 도전층(341)이 절연층(217)의 개구를 통하여 도전층(207)과 전기적으로 접속된다.
- [0260] 도전층(331)과 도전층(252) 사이에 발생하는 용량을 이용함으로써, 터치 동작을 검지할 수 있다.
- [0261] 이러한 구조로 함으로써, 기관(372)의 구조를 간단하게 할 수 있다.
- [0262] 도전층(331) 및 도전층(341)에는, 내열성이 높은 도전 재료를 사용하는 것이 바람직하다. 금속 등의 차광 재료가 도전층(331)에 사용되는 경우, 도 24에 도시된 바와 같이, 착색층(231)과 중첩되는 영역에 개구가 제공되는 것이 바람직하다.
- [0263] 도 24에 도시된 바와 같이, 트랜지스터(203) 등과 중첩되지 않는 위치에 도전층(331)이 제공되는 것이 바람직하다. 또는, 트랜지스터(203) 등과 중첩되는 영역에서 도전층(331)에 개구가 제공되는 것이 바람직하다. 이러한 구조로 함으로써, 도전층(331)의 전위에서의 변화로 인한 트랜지스터(203) 등의 오작동을 억제할 수 있다.

- [0264] [단면 구조예 2-2]
- [0265] 도 25는 도 24에 도시된 구조에서, 도 21과 같이, 기관(371) 측에 착색층(231)이 제공되는 예를 도시한 것이다.
- [0266] 상술한 바와 같이, 도전층(331), 도전층(341), 및 착색층(231)을 기관(371) 측에 제공함으로써, 기관(372)에 구성 요소가 제공되지 않는 구조로 할 수 있다. 액정층과 접촉되는 기관(371) 및 기관(372)의 영역에 배향막을 제공하여도 좋다.
- [0267] [구조예 2]
- [0268] 구조예 1과 부분적으로 상이한 터치 패널의 구조예에 대하여, 도면을 참조하여 이하에서 설명한다.
- [0269] 이하에서 설명하는 본 발명의 일 형태에 따른 터치 패널에서는, 터치 센서에 포함되는 한 쌍의 도전층 중 적어도 한쪽이 액정 소자에 포함되는 한 쌍의 도전층 중 적어도 한쪽과 동일한 도전막으로 형성된다. 터치 센서에 포함되는 한 쌍의 도전층 중 적어도 한쪽과, 액정 소자에 포함되는 한 쌍의 도전층 중 적어도 한쪽이 동일한 평면에 제공된다. 또는, 터치 센서에 포함되는 한 쌍의 도전층 중 적어도 한쪽은 액정 소자에 포함되는 한 쌍의 도전층 중 적어도 한쪽으로서도 기능하도록 제공된다. 즉, 하나의 도전막은 터치 센서에 포함되는 한 쌍의 도전층 중 적어도 한쪽의 기능, 및 액정 소자에 포함되는 한 쌍의 도전층 중 적어도 한쪽의 기능 양쪽을 갖는다. 이러한 구조로 함으로써, 터치 패널의 제조 공정을 간단하게 할 수 있고, 이로써, 제조 비용을 더 저감할 수 있다.
- [0270] [구조예 2-1]
- [0271] 도 26은 액정 소자의 전극으로서 기능하는 한 쌍의 도전층, 및 터치 센서에 포함되는 한 쌍의 도전층의 레이아웃의 예를 도시한 상면 개략도이다. 예로서, FFS 모드를 사용한 액정 소자에 대하여 설명한다.
- [0272] 도 27은 도 26의 절단선(X1-X2)을 따른 단면을 포함하는, 터치 패널의 단면 개략도이다. 도 26 및 도 27은 도 8의 (A)에 상당한다.
- [0273] 도전층(401)은 각각 섬 형상을 갖고 X 방향 및 Y 방향으로 매트릭스로 배치된다. 도전층(401)은 각각 슬릿을 포함한다. 도전층(402)은 도전층(401)과 중첩되도록 제공된다. 여기서, 도전층(401)은 화소 전극으로서 기능하고, 도전층(402)은 공통 전극으로서 기능한다. 이 예에서는, 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 경우에 대하여 설명한다; 그러나, 이들 도전층의 기능을 반전시켜도 좋다.
- [0274] Y 방향으로 연장되는 도전층(411a) 및 도전층(411b) 각각은 인접되는 2개의 도전층(401) 사이에 위치하도록 제공된다.
- [0275] X 방향으로 연장되는 도전층(412a)은 도전층(404) 및 도전층(405)을 포함한다. 도전층(404)은 길이 방향이 X 방향에 평행한 밴드 형상을 갖고, 예를 들어, 도전층(411a)과 도전층(411b) 사이에 제공된다. 도전층(405)은 도전층(411a) 또는 도전층(411b)과 중첩되는 영역을 포함하고, 도전층(411a) 또는 도전층(411b)을 끼우는 2개의 도전층(404)과, 콘택트 홀을 통하여 전기적으로 접속된다. 도전층(405)은 도시되지 않은 절연층을 개재하여 도전층(411a) 또는 도전층(411b)과 중첩된다. 또는, 도 28에 도시된 바와 같이, 도전층(405)은 X 방향으로 연장하여도 좋다. 이러한 식으로, 도전층(404)의 배선 저항을 실질적으로 저감할 수 있다.
- [0276] 또는, 도 26 또는 도 28에서, 도전층(411a) 및 도전층(411b)은 X 방향으로 연장하여도 좋고, 도전층(412a) 및 도전층(412b)은 Y 방향으로 연장하여도 좋다.
- [0277] 도전층(411a), 도전층(411b), 도전층(404), 및 도전층(401)은 동일한 도전막을 가공함으로써 형성된다. 그러므로, 도전층(411a), 도전층(411b), 도전층(404), 및 도전층(401)은 동일한 평면에 제공된다.
- [0278] 이 예에서, 도전층(405)은 트랜지스터의 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성된다. 그 경우, 게이트 전극 등이 도전층(405) 아래에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극, 또는 게이트 전극과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되도록 도전층(405)을 제공할 수 있다. 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 트랜지스터의 게이트 전극(281), 반도체층, 또는 다른 도전층과 동일한 도전막을 가공함으로써 도전층(405)을 형성할 수 있다.
- [0279] 일례로서, 도 29는 게이트 전극과 동일한 도전막을 가공함으로써 도전층(405)이 형성되는 경우를 도시한 것이다. 그 경우, 소스 전극 및 드레인 전극(285) 등이 도전층(405) 위에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 소스 전극 및 드레인 전극(285), 또는 소스 전극 및 드레인 전극

(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(405)을 제공할 수 있다. 즉, 도전층(411a) 또는 도전층(411b)과 중첩되도록, 소스 신호선(비디오 신호를 각 화소에 공급하는 기능을 갖는 배선)을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.

[0280] 도 30은 도전층(402)과 동일한 도전막을 가공함으로써 도전층(405)이 형성되는 경우를 도시한 것이다. 그 경우, 소스 전극 및 드레인 전극(285), 및 게이트 전극 등이 도전층(405) 아래에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극, 소스 전극 및 드레인 전극(285), 게이트 전극과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(405)을 제공할 수 있다. 즉, 도전층(411a) 또는 도전층(411b)과 중첩되도록, 소스 신호선(비디오 신호를 각 화소에 공급하는 기능을 갖는 배선)을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다. 또는, 도전층(404) 또는 도전층(405)과 중첩되도록, 게이트 신호선(화소를 선택하기 위한 신호를 공급하는 기능을 갖는 배선)을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.

[0281] 도 26 또는 도 28에서, 도전층(411a) 및 도전층(411b)이 X 방향으로 연장되고, 도전층(412a) 및 도전층(412b)이 Y 방향으로 연장되는 경우, 도전층이 연장되는 방향이 변화된다; 따라서, 도전층(412a) 및 도전층(412b)은 게이트 신호선과 중첩되지 않고 소스 신호선과 중첩되도록 제공되지만, 도전층(411a) 및 도전층(411b)은 소스 신호선과 중첩되지 않고 게이트 신호선과 중첩되도록 제공된다.

[0282] 도전층(411a), 도전층(411b), 및 도전층(404)의 저항을 저감하고자 하는 경우, 도전층(411a), 도전층(411b), 및 도전층(404) 위 또는 아래에, 저저항 도전층(411a_1), 저저항 도전층(411b_1), 및 저저항 도전층(404_1)을 각각 제공하여도 좋다. 예를 들어, 알루미늄, 구리, 타이타늄, 몰리브덴, 또는 텅스텐의 층, 또는 이들 금속 중 어느 금속의 적층을, 도전층(411a), 도전층(411b), 및 도전층(404) 위 또는 아래에 제공하여도 좋다. 또는, 도전층(411a_1), 도전층(411b_1), 및 도전층(404_1) 중 적어도 하나를 메시 형상의 금속막으로 형성하여도 좋다. 또는, 도전층(411a_1), 도전층(411b_1), 및 도전층(404_1) 중 적어도 하나를, 금속 나노 와이어 또는 카본 나노 튜브 등을 사용하여 형성하여도 좋다. 도전층(401)은 투광성을 갖는 것이 바람직하다. 그러므로, 도전층(401) 위 또는 아래에 저저항 도전층이 제공되지 않는 것이 바람직하다. 그 경우의 예를 도 31 및 도 32에 도시하였다.

[0283] 도전층(411a) 및 도전층(411b)의 저항값을 실질적으로 저감하고자 하는 경우, 도전층(411aa) 및 도전층(411bb)을 제공하여도 좋다. 도전층(411a)(도전층(411b))은 콘택트 홀을 통하여, 도전층(411aa)(도전층(411bb))과 접속된다. 그 경우의 예를 도 33 및 도 34에 도시하였다.

[0284] 또한, 도전층(405)만을 별도로 형성하여도 좋지만, 다른 도전층과 동시에 형성하는 것이 바람직하다.

[0285] [구조예 2-2]

[0286] 도 35는 도전층(411a), 도전층(411b), 및 도전층(404)이 도전층(402)과 동일한 도전막을 가공함으로써 형성되는 예를 도시한 것이다. 그러므로, 도전층(411a), 도전층(411b), 도전층(404), 및 도전층(402)은 동일한 평면에 제공된다. 도 36은 도 35의 절단선(X3-X4)을 따른 단면을 포함하는, 터치 패널의 단면 개략도이다. 도 35 및 도 36은 도 8의 (B)에 상당한다.

[0287] 도 35에 도시된 바와 같이, 도전층(402)은 섬 형상을 갖는다. 도전층(412a)과 같이, 도전층(411a) 또는 도전층(411b)을 끼우는 2개의 인접되는 도전층(402)이 도전층(405)을 통하여 서로 전기적으로 접속된다. 여기에는 Y 방향으로 인접되는 2개의 도전층(402)이 서로 전기적으로 접속되지 않는 예를 도시하였다. 그러나, 복수의 도전층(402)을, Y 방향, 또는 X 방향 및 Y 방향 양쪽으로, 도전층(405)을 통하여 서로 전기적으로 접속시켜도 좋다. 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 경우에 대하여, 이 예에서 설명한다; 그러나, 이들 도전층의 기능을 반전시켜도 좋다.

[0288] 또는, 도 37에 도시된 바와 같이, 도전층(405)을 X 방향으로 연장시켜도 좋다. 이러한 식으로, 도전층(404)의 배선 저항을 실질적으로 저감할 수 있다.

[0289] 또는, 도 35 또는 도 37에서는, 도전층(411a) 및 도전층(411b)을 X 방향으로 연장시켜도 좋고, 도전층(412a) 및 도전층(412b)을 Y 방향으로 연장시켜도 좋다.

[0290] 도 36에서, 도전층(405)은 트랜지스터의 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성

된다. 그 경우, 게이트 전극 등이 도전층(405) 아래에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극, 또는 게이트 전극과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되도록 도전층(405)을 제공할 수 있다. 그러나, 본 발명의 일 형태는 이에 한정되지 않고, 트랜지스터의 게이트 전극(281), 반도체층, 또는 다른 도전층과 동일한 도전막을 가공함으로써 도전층(405)을 형성할 수 있다.

[0291] 일례로서, 도 38은 게이트 전극(281)과 동일한 도전막을 가공함으로써 도전층(405)이 형성되는 경우를 도시한 것이다. 그 경우, 소스 전극 및 드레인 전극(285) 등이 도전층(405) 위에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 소스 전극 및 드레인 전극(285), 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(405)을 제공할 수 있다. 즉, 도전층(411a) 또는 도전층(411b)과 중첩되도록 소스 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.

[0292] 도 39는 도전층(401)과 동일한 도전막을 가공함으로써 도전층(405)이 형성되는 경우를 도시한 것이다. 그 경우, 소스 전극 및 드레인 전극(285), 및 게이트 전극 등이 도전층(405) 아래에 제공되더라도, 도전층(405)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극, 소스 전극 및 드레인 전극(285), 게이트 전극과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(405)을 제공할 수 있다. 즉, 도전층(411a) 또는 도전층(411b)과 중첩되도록 소스 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다. 또는, 도전층(404) 또는 도전층(405)과 중첩되도록 게이트 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.

[0293] 도 35 또는 도 37에서, 도전층(411a) 및 도전층(411b)이 X 방향으로 연장되고, 도전층(412a) 및 도전층(412b)이 Y 방향으로 연장되는 경우, 도전층이 연장되는 방향이 변화된다; 따라서, 도전층(412a) 및 도전층(412b)은 게이트 신호선과 중첩되지 않고 소스 신호선과 중첩되도록 제공되지만, 도전층(411a) 및 도전층(411b)은 소스 신호선과 중첩되지 않고 게이트 신호선과 중첩되도록 제공된다.

[0294] 도 36, 도 38, 및 도 39는 각각 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 예를 도시한 것이다. 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 상방의 도전층(401)이 공통 전극이어도 좋고, 하방의 도전층(402)이 화소 전극이어도 좋다. 그 경우의 예를 도 40, 도 41, 및 도 42에 도시하였다.

[0295] 도 40, 도 41, 및 도 42 등은 각각 도전층(411a), 도전층(411b), 및 도전층(404)이 도전층(402)과 동일한 도전막을 가공함으로써 형성되는 예를 도시한 것이다. 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 도전층(401)과 동일한 도전막을 가공함으로써 도전층(411a), 도전층(411b), 및 도전층(404)을 형성하여도 좋다. 그러므로, 도전층(411a), 도전층(411b), 도전층(404), 및 도전층(401)을 동일한 평면에 제공하여도 좋다. 그 경우의 예를 도 43, 도 44, 및 도 45에 도시하였다.

[0296] 도전층(411a), 도전층(411b), 및 도전층(404)의 저항을 낮추고자 하는 경우, 도전층(411a), 도전층(411b), 및 도전층(404) 위 또는 아래에, 저저항 도전층(411a₁), 저저항 도전층(411b₁), 및 저저항 도전층(404₁)을 각각 제공하여도 좋다. 예를 들어, 알루미늄, 구리, 타이타늄, 몰리브덴, 또는 텅스텐의 층, 또는 이들 금속 중 어느 금속의 적층을, 도전층(411a), 도전층(411b), 및 도전층(404) 위 또는 아래에 제공하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 및 도전층(404₁) 중 적어도 하나를 메시 형상의 금속막으로 형성하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 및 도전층(404₁) 중 적어도 하나를, 금속 나노 와이어 또는 카본 나노 튜브 등을 사용하여 형성하여도 좋다. 도전층(402)은 투광성을 갖는 것이 바람직하다. 그러므로, 도전층(402) 위 또는 아래에 저저항 도전층이 제공되지 않는 것이 바람직하다. 그 경우의 예를 도 46 및 도 47에 도시하였다.

[0297] 도전층(411a) 및 도전층(411b)의 저항값을 실질적으로 낮추고자 하는 경우, 도전층(411aa) 및 도전층(411bb)을 제공하여도 좋다. 도전층(411a)(도전층(411b))은 콘택트 홀을 통하여, 도전층(411aa)(도전층(411bb))과 접촉된다. 그 경우의 예를 도 48 및 도 49에 도시하였다.

[0298] [구조예 2-3]

[0299] 도 50은 도전층(401)과 동일한 도전막을 가공함으로써 도전층(411a) 및 도전층(411b)이 형성되고, 도전층(402)과 동일한 도전막을 가공함으로써 도전층(412a) 및 도전층(412b)이 형성되는 예를 도시한 것이다. 그러므로, 도전층(411a), 도전층(411b), 및 도전층(401)은 동일한 평면에 제공된다. 마찬가지로, 도전층(412a), 도전층(412b), 도전층(402)은 동일한 평면에 제공된다. 도 51은 도 50의 절단선(X5-X6)을 따른 단면을 포함하는, 터

치 패널의 단면 개략도이다. 도 50 및 도 51은 도 7의 (E)에 상당한다.

- [0300] 상술한 바와 같이, 터치 센서의 한 쌍의 전극으로서 기능하는 2개의 도전층(도전층(411a) 및 도전층(412a), 또는 도전층(411b) 및 도전층(412b))이 상이한 층에 형성되는 경우, 이들 2개의 도전층을 서로 교차시킬 수 있다. 그러므로, 도전층(405)을 사용한 브리지부는 불필요하고, 구조에 1 및 구조에 2와 비교하여 구조를 더 간단하게 할 수 있다. 따라서, 제조의 수율을 향상시킬 수 있다. 또한, 소스 전극 및 드레인 전극(285), 및 게이트 전극(281) 등이 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b) 아래에 제공되더라도, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극(281), 소스 전극 및 드레인 전극(285), 게이트 전극(281)과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)을 제공할 수 있다. 즉, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)과 중첩되도록 소스 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다. 또는, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)과 중첩되도록 게이트 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.
- [0301] 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 경우를 도 51에 도시하였다; 그러나, 이들 도전층의 기능을 반전시켜도 좋다.
- [0302] 또는, 도 50에서는, 도전층(411a) 및 도전층(411b)을 X 방향으로 연장시켜도 좋고, 도전층(412a) 및 도전층(412b)을 Y 방향으로 연장시켜도 좋다.
- [0303] 도 50 및 도 51은 각각 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 예를 도시한 것이다. 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 상방의 도전층(401)이 공통 전극이어도 좋고, 하방의 도전층(402)이 화소 전극이어도 좋다. 그 경우의 예를 도 52 및 도 53에 도시하였다.
- [0304] 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b)의 저항을 낮추고자 하는 경우, 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b) 위 또는 아래에, 저저항 도전층(411a₁), 저저항 도전층(411b₁), 저저항 도전층(412a₁), 및 저저항 도전층(412b₁)을 각각 제공하여도 좋다. 예를 들어, 알루미늄, 구리, 타이타늄, 몰리브덴, 또는 텅스텐의 층, 또는 이들 금속 중 어느 금속의 적층을, 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b) 위 또는 아래에 제공하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 도전층(412a₁), 및 도전층(412b₁) 중 적어도 하나를 메시 형상의 금속막으로 형성하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 도전층(412a₁), 및 도전층(412b₁) 중 적어도 하나를, 금속 나노 와이어 또는 카본 나노 튜브 등을 사용하여 형성하여도 좋다. 도전층(401) 및 도전층(402)은 투광성을 갖는 것이 바람직하다. 그러므로, 개구에서, 도전층(401) 및 도전층(402) 위 또는 아래에 저저항 도전층이 제공되지 않는 것이 바람직하다. 그 경우의 예를 도 54 및 도 55에 도시하였다.
- [0305] 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b)의 저항값을 실질적으로 낮추고자 하는 경우, 도전층(411aa), 도전층(411bb), 도전층(412aa), 및 도전층(412bb)을 제공하여도 좋다. 도전층(411a)(도전층(411b), 도전층(412a), 또는 도전층(412b))은 콘택트 홀을 통하여 도전층(411aa)(도전층(411bb), 도전층(412aa), 또는 도전층(412bb))과 접속된다. 그 경우의 예를 도 56 및 도 57에 도시하였다. 예를 들어, 도전층(411a)이 도전층(411aa)과 접속되는 경우, 도전층(402)에 제공된 홀을 통하여 그들을 접속시켜도 좋다. 즉, 도전층(402)을 개재하여 적층되는 도전층이 서로 접속되는 경우, 홀 등은 도전층(402)에 제공된다.
- [0306] 용량은 도전층(411a) 및 도전층(411b)과, 도전층(412a) 및 도전층(412b)의 교차부에서 형성된다. 그러나, 이 용량을 작게 하고자 하는 경우가 있다. 교차부에서 형성되는 이 용량을 저감하기 위하여, 다른 도전층 및 콘택트 홀을 통하여 도전층을 서로 접속시켜도 좋다. 그 경우의 예를 도 58 및 도 59에 도시하였다. 도 58 및 도 59에서는, 도전층(412a)(도전층(412b))이 콘택트 홀 및 도전층(405)을 통하여 서로 접속된다. 예를 들어, 게이트 전극(281)과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막으로 도전층(405)을 형성할 수 있다. 이러한 식으로, 터치 센서의 전극으로 인한 기생 용량을 저감할 수 있다. 결과적으로, 터치 센서의 감도를 향상시킬 수 있다.
- [0307] [구조예 2-4]
- [0308] 상기 구조에서는, 액정 소자의 한 쌍의 도전층 및 터치 센서의 한 쌍의 도전층이 별도로 제공된다. 액정 소자의 한 쌍의 도전층 중 한쪽이 터치 센서의 한 쌍의 도전층 중 한쪽으로서 기능하는 구조를 채용할 수도 있다.

- [0309] 도 60은 도전층(402)이 각각 X 방향으로 연장된 밴드 형상을 갖고, Y 방향으로 나누어지는 예를 도시한 것이다. 도전층(402) 중 하나는 터치 센서의 전극의 기능을 갖는 도전층(412a), 도전층(412b), 또는 도전층(412c)으로서 기능하고, 액정 소자의 한 쌍의 도전층 중 한쪽, 예를 들어, 공통 전극으로서도 기능한다. 도 61은 도 60의 절단선(X5-X6)을 따른 단면을 포함하는, 터치 패널의 단면 개략도이다. 도 60 및 도 61은 도 7의 (C)에 상당한다.
- [0310] 터치 센서의 한 쌍의 전극으로서 기능하는 도전층(도전층(412a) 또는 도전층(412b) 등) 및 도전층(402)은 상이한 층에 형성되고, 이들 도전층을 서로 교차시킬 수 있다. 그러므로, 도전층(405)을 사용한 브리지부는 불필요하고, 구조에 1 및 구조에 2와 비교하여 구조를 더 간단하게 할 수 있다. 따라서, 제조의 수율을 향상시킬 수 있다. 또한, 소스 전극 및 드레인 전극(285), 및 게이트 전극(281) 등이 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b) 아래에 제공되더라도, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)의 레이아웃에 대한 문제는 생기지 않는다. 따라서, 게이트 전극(281), 소스 전극 및 드레인 전극(285), 게이트 전극(281)과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막과 중첩되거나, 또는 교차되도록 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)을 제공할 수 있다. 즉, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)과 중첩되도록 소스 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다. 또는, 도전층(411a), 도전층(412a), 도전층(411b), 또는 도전층(412b)과 중첩되도록 게이트 신호선을 제공할 수 있다. 따라서, 도전층(401)의 레이아웃 면적을 크게 할 수 있다. 즉, 개구율을 높일 수 있다.
- [0311] 도 60 및 도 61은 각각 상방의 도전층(401)이 화소 전극이고 하방의 도전층(402)이 공통 전극인 예를 도시한 것이다. 그러나, 본 발명의 일 형태는 이에 한정되지 않는다. 상방의 도전층(401)이 공통 전극이어도 좋고, 하방의 도전층(402)이 화소 전극이어도 좋다. 그 경우의 예를 도 62 및 도 63에 도시하였다.
- [0312] 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b)의 저항을 낮추고자 하는 경우, 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b) 위 또는 아래에, 저저항 도전층(411a₁), 저저항 도전층(411b₁), 저저항 도전층(412a₁), 및 저저항 도전층(412b₁)을 각각 제공하여도 좋다. 예를 들어, 알루미늄, 구리, 타이타늄, 몰리브덴, 또는 텅스텐의 층, 또는 이들 금속 중 어느 금속의 적층을, 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b) 위 또는 아래에 제공하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 도전층(412a₁), 및 도전층(412b₁) 중 적어도 하나를 메시 형상의 금속막으로 형성하여도 좋다. 또는, 도전층(411a₁), 도전층(411b₁), 도전층(412a₁), 및 도전층(412b₁) 중 적어도 하나를, 금속 나노 와이어 또는 카본 나노 튜브 등을 사용하여 형성하여도 좋다. 도전층(401) 및 도전층(402)은 투광성을 갖는 것이 바람직하다. 그러므로, 개구에서, 도전층(401) 및 도전층(402) 위 또는 아래에 저저항 도전층이 제공되지 않는 것이 바람직하다. 그 경우의 예를 도 64 및 도 65에 도시하였다.
- [0313] 도전층(411a), 도전층(411b), 도전층(412a), 및 도전층(412b)의 저항값을 실질적으로 낮추고자 하는 경우, 도전층(411aa), 도전층(411bb), 도전층(412aa), 및 도전층(412bb)을 제공하여도 좋다. 도전층(411a)(도전층(411b), 도전층(412a), 또는 도전층(412b))은 콘택트 홀을 통하여 도전층(411aa)(도전층(411bb), 도전층(412aa), 또는 도전층(412bb))과 접속된다. 그 경우의 예를 도 66 및 도 67에 도시하였다. 예를 들어, 도전층(411a)이 도전층(411aa)과 접속되는 경우, 도전층(402)에 제공된 홀을 통하여 그들을 접속시켜도 좋다. 즉, 도전층(402)을 개재하여 적층되는 도전층이 서로 접속되는 경우, 홀 등은 도전층(402)에 제공된다.
- [0314] 용량은 도전층(411a)과 도전층(411b), 및 도전층(412a)과 도전층(412b)의 교차부에서 형성된다. 그러나, 이 용량을 작게 하고자 하는 경우가 있다. 교차부에서 형성된 이 용량을 저감하기 위하여, 다른 도전층 및 콘택트 홀을 통하여 도전층을 서로 접속시켜도 좋다. 그 경우의 예를 도 68 및 도 69에 도시하였다. 도 68 및 도 69에서는, 도전층(402)이 콘택트 홀 및 도전층(405)을 통하여 서로 접속된다. 예를 들어, 게이트 전극(281)과 동일한 도전막을 가공함으로써 형성되는 막, 또는 소스 전극 및 드레인 전극(285)과 동일한 도전막을 가공함으로써 형성되는 막으로 도전층(405)을 형성할 수 있다. 이러한 식으로, 터치 센서의 전극으로 인한 기생 용량을 저감할 수 있다. 결과적으로, 터치 센서의 감도를 향상시킬 수 있다.
- [0315] 또는, 도 60에서는, 도전층(411a) 및 도전층(411b)을 X 방향으로 연장시켜도 좋고, 도전층(412a) 및 도전층(412b)을 Y 방향으로 연장시켜도 좋다.
- [0316] 도 70은 도전층(402)이 각각 Y 방향으로 연장된 밴드 형상을 갖고, X 방향으로 나누는 예를 도시한 것이다. 도전층(402) 중 하나는 터치 센서의 전극의 기능을 갖는 도전층(411a), 도전층(411b), 또는 도전층(411c)으로서

가능하고, 액정 소자의 한 쌍의 도전층 중 한쪽, 예를 들어, 공통 전극으로서도 가능하다.

- [0317] 이러한 구조는 터치 패널의 구조를 더 간단하게 할 수 있기 때문에 바람직하다.
- [0318] FFS 모드를 사용한 액정 소자의 예에 대하여 설명하였지만, 예를 들어, IPS 모드를 사용한 액정 소자를 갖는 구조를 채용할 수도 있다. 그 경우, 동일한 도전막을 가공함으로써, 도전층(401) 및 도전층(402)을 형성하여도 좋다. 또는, 도전층(401) 및 도전층(402) 양쪽을, 위에서 보았을 때에 빗 형상을 갖도록 형성하여도 좋다. 또는, 공통 전극으로서 기능하는 도전층(402)이, 터치 센서의 하나의 전극으로서 기능하도록 X 방향 또는 Y 방향으로 연장된 밴드 형상으로 형성되는 것이 바람직하다.
- [0319] [구조예 3]
- [0320] 구조예 1 및 구조예 2와 부분적으로 상이한 터치 패널의 구조예에 대하여, 도면을 참조하여 이하에서 설명한다.
- [0321] 이하에서 설명하는 본 발명의 일 형태에 따른 터치 패널에서, 유기 EL 소자는 표시 소자로서 사용된다.
- [0322] [구조예 3-1]
- [0323] 도 71은 2개의 부화소를 포함하는 영역의 단면 구조예를 도시한 것이다. 도 71에 도시된 터치 패널은, 트랜지스터(201) 등이 제공된 기판을 통하여 광을 발하는 보텀 이미션 발광 장치를 포함한다.
- [0324] 터치 패널은 발광 소자(202)를 포함한다. 발광 소자(202)는 적층되는, 도전층(321), EL층(322), 및 도전층(323)을 포함한다. 도전층(321)과 도전층(323) 사이에 광학 조정층(324)을 제공하여도 좋다. 기관(371)을 통하여 발광 소자(202)로부터 광이 발해진다. 도전층(321)의 단부 및 광학 조정층(324)의 단부를 덮도록 절연층(215)이 제공된다.
- [0325] 도전층(321)은 투광성을 갖는 것이 바람직하다. 도전층(323)은 반사성을 갖는 것이 바람직하다.
- [0326] 착색층(231)은 발광 소자(202)보다 기관(371) 근처에 제공된다. 도 71에 도시된 구조에서는, 착색층(231)이 절연층(213) 위에 제공된다.
- [0327] 도전층(351) 및 도전층(352) 중 한쪽은 터치 센서의 한쪽의 전극으로서 기능하고, 다른 쪽은 터치 센서의 다른 쪽의 전극으로서 기능한다. 도전층(351)은 도전층(321)과 동일한 평면에 형성된다. 도전층(352)은 트랜지스터(201)의 2개의 게이트 전극 중 한쪽과 동일한 평면에 형성된다. 따라서, 제조 공정을 증가시키지 않고 터치 패널을 제조할 수 있다.
- [0328] 도 71에 도시된 바와 같이, 기관(371) 측에서, 도전층(351)과 도전층(352) 사이에 형성되는 용량을 이용함으로써, 검지를 수행할 수 있다.
- [0329] [발광 소자]
- [0330] 발광 소자로서는, 자발광 소자를 사용할 수 있고, 전류 또는 전압에 의하여 휘도가 제어되는 소자가 발광 소자의 범주에 포함된다. 예를 들어, 발광 다이오드(LED), 유기 EL 소자, 또는 무기 EL 소자 등을 사용할 수 있다.
- [0331] 발광 소자는 톱 이미션 발광 소자, 보텀 이미션 발광 소자, 또는 듀얼 이미션 발광 소자이어도 좋다. 가시광을 투과시키는 도전막은 광이 추출되는 전극으로서 사용된다. 가시광을 반사하는 도전막은 광이 추출되지 않는 전극으로서 사용되는 것이 바람직하다.
- [0332] EL층은 적어도 발광층을 포함한다. 발광층에 더하여, EL층은 정공 주입성이 높은 물질, 정공 수송성이 높은 물질, 정공 블로킹 재료, 전자 수송성이 높은 물질, 전자 주입성이 높은 물질, 및 바이폴러성을 갖는 물질(전자 수송성 및 정공 수송성이 높은 물질) 등 중 어느 물질을 함유하는 하나 이상의 층을 더 포함하여도 좋다.
- [0333] EL층에는 저분자 화합물 및 고분자 화합물 중 어느 한쪽을 사용할 수 있고, 무기 화합물을 사용하여도 좋다. EL층에 포함되는 층을, 다음 방법 중 어느 방법에 의하여 형성할 수 있다: 증착법(진공 증착법을 포함함), 전사법, 인쇄법, 잉크젯법, 및 도포법 등이다.
- [0334] 양극과 음극 사이에 발광 소자의 문턱 전압보다 높은 전압이 인가되면, 양극 측으로부터 EL층에 정공이 주입되고, 음극 측으로부터 EL층에 전자가 주입된다. 주입된 전자 및 정공은 EL층에서 재결합되어, EL층에 함유되는 발광 물질은 광을 발한다.
- [0335] 발광 소자로서 백색의 광을 발하는 발광 소자가 사용되는 경우, EL층은 2종류 이상의 발광 물질을 함유하는 것이 바람직하다. 예를 들어, 2개 이상의 발광 물질이 보색의 광을 발하도록 발광 물질을 선택하여 백색의 발광

을 얻는다. 구체적으로는, 적색(R), 녹색(G), 청색(B), 황색(Y), 및 주황색(O) 등의 광을 발하는 발광 물질, 및 2개 이상의 R, G, 및 B의 스펙트럼 성분을 함유하는 광을 발하는 발광 물질로부터 선택된 2개 이상의 발광 물질을 함유하는 것이 바람직하다. 발광 소자가, 가시광 영역의 파장 범위(예를 들어, 350nm 내지 750nm) 내에 2개 이상의 피크를 갖는 스펙트럼을 갖는 광을 발하는 것이 바람직하다. 황색의 광의 파장 범위에 피크를 갖는 발광 재료의 발광 스펙트럼은 녹색의 광 및 적색의 광의 파장 범위에도 스펙트럼 성분을 포함하는 것이 바람직하다.

- [0336] 하나의 색의 광을 발하는 발광 재료를 함유하는 발광층과, 다른 색의 광을 발하는 발광 재료를 함유하는 발광층이 EL층에서 적층되는 것이 더 바람직하다. 예를 들어, EL층에서의 복수의 발광층을 서로 접촉시켜 적층시켜도 좋고, 분리층을 개재하여 적층시켜도 좋다. 예를 들어, 형광층과 인광층 사이에 분리층을 제공하여도 좋다.
- [0337] 분리층을, 예를 들어, 텍스터 기구(Dexter mechanism)에 의하여 인광층에서 생성된 여기 상태의 인광 재료 등으로부터 형광층의 형광 재료 등으로 에너지 이동(특히, 3중항 에너지 이동)되는 것을 방지하기 위하여 제공할 수 있다. 분리층의 두께는 수nm이어도 좋다. 구체적으로는, 분리층의 두께는 0.1nm 이상 20nm 이하, 1nm 이상 10nm 이하, 또는 1nm 이상 5nm 이하이다. 분리층은 단일 재료(바람직하게는, 바이폴라 물질) 또는 복수의 재료(바람직하게는, 정공 수송 재료 및 전자 수송 재료)를 함유한다.
- [0338] 분리층과 접촉되는 발광층에 함유되는 재료를 사용하여 분리층을 형성하여도 좋다. 이것은 발광 소자의 제조를 용이하게 하고, 구동 전압을 저감한다. 예를 들어, 인광층이 호스트 재료, 어시스트 재료, 및 인광 재료(게스트 재료)를 함유하는 경우, 분리층은 이 호스트 재료 및 어시스트 재료를 함유하여도 좋다. 바꿔 말하면, 상기 구조에서, 분리층은 인광 재료를 함유하지 않는 영역을 포함하고, 인광층은 인광 재료를 함유하는 영역을 포함한다. 따라서, 분리층 및 인광층을, 인광 재료가 함유되는지 여부에 따라 별도로 증착할 수 있다. 이러한 구조로 함으로써, 분리층 및 인광층을 동일한 체임버에서 형성할 수 있다. 따라서, 제조 비용을 저감할 수 있다.
- [0339] 발광 소자는 하나의 EL층을 포함하는 싱글 소자 또는 복수의 EL층이 전하 발생층을 개재하여 적층되는 탠덤 소자이어도 좋다.
- [0340] [구조예 3-2]
- [0341] 도 72는 도전층(352)의 위치가 도 71과 상이하다. 도 72에서, 도전층(352), 및 트랜지스터(201)의 게이트 전극들 중 하나는 절연층(212)과 절연층(213) 사이에 제공된다.
- [0342] 도전층(352), 및 트랜지스터(201)의 게이트 전극들 중 하나는 저저항 산화물 반도체를 포함하는 것이 바람직하다.
- [0343] 도 73에 도시된 바와 같이, 도전층(321), 광학 조정층(324), EL층(322), 도전층(323), 및 착색층(231) 중 적어도 하나와 중첩되도록 도전층(352)을 제공하여도 좋다. 도 74에 도시된 바와 같이, 도전층(321), 광학 조정층(324), EL층(322), 도전층(323), 및 착색층(231)과 중첩되지 않도록 도전층(352)을 제공하여도 좋다.
- [0344] [단면 구조예 3-2]
- [0345] 도 75에 도시된 예에서는, 터치 센서에 포함되는 도전층(351) 및 도전층(352)이 도전층(321)과 동일한 평면에 형성된다.
- [0346] 여기서, 하나의 부화소에서의 도전층(351)과, 다른 하나의 부화소에서의 도전층(352) 사이에 형성되는 용량을 이용함으로써 검지를 수행할 수 있다.
- [0347] [단면 구조예 3-3]
- [0348] 도 76은 기관(372)을 통하여 광을 발하는 튜 이미지선 발광 장치를 포함하는 터치 패널의 단면 구조예를 도시한 것이다.
- [0349] 발광 소자(202)에서, 도전층(321)은 반사성을 갖고, 도전층(323)은 투광성을 갖는다.
- [0350] 도전층(323)은 적어도 도전층(351)의 일부와 중첩되는 영역에 개구를 포함한다. 도전층(323)은 슬릿 또는 개구를 가져도 좋고, 빗 형상을 가져도 좋다.
- [0351] 도전층(351) 및 도전층(352)은 도전층(321)과 동일한 평면에 형성된다.
- [0352] 도 76에 도시된 예에서는, 한쪽의 부화소에서의 도전층(351)과 다른 쪽의 부화소에서의 도전층(352) 사이에 형

성되는 용량을 이용함으로써 검지를 수행할 수 있다.

- [0353] 도 77에 도시된 바와 같이, 도전층(323)을 터치 센서의 전극으로서 사용할 수 있다. 즉, 도전층(351)과 도전층(323) 사이에 형성되는 용량을 이용함으로써 검지를 수행할 수 있다.
- [0354] 도 77은 EL층(322)이 구분 착색 방법에 의하여 형성되는 예를 도시한 것이다. 그 경우, 도 77에 도시된 바와 같이, EL층(322)의 단부를 도전층(323)으로 덮음으로써, EL층(322)으로의 불순물의 확산을 억제할 수 있어, 신뢰성의 향상으로 이어진다. 도 77에 도시된 예에서는, 착색층(231) 등이 제공되지 않는다.
- [0355] [다른 구조예]
- [0356] 또한, 본 발명의 일 형태는 상술한 구조에 한정되지 않고, 다양한 구조를 가질 수 있다.
- [0357] [센서 전극 및 화소용 배선의 위치]
- [0358] 예를 들어, 소스선(신호선)이 화소의 오른쪽 또는 왼쪽에 위치하는지를, 화소가 짝수 번째 열 또는 홀수 번째 열에 제공되는지에 따라 결정할 수 있다. 결과적으로, 2개의 소스선이 서로 인접된다. 터치 센서용 도전층(전극)을 그들 위에 제공할 수 있다. 비슷한 식으로, 수직으로 인접되는 화소의 게이트선을 서로 가깝게 제공하고, 터치 센서용 전극을 그들 위에 제공할 수 있다. 도 78은 그 경우의 예를 도시한 것이다. 2개의 소스선(81) 및 소스선(82)은 서로 인접되고, 2개의 소스선(83) 및 소스선(84)은 서로 인접된다. 또한, 2개의 게이트선(85) 및 게이트선(86)은 서로 인접되고, 2개의 게이트선(87) 및 게이트선(88)은 서로 인접된다.
- [0359] [주변 회로]
- [0360] 화소가 형성되는 기관의 외측에 주변 회로를 형성할 수 있다. 즉, 터치 센서를 구동하기 위한 회로, 및 화소를 구동하기 위한 회로를 별도로 형성할 수 있다. 또한, 하나의 회로가 양쪽의 기능을 가질 수도 있다.
- [0361] 터치 센서의, X 방향에서의 도전층(전극) 중 하나, 및 Y 방향에서의 도전층(전극) 중 하나를 선택하기 위한 구동 회로를, 화소가 형성되는 기관 위에 TFT로 형성할 수 있다.
- [0362] 터치 센서를 구동하기 위한 회로를, 화소를 구동하기 위한 게이트 드라이버 측, 또는 소스 드라이버 측에 제공하여도 좋다.
- [0363] IC는 검지 기능을 갖는 회로로서 사용되고, 터치 센서의, X 방향에서의 도전층(전극)과 전기적으로 접속되는 회로, 및 Y 방향에서의 도전층(전극)과 전기적으로 접속되는 회로의 2개의 회로 중 한쪽인 것이 바람직하다. 그 경우, 도전층은 FPC를 통하여 IC로 제어되는 것이 바람직하다.
- [0364] [터치 센서의 도전층(전극)용 재료]
- [0365] 터치 센서의 한 쌍의 도전층 중 적어도 한쪽은, 액정 소자의 공통 전극 또는 화소 전극 등과 동일한 재료를 사용하여 형성되는 것이 바람직하다.
- [0366] 또는, 터치 센서의 도전층 중 적어도 하나를 메시 형상의 금속막(메탈 메시라고도 함)으로 형성하여도 좋다.
- [0367] 터치 센서의, X 방향에서의 도전층(전극) 및 Y 방향에서의 도전층(전극) 중 적어도 한쪽에 직접 위 또는 아래에 금속막을 제공함으로써, 도전층의 저항을 저감할 수 있다. 그 경우, 금속 산화물을 포함하는 도전막과, 금속을 포함하는 도전막의 적층 구조가 사용되면, 하프톤 마스크를 사용한 패터닝 기술에 의하여 이들 도전막을 형성할 수 있으므로, 공정을 간단하게 할 수 있기 때문에 바람직하다.
- [0368] [터치 센서의 도전층들(전극들)을 접속하기 위한 배선]
- [0369] X 방향의 도전층이 Y 방향의 도전층과 교차되는 터치 센서의 영역에서는, 다른 도전층을 사용하여 도전층들을 접속하기 위한 브리지 구조를, 예를 들어, 트랜지스터의 게이트 전극과 동일한 평면의 도전층을 사용함으로써, X 방향의 도전층들을 게이트선에 평행한 가로 방향으로 화소 전체에서 접속시키는 식으로 형성한다. 또는, 트랜지스터의 소스 전극 및 드레인 전극과 동일한 평면의 도전층을 사용함으로써, Y 방향의 도전층들이 소스선에 평행한 세로 방향으로 화소 전체에서 접속된다. 그 경우, 화소에 접촉부를 형성할 수 있다. 또는, 공통 전극으로서 기능하는 도전층과 동일한 도전층, 또는 화소 전극으로서 기능하는 도전층과 동일한 평면의 도전층을 사용하여도 좋다.
- [0370] [터치 센서의 도전층(전극) 및 액정 소자의 도전층(전극)]
- [0371] 상방의, 슬릿을 갖는 도전층(전극)을 화소 전극으로서 사용할 수 있고, 하방의, 복수의 화소에 제공되는 도전층

(전극)을 공통 전극으로서 사용할 수 있다.

- [0372] 또는, 상방에서의, 복수의 화소에 제공되고 슬릿을 갖는 도전층(전극)을 공통 전극으로서 사용할 수 있고, 하방에서의, 복수의 화소 각각에 제공되는 도전층(전극)을 화소 전극으로서 사용할 수 있다.
- [0373] 터치 센서의 X 방향에서의 도전층은, 화소 전극으로서 기능하는 도전층, 또는 공통 전극으로서 기능하는 도전층으로서도 기능할 수 있다. 또는, 터치 센서의 Y 방향에서의 도전층은, 화소 전극으로서 기능하는 도전층, 또는 공통 전극으로서 기능하는 도전층으로서도 기능할 수 있다.
- [0374] 또한, 터치 센서의 X 방향에서의 도전층은 펄스 전압이 인가되는 도전층, 및 전류를 검지하기 위한 도전층 중 한쪽이어도 좋다. 그 경우, 터치 센서의 Y 방향에서의 도전층은 다른 쪽의 도전층이어도 좋다.
- [0375] X 방향의 도전층이 Y 방향의 도전층과 교차되는 터치 센서의 영역에서, 이들 도전층 중 한쪽은 다른 영역의 형상과 상이한 형상을 가질 수 있다. 예를 들어, 화소 전극으로서 기능하는 도전층, 및 화소 전극으로서 기능하는 도전층과 동일한 평면의 도전층만을 사용하여 터치 센서의 한 쌍의 도전층을 형성하는 경우, 하방의 공통 전극으로서 기능하는 도전층은 터치 센서의 도전층 아래에 제공되지 않는다. 그러나, 공통 전극으로서 기능하는 모든 도전층이 터치 센서의 도전층 아래에 제공되지 않는 구조로 함으로써, 공통 전극으로서 기능하는 도전층은 섬 형상을 갖는다. 그러므로, 공통 전극으로서 기능하는 2개의 인접되는 도전층을 서로 부분적으로 접속시킬 수 있도록, 슬릿을 갖는 형상을 사용하는 것이 바람직하다.
- [0376] 공통 전극으로서 기능하는 도전층을 복수의 화소에 제공하여도 좋다. 예를 들어, 공통 전극으로서 기능하는 도전층을, 트랜지스터의 게이트 전극과 동일한 평면에서의 도전층을 사용하여 형성된 공통 배선과 전기적으로 접속시켜도 좋다. 그 경우, 공통 전극으로서 기능하는 하나의 도전층은 섬 형상을 가져도 좋다.
- [0377] [대향 기관]
- [0378] 트랜지스터 등이 제공되는 기관과 대향하는 기관(대향 기관이라고도 함)에 터치 센서의, X 방향에서의 도전층 또는 Y 방향에서의 도전층이 제공되면, 차광층이 도전층보다 시인 측의 가깝게 제공되는 것이 바람직하다.
- [0379] 대향 기관에 액정 소자의 하나의 전극이 제공되는 경우(TN 모드 또는 MVA 모드 등을 사용한 액정 소자의 경우), 액정 소자의 하나의 전극은 대향 기관에 제공되는 터치 센서의 도전층과 중첩되는 영역에 슬릿을 가져도 좋다.
- [0380] FFS 모드 또는 IPS 모드 등을 사용한 액정 소자의 경우와 같이, 액정 소자의 한 쌍의 전극이, 트랜지스터 등이 제공되는 기관 위에 제공되는 경우, 대향 기관에 액정의 방향을 제어하기 위한 도전층을 제공하여도 좋다. 상기와 비슷한 식으로, 액정의 방향을 제어하기 위한 도전층은 터치 센서의 도전층과 중첩되는 영역에 슬릿을 가져도 좋다.
- [0381] [구동 방법]
- [0382] 터치 센서의 구동 방법으로서, 예를 들어, 화소의 구동을 위한 수평 기간(게이트 선택 기간) 사이의 기간에, 대응하는 행의 검지(주사)를 수행하는 방법을 사용할 수 있다. 또는, 1프레임 기간을 2개의 기간으로 나뉘도록 좋다; 전반의 기간에 모든 화소로의 기록을 수행하여도 좋고, 후반의 기간에 검지를 수행하여도 좋다.
- [0383] [트랜지스터]
- [0384] 예를 들어, 본 명세서 등에서, 어느 형태에 한정되지 않고 다양한 구조 중 어느 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수 있다. 예를 들어, 단결정 실리콘을 포함하는 트랜지스터, 또는 비정질 실리콘, 다결정 실리콘, 미결정(마이크로 크리스털, 나노 크리스털, 또는 세미 어모퍼스라고도 함) 실리콘 등으로 대표되는 비단결정 반도체막을 포함하는 트랜지스터 등을 트랜지스터로서 사용할 수 있다. 또는 반도체막이 얇아진 박막 트랜지스터(TFT) 등을 사용할 수 있다. TFT를 사용하는 경우, 다양한 장점이 있다. 예를 들어, 단결정 실리콘을 사용하는 경우보다 낮은 온도에서 TFT를 형성할 수 있기 때문에, 제조 비용을 저감할 수 있거나 또는 제조 장치를 더 크게 할 수 있다. 제조 장치가 더 커지기 때문에, TFT를 대향 기관을 사용하여 형성할 수 있다. 그러므로 많은 표시 장치를 낮은 비용으로 동시에 형성할 수 있다. 또한, 제조 온도가 낮기 때문에, 내열성이 낮은 기관을 사용할 수 있다. 그러므로, 트랜지스터를 투광성 기관을 사용하여 형성할 수 있다. 표시 소자에서의 광의 투과를 투광성 기관을 사용하여 형성된 트랜지스터를 사용함으로써 제어할 수 있다. 또한, 트랜지스터의 두께가 얇기 때문에, 트랜지스터에 포함되는 막의 일부는 광을 투과시킬 수 있다. 그러므로 개구율을 향상시킬 수 있다.
- [0385] 또한, 다결정 실리콘을 형성하는 경우에 촉매(예를 들어, 니켈)가 사용되면, 결정성을 더 향상시킬 수 있고 우

수한 전기 특성을 갖는 트랜지스터를 형성할 수 있다. 따라서, 게이트 드라이버 회로(주사선 구동 회로), 소스 드라이버 회로(신호선 구동 회로), 및 신호 처리 회로(예를 들어, 신호 생성 회로, 감마 보정 회로, 또는 DA 변환 회로)를, 화소가 형성되는 기판 위에 형성할 수 있다.

[0386] 또한, 미결정 실리콘을 형성하는 경우에 촉매(예를 들어, 니켈)가 사용되면, 결정성을 더 향상시킬 수 있고 우수한 전기 특성을 갖는 트랜지스터를 형성할 수 있다. 그 경우, 레이저 조사를 수행하지 않고 가열 처리만을 수행함으로써 결정성을 향상시킬 수 있다. 따라서, 게이트 드라이버 회로(주사선 구동 회로), 및 소스 드라이버 회로의 일부(아날로그 스위치)를, 화소가 형성되는 기판 위에 형성할 수 있다. 또한, 결정화를 위한 레이저 조사가 수행되지 않으면, 실리콘의 결정성에서의 불균일을 억제할 수 있다. 그러므로, 고품질의 화상을 표시할 수 있다. 또한, 촉매(예를 들어, 니켈) 없이 다결정 실리콘 또는 미결정 실리콘을 형성할 수 있다.

[0387] 또한, 실리콘의 결정성은 패널 전체에서 다결정 또는 미결정 등으로 향상되는 것이 바람직하지만, 본 발명의 일 형태는 이에 한정되지 않는다. 실리콘의 결정성을 패널의 일부에서만 향상시켜도 좋다. 결정성의 선택적인 증가를 선택적인 레이저 조사 등에 의하여 실현할 수 있다. 예를 들어, 화소를 제외한 주변 회로 영역에만 레이저 광을 조사하여도 좋다. 또는, 게이트 드라이버 회로 또는 소스 드라이버 회로 등의 영역에만 레이저 광을 조사하여도 좋다. 또는, 소스 드라이버 회로(예를 들어, 아날로그 스위치)의 일부에만 레이저 광을 조사하여도 좋다. 따라서, 회로를 고속으로 동작시킬 필요가 있는 영역에서만, 결정성을 향상시킬 수 있다. 화소 영역은 특히 고속으로 동작시킬 필요가 없기 때문에, 결정성이 향상되지 않는 경우라도 화소 회로를 문제없이 동작시킬 수 있다. 따라서, 결정성이 향상된 영역이 적어, 제조 공정을 저감할 수 있다. 따라서, 스루풋을 증가시킬 수 있고, 제조 비용을 저감할 수 있다. 또는, 필요한 제조 장치의 수가 적기 때문에, 제조 비용을 저감할 수 있다.

[0388] 트랜지스터의 예는, 화합물 반도체(예를 들어, SiGe, 또는 GaAs), 또는 산화물 반도체(예를 들어, Zn-O, In-Ga-Zn-O, In-Zn-O, In-Sn-O(ITO), Sn-O, Ti-O, Al-Zn-Sn-O(AZTO) 또는 In-Sn-Zn-O)를 포함하는 트랜지스터, 및 이런 화합물 반도체 또는 산화물 반도체의 박막을 포함하는 박막 트랜지스터를 포함한다. 제조 온도를 더 저하시킬 수 있기 때문에, 예를 들어, 이러한 트랜지스터를 실온에서 형성할 수 있다. 따라서, 플라스틱 기판 또는 필름 기판 등의, 내열성이 낮은 기판 위에 직접 이 트랜지스터를 형성할 수 있다. 또한, 이러한 화합물 반도체 또는 산화물 반도체를 트랜지스터의 채널부뿐만 아니라 다른 장치에도 사용할 수 있다. 예를 들어, 이러한 화합물 반도체 또는 산화물 반도체를, 배선, 레지스터, 화소 전극, 또는 투광성 전극 등에 사용할 수 있다. 이러한 소자를 트랜지스터와 동시에 형성할 수 있기 때문에, 비용을 저감할 수 있다.

[0389] 또한, 예를 들어, 잉크젯법 또는 인쇄법에 의하여 형성된 트랜지스터 등을 트랜지스터로서 사용할 수 있다. 따라서, 실온에서 형성할 수 있는 트랜지스터를, 저진공으로 형성할 수 있거나, 또는 대형 기판을 사용하여 형성할 수 있다. 그러므로, 마스크(레티클)를 사용하지 않고 트랜지스터를 형성할 수 있어, 트랜지스터의 레이아웃을 용이하게 변경할 수 있다. 또는, 레지스트를 사용하지 않고 트랜지스터를 형성할 수 있기 때문에, 재료비가 저감되고 공정의 수를 저감할 수 있다. 또한, 막을 필요한 부분에만 형성할 수 있기 때문에, 전체면 위에 막을 형성한 후에 에칭을 수행하는 제조 방법과 비교하여 재료를 낭비하지 않는다; 따라서, 비용을 저감할 수 있다.

[0390] 또한, 예를 들어, 유기 반도체 또는 카본 나노 튜브를 포함하는 트랜지스터 등을 트랜지스터로서 사용할 수 있다. 굴곡시킬 수 있는 기판을 사용하여 이러한 트랜지스터를 형성할 수 있다. 유기 반도체 또는 카본 나노 튜브를 포함하는 트랜지스터를 포함하는 장치는 충격에 견딜 수 있다.

[0391] 또한, 다양한 다른 구조 중 어느 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수도 있다. 예를 들어, MOS 트랜지스터, 접합 트랜지스터, 또는 바이폴라 트랜지스터 등을 트랜지스터로서 사용할 수 있다. MOS 트랜지스터를 트랜지스터로서 사용함으로써, 트랜지스터의 사이즈를 저감할 수 있다. 따라서, 다수의 트랜지스터를 장착할 수 있다. 바이폴라 트랜지스터를 트랜지스터로서 사용함으로써, 다량의 전류를 흘릴 수 있다. 따라서, 회로를 고속으로 동작시킬 수 있다. 또한, MOS 트랜지스터 및 바이폴라 트랜지스터를 하나의 기판 위에 형성하여도 좋다. 따라서, 소비전력의 저감, 사이즈의 저감, 및 고속 동작 등을 실현할 수 있다.

[0392] 또한, 본 명세서 등에서, 예를 들어, 2개 이상의 게이트 전극을 갖는 멀티 게이트 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수 있다. 멀티 게이트 구조로 함으로써, 채널 영역이 직렬로 접속되기 때문에 복수의 트랜지스터가 직렬로 접속된 구조가 제공된다. 따라서, 멀티 게이트 구조로 함으로써, 오프 상태 전류의 양을 저감할 수 있고 트랜지스터의 내압을 향상시킬 수 있다(신뢰성을 향상시킬 수 있다). 또는, 멀티 게이트 구조로 함으로써, 트랜지스터가 포화 영역에서 동작할 때, 드레인-소스 전압이 변화되더라도 드레인-소스 전류가 거의 변화되지 않아, 평탄한 경사의 전압-전류 특성을 얻을 수 있다. 평탄한 경사의 전압-전류 특성을

이용함으로써, 이상적인 전류원 회로, 또는 매우 큰 저항을 갖는 능동 부하를 실현할 수 있다. 따라서, 우수한 특성을 갖는, 차동 회로 또는 커런트 미러 회로 등을 실현할 수 있다.

[0393] 또한, 예를 들어, 채널 위 및 아래에 게이트 전극이 형성되는 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수 있다. 게이트 전극이 채널 위 및 아래에 형성되는 구조로 함으로써, 복수의 트랜지스터가 병렬로 접속된 회로 구조가 제공된다. 따라서, 채널 영역이 증가되어, 전류량을 증가시킬 수 있다. 또는, 채널 위 및 아래에 게이트 전극이 형성되는 구조를 사용함으로써, 공핍층을 용이하게 형성할 수 있어, 서브스레시홀드 스윙을 향상시킬 수 있다.

[0394] 또한, 예를 들어, 채널 영역 위에 게이트 전극이 형성된 구조, 채널 영역 아래에 게이트 전극이 형성된 구조, 스테거 구조, 역 스테거 구조, 채널 영역이 복수의 영역으로 나누어진 구조, 또는 채널 영역이 병렬로 또는 직렬로 접속된 구조 등을 갖는 트랜지스터를 사용할 수 있다. 플레이너형, FIN형, Tri-Gate형, 톱 게이트형, 보텀 게이트형, 더블 게이트형(채널 위 및 아래에 게이트를 가짐) 등 다양한 구조 중 어느 구조를 갖는 트랜지스터 등을 사용할 수 있다.

[0395] 또한, 예를 들어, 소스 전극 또는 드레인 전극이 채널 영역(또는 그 일부)과 중첩되는 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수 있다. 소스 전극 또는 드레인 전극이 채널 영역(또는 그 일부)과 중첩되는 구조를 사용함으로써, 채널 영역의 일부에서의 전하의 축적으로 인한 불안정한 동작을 방지할 수 있다.

[0396] 또한, 예를 들어, LDD 영역이 제공된 구조를 갖는 트랜지스터를 트랜지스터로서 사용할 수 있다. LDD 영역을 제공함으로써, 오프-상태 전류량을 저감할 수 있거나, 또는 트랜지스터의 내압을 향상시킬 수 있다(신뢰성을 향상시킬 수 있다). 또는, LDD 영역을 제공함으로써, 트랜지스터가 포화 영역에서 동작할 때 드레인-소스 전압이 변화되더라도 드레인 전류는 거의 변화되지 않아, 평탄한 경사의 전압-전류 특성을 얻을 수 있다.

[0397] 예를 들어, 도 79는 도 61의 구조에 톱 게이트 트랜지스터가 사용된 경우를 도시한 것이다.

[0398] [접속]

[0399] 예를 들어, 본 명세서 등에서, "X와 Y가 접속된다"라는 명시적인 기재는 X와 Y가 전기적으로 접속되는 것, X와 Y가 기능적으로 접속되는 것, 및 X와 Y가 직접 접속되는 것을 의미한다. 따라서, 예를 들어, 도면 및 문장에 제시된 접속 관계와 같은 미리 결정된 접속 관계에 한정되지 않고, 도면 및 문장에 제시된 접속 관계를 갖는 소자들 사이에 다른 소자를 제공하여도 좋다.

[0400] 여기서, X 및 Y 각각은 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.

[0401] X와 Y가 직접 접속되는 경우의 예는 X와 Y를 전기적으로 접속시킬 수 있는 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 또는 부하)가 X와 Y 사이에 접속되지 않는 경우, 및 X와 Y를 전기적으로 접속시킬 수 있는 소자를 통하지 않고 X와 Y가 접속되는 경우를 포함한다.

[0402] 예를 들어, X와 Y가 전기적으로 접속되는 경우, X와 Y 사이에 전기적으로 접속시킬 수 있는 하나 이상의 소자(예를 들어, 스위치, 트랜지스터, 용량 소자, 인덕터, 레지스터, 다이오드, 표시 소자, 발광 소자, 또는 부하)를 X와 Y 사이에 접속시킬 수 있다. 스위치는 온 또는 오프가 제어된다. 즉, 스위치가 도통 또는 비도통이 되어(온 또는 오프가 되어) 전류를 흘릴지 여부를 결정한다. 또는, 스위치는 전류 경로를 선택하여 변환하는 기능을 갖는다. 또한, X와 Y가 전기적으로 접속되는 경우에는, X와 Y가 직접 접속되는 경우가 포함된다.

[0403] 예를 들어, X와 Y가 기능적으로 접속되는 경우, X와 Y 사이에 기능적으로 접속시킬 수 있는 회로(예를 들어, 인버터, NAND 회로, 또는 NOR 회로 등의 논리 회로; DA 변환 회로, AD 변환 회로, 또는 감마 보정 회로 등의 신호 변환 회로; 전원 회로(예를 들어, 스텝업 회로 또는 스텝다운 회로) 또는 신호의 전위 레벨을 변환하기 위한 레벨 시프터 회로 등의 전위 레벨 변환 회로; 전압원; 전류원; 스위칭 회로; 신호 진폭 또는 전류량 등을 증가시킬 수 있는 회로, 연산 증폭기, 차동 증폭 회로, 소스 폴로어 회로, 또는 버퍼 회로 등의 증폭 회로; 신호 생성 회로; 메모리 회로; 및/또는 제어 회로)를 X와 Y 사이에 하나 이상 접속시킬 수 있다. 예를 들어, X로부터 출력된 신호가 Y로 송신되면, X와 Y 사이에 다른 회로가 제공되더라도 X와 Y는 기능적으로 접속된다고 할 수 있다. 또한, X와 Y가 기능적으로 접속되는 경우에는 X와 Y가 직접 접속되는 경우 및 X와 Y가 전기적으로 접속되는 경우가 포함된다.

[0404] 또한, 본 명세서 등에서, "X와 Y가 전기적으로 접속된다"라는 명시적인 기재는, X와 Y가 전기적으로 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하여 접속되는 경우), X와 Y가 기능적으로 접속되는 것(즉, X

와 Y가 다른 회로를 개재하여 기능적으로 접속되는 경우), X와 Y가 직접 접속되는 것(즉, X와 Y가 다른 소자 또는 다른 회로를 개재하지 않고 접속되는 경우)을 의미한다. 즉, 본 명세서 등에서, "X와 Y가 전기적으로 접속된다"라는 명시적인 기재는 "X와 Y가 접속된다"라는 기재와 동일하다.

[0405] 또한, 예를 들어, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1을 통하여(또는 통하지 않고) X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2를 통하여(또는 통하지 않고) Y와 전기적으로 접속되는 경우, 또는 트랜지스터의 드레인(또는 제 2 단자 등)이 Z2의 일부와 직접 접속되고, Z2의 다른 일부가 Y와 직접 접속되면서, 트랜지스터의 소스(또는 제 1 단자 등)가 Z1의 일부와 직접 접속되고, Z1의 다른 일부가 X와 직접 접속되는 경우를 다음 표현 중 어느 표현을 사용하여 표현할 수 있다.

[0406] 상기 표현의 예는, "X, Y, 트랜지스터의 소스(또는 제 1 단자 등), 및 트랜지스터의 드레인(또는 제 2 단자 등)은 서로 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속된다", "트랜지스터의 소스(또는 제 1 단자 등)는 X와 전기적으로 접속되고, 트랜지스터의 드레인(또는 제 2 단자 등)은 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 전기적으로 접속된다", 및 "X는 트랜지스터의 소스(또는 제 1 단자 등) 및 드레인(또는 제 2 단자 등)을 통하여 Y와 전기적으로 접속되고, X, 트랜지스터의 소스(또는 제 1 단자 등), 트랜지스터의 드레인(또는 제 2 단자 등), 및 Y는 이 순서대로 서로 접속되도록 제공된다"를 포함한다. 상기 예와 비슷한 표현에 의하여, 회로 구성의 접속 순서를 규정하면, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 명기할 수 있다.

[0407] 표현의 다른 예는, "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 제 1 접속 경로를 통하여 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터의 소스(또는 제 1 단자 등)와 트랜지스터의 드레인(또는 제 2 단자 등) 사이의 경로이고, Z1은 제 1 접속 경로에 있고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 제 3 접속 경로를 통하여 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않고, Z2는 제 3 접속 경로에 있다", 및 "트랜지스터의 소스(또는 제 1 단자 등)는 적어도 Z1을 통하여 제 1 접속 경로에서 X와 전기적으로 접속되고, 제 1 접속 경로는 제 2 접속 경로를 포함하지 않고, 제 2 접속 경로는 트랜지스터를 통한 접속 경로를 포함하고, 트랜지스터의 드레인(또는 제 2 단자 등)은 적어도 Z2를 통하여 제 3 접속 경로에서 Y와 전기적으로 접속되고, 제 3 접속 경로는 제 2 접속 경로를 포함하지 않는다"라는 표현을 포함한다. 표현의 다른 예는 "트랜지스터의 소스(또는 제 1 단자 등)는 제 1 전기적 경로에 적어도 Z1을 통하여 X와 전기적으로 접속되고, 제 1 전기적 경로는 제 2 전기적 경로를 포함하지 않고, 제 2 전기적 경로는 트랜지스터의 소스(또는 제 1 단자 등)로부터 트랜지스터의 드레인(또는 제 2 단자 등)까지의 전기적 경로이고, 트랜지스터의 드레인(또는 제 2 단자 등)은 제 3 전기적 경로에 적어도 Z2를 통하여 Y와 전기적으로 접속되고, 제 3 전기적 경로는 제 4 전기적 경로를 포함하지 않고, 제 4 전기적 경로는 트랜지스터의 드레인(또는 제 2 단자 등)으로부터 트랜지스터의 소스(또는 제 1 단자 등)까지의 전기적 경로이다"이다. 상기 예와 비슷한 표현에 의하여, 회로 구성의 접속 경로를 규정하면, 트랜지스터의 소스(또는 제 1 단자 등)와 드레인(또는 제 2 단자 등)을 서로 구별하여 기술적 범위를 명기할 수 있다.

[0408] 또한, 이들 표현은 예이고, 이 표현에 제한은 없다. 여기서, X, Y, Z1, 및 Z2는 각각 물체(예를 들어, 장치, 소자, 회로, 배선, 전극, 단자, 도전막, 또는 층)를 나타낸다.

[0409] 회로도에서 독립적인 구성 요소가 서로 전기적으로 접속되더라도, 하나의 구성 요소가 복수의 구성 요소의 기능을 갖는 경우가 있다. 예를 들어, 배선의 일부가 전극으로서도 기능하는 경우, 하나의 도전막은 배선 및 전극으로서 기능한다. 따라서, 본 명세서에서 "전기적 접속"은 하나의 도전막이 복수의 구성 요소의 기능을 갖는 경우 등을 그 범주에 포함한다.

[0410] [기판]

[0411] 또한, 예를 들어, 본 명세서 등에서는, 다양한 기판 중 어느 기판을 사용하여 트랜지스터를 형성할 수 있다. 기판의 종류는 특정한 종류에 한정되지 않는다. 기판의 예는, 반도체 기판(예를 들어, 단결정 기판 또는 실리콘 기판), SOI 기판, 유리 기판, 석영 기판, 플라스틱 기판, 사파이어 유리 기판, 금속 기판, 스테인리스 스틸 기판, 스테인리스 스틸 포일을 포함하는 기판, 텅스텐 기판, 텅스텐 포일을 포함하는 기판, 가요성 기판, 접착 필름, 섬유 재료를 포함하는 종이, 및 기재 필름 등을 포함한다. 유리 기판의 예는 바륨 보로실리케이트 유리 기판, 알루미늄보로실리케이트 유리 기판, 및 소다 석회 유리 기판을 포함한다. 가요성 기판, 접착 필름, 및 기재 필름 등의 예는, 폴리에틸렌테레프탈레이트(PET), 폴리에틸렌나프탈레이트(PEN), 폴리테트라플루오로에틸렌(PES), 폴리

테트라플루오로에틸렌(PTFE)으로 대표되는 플라스틱 기판을 포함한다. 다른 예는 아크릴 등의 합성 수지이다. 다른 예는 폴리프로필렌, 폴리에스터, 폴리플루오린화바이닐, 및 폴리염화바이닐 등이 있다. 다른 예는 폴리아마이드, 폴리이미드, 아라미드, 에폭시, 무기 증착 필름, 및 종이 등이 있다. 구체적으로는, 반도체 기판, 단결정 기판, 또는 SOI 기판 등을 사용함으로써, 특성, 사이즈, 또는 형상 등의 편차가 적고 전류 능력이 높은 소형의 트랜지스터를 제조할 수 있다. 이러한 트랜지스터를 사용한 회로는 저소비전력화 또는 고집적화를 실현한다.

- [0412] 또는, 기판으로서 가요성 기판을 사용하고, 가요성 기판 위에 트랜지스터를 직접 형성하여도 좋다. 또는, 분리층을 기판과 트랜지스터 사이에 제공하여도 좋다. 분리층 위에 형성된 반도체 장치의 일부 또는 전체를 기판으로부터 분리하여 다른 기판으로 전치할 때에 분리층을 사용할 수 있다. 이러한 경우, 트랜지스터를 내열성이 낮은 기판 또는 가요성 기판으로도 전치할 수 있다. 예를 들어, 상기 분리층에는, 텅스텐막 및 산화 실리콘막의 무기막을 포함하는 적층, 또는 기판 위에 형성되는 폴리이미드 등의 유기 수지막을 사용할 수 있다.
- [0413] 바꿔 말하면, 트랜지스터를 하나의 기판을 사용하여 형성하고 나서, 다른 기판으로 전치하여도 좋다. 트랜지스터가 전치되는 기판의 예는, 상기 트랜지스터를 형성할 수 있는 기판에 더하여, 종이 기판, 셀로판 기판, 아라미드 필름 기판, 폴리이미드 필름 기판, 석재 기판, 목재 기판, 직물 기판(천연 섬유(예를 들어, 견(silk), 솜(cotton), 또는 삼(hemp)), 합성 섬유(예를 들어, 나일론, 폴리에틸렌, 또는 폴리에스터), 재생 섬유(예를 들어, 아세테이트, 큐프라, 레이온, 또는 재생 폴리에스터) 등을 포함함), 피혁 기판, 및 고무 기판을 포함한다. 이런 기판이 사용되면, 특성이 우수한 트랜지스터 또는 소비전력이 낮은 트랜지스터를 형성할 수 있고, 내구성이 높은 장치를 제조할 수 있고, 높은 내열성을 제공할 수 있고, 또는 경량화 또는 박형화를 실현할 수 있다.
- [0414] 본 실시형태의 적어도 일부를, 본 명세서에서 설명하는 다른 실시형태 중 어느 실시형태, 또는 본 실시형태 중 적어도 다른 일부와 적절히 조합하여 실행할 수 있다.
- [0415] (실시형태 2)
- [0416] 본 실시형태에서는, 드라이버 IC가 사용되는, 상기 실시형태에서 설명한 표시 장치의 예에 대하여, 도 80의 (A) 및 도 80의 (B)를 참조하여 설명하겠다.
- [0417] 도 80의 (A)에 도시된 표시 장치(500A)는 화소부(510), 게이트 드라이버(520_1), 게이트 드라이버(520_2), 및 소스 드라이버(530)를 포함한다. 화소부(510)는 게이트선(GL) 및 소스선(SL)과 각각 접속되는 화소(511)를 포함한다. 소스 드라이버(530)는 복수의 TAB(tape automated bonding) 테이프(531) 및 소스 드라이버 IC(532_1) 내지 소스 드라이버 IC(532_k)(k는 2 이상의 자연수임)를 포함한다.
- [0418] 화소부(510)에서, 예를 들어, 화소(511)는 장변 방향(도 80의 (A)의 X 방향) 및 단변 방향(도 80의 (A)의 Y 방향)으로 매트릭스로 제공된다. 그러므로, 본 실시형태의 구조에서, 동일한 소스선(SL)과 접속되고 장변 방향으로 제공되는 화소(511)의 수는 동일한 게이트선(GL)과 접속되고 단변 방향으로 제공되는 화소(511)의 수보다 많다.
- [0419] 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)는 장변 방향의 2번에 제공된다. 게이트 드라이버(520_1)는 홀수 번째 행의 게이트선(GL1) 및 게이트선(GL3)을 구동하고, 게이트 드라이버(520_2)는 짝수 번째 행의 게이트선(GL2) 및 게이트선(GL4)을 구동한다. 화소의 수가 많을수록, 장변 방향으로 배치되는 게이트선(GL)의 수가 많아진다. 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)에 의하여, 하나의 게이트선(GL)을 위한 선택 기간을 길게 할 수 있다.
- [0420] 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)는 소스 드라이버(530)와 비교하여 고속으로 동작시킬 필요가 없다. 그러므로, 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)는 각각 화소(511)의 트랜지스터와 비슷한 식으로 제작된 트랜지스터를 포함하는 것이 바람직하다. 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)가 표시 장치(500A)에 내장되면, 비용을 저감할 수 있다. 또한, 표시 장치(500A)를 슬림 베젤화할 수 있다.
- [0421] 소스 드라이버 IC(532_1) 내지 소스 드라이버 IC(532_k)(k는 2 이상의 자연수임)가 TAB 테이프(531)에 이방성 도전 접착제 등으로 장착된다. 소스 드라이버 IC(532_1) 내지 소스 드라이버 IC(532_k)가 장착된 복수의 TAB 테이프(531)는 표시 장치(500A)에 접착된다; 이와 같이 하여, 복수의 소스선(SL1) 및 소스선(SL2)이 구동된다.
- [0422] 소스 드라이버 IC(532_1) 내지 소스 드라이버 IC(532_k)는 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)보다 고속으로 동작한다. 그러므로, 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)와 달리, 소스 드라이

버 IC(532_1) 내지 소스 드라이버 IC(532_k)는 표시 장치(500A)에 내장되기 어렵다. 본 실시형태와 같이, 소스 드라이버(530)가 단면에 제공되면, 소스 드라이버 IC의 수를 저감할 수 있어, 비용의 저감으로 이어진다.

- [0423] 소스 드라이버 IC의 수의 저감은, 특히 화소의 수가 많은 표시 장치, 예를 들어, 8K×4K를 갖는 표시 장치에 매우 효과적이다. 화소의 수가 많은 표시 장치를 낮은 비용으로 제작할 수 있어, 화소의 해상도가 높고 더 현실적인 화상을 표시할 수 있는 표시 장치를 낮은 비용으로 제작할 수 있다.
- [0424] 도 80의 (B)는 도 80의 (A)의 구조와 상이한 구조를 도시한 것이다. 도 80의 (B)에 도시된 표시 장치(500B)는 1행에서의 화소의 게이트선(GL)의 수가 증가되고 1열에서의 화소의 소스선(SL)의 수가 저감되는 점에서, 도 80의 (A)의 표시 장치와 상이하다.
- [0425] 도 80의 (B)에서, 게이트 드라이버(520_1) 및 게이트 드라이버(520_2)는 도 80의 (A)와 같이, 장변 방향에서의 2면에 제공된다. 게이트 드라이버(520_1)는 홀수 번째 행의 게이트선(GL1), 게이트선(GL3), 게이트선(GL5), 및 게이트선(GL7)을 구동하고, 게이트 드라이버(520_2)는 짝수 번째 행의 게이트선(GL2), 게이트선(GL4), 게이트선(GL6), 및 게이트선(GL8)을 구동한다.
- [0426] 도 80의 (B)의 소스 드라이버 IC(532_1) 내지 소스 드라이버 IC(532_k/2)는 도 80의 (A)의 소스선의 절반의 수의 소스선(예를 들어, SL1)만을 구동하면 좋다. 따라서, 소스 드라이버 IC의 수를 더 저감할 수 있어, 더 비용의 저감으로 이어진다.
- [0427] 특히, 화면 대각선이 50인치 이상, 또는 60인치 이상인 표시 장치를 실현하기 위해서는, 각 화소에서의 트랜지스터의 이동도가 비교적 높은 것이 바람직하다. 예를 들어, 트랜지스터의 반도체층에 다결정 실리콘 등을 사용할 수 있지만, 산화물 반도체를 사용하면, 대형 기판 위에 트랜지스터를 용이하게 형성할 수 있기 때문에 바람직하다. 산화물 반도체에 In-M-Zn 산화물을 사용하는 경우, M의 양보다 다량의 In을 함유하는 산화물이 사용되는 것이 바람직하다. 예를 들어, In:Ga:Zn=4:2:3의 비율을 갖는 산화물막과, In:Ga:Zn=1:1:1의 비율을 갖는 산화물막이 적용되는 산화물 반도체막이 트랜지스터의 반도체층에 사용된다; 이와 같이 하여, 트랜지스터의 이동도를 높일 수 있다.
- [0428] 본 실시형태의 적어도 일부를, 본 명세서에서 설명하는 다른 실시형태 중 어느 실시형태와 적절히 조합하여 실행할 수 있다.
- [0429] (실시형태 3)
- [0430] 본 실시형태에서, 상기 실시형태에서 설명한 트랜지스터로서 사용할 수 있는 트랜지스터의 예에 대하여, 도면을 참조하여 설명하겠다.
- [0431] 보텀 게이트 구조 또는 톱 게이트 구조 등의, 다양한 구조 중 어느 구조를 갖는 트랜지스터를 사용함으로써, 본 발명의 일 형태에 따른 터치 패널을 제작할 수 있다. 그러므로, 기존의 생산 라인에 따라, 반도체층의 재료 또는 트랜지스터의 구조를 용이하게 변경할 수 있다.
- [0432] [보텀 게이트 구조]
- [0433] 도 81의 (A1)은 보텀 게이트 트랜지스터의 일종인 채널 보호 트랜지스터인 트랜지스터(810)의 단면도이다. 도 81의 (A1)에서, 트랜지스터(810)는 기판(771) 위에 형성된다. 트랜지스터(810)는 절연층(772)을 개재하여 기판(771) 위에 전극(746)을 포함한다. 트랜지스터(810)는 절연층(726)을 개재하여 전극(746) 위에 반도체층(742)을 포함한다. 전극(746)은 게이트 전극으로서 기능할 수 있다. 절연층(726)은 게이트 절연층으로서 기능할 수 있다.
- [0434] 트랜지스터(810)는 반도체층(742)의 채널 형성 영역 위에 절연층(741)을 포함한다. 트랜지스터(810)는 반도체층(742)과 부분적으로 접촉되고 절연층(726) 위에 있는 전극(744a) 및 전극(744b)을 포함한다. 전극(744a)은 소스 전극 및 드레인 전극 중 한쪽으로서 기능할 수 있다. 전극(744b)은 소스 전극 및 드레인 전극 중 다른 쪽으로서 기능할 수 있다. 절연층(741) 위에 전극(744a)의 일부 및 전극(744b)의 일부가 형성된다.
- [0435] 절연층(741)은 채널 보호층으로서 기능할 수 있다. 채널 형성 영역 위에 절연층(741)을 제공함으로써, 전극(744a) 및 전극(744b)을 형성할 때에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서, 전극(744a) 및 전극(744b)을 형성할 때에 반도체층(742)의 채널 형성 영역이 에칭되는 것을 방지할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.
- [0436] 트랜지스터(810)는 전극(744a), 전극(744b), 및 절연층(741) 위에 절연층(728)을 포함하고, 절연층(728) 위에

절연층(729)을 더 포함한다.

- [0437] 본 실시형태에 개시되는 트랜지스터에 사용되는 전극, 반도체층, 및 절연층 등을, 다른 실시형태 중 어느 실시형태에 개시되는 재료 및 방법을 사용하여 형성할 수 있다.
- [0438] 산화물 반도체가 반도체층(742)에 사용되는 경우, 적어도 반도체층(742)과 접촉되는 전극(744a) 및 전극(744b)의 영역에, 반도체층(742)의 일부로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료가 사용되는 것이 바람직하다. 산소 결손이 발생한 반도체층(742)의 영역에서의 캐리어 농도가 증가되어, 이 영역은 n형 영역(n⁺층)이 된다. 따라서, 이 영역은 소스 영역 및 드레인 영역으로서 기능할 수 있다. 산화물 반도체가 반도체층(742)에 사용되면, 반도체층(742)으로부터 산소를 제거하여 산소 결손을 발생시킬 수 있는 재료의 예는 텅스텐 및 타이타늄을 포함한다.
- [0439] 반도체층(742)에 소스 영역 및 드레인 영역을 형성함으로써, 반도체층(742)과, 전극(744a) 및 전극(744b) 각각 사이의 접촉 저항을 저감할 수 있다. 따라서, 전계 효과 이동도 및 문턱 전압 등의 트랜지스터의 전기 특성을 양호하게 할 수 있다.
- [0440] 실리콘 등의 반도체가 반도체층(742)에 사용되는 경우, n형 반도체 또는 p형 반도체로서 기능하는 층이 반도체층(742)과 전극(744a) 사이, 및 반도체층(742)과 전극(744b) 사이에 제공되는 것이 바람직하다. n형 반도체 또는 p형 반도체로서 기능하는 층은 트랜지스터의 소스 영역 또는 드레인 영역으로서 기능할 수 있다.
- [0441] 외측으로부터 트랜지스터로의 불순물의 확산을 방지하거나, 또는 저감할 수 있는 재료를 사용하여 절연층(729)이 형성되는 것이 바람직하다. 절연층(729)의 형성을 생략하여도 좋다.
- [0442] 산화물 반도체가 반도체층(742)에 사용되면, 절연층(729)이 형성되기 전 및/또는 형성된 후에 가열 처리를 수행하여도 좋다. 가열 처리에 의하여, 절연층(729) 또는 다른 절연층에 함유되는 산소를 반도체층(742)으로 확산 시킴으로써, 반도체층(742)의 산소 결손을 보충할 수 있다. 또는, 가열 처리를 수행하면서 절연층(729)을 형성하여 반도체층(742)의 산소 결손을 보충할 수 있다.
- [0443] 또한, 일반적으로, CVD법을, 플라즈마를 사용하는 PECVD(plasma enhanced CVD)법, 및 열을 사용하는 TCVD(thermal CVD)법 등으로 분류할 수 있다. CVD법을, 사용되는 원료 가스에 따라 MCVD(metal CVD)법 및 MOCVD(metal organic CVD)법으로 더 분류할 수 있다.
- [0444] 또한, 일반적으로 증착법을 저항 가열 증착법, 전자 빔 증착법, MBE(molecular beam epitaxy)법, PLD(pulsed laser deposition)법, IAD(ion beam assisted deposition)법, 및 ALD(atomic layer deposition)법 등으로 분류할 수 있다.
- [0445] PECVD법을 사용함으로써, 비교적 낮은 온도에서 고품질의 막을 형성할 수 있다. MOCVD법 또는 증착법 등의, 성막에 플라즈마를 사용하지 않는 성막법을 사용함으로써, 막이 형성되는 표면에 대미지가 일어나기 어렵기 때문에, 결함이 적은 막을 형성할 수 있다.
- [0446] 일반적으로, 스퍼터링법은 DC 스퍼터링법, 마그네트론 스퍼터링법, RF 스퍼터링법, 이온 빔 스퍼터링법, ECR(electron cyclotron resonance) 스퍼터링법, 및 대향 타깃 스퍼터링법 등으로 분류된다.
- [0447] 대향 타깃 스퍼터링법에서는, 플라즈마가 타깃들 사이에 갇힌다; 따라서, 기판에 대한 플라즈마 대미지를 저감할 수 있다. 또한, 타깃의 기울기에 따라 기판에 대한 스퍼터링 입자의 입사 각도를 작게 할 수 있기 때문에, 단차 피복성을 향상시킬 수 있다.
- [0448] 도 81의 (A2)에 도시된 트랜지스터(811)는, 백 게이트 전극으로서 기능할 수 있는 전극(723)이 절연층(729) 위에 제공되는 점에서, 트랜지스터(810)와 상이하다. 전극(746)의 재료 및 방법과 비슷한 재료 및 방법을 사용하여 전극(723)을 형성할 수 있다.
- [0449] 일반적으로, 백 게이트 전극은 도전층을 사용하여 형성되며, 반도체층의 채널 형성 영역이 게이트 전극과 백 게이트 전극 사이에 위치하도록 배치된다. 따라서, 백 게이트 전극은 게이트 전극과 비슷한 식으로 기능할 수 있다. 백 게이트 전극의 전위는 게이트 전극의 전위와 동일하여도 좋고, 또는 접지(GND) 전위 또는 미리 결정된 전위이어도 좋다. 백 게이트 전극의 전위를 게이트 전극의 전위와 독립적으로 변화시킴으로써, 트랜지스터의 문턱 전압을 변화시킬 수 있다.
- [0450] 전극(746) 및 전극(723)은 각각 게이트 전극으로서 기능할 수 있다. 따라서, 절연층(726), 절연층(728), 및 절연층(729)은 각각 게이트 절연층으로서 기능할 수 있다. 전극(723)을 절연층(728)과 절연층(729) 사이에 제공

하여도 좋다.

- [0451] 전극(746) 및 전극(723) 중 한쪽을 단순히 "게이트 전극"이라고 하는 경우, 다른 쪽을 "백 게이트 전극"이라고 할 수 있다. 예를 들어, 트랜지스터(811)에서 전극(723)을 "게이트 전극"이라고 하는 경우, 전극(746)을 "백 게이트 전극"이라고 한다. 전극(723)이 "게이트 전극"으로서 사용되는 경우, 트랜지스터(811)는 톱 게이트 트랜지스터의 일종이다. 또는, 전극(746) 및 전극(723) 중 한쪽을 "제 1 게이트 전극"이라고 하여도 좋고, 다른 쪽을 "제 2 게이트 전극"이라고 하여도 좋다.
- [0452] 반도체층(742)을 개재하여 전극(746) 및 전극(723)을 제공하고 전극(746)과 전극(723)의 전위를 동일하게 설정함으로써, 반도체층(742)의 캐리어가 흐르는 영역이 막 두께 방향으로 확대된다; 따라서, 이동하는 캐리어의 수가 증가된다. 그 결과, 트랜지스터(811)의 온 상태 전류 및 전계 효과 이동도가 증가된다.
- [0453] 그러므로, 트랜지스터(811)는 면적에 대한 온 상태 전류가 비교적 높다. 즉, 요구되는 온 상태 전류에 대하여 트랜지스터(811)의 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 면적을 저감할 수 있다. 그러므로, 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0454] 게이트 전극 및 백 게이트 전극은 도전층을 사용하여 형성되기 때문에, 트랜지스터의 외측에서 발생하는 전계가, 채널이 형성되는 반도체층에 영향을 미치는 것을 방지하는 기능(특히, 정전기 등에 대한 전계 차단 기능)을 각각 갖는다. 백 게이트 전극이 반도체층보다 크게 형성되어 반도체층이 백 게이트 전극으로 덮이면, 전계 차단 기능을 높일 수 있다.
- [0455] 전극(746) 및 전극(723)은 각각 외측에서 발생하는 전계를 차단하는 기능을 갖기 때문에, 절연층(772) 측 또는 전극(723) 위에 발생하는 하전 입자 등의 전하가 반도체층(742)의 채널 형성 영역에 영향을 미치지 않는다. 따라서, 스트레스 테스트(예를 들어, 게이트에 음의 전위가 인가되는 -GBT(negative gate bias temperature) 스트레스 테스트)에 의한 열화를 저감할 수 있다. 또한, 드레인 전압에 따라 온 전류가 흐르기 시작하는 게이트 전압(상승 전압)의 변화를 저감할 수 있다. 또한, 전극(746) 및 전극(723)의 전위가 동일하거나, 또는 상이하면, 이 효과가 얻어진다.
- [0456] BT 스트레스 테스트는 가속 시험의 일종이며, 장기 사용에 의한 트랜지스터의 특성 변화(즉, 시간에 따른 변화)를 단시간에 평가할 수 있다. 특히, BT 스트레스 테스트 전후에서의 트랜지스터의 문턱 전압의 변화량은, 트랜지스터의 신뢰성을 조사할 때에 중요한 지표이다. 문턱 전압의 변화가 작을수록, 트랜지스터의 신뢰성이 높아진다.
- [0457] 전극(746) 및 전극(723)을 제공하고 전극(746) 및 전극(723)의 전위를 동일하게 설정함으로써, 문턱 전압의 변화량이 저감된다. 따라서, 복수의 트랜지스터 중의 전기 특성에서의 편차도 저감된다.
- [0458] 백 게이트 전극을 포함하는 트랜지스터는, 백 게이트 전극을 포함하지 않는 트랜지스터보다, 게이트에 양의 전하가 인가되는 +GBT 스트레스 테스트 전후의 문턱 전압에서의 변화가 작다.
- [0459] 차광성 도전막을 사용하여 백 게이트 전극이 형성되면, 광이 백 게이트 전극 측으로부터 반도체층에 들어가는 것을 방지할 수 있다. 그러므로, 반도체층의 광 열화를 방지할 수 있고, 문턱 전압의 시프트 등의, 트랜지스터의 전기 특성에서의 열화를 방지할 수 있다.
- [0460] 본 발명의 일 형태에 따르면, 신뢰성이 높은 트랜지스터를 제공할 수 있다. 또한, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0461] 도 81의 (B1)은 보텀 게이트 트랜지스터의 일종인 채널 보호 트랜지스터(820)의 단면도이다. 트랜지스터(820)는 트랜지스터(810)와 실질적으로 동일한 구조를 갖지만, 절연층(741)이 반도체층(742)을 덮는 점에서, 트랜지스터(810)와 상이하다. 반도체층(742)은, 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 개구를 통하여 전극(744a)과 전기적으로 접속된다. 반도체층(742)은, 반도체층(742)과 중첩되는 절연층(741)의 일부를 선택적으로 제거함으로써 형성된 다른 개구를 통하여 전극(744b)과 전기적으로 접속된다. 채널 형성 영역과 중첩되는 절연층(741)의 영역은 채널 보호층으로서 기능할 수 있다.
- [0462] 도 81의 (B2)에 도시된 트랜지스터(821)는, 백 게이트 전극으로서 기능할 수 있는 전극(723)이 절연층(729) 위에 제공되는 점에서, 트랜지스터(820)와 상이하다.
- [0463] 절연층(741)으로 함으로써, 전극(744a) 및 전극(744b)을 형성할 때에 반도체층(742)이 노출되는 것을 방지할 수 있다. 따라서, 전극(744a) 및 전극(744b)을 형성할 때에 반도체층(742)의 두께가 저감되는 것을 방지할 수 있

다.

- [0464] 트랜지스터(820) 및 트랜지스터(821)에서의 전극(744a)과 전극(746) 사이의 길이 및 전극(744b)과 전극(746) 사이의 길이는 트랜지스터(810) 및 트랜지스터(811)에서의 길이보다 길다. 따라서, 전극(744a)과 전극(746) 사이에 발생하는 기생 용량을 저감할 수 있다. 또한, 전극(744b)과 전극(746) 사이에 발생하는 기생 용량을 저감할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.
- [0465] 도 81의 (C1)에 도시된 트랜지스터(825)는 보텀 게이트 트랜지스터의 일종인 채널 에치 트랜지스터(channel-etched transistor)이다. 트랜지스터(825)에는, 절연층(741)을 제공하지 않고, 전극(744a) 및 전극(744b)이 형성된다. 따라서, 전극(744a) 및 전극(744b)을 형성할 때에 노출되는 반도체층(742)의 일부가 에칭되는 경우가 있다. 그러나, 절연층(741)이 제공되지 않기 때문에, 트랜지스터의 생산성을 높일 수 있다.
- [0466] 도 81의 (C2)에 도시된 트랜지스터(826)는 백 게이트 전극으로서 기능할 수 있는 전극(723)이 절연층(729) 위에 제공되는 점에서, 트랜지스터(825)와 상이하다.
- [0467] [톱 게이트 트랜지스터]
- [0468] 도 82의 (A1)은 톱 게이트 트랜지스터의 일종인 트랜지스터(830)의 단면도이다. 트랜지스터(830)는 절연층(772) 위의 반도체층(742), 반도체층(742) 및 절연층(772) 위에 있고 반도체층(742)의 일부와 접촉되는 전극(744a) 및 전극(744b), 반도체층(742), 전극(744a), 및 전극(744b) 위의 절연층(726), 및 절연층(726) 위의 전극(746)을 포함한다.
- [0469] 트랜지스터(830)에서, 전극(746)은 전극(744a)과도 전극(744b)과도 중첩되지 않기 때문에, 전극(746)과 전극(744a) 사이에 발생하는 기생 용량, 및 전극(746)과 전극(744b) 사이에 발생하는 기생 용량을 저감할 수 있다. 전극(746)의 형성 후, 전극(746)을 마스크로서 사용하여 반도체층(742)에 불순물(755)을 도입하여, 반도체층(742)에 자기 정합식(self-aligned manner)으로 불순물 영역을 형성할 수 있다(도 82의 (A3) 참조). 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다.
- [0470] 이온 주입 장치, 이온 도핑 장치, 또는 플라즈마 처리 장치로 불순물(755)의 도입을 수행할 수 있다.
- [0471] 불순물(755)로서는, 예를 들어, 제 13족 원소 및 제 15족 원소 중 적어도 1종류의 원소를 사용할 수 있다. 반도체층(742)에 산화물 반도체가 사용되는 경우, 불순물(755)로서 희가스, 수소, 및 질소 중 적어도 1종류의 원소를 사용할 수 있다.
- [0472] 도 82의 (A2)에 도시된 트랜지스터(831)는 전극(723) 및 절연층(727)이 포함되는 점에서, 트랜지스터(830)와 상이하다. 트랜지스터(831)는 절연층(772) 위에 형성되는 전극(723), 및 전극(723) 위에 형성되는 절연층(727)을 포함한다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다. 따라서, 절연층(727)은 게이트 절연층으로서 기능할 수 있다. 절연층(726)의 재료 및 방법과 비슷한 재료 및 방법을 사용하여 절연층(727)을 형성할 수 있다.
- [0473] 트랜지스터(811)와 같이, 트랜지스터(831)의 면적에 대한 온 상태 전류는 높다. 즉, 요구되는 온 상태 전류에 대하여 트랜지스터(831)의 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 면적을 저감할 수 있다. 그러므로, 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0474] 도 82의 (B1)에 도시된 트랜지스터(840)는 톱 게이트 트랜지스터의 일종이다. 트랜지스터(840)는 전극(744a) 및 전극(744b)의 형성 후에 반도체층(742)이 형성되는 점에서, 트랜지스터(830)와 상이하다. 도 82의 (B2)에 도시된 트랜지스터(841)는 전극(723) 및 절연층(727)이 포함되는 점에서, 트랜지스터(840)와 상이하다. 트랜지스터(840) 및 트랜지스터(841)에서, 반도체층(742)의 일부는 전극(744a) 위에 형성되고, 반도체층(742)의 다른 일부는 전극(744b) 위에 형성된다.
- [0475] 트랜지스터(811)와 같이, 트랜지스터(841)의 면적에 대한 온 상태 전류는 높다. 즉, 요구되는 온 상태 전류에 대하여 트랜지스터(841)의 면적을 작게 할 수 있다. 본 발명의 일 형태에 따르면, 트랜지스터의 면적을 저감할 수 있다. 그러므로, 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0476] 도 83의 (A1)에 도시된 트랜지스터(842)는 톱 게이트 트랜지스터의 일종이다. 트랜지스터(842)는 절연층(729)의 형성 후에 전극(744a) 및 전극(744b)이 형성되는 점에서, 트랜지스터(830) 또는 트랜지스터(840)와 상이하다. 절연층(728) 및 절연층(729)에 형성된 개구를 통하여 전극(744a) 및 전극(744b)이 반도체층(742)과 전기적으로 접속된다.

- [0477] 전극(746)과 중첩되지 않는 절연층(726)의 일부를 제거하고 전극(746) 및 남은 절연층(726)을 마스크로서 사용하여 반도체층(742)에 불순물(755)을 도입하여, 반도체층(742)에 자기 정합식으로 불순물 영역을 형성할 수 있다(도 83의 (A3) 참조). 트랜지스터(842)는 절연층(726)이 전극(746)의 단부를 넘어 연장되는 영역을 포함한다. 절연층(726)을 통하여 불순물(755)이 도입되는 영역의 반도체층(742)의 불순물 농도는, 절연층(726)을 통하지 않고 불순물(755)이 도입되는 영역의 반도체층(742)의 불순물 농도보다 낮다. 따라서, 전극(746)과 중첩되는 반도체층(742)의 영역과 인접되는 영역에 LDD(lightly doped drain) 영역이 형성된다.
- [0478] 도 83의 (A2)에 도시된 트랜지스터(843)는 전극(723)이 포함되는 점에서, 트랜지스터(842)와 상이하다. 트랜지스터(843)는 기판(771) 위에 형성되는 전극(723)을 포함하며, 절연층(772)을 개재하여 반도체층(742)과 중첩된다. 전극(723)은 백 게이트 전극으로서 기능할 수 있다.
- [0479] 도 83의 (B1)에 도시된 트랜지스터(844), 및 도 83의 (B2)에 도시된 트랜지스터(845)와 같이, 전극(746)과 중첩되지 않는 영역의 절연층(726)을 완전히 제거하여도 좋다. 또는, 도 83의 (C1)에 도시된 트랜지스터(846), 및 도 83의 (C2)에 도시된 트랜지스터(847)와 같이, 전극(746)과 중첩되지 않는 영역에 절연층(726)을 남겨도 좋다.
- [0480] 트랜지스터(842) 내지 트랜지스터(847)에서, 전극(746)의 형성 후, 전극(746)을 마스크로서 사용하여 반도체층(742)에 불순물(755)을 도입하여, 반도체층(742)에 자기 정합식으로 불순물 영역을 형성할 수 있다. 본 발명의 일 형태에 따르면, 전기 특성이 양호한 트랜지스터를 제공할 수 있다. 또한, 본 발명의 일 형태에 따르면, 집적도가 높은 반도체 장치를 제공할 수 있다.
- [0481] [S-channel 트랜지스터]
- [0482] 도 84의 (A) 내지 도 84의 (C)는 반도체층(742)에 산화물 반도체를 사용한 트랜지스터의 구조의 예를 도시한 것이다. 도 84의 (A) 내지 도 84의 (C)에 도시된 트랜지스터(850)에서는, 반도체층(742b)이 반도체층(742a) 위에 형성되고, 반도체층(742c)은 반도체층(742b)의 상면 및 측면, 및 반도체층(742a)의 측면을 덮는다. 도 84의 (A)는 트랜지스터(850)의 상면도이다. 도 84의 (B)는 도 84의 (A)에서의 일점쇄선(X1-X2)을 따라 자른(채널 길이 방향의) 단면도이다. 도 84의 (C)는 도 84의 (A)에서의 일점쇄선(Y1-Y2)을 따라 자른(채널 폭 방향의) 단면도이다.
- [0483] 트랜지스터(850)는 게이트 전극으로서 기능하는 전극(743)을 포함한다. 전극(746)의 재료 및 방법과 비슷한 재료 및 방법을 사용하여 전극(743)을 형성할 수 있다. 전극(743)이 본 실시형태의 2개의 도전층으로 형성된다.
- [0484] 반도체층(742a), 반도체층(742b), 및 반도체층(742c)은 각각 In 및 Ga 중 어느 한쪽, 또는 이들 양쪽을 함유하는 재료를 사용하여 형성된다. 대표적인 예는 In-Ga 산화물(In 및 Ga를 함유하는 산화물), In-Zn 산화물(In 및 Zn를 함유하는 산화물), 및 In-M-Zn 산화물(In, 원소 M, 및 Zn를 함유하는 산화물)이다. 원소 M은 Al, Ti, Ga, Y, Zr, La, Ce, Nd, 및 Hf으로부터 선택된 1종류 이상의 원소이며, In보다 산소와의 결합력이 강하다.
- [0485] 반도체층(742a) 및 반도체층(742c)은 반도체층(742b)에 함유되는 1종류 이상의 금속 원소를 함유하는 재료를 사용하여 형성되는 것이 바람직하다. 이러한 재료를 사용함으로써, 반도체층(742a)과 반도체층(742b)의 계면, 및 반도체층(742c)과 반도체층(742b)의 계면에 계면 준위가 발생되기 어려워진다. 따라서, 계면에서 캐리어가 산란 또는 포획되기 어렵고, 그 결과 트랜지스터의 전계 효과 이동도가 향상된다. 또한, 트랜지스터의 문턱 전압에서의 편차를 저감할 수 있다. 따라서, 전기 특성이 양호한 반도체 장치를 얻을 수 있다.
- [0486] 반도체층(742a) 및 반도체층(742c)의 두께는 각각 3nm 이상 100nm 이하, 바람직하게는 3nm 이상 50nm 이하이다. 반도체층(742b)의 두께는 3nm 이상 700nm 이하, 바람직하게는 3nm 이상 100nm 이하, 더 바람직하게는 3nm 이상 50nm 이하이다.
- [0487] 반도체층(742b)이 In-M-Zn 산화물을 포함하고 반도체층(742a) 및 반도체층(742c)도 각각 In-M-Zn 산화물을 포함하는 경우, 예를 들어, 반도체층(742a) 및 반도체층(742c)은 각각 원자수비가 In:M:Zn=x₁:y₁:z₁이고, 반도체층(742b)은 원자수비가 In:M:Zn=x₂:y₂:z₂이다. 그 경우, 반도체층(742a), 반도체층(742c), 및 반도체층(742b)의 조성을, y₁/x₁이 y₂/x₂보다 커지도록 결정할 수 있다. 반도체층(742a), 반도체층(742c), 및 반도체층(742b)의 조성은, y₁/x₁이 y₂/x₂의 1.5배 이상으로 결정되는 것이 바람직하다. 반도체층(742a), 반도체층(742c), 및 반도체층(742b)의 조성은, y₁/x₁이 y₂/x₂의 2배 이상으로 결정되는 것이 더 바람직하다. 반도체층(742a), 반도체층(742c), 및 반도체층(742b)의 조성은, y₁/x₁이 y₂/x₂의 3배 이상으로 결정되는 것이 더욱 바람직하다. y₁이 x₁

이상이면, 트랜지스터의 전기 특성이 안정되기 때문에 바람직하다. 그러나, y_1 이 x_1 의 3배 이상이면 트랜지스터의 전계 효과 이동도가 저하된다; 따라서, y_1 은 x_1 의 3배 미만인 것이 바람직하다. 반도체층(742a) 및 반도체층(742c)이 상기 조성을 가지면, 반도체층(742a) 및 반도체층(742c)을 각각 반도체층(742b)보다 산소 결손이 발생되기 어려운 층으로 할 수 있다.

[0488] 반도체층(742a) 및 반도체층(742c)이 각각 In-M-Zn 산화물을 포함하는 경우, In 및 원소 M의 비율은 Zn 및 O를 고려하지 않고 다음과 같은 것이 바람직하다: In의 비율이 50atomic% 미만이고 원소 M의 비율이 50atomic% 이상이다. In 및 원소 M의 비율은 다음과 같은 것이 더 바람직하다: In의 비율이 25atomic% 미만이고 원소 M의 비율이 75atomic% 이상이다. 반도체층(742b)이 In-M-Zn 산화물을 포함하는 경우, In 및 원소 M의 비율은 Zn 및 O를 고려하지 않고 다음과 같은 것이 바람직하다: In의 비율이 25atomic% 이상이고 원소 M의 비율이 75atomic% 미만이다. In 및 원소 M의 비율은 다음과 같은 것이 더 바람직하다: In의 비율이 34atomic% 이상이고 원소 M의 비율이 66atomic% 미만이다.

[0489] 예를 들어, 원자수비가 In:Ga:Zn=1:3:2, 1:3:4, 1:3:6, 1:6:4, 또는 1:9:6인 타깃을 사용하여 형성된 In-Ga-Zn 산화물, 원자수비가 In:Ga=1:9인 타깃을 사용하여 형성된 In-Ga 산화물, 또는 산화 갈륨을 In 또는 Ga를 함유하는 반도체층(742a) 및 반도체층(742c) 각각에 사용할 수 있다. 또한, 원자수비가 In:Ga:Zn=3:1:2, 1:1:1, 5:5:6, 또는 4:2:4.1인 타깃을 사용하여 형성된 In-Ga-Zn 산화물을 반도체층(742b)에 사용할 수 있다. 또한, 반도체층(742a), 반도체층(742b), 및 반도체층(742c) 각각의 원자수비는 오차로서 상술한 원자수비 중 어느 원자수비의 $\pm 20\%$ 의 범위 내에서 변동될 수 있다.

[0490] 반도체층(742b)을 포함하는 트랜지스터에 안정적인 전기 특성을 부여하기 위해서는, 반도체층(742b)의 불순물 및 산소 결손을 저감하여 고순도화된 산화물 반도체층을 얻으면, 반도체층(742b)을 진성 또는 실질적으로 진성인 산화물 반도체층으로 간주할 수 있기 때문에 바람직하다. 또한, 적어도 반도체층(742b)의 채널 형성 영역을 진성 또는 실질적으로 진성인 산화물 반도체층으로 간주하는 것이 바람직하다.

[0491] 또한, 실질적으로 진성인 산화물 반도체층은 캐리어 밀도가 $8 \times 10^{11}/\text{cm}^3$ 미만, 바람직하게는 $1 \times 10^{11}/\text{cm}^3$ 미만, 더 바람직하게는 $1 \times 10^{10}/\text{cm}^3$ 미만이며, $1 \times 10^{-9}/\text{cm}^3$ 이상인 산화물 반도체층을 말한다.

[0492] 도 85의 (A) 내지 도 85의 (C)는 반도체층(742)에 산화물 반도체를 사용한 트랜지스터의 구조의 예를 도시한 것이다. 도 85의 (A) 내지 도 85의 (C)에 도시된 트랜지스터(822)에서는, 반도체층(742b)이 반도체층(742a) 위에 형성된다. 트랜지스터(822)는 백 게이트 전극을 포함하는 보텀 게이트 트랜지스터의 일종이다. 도 85의 (A)는 트랜지스터(822)의 상면도이다. 도 85의 (B)는 도 85의 (A)에서의 일점쇄선(X1-X2)을 따라 자른(채널 길이 방향의) 단면도이다. 도 85의 (C)는 도 85의 (A)에서의 일점쇄선(Y1-Y2)을 따라 자른(채널 폭 방향의) 단면도이다.

[0493] 절연층(729) 위에 제공된 전극(723)은 절연층(726), 절연층(728), 및 절연층(729)에 제공된 개구(747a) 및 개구(747b)를 통하여 전극(746)과 전기적으로 접속된다. 따라서, 동일한 전위가 전극(723) 및 전극(746)에 공급된다. 또한, 개구(747a) 및 개구(747b) 중 어느 한쪽 또는 양쪽을 생략하여도 좋다. 개구(747a) 및 개구(747b)가 양쪽 생략되는 경우, 전극(723) 및 전극(746)에 상이한 전위를 공급할 수 있다.

[0494] [산화물 반도체의 에너지 밴드 구조]

[0495] 반도체층(742a), 반도체층(742b), 및 반도체층(742c)을 포함하는 적층인 반도체층(742)의 기능 및 효과에 대하여, 도 89의 (A) 및 도 89의 (B)에 나타난 에너지 밴드 구조도로 설명한다. 도 89의 (A)는 도 84의 (B)에서의 일점쇄선(D1-D2)을 따라 부분을 나타낸 에너지 밴드 구조도이다. 도 89의 (A)는 트랜지스터(850)의 채널 형성 영역의 에너지 밴드 구조를 도시한 것이다.

[0496] 도 89의 (A)에서, Ec882, Ec883a, Ec883b, Ec883c, 및 Ec886은 각각 절연층(772), 반도체층(742a), 반도체층(742b), 반도체층(742c), 및 절연층(726)의 전도대 하단의 에너지를 가리킨다.

[0497] 여기서, 진공 준위와 전도대 하단 사이의 에너지 차이(이 차이를 "전자 친화력"이라고도 함)는 진공 준위와 가전자대 상단 사이의 에너지 차이(이 차이를 이온화 전위라고도 함)로부터 에너지 갭을 뺀으로써 얻어진 값에 대응한다. 또한, 에너지 갭을, 분광 엘립소미터(예를 들어, HORIBA JOBIN YVON S.A.S 제조 UT-300)를 사용하여 측정할 수 있다. 진공 준위와 가전자대 상단 사이의 에너지 차이를, UPS(ultraviolet photoelectron spectroscopy) 장치(예를 들어, ULVAC-PHI, Inc. 제조 VersaProbe)를 사용하여 측정할 수 있다.

- [0498] 또한, 원자수비가 In:Ga:Zn=1:3:2인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.5eV이고 전자 친화력이 약 4.5eV이다. 원자수비가 In:Ga:Zn=1:3:4인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.4eV이고 전자 친화력이 약 4.5eV이다. 원자수비가 In:Ga:Zn=1:3:6인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.3eV이고 전자 친화력이 약 4.5eV이다. 원자수비가 In:Ga:Zn=1:6:2인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.9eV이고 전자 친화력이 약 4.3eV이다. 원자수비가 In:Ga:Zn=1:6:8인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.5eV이고 전자 친화력이 약 4.4eV이다. 원자수비가 In:Ga:Zn=1:6:10인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.5eV이고 전자 친화력이 약 4.5eV이다. 원자수비가 In:Ga:Zn=1:1:1인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 3.2eV이고 전자 친화력이 약 4.7eV이다. 원자수비가 In:Ga:Zn=3:1:2인 타깃을 사용하여 형성된 In-Ga-Zn 산화물은 에너지 갭이 약 2.8eV이고 전자 친화력이 약 5.0eV이다.
- [0499] 절연층(772) 및 절연층(726)은 절연체이기 때문에, Ec882 및 Ec886은 Ec883a, Ec883b, 및 Ec883c보다 진공 준위에 가깝다(전자 친화력이 작다).
- [0500] Ec883a는 Ec883b보다 진공 준위에 가깝다. 구체적으로, Ec883a는 Ec883b보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상만큼, 또는 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 것이 바람직하다.
- [0501] Ec883c는 Ec883b보다 진공 준위에 가깝다. 구체적으로, Ec883c는 Ec883b보다 0.05eV 이상, 0.07eV 이상, 0.1eV 이상, 또는 0.15eV 이상만큼, 또는 2eV 이하, 1eV 이하, 0.5eV 이하, 또는 0.4eV 이하만큼 진공 준위에 가까운 것이 바람직하다.
- [0502] 반도체층(742a)과 반도체층(742b)의 계면 근방, 및 반도체층(742b)과 반도체층(742c)의 계면 근방에서 혼합 영역이 형성된다; 따라서, 전도대 하단의 에너지는 연속적으로 변화된다. 바꿔 말하면, 이들 계면에 준위가 존재하지 않거나, 또는 거의 없다.
- [0503] 따라서, 상기 에너지 밴드 구조를 갖는 적층 구조에서, 전자는 주로 반도체층(742b)을 통하여 이동한다. 그러므로, 반도체층(742a)과 절연층(724)의 계면, 또는 반도체층(742c)과 절연층(726)의 계면에 준위가 존재하더라도, 준위가 전자의 이동에 거의 영향을 미치지 않는다. 또한, 반도체층(742a)과 반도체층(742b)의 계면, 및 반도체층(742c)과 반도체층(742b)의 계면에 준위가 존재하지 않거나, 또는 거의 존재하지 않는다; 따라서, 이 영역에서 전자의 이동은 저해되지 않는다. 결과적으로, 상기 산화물 반도체의 적층 구조를 갖는 트랜지스터에서 높은 전계 효과 이동도를 얻을 수 있다.
- [0504] 또한, 도 89의 (A)에 나타낸 바와 같이, 반도체층(742a)과 절연층(772)의 계면 부근, 및 반도체층(742c)과 절연층(726)의 계면 부근에, 불순물 또는 결함으로 인한 트랩 준위(890)가 형성되는 경우가 있지만, 반도체층(742a) 및 반도체층(742c)의 존재에 의하여 반도체층(742b)을 트랩 준위로부터 멀리할 수 있다.
- [0505] 특히, 본 실시형태에서 설명한 트랜지스터에서, 반도체층(742b)의 상면 및 측면은 반도체층(742c)과 접촉되고, 반도체층(742b)의 하면은 반도체층(742a)과 접촉된다. 이런 식으로, 반도체층(742b)을 반도체층(742a) 및 반도체층(742c)으로 덮음으로써, 트랩 준위의 영향을 더 저감할 수 있다.
- [0506] 또한, Ec883a와 Ec883b 사이, 또는 Ec883c와 Ec883b 사이의 에너지 차이가 작은 경우, 반도체층(742b)의 전자가 에너지 차이를 넘어 트랩 준위에 도달할 수 있다. 트랩 준위에 의하여 전자가 포획되어 절연층과의 계면에 음의 고정 전하가 발생함으로써, 트랜지스터의 문턱 전압이 양의 방향으로 시프트된다.
- [0507] 그러므로, Ec883a와 Ec883b 사이, 및 Ec883c와 Ec883b 사이의 에너지 차이가 각각 0.1eV 이상, 바람직하게는 0.15eV 이상으로 설정되는 경우, 트랜지스터의 문턱 전압에서의 편차를 저감할 수 있고, 트랜지스터의 전기 특성을 양호하게 할 수 있다.
- [0508] 반도체층(742a) 및 반도체층(742c)의 밴드 갭은 각각 반도체층(742b)의 밴드 갭보다 넓은 것이 바람직하다.
- [0509] 도 89의 (B)는 도 85의 (B)에서의 일점쇄선(D3-D4)을 따라 부분을 나타낸 에너지 밴드 구조도이다. 도 89의 (B)는 트랜지스터(822)의 채널 형성 영역의 에너지 밴드 구조를 나타낸 것이다.
- [0510] 도 89의 (B)에서, Ec887은 절연층(728)의 전도대 하단의 에너지를 나타낸다. 반도체층(742a) 및 반도체층(742b)의 2개의 층을 사용하여 반도체층(742)이 형성된다; 따라서, 생산성이 향상된 트랜지스터를 제조할 수 있다. 반도체층(742c)이 제공되지 않기 때문에, 2개의 반도체층을 포함하는 트랜지스터는 트랩 준위(890)의 영향을 받기 쉽지만, 반도체층(742)으로서 하나의 반도체층을 포함하는 트랜지스터보다 전계 효과 이동도를 높일 수

있다.

- [0511] 본 발명의 일 형태에 따르면, 전기 특성의 편차가 작은 트랜지스터를 제공할 수 있다. 따라서, 전기 특성의 편차가 작은 반도체 장치를 제공할 수 있다. 본 발명의 일 형태에 따르면, 신뢰성이 높은 트랜지스터를 제공할 수 있다. 따라서, 신뢰성이 높은 반도체 장치를 제공할 수 있다.
- [0512] 산화물 반도체는 에너지 갭이 3.0eV 이상으로 넓고 가시광에 대한 투과율이 높다. 적절한 조건하에서 산화물 반도체를 가공함으로써 얻어진 트랜지스터에서는, 주위의 온도(예를 들어, 25℃)에서의 오프 상태 전류를 100zA(1×10^{-19} A) 이하, 10zA(1×10^{-20} A) 이하, 더 1zA(1×10^{-21} A)로 할 수 있다. 그러므로, 소비전력이 낮은 반도체 장치를 실현할 수 있다.
- [0513] 본 발명의 일 형태에 따르면, 소비전력이 낮은 트랜지스터를 제공할 수 있다. 따라서, 소비전력이 낮은 표시 장치 등의 표시 소자 또는 반도체 장치를 제공할 수 있다. 또한, 신뢰성이 높은 표시 장치 등의 표시 소자 또는 반도체 장치를 제공할 수 있다.
- [0514] 도 84의 (A) 내지 도 84의 (C)에 도시된 트랜지스터(850)에 대하여 다시 설명한다. 절연층(772)의 돌출 위에 반도체층(742b)이 제공되면, 반도체층(742b)의 측면을 전극(743)으로 덮을 수도 있다. 따라서, 트랜지스터(850)는 반도체층(742b)을 전극(743)의 전계에 의하여 전기적으로 둘러쌀 수 있는 구조를 갖는다. 이와 같이, 채널이 형성되는 반도체층이 도전막의 전계에 의하여 전기적으로 둘러싸이는 구조를 s-channel(surrounded channel) 구조라고 부른다. s-channel 구조를 갖는 트랜지스터를 s-channel 트랜지스터라고 한다.
- [0515] s-channel 구조에서는, 반도체층(742b) 전체(벌크)에 채널을 형성할 수 있다. s-channel 구조에서는, 트랜지스터의 드레인 전류를 증가시킬 수 있어, 더 다량의 온 상태 전류를 얻을 수 있다. 또한, 전극(743)의 전계에 의하여, 반도체층(742b)의 채널 형성 영역 전체를 공핍화할 수 있다. 따라서, s-channel 구조를 갖는 트랜지스터의 오프 상태 전류를 더 저감할 수 있다.
- [0516] 절연층(772)의 돌출의 높이가 높아지고 채널 폭이 좁아지면, 온 상태 전류를 높이고 오프 상태 전류를 저감하는 s-channel 구조의 효과를 높일 수 있다. 반도체층(742b)을 형성할 때에 노출되는 반도체층(742a)의 일부를 제거하여도 좋다. 그 경우, 반도체층(742a) 및 반도체층(742b)의 측면이 서로 일치하는 경우가 있다.
- [0517] 도 86의 (A) 내지 도 86의 (C)에 도시된 트랜지스터(851)와 같이, 절연층을 개재하여 반도체층(742) 아래에 전극(723)을 제공하여도 좋다. 도 86의 (A)는 트랜지스터(851)의 상면도이다. 도 86의 (B)는 도 86의 (A)에서의 일점쇄선(X1-X2)을 따라 자른 단면도이다. 도 86의 (C)는 도 86의 (A)에서의 일점쇄선(Y1-Y2)을 따라 자른 단면도이다.
- [0518] 도 87의 (A) 내지 도 87의 (C)에 도시된 트랜지스터(852)와 같이, 절연층(775)을 전극(743) 위에 제공하여도 좋고, 층(725)을 절연층(775) 위에 제공하여도 좋다. 도 87의 (A)는 트랜지스터(852)의 상면도이다. 도 87의 (B)는 도 87의 (A)에서의 일점쇄선(X1-X2)을 따라 자른 단면도이다. 도 87의 (C)는 도 87의 (A)에서의 일점쇄선(Y1-Y2)을 따라 자른 단면도이다.
- [0519] 도 87의 (A) 내지 도 87의 (C)에서는, 층(725)이 절연층(775) 위에 제공되지만, 층(725)을 절연층(728) 또는 절연층(729) 위에 제공하여도 좋다. 차광성을 갖는 재료를 사용하여 형성되는 층(725)은 광의 조사에 의하여 일어나는 트랜지스터의 특성에서의 편차 또는 신뢰성의 저하 등을 방지할 수 있다. 층(725)이 적어도 반도체층(742b)보다 크게 형성되어 반도체층(742b)이 층(725)으로 덮이면, 상기 효과를 높일 수 있다. 유기 재료, 무기 재료, 또는 금속 재료를 사용하여 층(725)을 형성할 수 있다. 층(725)이 도전 재료를 사용하여 형성되는 경우, 전압을 층(725)에 공급할 수 있거나, 또는 층(725)을 전기적으로 부유 상태로 하여도 좋다.
- [0520] 도 88의 (A) 내지 도 88의 (C)는 s-channel 구조를 갖는 트랜지스터의 예를 도시한 것이다. 도 88의 (A) 내지 도 88의 (C)에 도시된 트랜지스터(848)는 트랜지스터(847)와 거의 동일한 구조를 갖는다. 트랜지스터(848)에서는, 반도체층(742)이 절연층(772)의 돌출 위에 형성된다. 트랜지스터(848)는 백 게이트 전극을 포함하는 틱 게이트 트랜지스터의 일종이다. 도 88의 (A)는 트랜지스터(848)의 상면도이다. 도 88의 (B)는 도 88의 (A)에서의 일점쇄선(X1-X2)을 따라 자른 단면도이다. 도 88의 (C)는 도 88의 (A)에서의 일점쇄선(Y1-Y2)을 따라 자른 단면도이다.
- [0521] 절연층(729) 위에 제공된 전극(744a)은 절연층(726), 절연층(728), 및 절연층(729)에 형성된 개구(747c)를 통하여 반도체층(742)과 전기적으로 접속된다. 절연층(729) 위에 제공된 전극(744b)은 절연층(726), 절연층(728), 및 절연층(729)에 형성된 개구(747d)를 통하여 반도체층(742)과 전기적으로 접속된다.

- [0522] 절연층(726) 위에 제공된 전극(743)은 절연층(726) 및 절연층(772)에 형성된 개구(747a) 및 개구(747b)를 통하여 전극(723)과 전기적으로 접속된다. 따라서, 동일한 전위가 전극(746) 및 전극(723)에 공급된다. 또한, 개구(747a) 및 개구(747b) 중 어느 한쪽 또는 양쪽을 생략하여도 좋다. 개구(747a) 및 개구(747b)가 양쪽 생략되는 경우, 전극(723) 및 전극(746)에 상이한 전위를 공급할 수 있다.
- [0523] 또한, s-channel 구조를 갖는 트랜지스터의 반도체층은 산화물 반도체를 포함하는 것에 한정되지 않는다.
- [0524] 본 실시형태를, 다른 실시형태에서 설명하는 구조 중 어느 구조와 적절히 조합하여 실행할 수 있다.
- [0525] (실시형태 4)
- [0526] 본 실시형태에서는, 본 발명의 일 형태에 따른 표시 장치 또는 터치 패널을 포함하는 표시 모듈 및 전자 기기에 대하여, 도 90, 도 91의 (A) 내지 도 91의 (H), 및 도 92의 (A) 및 도 92의 (B)를 참조하여 설명하겠다.
- [0527] 도 90에 도시된 표시 모듈(8000)에서는, 상부 커버(8001)와 하부 커버(8002) 사이에, FPC(8003)와 접속된 터치 패널(8004), 프레임(8009), 인쇄 기관(8010), 및 배터리(8011)가 제공된다.
- [0528] 본 발명의 일 형태에 따른 터치 패널을, 예를 들어, 터치 패널(8004)에 사용할 수 있다.
- [0529] 상부 커버(8001) 및 하부 커버(8002)의 형상 및 사이즈를 터치 패널(8004)의 사이즈에 따라 적절히 변경할 수 있다.
- [0530] 터치 패널(8004)을 저항성 터치 패널 또는 정전 용량 터치 패널로 할 수 있고 표시 패널과 중첩되도록 형성하여도 좋다. 터치 패널(8004)의 대향 기관(밀봉 기관)은 터치 패널 기능을 가질 수 있다. 터치 패널(8004)의 각 화소에 광 센서를 제공하여 광학식 터치 패널을 얻을 수 있다.
- [0531] 투과형 액정 소자의 경우, 도 90에 도시된 바와 같이, 백라이트(8007)를 제공하여도 좋다. 백라이트(8007)는 광원(8008)을 포함한다. 또한, 백라이트(8007) 위에 광원(8008)이 제공되는 구조를 도 90에 도시하였지만, 본 발명의 일 형태는 이 구조에 한정되지 않는다. 예를 들어, 백라이트(8007)의 단부에 광원(8008)이 제공되고 광 확산판이 더 제공되는 구조를 채용하여도 좋다. 또한, 유기 EL 소자 등의 자발광형 발광 소자가 사용되는 경우, 또는 반사 패널 등이 채용되는 경우에는, 백라이트(8007)를 제공할 필요는 없다.
- [0532] 프레임(8009)은 터치 패널(8004)을 보호하고 인쇄 기관(8010)의 동작에 의하여 발생하는 전자기파를 차단하기 위한 전자기 실드로서 기능한다. 프레임(8009)은 방열판으로서 기능할 수도 있다.
- [0533] 인쇄 기관(8010)에는 전원 회로, 및 비디오 신호 및 클럭 신호를 출력하기 위한 신호 처리 회로가 제공된다. 전원 회로에 전력을 공급하기 위한 전원으로서, 외부 상용 전원 또는 별도로 제공된 배터리(8011)를 사용하는 전원을 사용하여도 좋다. 상용 전원을 사용하는 경우에는 배터리(8011)를 생략할 수 있다.
- [0534] 터치 패널(8004)에는 편광판, 위상차판, 또는 프리즘 시트 등의 부품을 추가적으로 제공할 수 있다.
- [0535] 도 91의 (A) 내지 도 91의 (H), 및 도 92의 (A) 및 도 92의 (B)는 전자 기기를 도시한 것이다. 이들 전자 기기는 각각 하우징(5000), 표시부(5001), 스피커(5003), LED 램프(5004), 조작 키(5005)(전원 스위치 또는 조작 스위치를 포함), 접속 단자(5006), 센서(5007)(힘, 변위, 위치, 속도, 가속도, 각속도, 회전수, 거리, 광, 액체, 자기, 온도, 화학 물질, 음성, 시간, 경도, 전계, 전류, 전압, 전력, 방사선, 유량, 습도, 경사도, 진동, 냄새, 또는 적외선을 측정하는 기능을 갖는 센서), 및 마이크로폰(5008) 등을 포함할 수 있다.
- [0536] 도 91의 (A)는 상기 구성 요소에 더하여, 스위치(5009) 및 적외선 포트(5010) 등을 포함할 수 있는 모바일 컴퓨터를 도시한 것이다. 도 91의 (B)는 상기 구성 요소에 더하여, 제 2 표시부(5002) 및 기록 매체 판독부(5011) 등을 포함할 수 있는, 기록 매체가 제공된 휴대 화상 재생 장치(예를 들어, DVD 재생 장치)를 도시한 것이다. 도 91의 (C)는 상기 구성 요소에 더하여, 스탠드(5012) 등을 포함할 수 있는 텔레비전 장치를 도시한 것이다. 하우징(5000)의 조작 스위치 또는 별도의 리모트 컨트롤러(5013)에 의하여 텔레비전 장치를 조작할 수 있다. 리모트 컨트롤러(5013)의 조작 키에 의하여, 채널 및 음량을 제어할 수 있고, 표시부(5001)에 표시되는 화상을 제어할 수 있다. 리모트 컨트롤러(5013)에 리모트 컨트롤러(5013)로부터 출력되는 데이터를 표시하기 위한 표시부를 제공하여도 좋다. 도 91의 (D)는 상기 구성 요소에 더하여, 기록 매체 판독부(5011) 등을 포함할 수 있는 휴대 게임기를 도시한 것이다. 도 91의 (E)는 텔레비전 수신 기능을 가지며, 상기 구성 요소에 더하여, 안테나(5014), 셔터 버튼(5015), 및 화상 수신부(5016) 등을 포함할 수 있는 디지털 카메라를 도시한 것이다. 도 91의 (F)는 상기 구성 요소에 더하여, 제 2 표시부(5002) 및 기록 매체 판독부(5011) 등을 포함할 수 있는 휴대 게임기를 도시한 것이다. 도 91의 (G)는 상기 구성 요소에 더하여, 신호를 송신 및 수신할 수 있는 충전기

(5017) 등을 포함할 수 있는 휴대 텔레비전 수신기를 도시한 것이다. 도 91의 (H)는 상기 구성 요소에 더하여, 밴드(5018) 및 버클(5019) 등을 포함할 수 있는 손목시계형 정보 단말을 도시한 것이다. 베젤로서도 기능하는 하우스(5000)에 장착된 표시부(5001)는 비직사각형의 표시 영역을 포함한다. 표시부(5001)는 시각을 가리키는 아이콘(5020) 및 다른 아이콘(5021) 등을 표시할 수 있다. 도 92의 (A)는 디지털 사이니지를 도시한 것이다. 도 92의 (B)는 원주 형상의 기둥에 장착된 디지털 사이니지를 도시한 것이다.

[0537] 도 91의 (A) 내지 도 91의 (H), 및 도 92의 (A) 및 도 92의 (B)에 도시된 전자 기기는 예를 들어, 다양한 정보 (예를 들어, 정지 화상, 동영상, 및 텍스트 화상)를 표시부에 표시하는 기능, 터치 패널 기능, 달력, 날짜, 및 시각 등을 표시하는 기능, 다양한 소프트웨어(프로그램)로 처리를 제어하는 기능, 무선 통신 기능, 무선 통신 기능으로 다양한 컴퓨터 네트워크에 접속되는 기능, 무선 통신 기능으로 다양한 데이터를 송신 및 수신하는 기능, 및 기록 매체에 저장된 프로그램 또는 데이터를 판독하고 표시부에 그 프로그램 또는 데이터를 표시하는 기능의 다양한 기능을 가질 수 있다. 또한, 복수의 표시부를 포함하는 전자 기기는, 하나의 표시부에 주로 화상 정보를 표시하면서 다른 표시부에 주로 텍스트 정보를 표시하는 기능, 또는 복수의 표시부에 시차가 고려된 화상을 표시함으로써 입체적인 화상을 표시하는 기능 등을 가질 수 있다. 또한, 화상 수신부를 포함하는 전자 기기는 정지 화상을 촬영하는 기능, 동영상을 촬영하는 기능, 촬영된 화상을 자동으로 또는 수동으로 보정하는 기능, 기록 매체(외부 기록 매체 또는 카메라에 내장된 기록 매체)에 촬영된 화상을 저장하는 기능, 또는 표시부에 촬영된 화상을 표시하는 기능 등을 가질 수 있다. 또한, 도 91의 (A) 내지 도 91의 (H), 및 도 92의 (A) 및 도 92의 (B)에 도시된 전자 기기의 기능은 이들에 한정되지 않고, 전자 기기는 다양한 기능을 가질 수 있다.

[0538] 본 실시형태의 전자 기기는 각각 여러 종류의 정보를 표시하기 위한 표시부를 포함한다. 본 발명의 일 형태에 따른 터치 패널을 표시부에 사용할 수 있다.

[0539] 본 실시형태의 적어도 일부를, 본 명세서에서 설명한 다른 실시형태 중 어느 실시형태와 적절히 조합하여 실행할 수 있다.

부호의 설명

[0540] 10: 터치 패널, 11: 기관, 12: 기관, 13: FPC, 14: 도전층, 15: 접속층, 20: 액정 소자, 21: 도전층, 22: 도전층, 23: 액정, 31: 착색층, 41: 도전층, 41a: 도전층, 41b: 도전층, 51: 화소 전극, 52: 공통 전극, 55: 센서 전극, 56: 센서 전극, 57: 배선, 61: 배선, 62: 배선, 63: 트랜지스터, 64: 액정 소자, 65_1: 블록, 65_2: 블록, 66: 배선, 71: 배선, 71_1: 배선, 71_2: 배선, 72: 배선, 72_1: 배선, 72_2: 배선, 81: 소스선, 82: 소스선, 83: 소스선, 84: 소스선, 85: 게이트선, 86: 게이트선, 87: 게이트선, 88: 게이트선, 100: 표시 장치, 151: 접속층, 201: 트랜지스터, 202: 발광 소자, 203: 트랜지스터, 206: 접속부, 207: 도전층, 208: 액정 소자, 209: 접속층, 211: 절연층, 212: 절연층, 213: 절연층, 214: 절연층, 215: 절연층, 216: 스페이서, 217: 절연층, 231: 착색층, 232: 차광층, 251: 도전층, 252: 도전층, 253: 액정, 254: 절연층, 255: 절연층, 262: 영역, 263: 영역, 281: 게이트 전극, 282: 게이트 전극, 283: 게이트 전극, 284: 게이트 전극, 285: 드레인 전극, 310: 터치 패널, 311: 도전층, 321: 도전층, 322: EL층, 323: 도전층, 324: 광학 조정층, 331: 도전층, 332: 도전층, 335: 도전층, 341: 도전층, 351: 도전층, 352: 도전층, 371: 기관, 372: 기관, 373: FPC, 373a: FPC, 373b: FPC, 374: IC, 381: 표시부, 382: 구동 회로, 383: 배선, 384: 구동 회로, 385: 접속부, 386: 접속체, 401: 도전층, 402: 도전층, 404: 도전층, 405: 도전층, 411a: 도전층, 411a_1: 도전층, 411aa: 도전층, 411b: 도전층, 411b_1: 도전층, 411bb: 도전층, 411c: 도전층, 412a: 도전층, 412aa: 도전층, 412b: 도전층, 412bb: 도전층, 412c: 도전층, 500A: 표시 장치, 500B: 표시 장치, 510: 화소부, 511: 화소, 520_1: 게이트 드라이버, 520_2: 게이트 드라이버, 530: 소스 드라이버, 531: TAB 테이프, 532_k: 소스 드라이버 IC, 532_1: 소스 드라이버 IC, 601: 펄스 전압 출력 회로, 602: 전류 검지 회로, 603: 용량 소자, 621: 전극, 622: 전극, 723: 전극, 724a: 전극, 724b: 전극, 725: 층, 726: 절연층, 727: 절연층, 728: 절연층, 729: 절연층, 741: 절연층, 742: 반도체층, 742a: 반도체층, 742b: 반도체층, 742c: 반도체층, 743: 전극, 744a: 전극, 744b: 전극, 746: 전극, 747a: 개구, 747b: 개구, 747c: 개구, 747d: 개구, 755: 불순물, 771: 기관, 772: 절연층, 775: 절연층, 810: 트랜지스터, 811: 트랜지스터, 820: 트랜지스터, 821: 트랜지스터, 822: 트랜지스터, 825: 트랜지스터, 830: 트랜지스터, 831: 트랜지스터, 834: 트랜지스터, 840: 트랜지스터, 841: 트랜지스터, 842: 트랜지스터, 843: 트랜지스터, 844: 트랜지스터, 845: 트랜지스터, 846: 트랜지스터, 847: 트랜지스터, 848: 트랜지스터, 850: 트랜지스터, 851: 트랜지스터, 852: 트랜지스터, 882: Ec, 883a: Ec, 883b: Ec, 883c: Ec, 886: Ec, 887: Ec, 890: 트랩 준위, 5000: 하우스, 5001: 표시부, 5002: 표시부, 5003: 스피커, 5004: LED 램프, 5005: 조작 키, 5006: 접속 단자, 5007: 센서, 5008: 마이크로폰, 5009: 스위치, 5010: 적외선 포트,

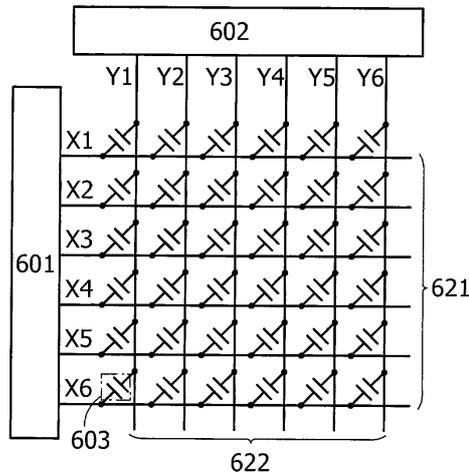
5011: 기록 매체 판독부, 5012: 스탠드, 5013: 리모트 컨트롤러, 5014: 안테나, 5015: 셔터 버튼, 5016: 화상 수신부, 5017: 충전기, 5018: 밴드, 5019: 버클, 5020: 아이콘, 5021: 아이콘, 8000: 표시 모듈, 8001: 상부 커버, 8002: 하부 커버, 8003: FPC, 8004: 터치 패널, 8006: 표시 패널, 8007: 백라이트, 8008: 광원, 8009: 프레임, 8010: 인쇄 기관, 8011: 배터리.

본 출원은 2015년 3월 27일에 일본 특허청에 출원된 일련 번호 2015-066887의 일본 특허 출원 및 2015년 4월 13일에 일본 특허청에 출원된 일련 번호 2015-081398의 일본 특허 출원에 기초하고, 본 명세서에 그 전문이 참조로 통합된다.

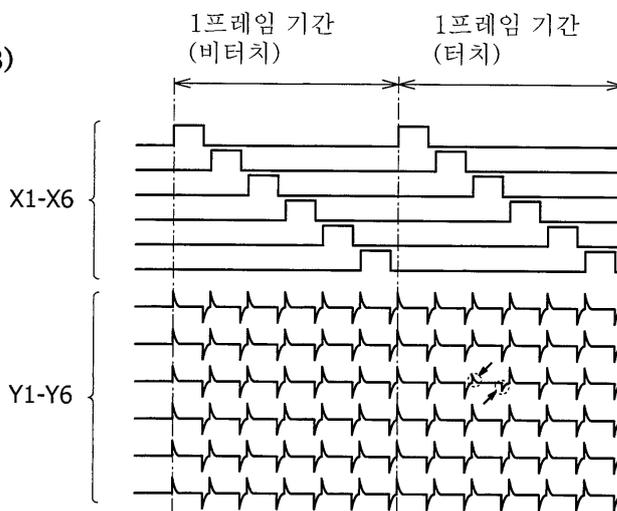
도면

도면1

(A)

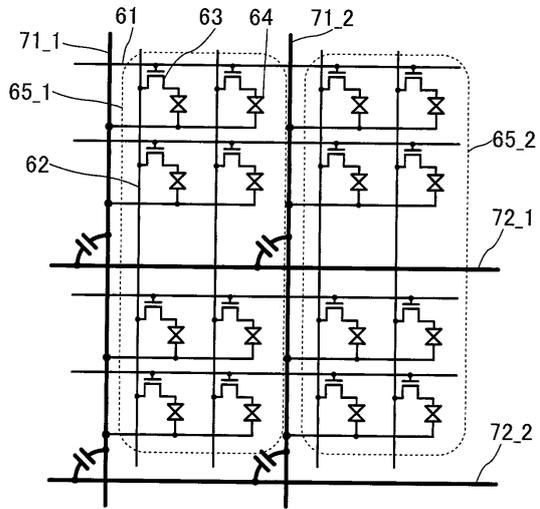


(B)

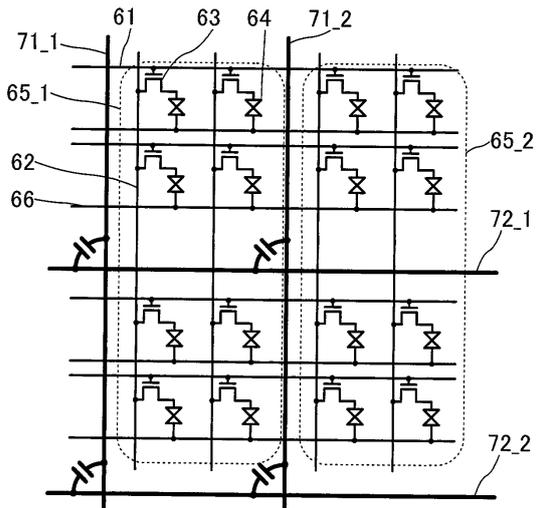


도면2

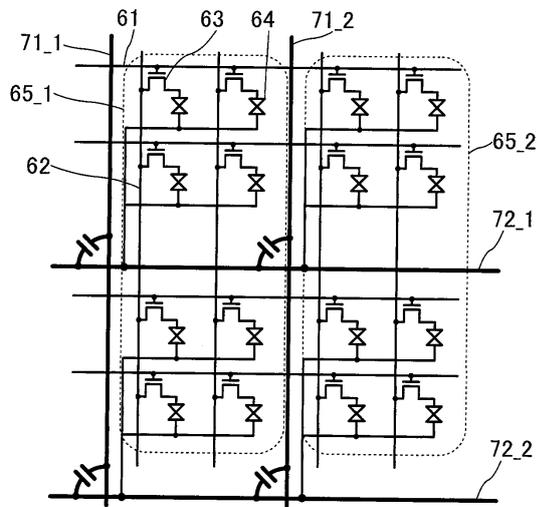
(A)



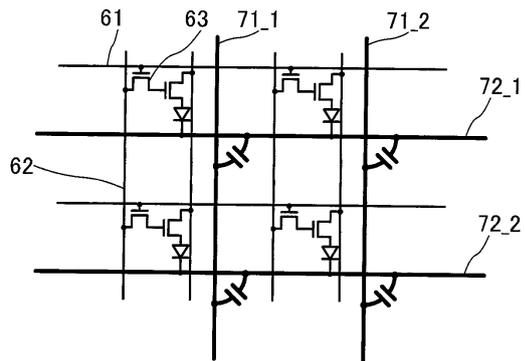
(B)



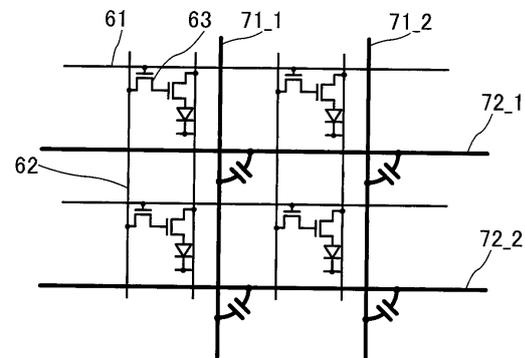
도면3



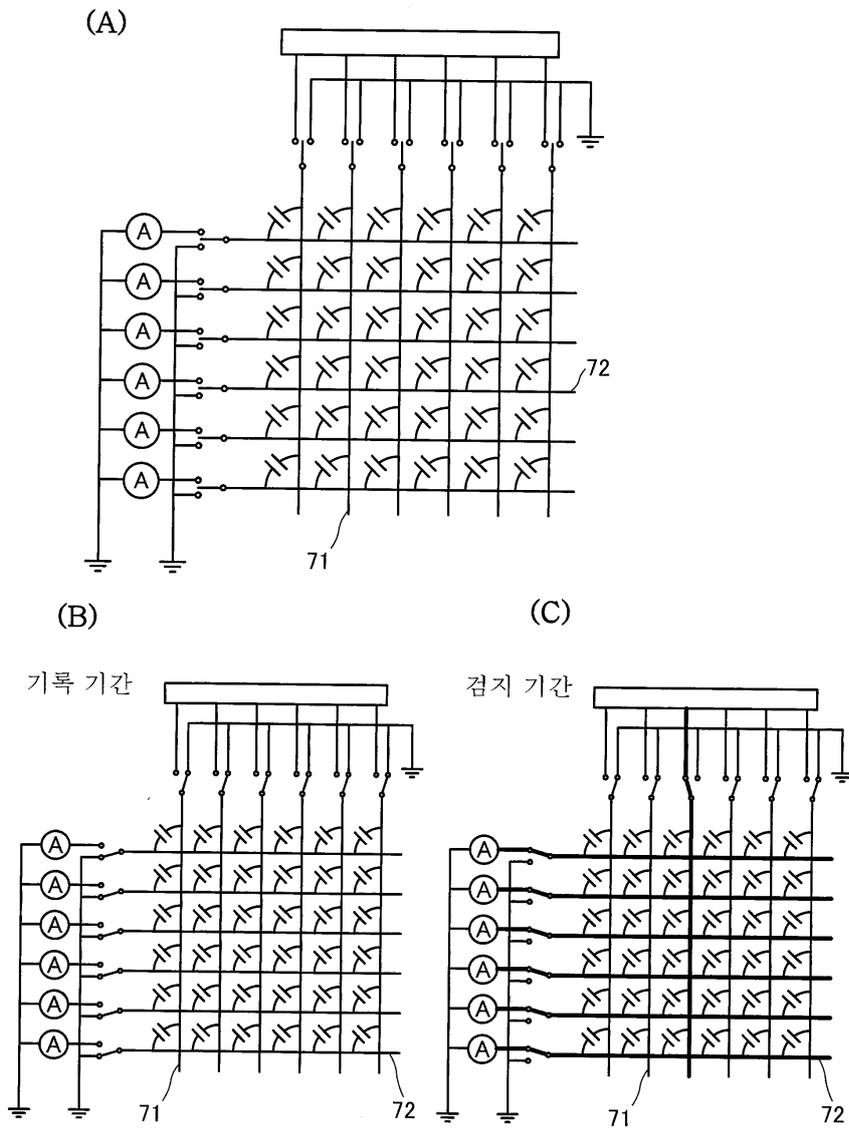
도면4



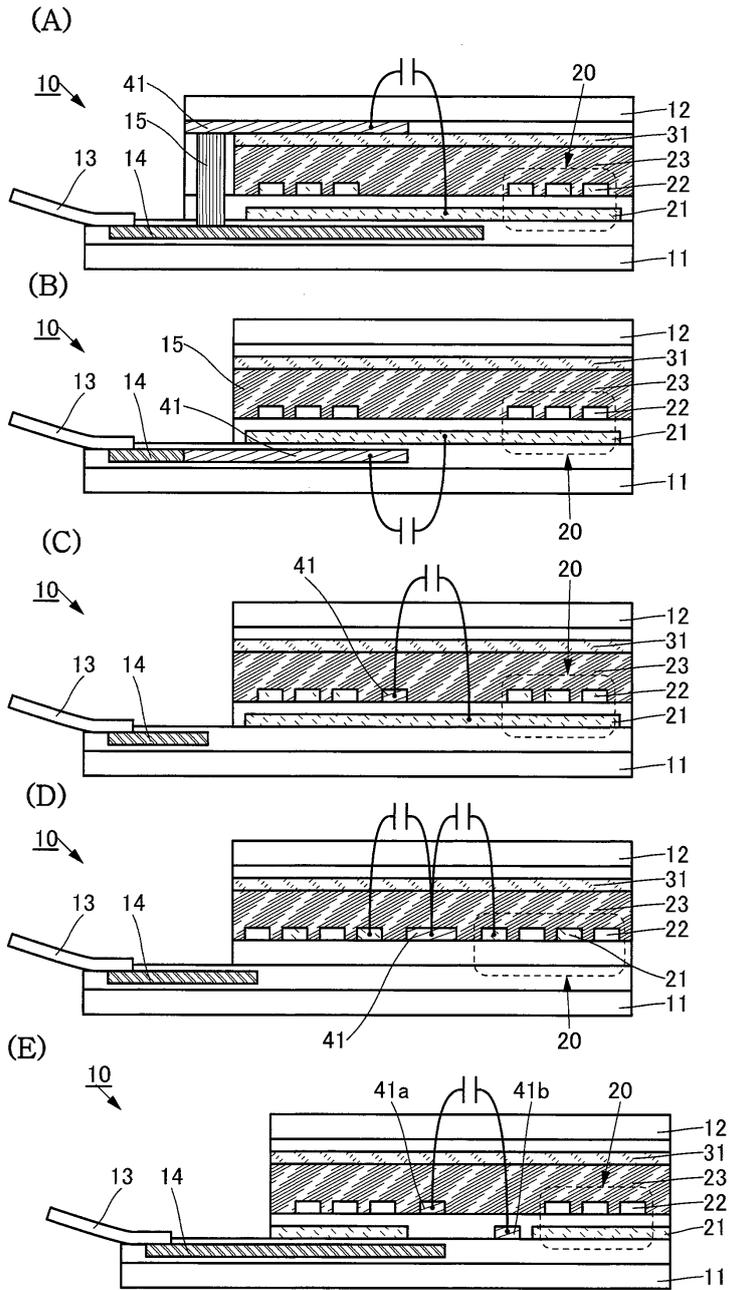
도면5



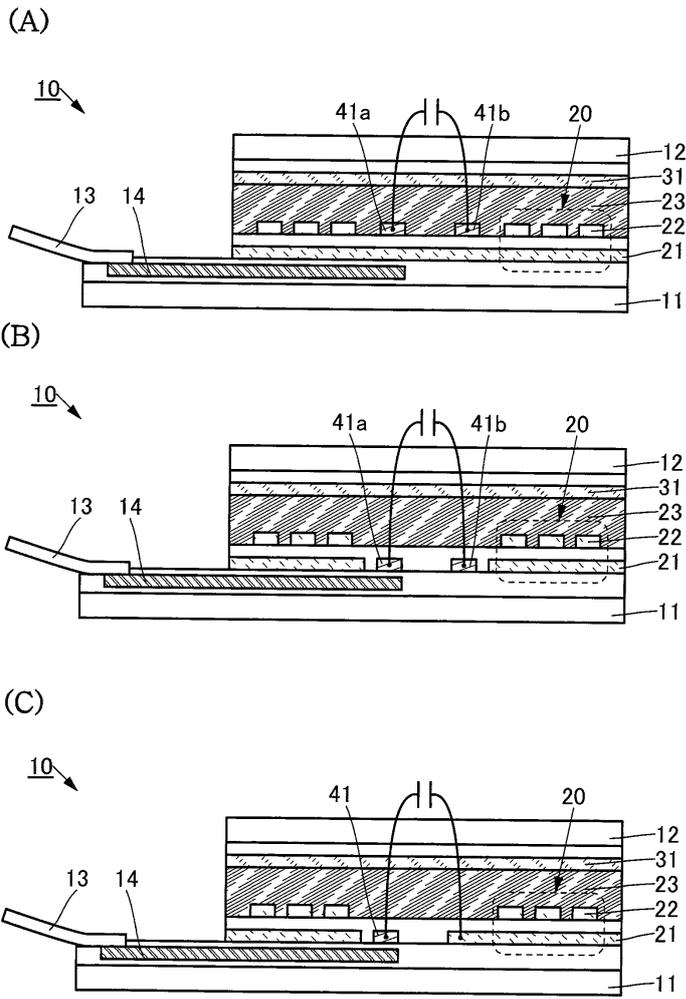
도면6



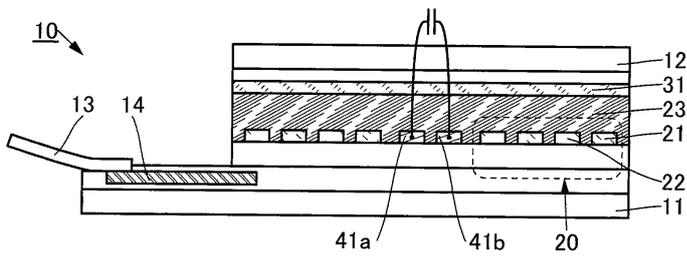
도면7



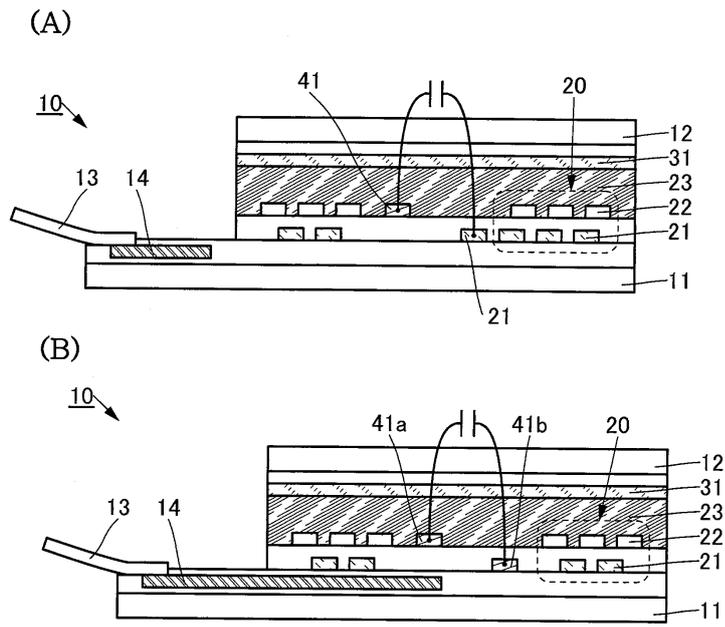
도면8



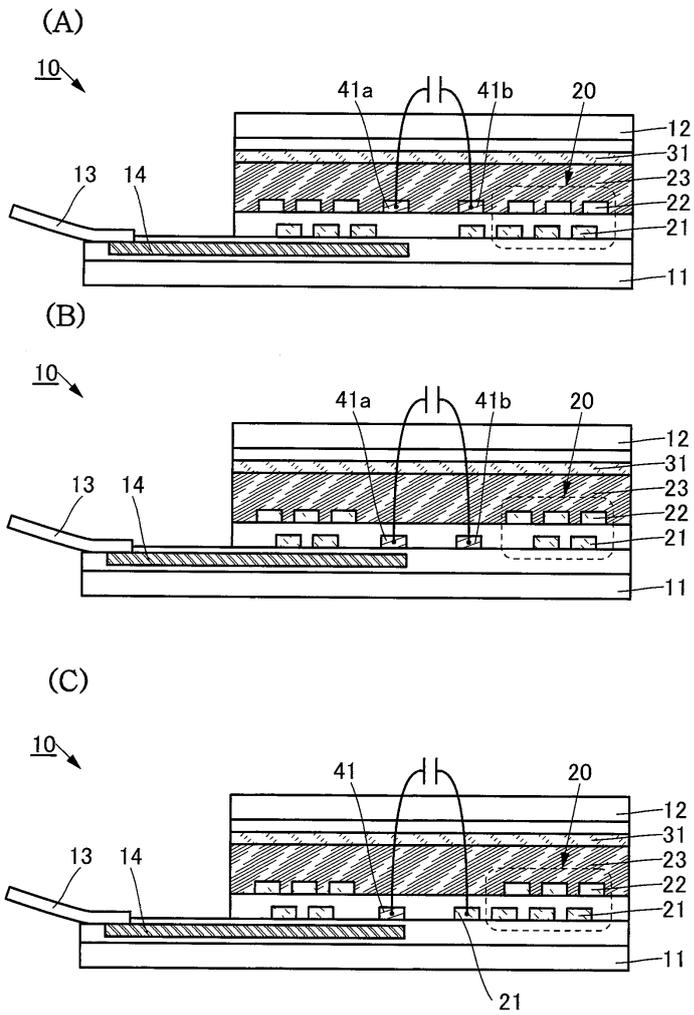
도면9



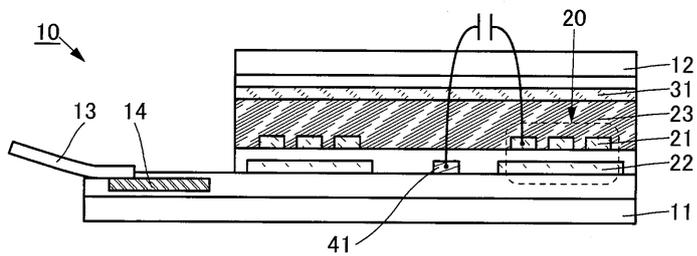
도면10



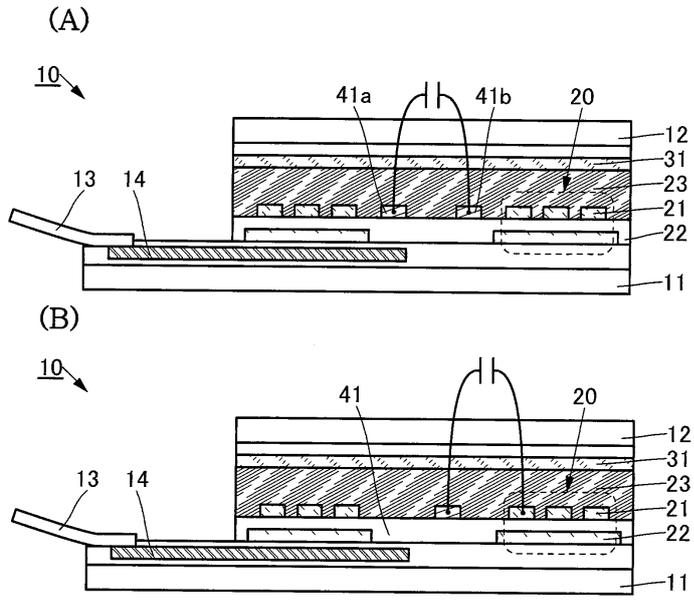
도면11



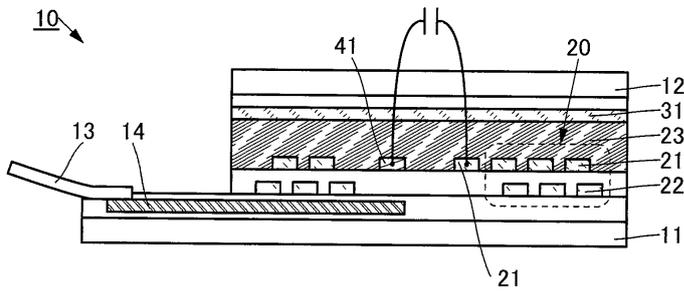
도면12



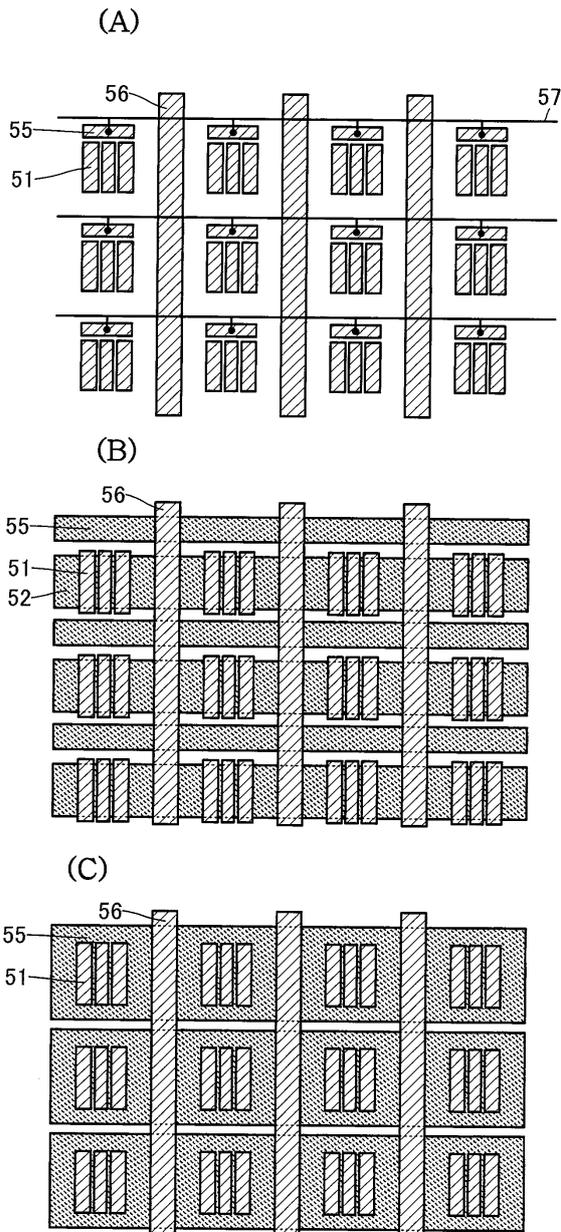
도면13



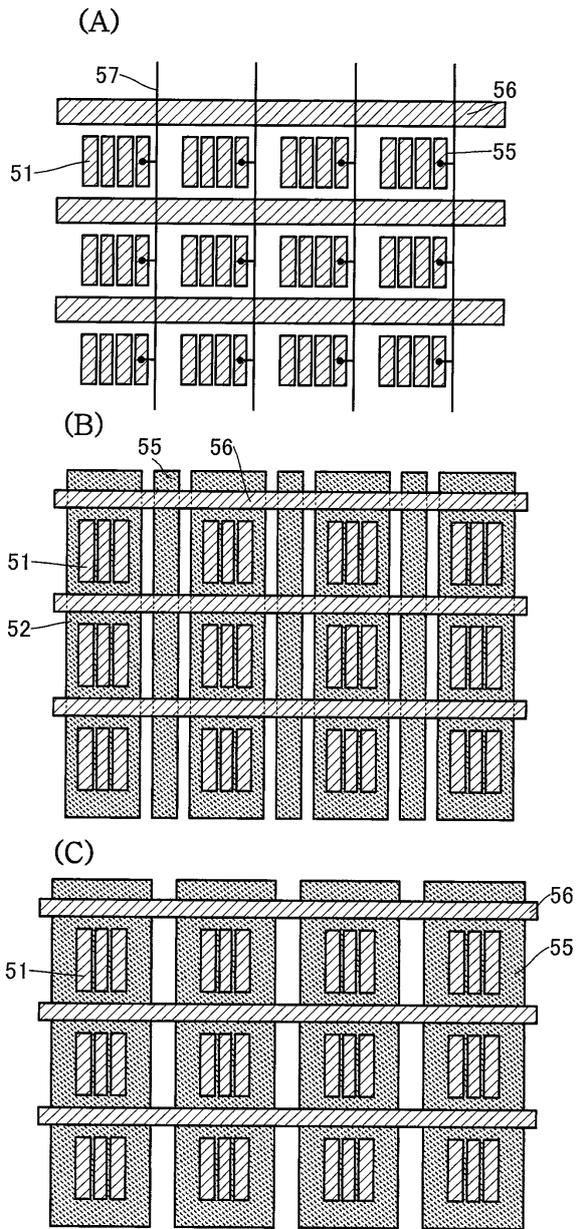
도면14



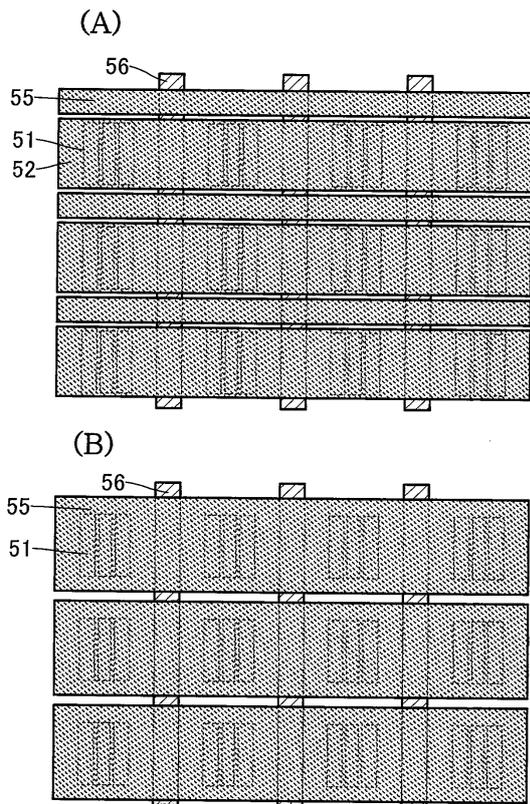
도면15



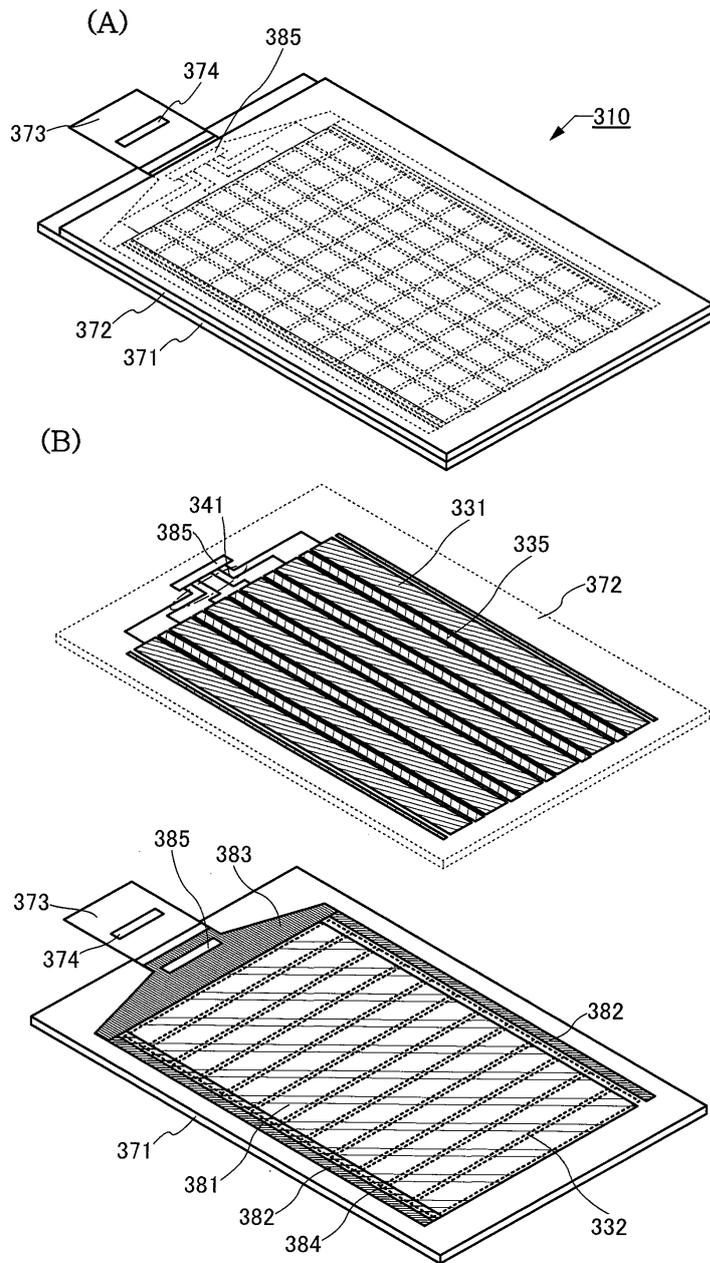
도면16



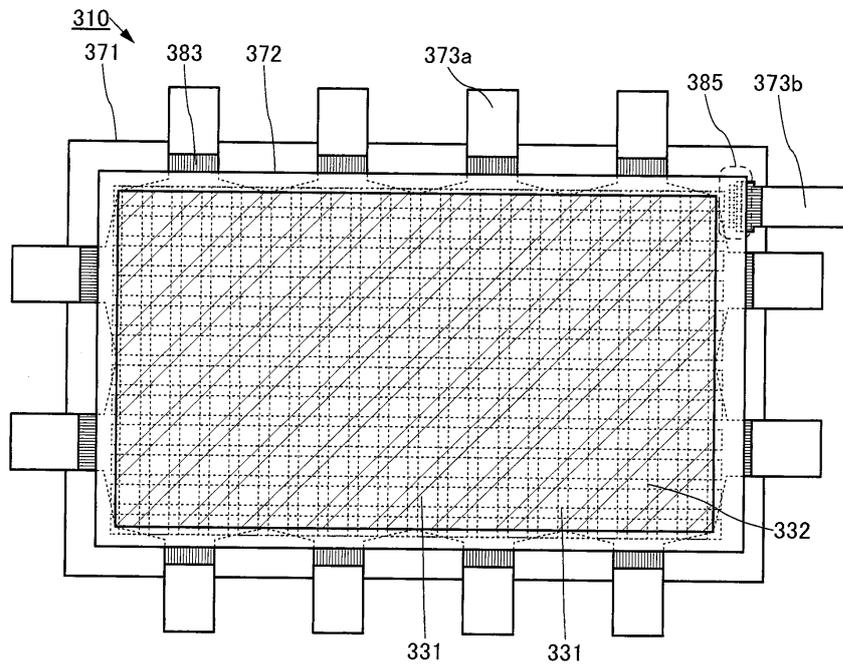
도면17



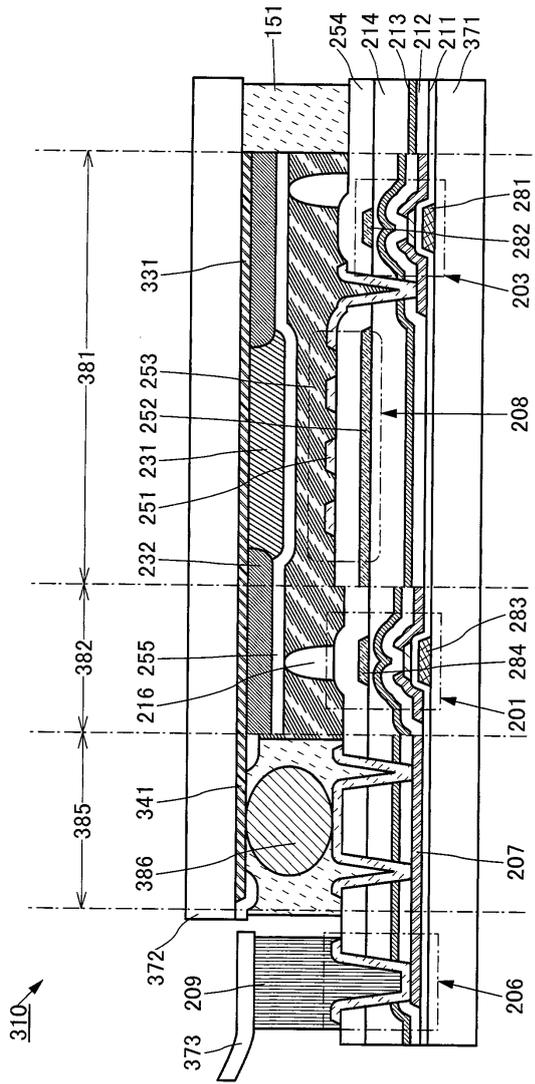
도면18



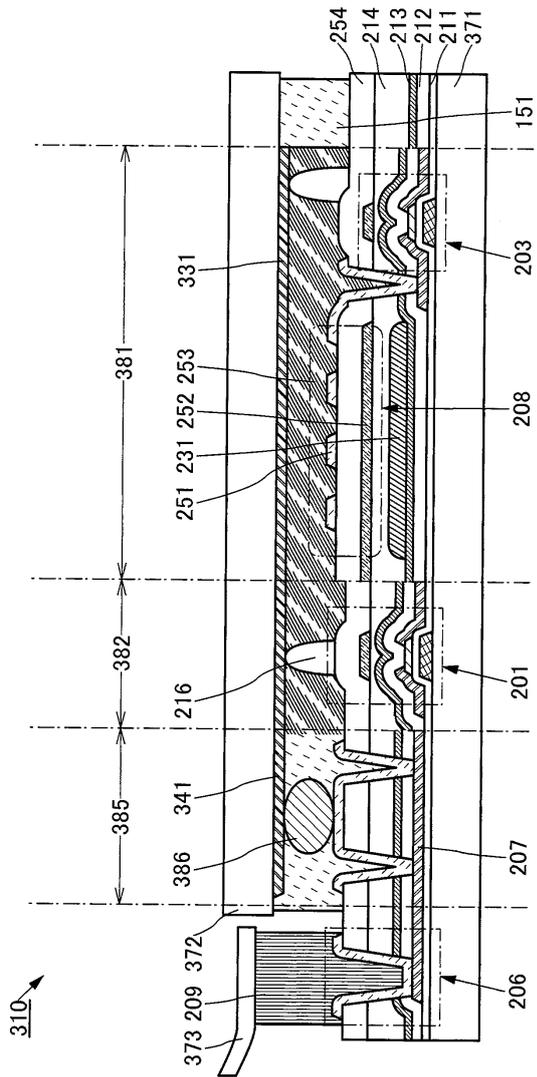
도면19



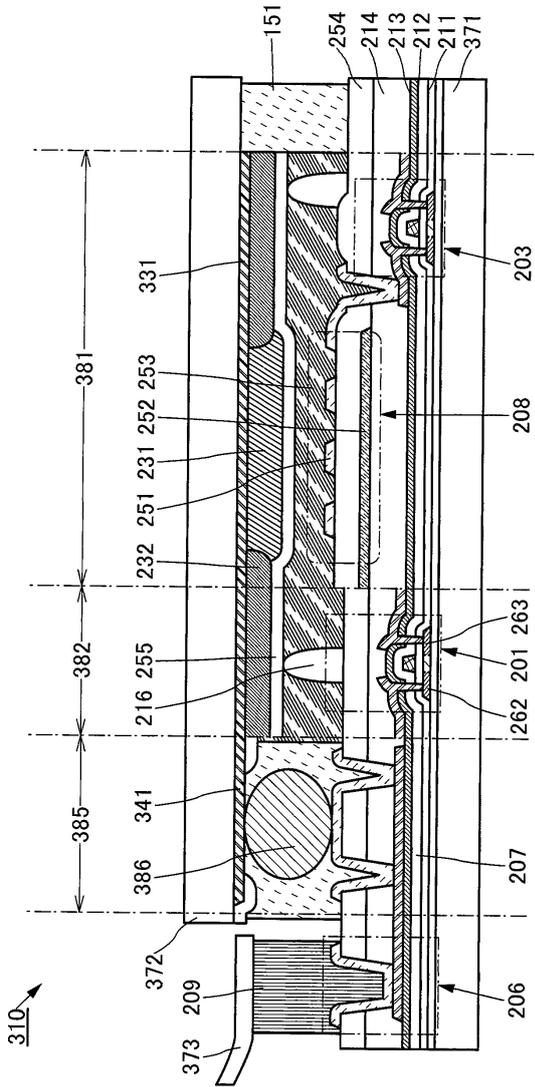
도면20



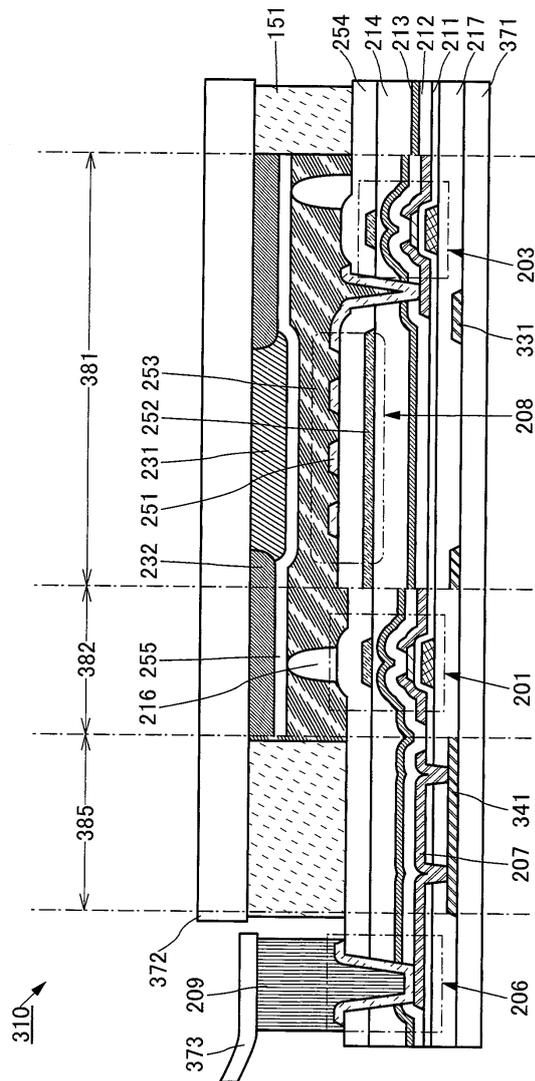
도면21



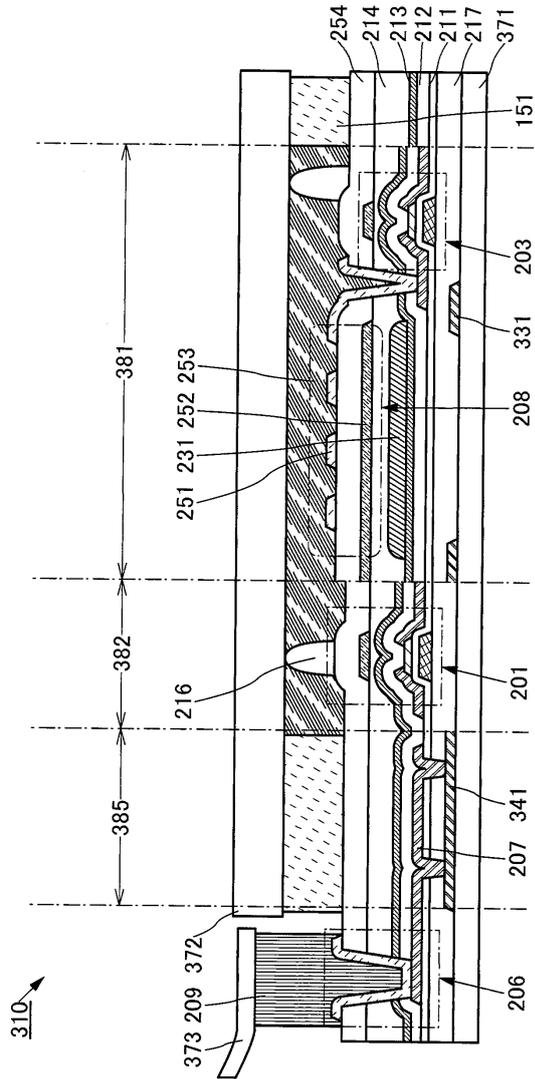
도면22



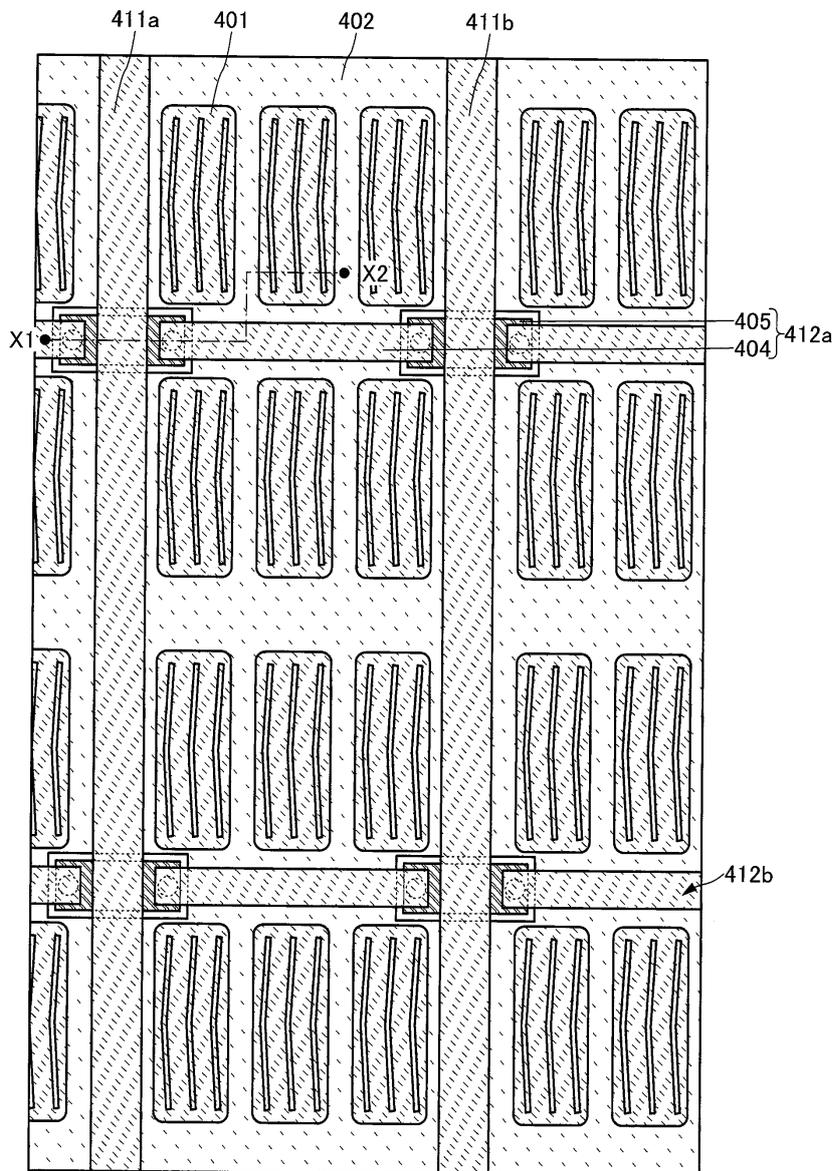
도면24



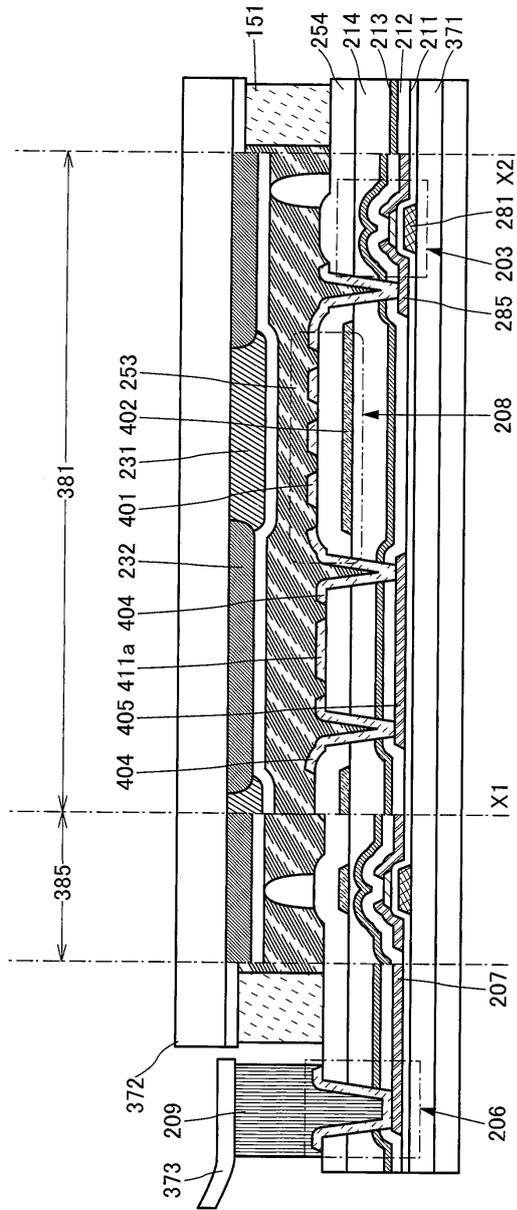
도면25



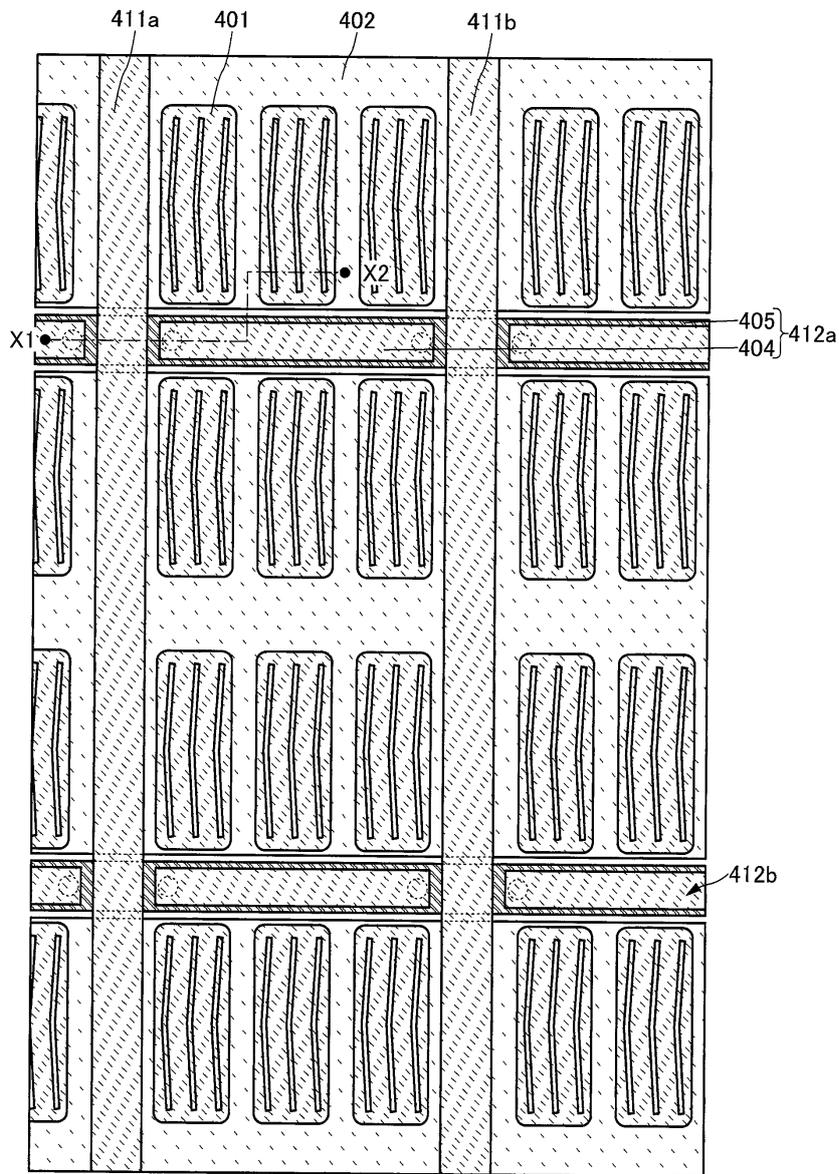
도면26



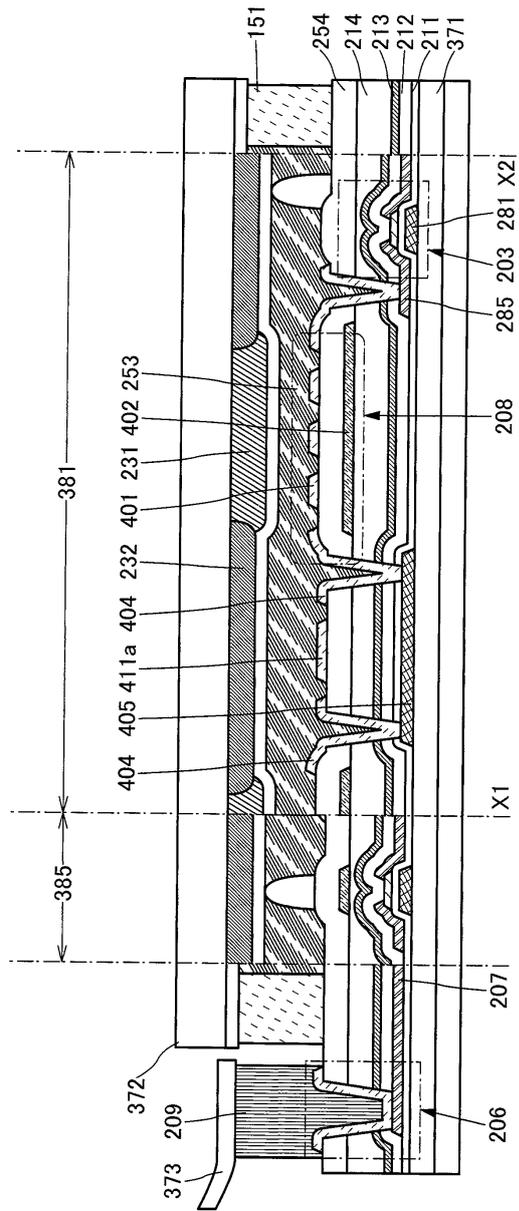
도면27



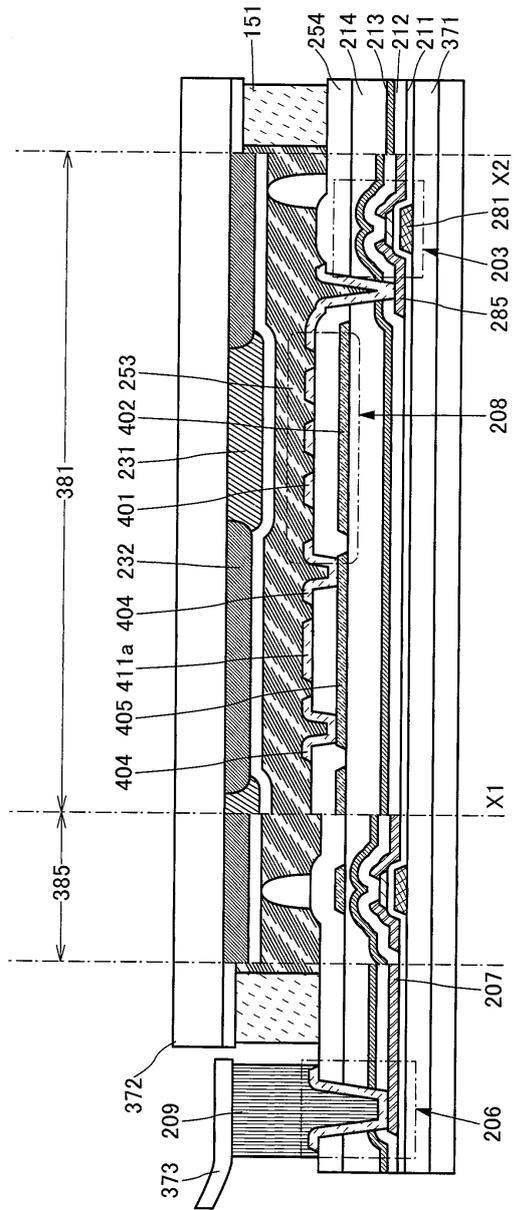
도면28



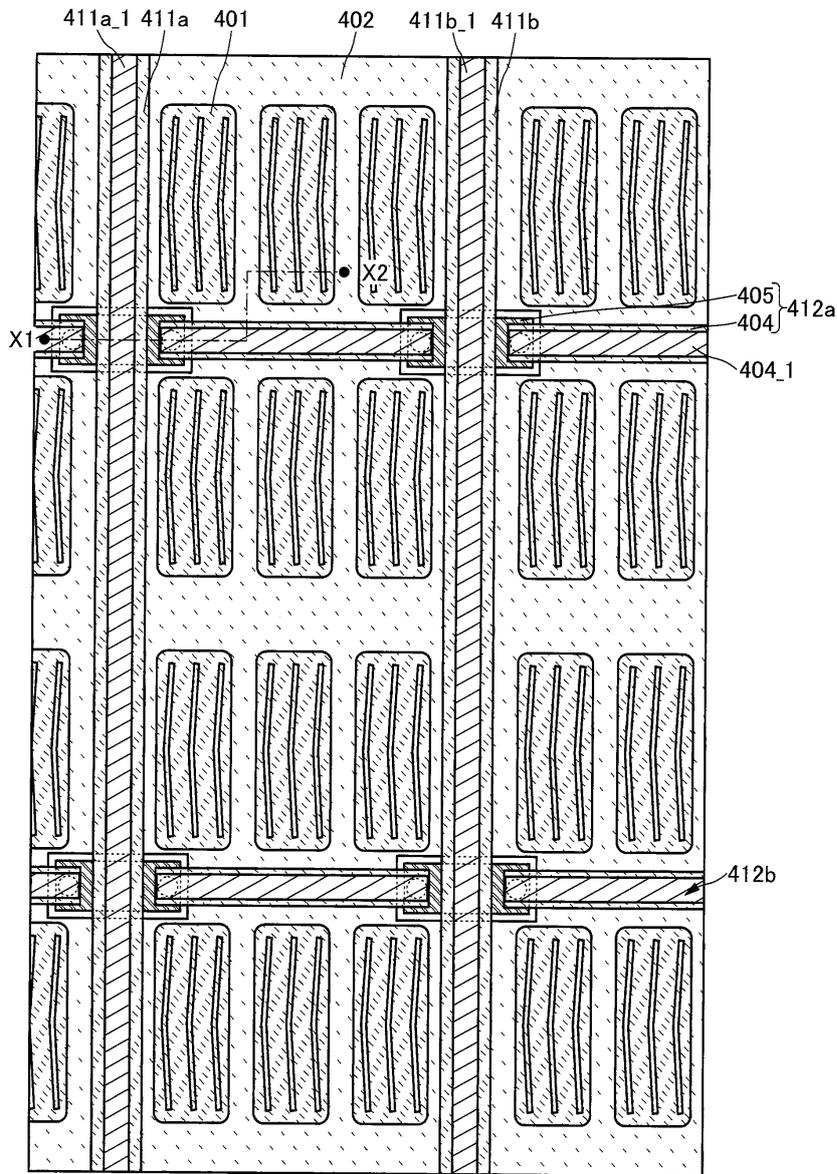
도면29



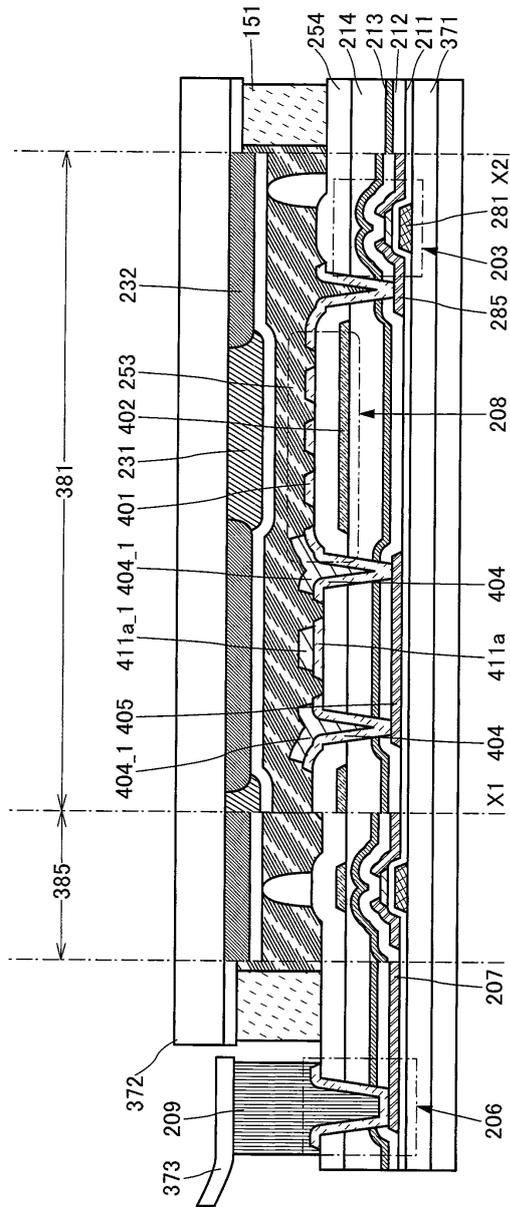
도면30



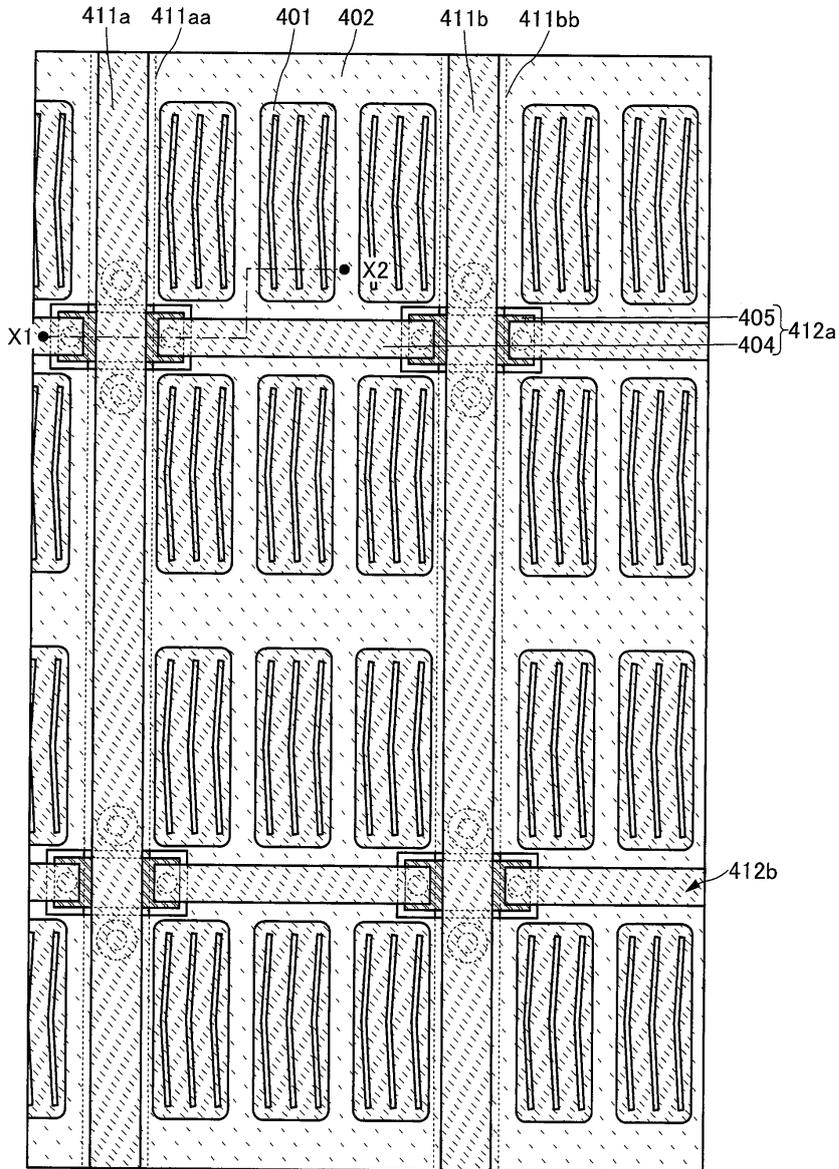
도면31



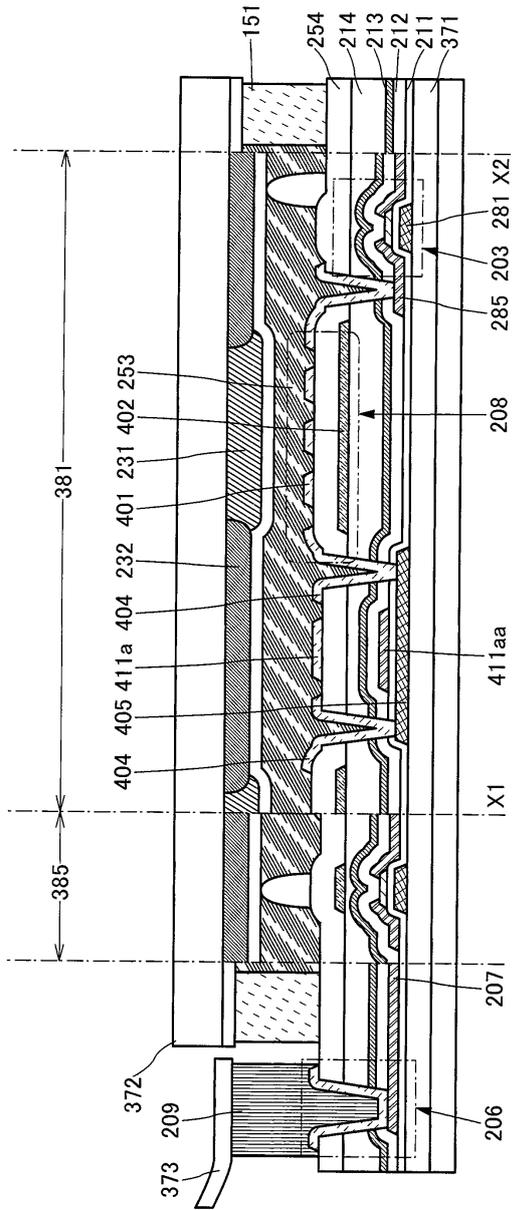
도면32



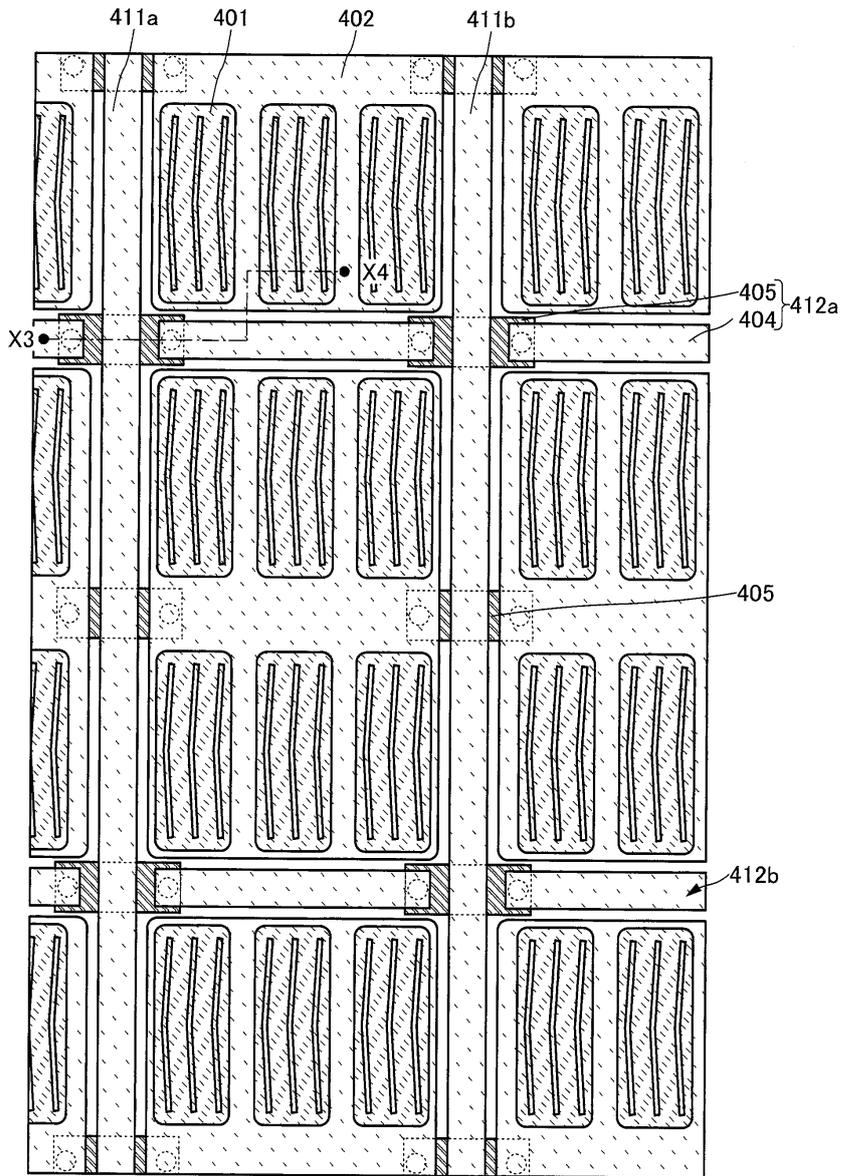
도면33



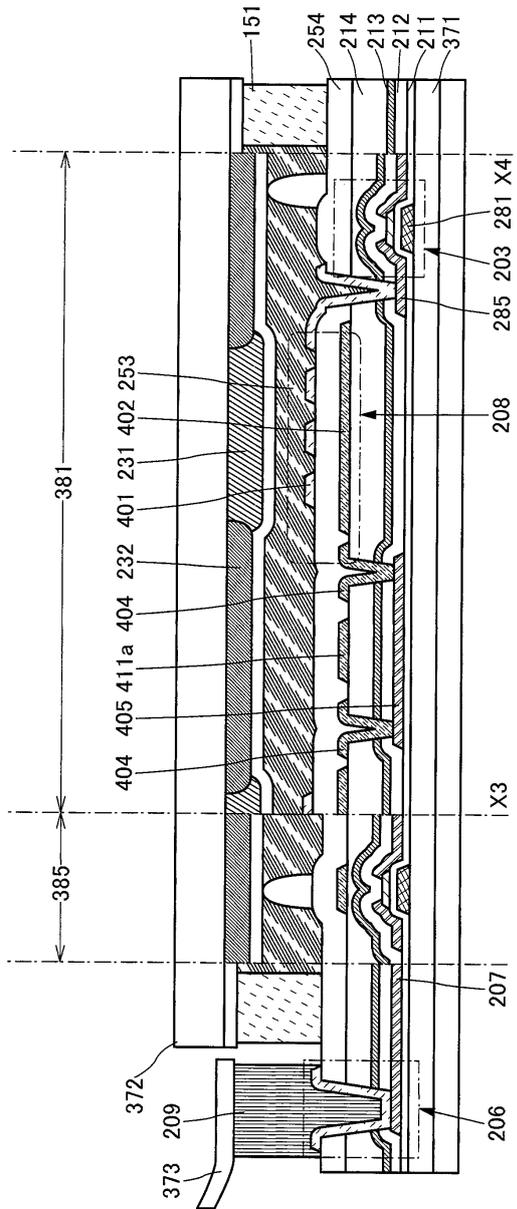
도면34



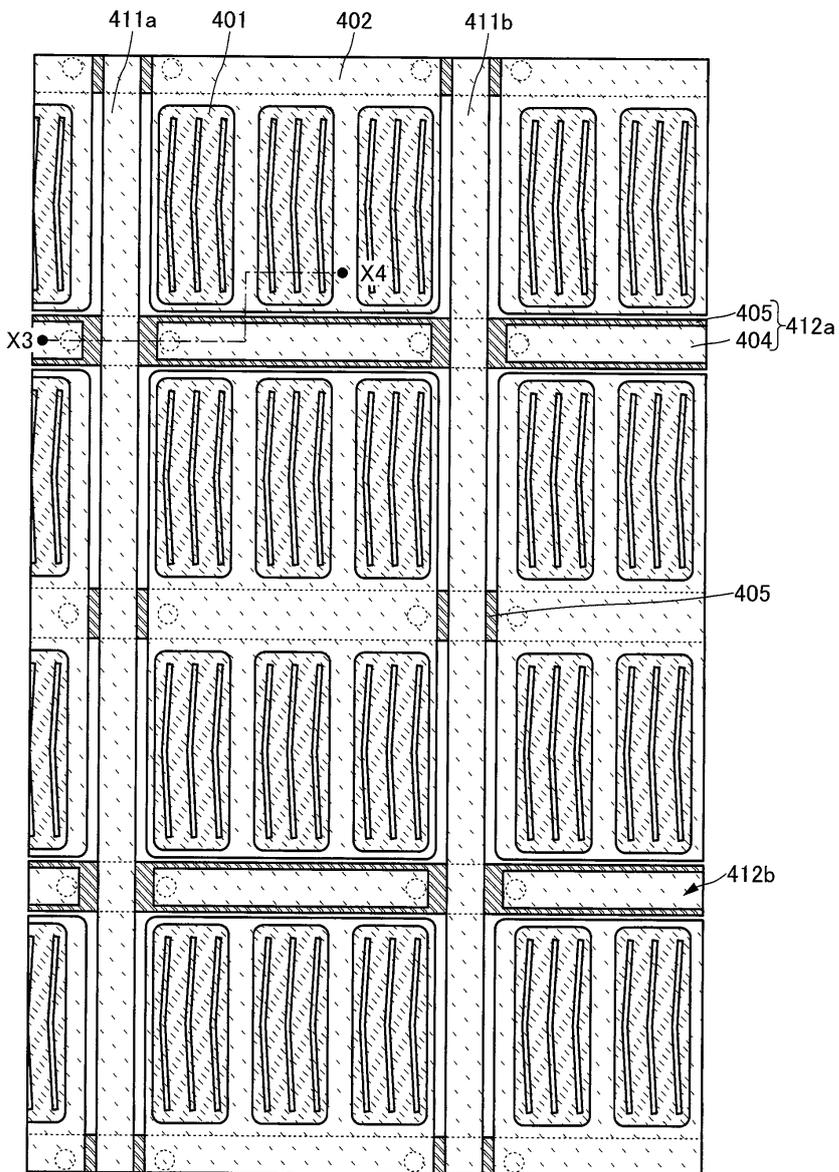
도면35



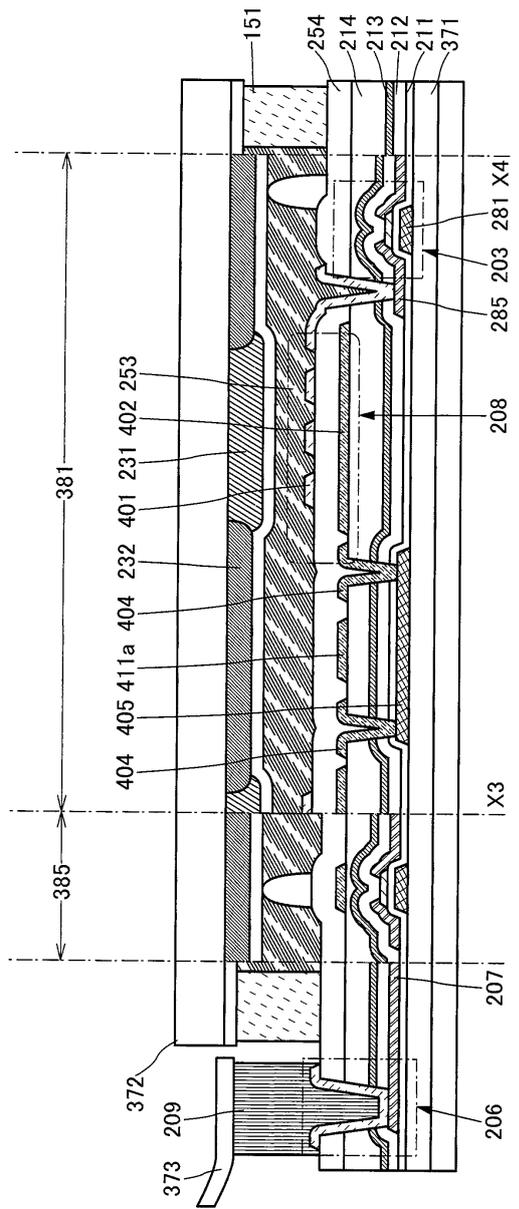
도면36



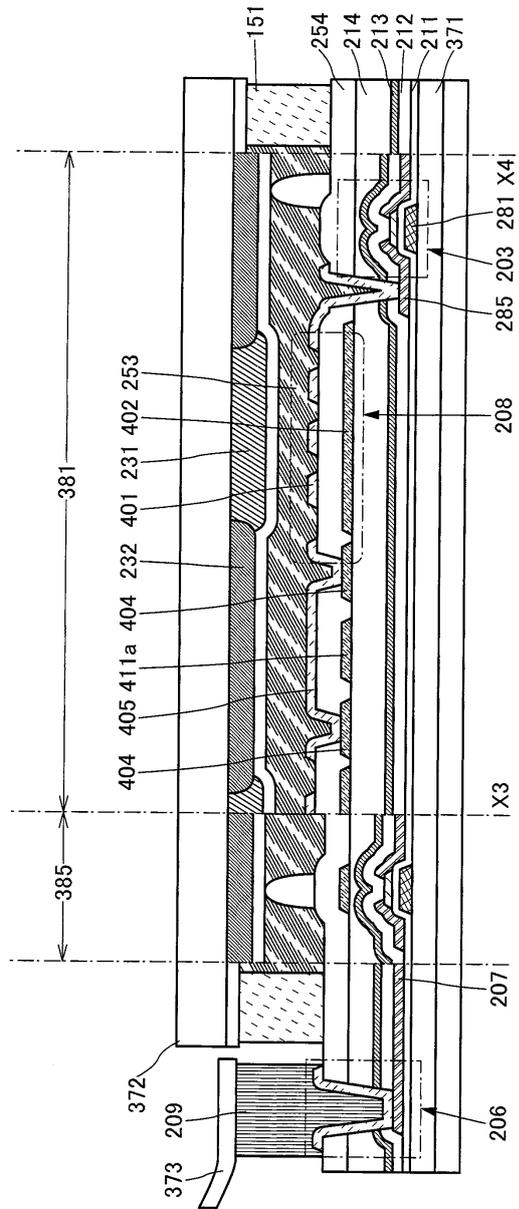
도면37



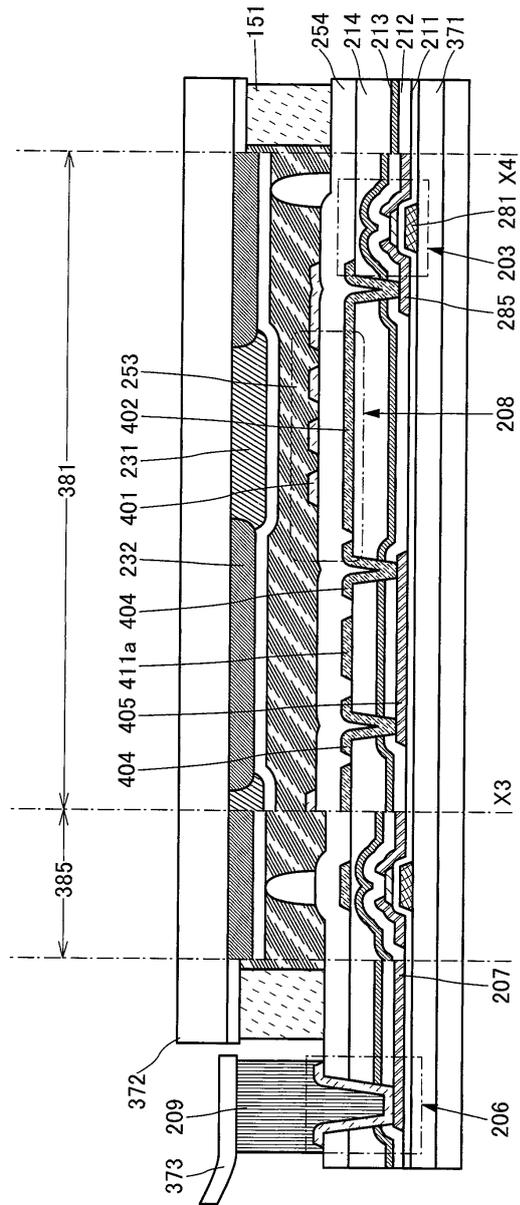
도면38



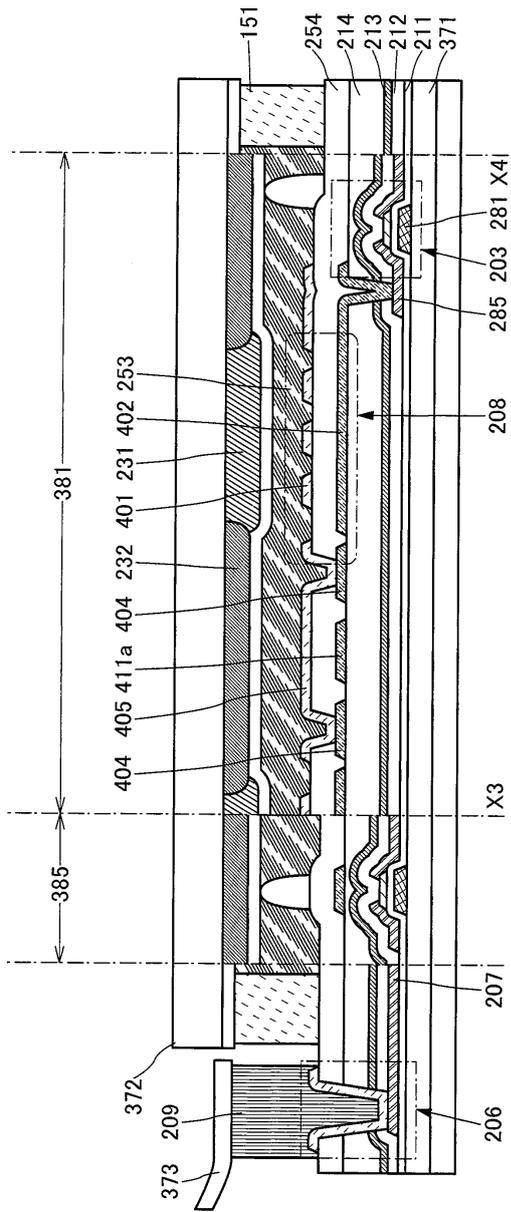
도면39



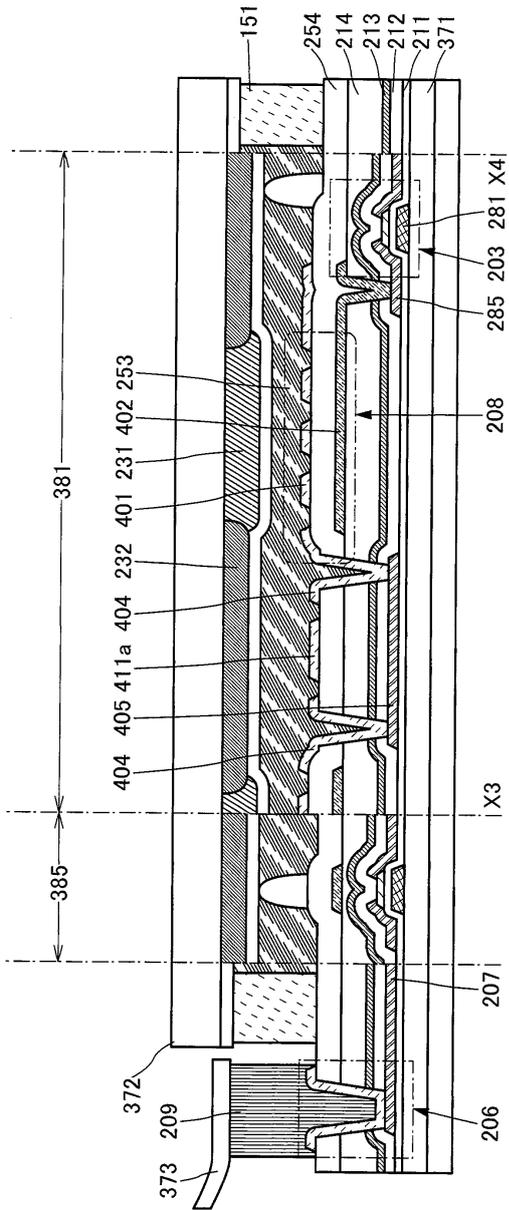
도면40



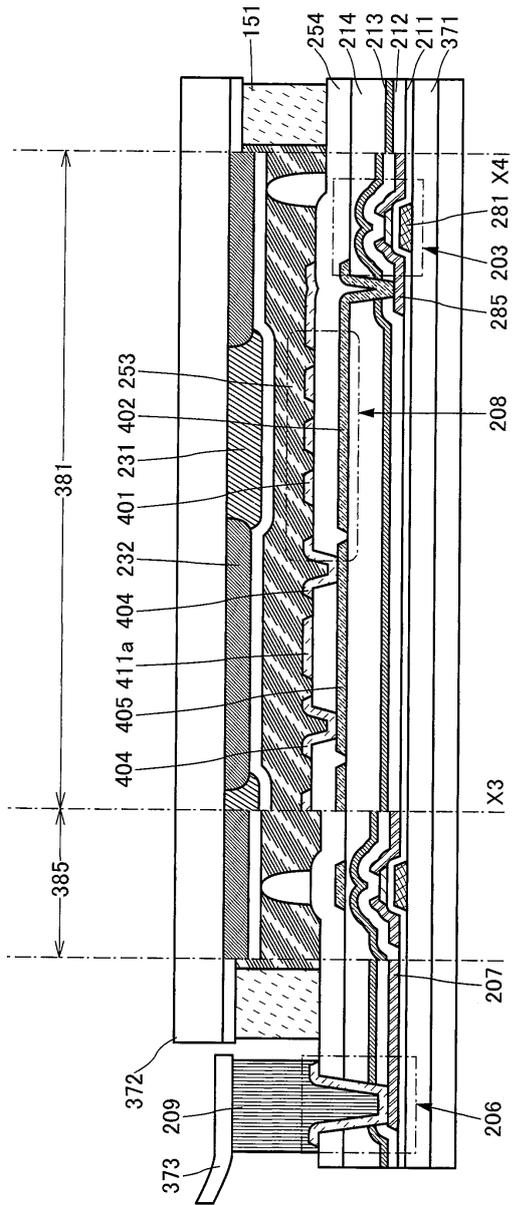
도면42



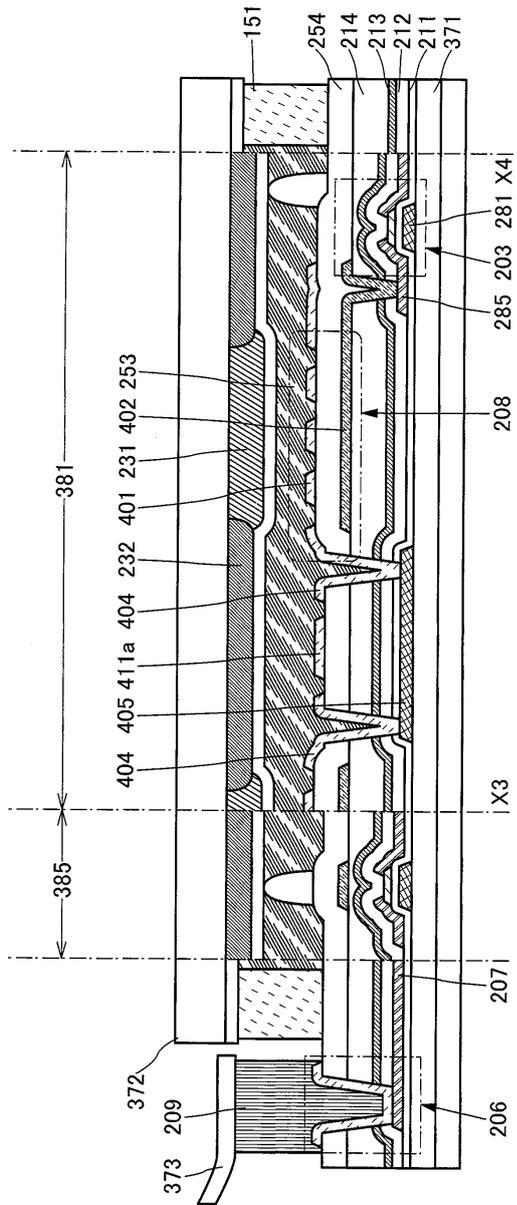
도면43



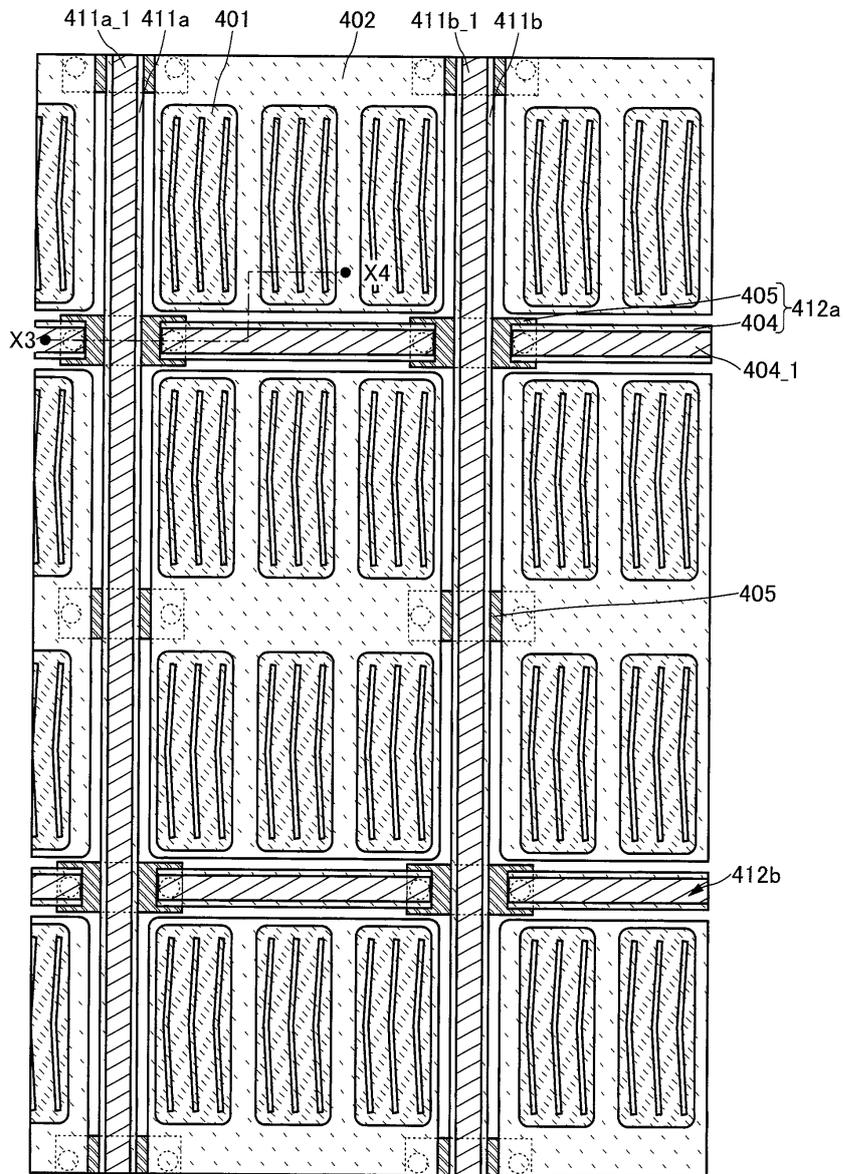
도면44



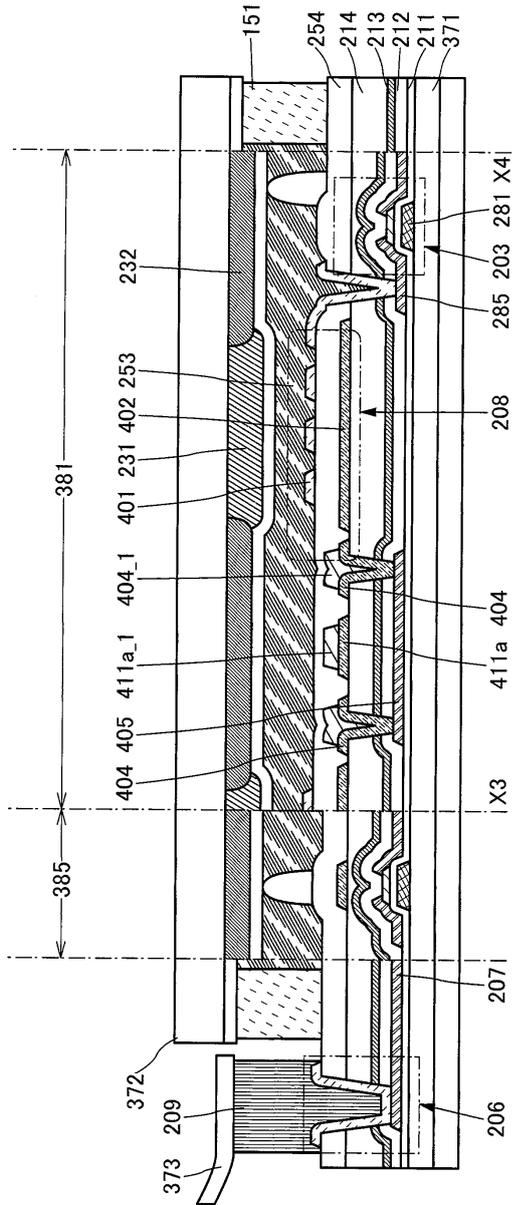
도면45



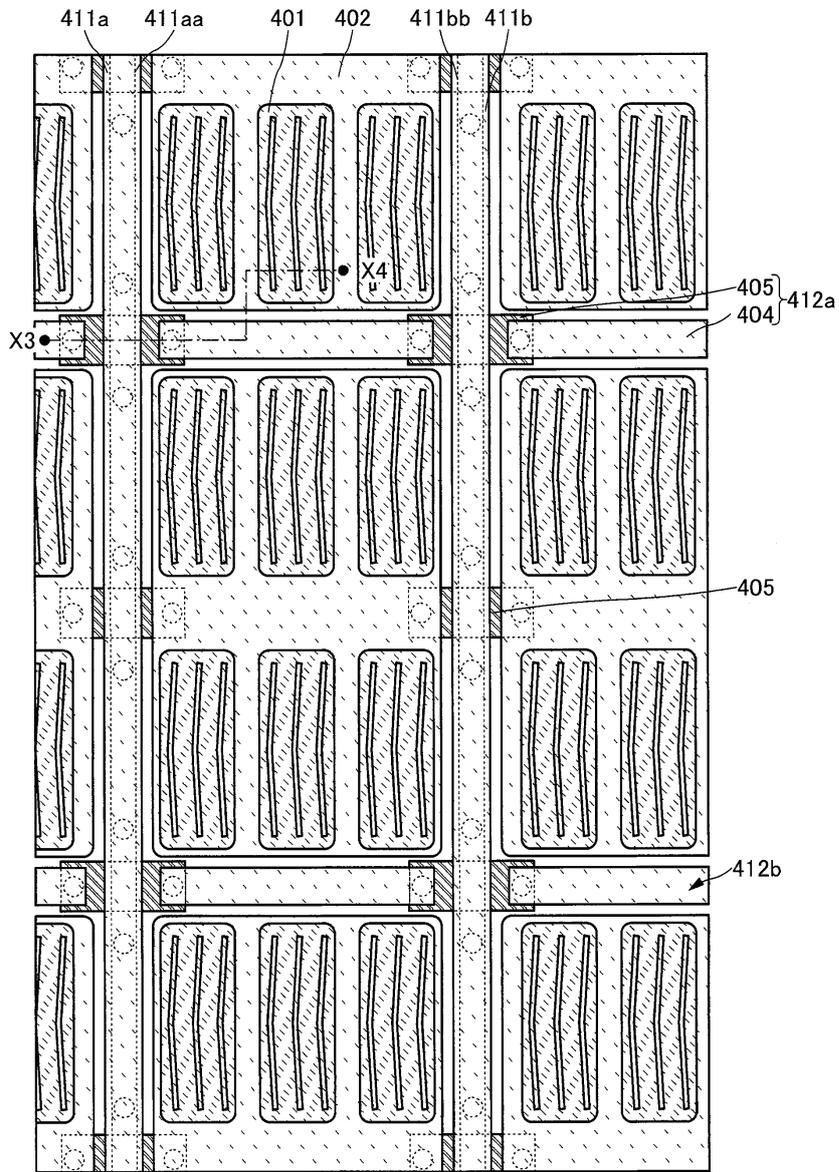
도면46



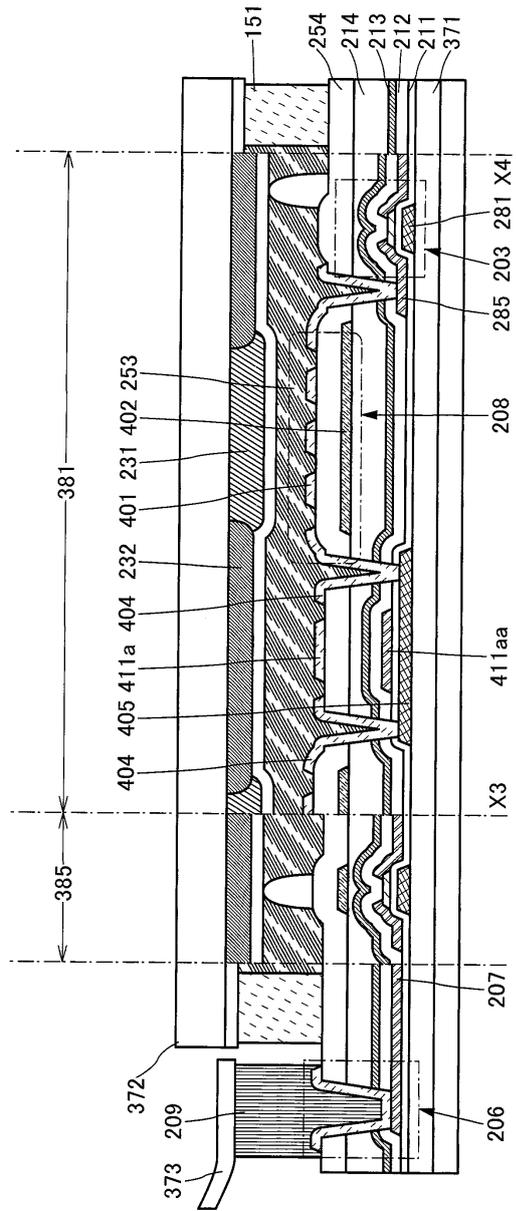
도면47



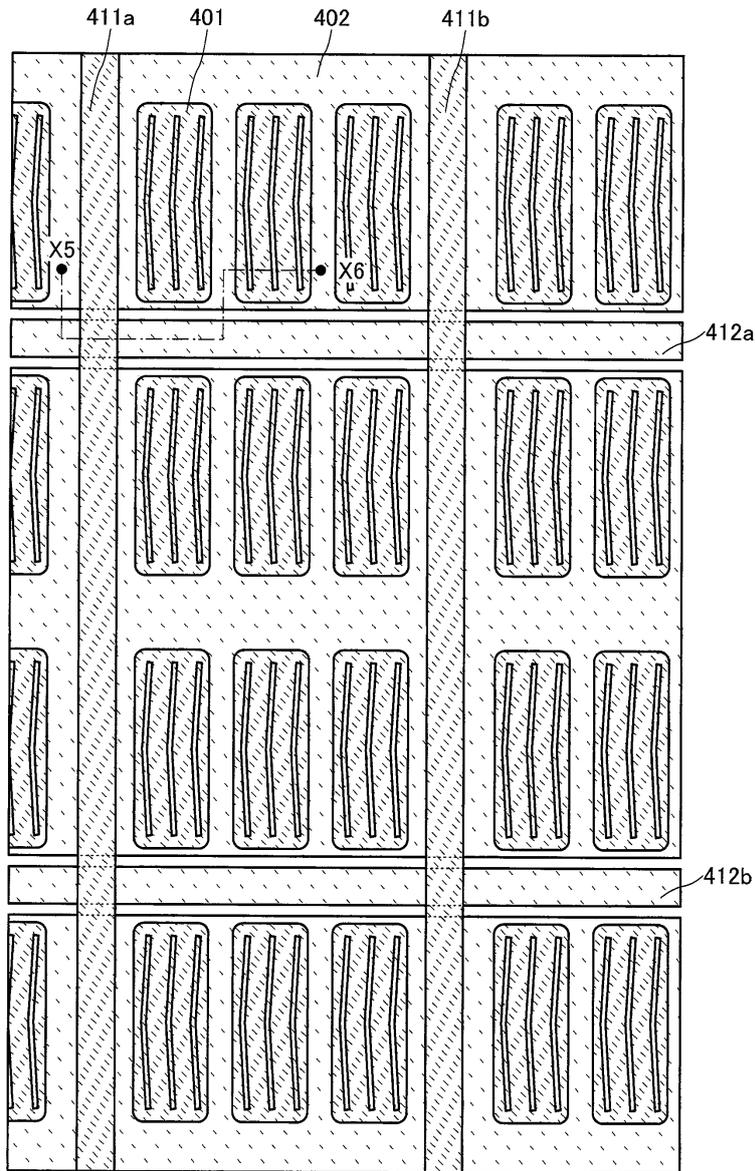
도면48



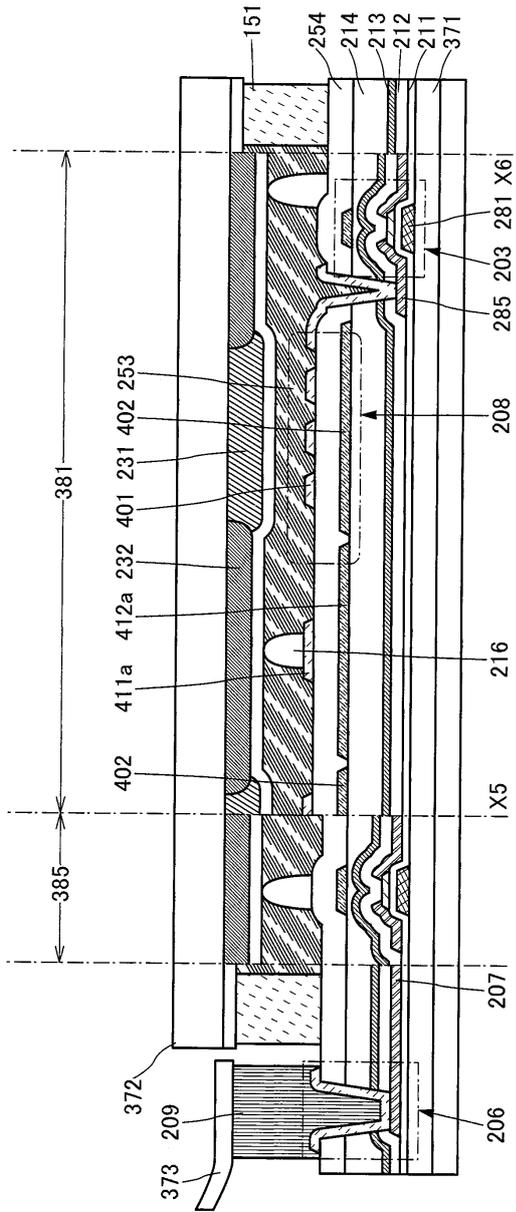
도면49



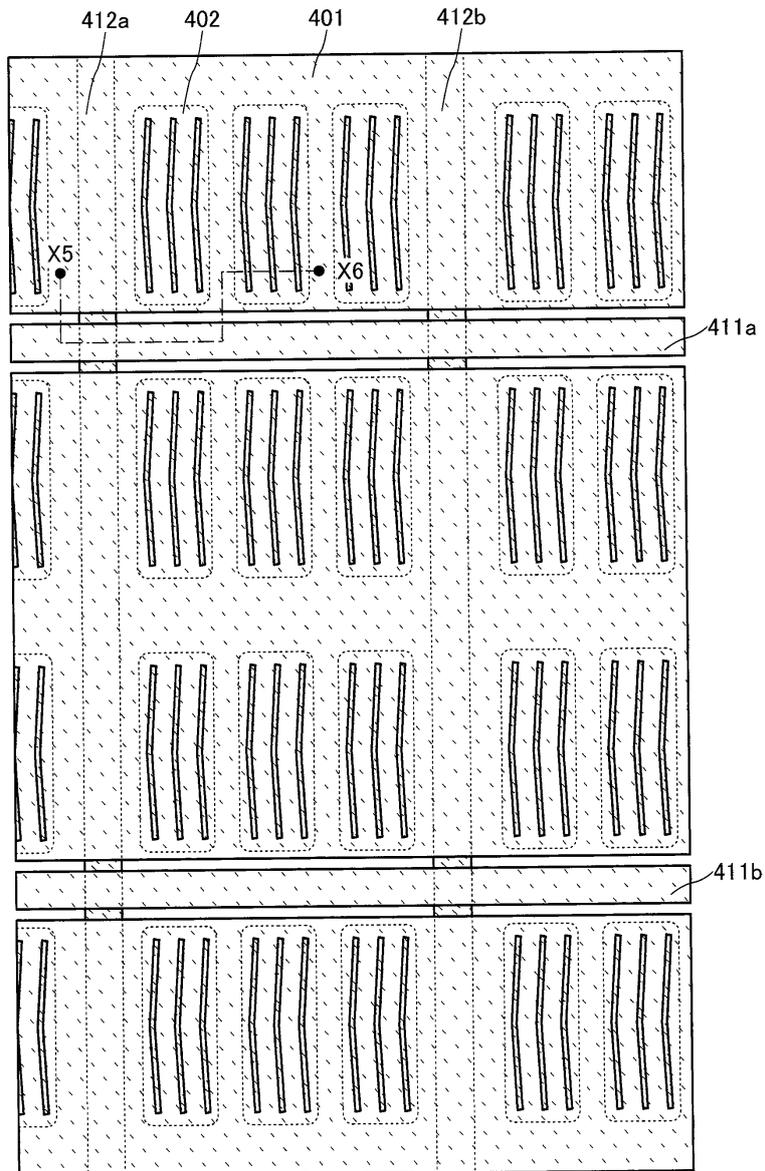
도면50



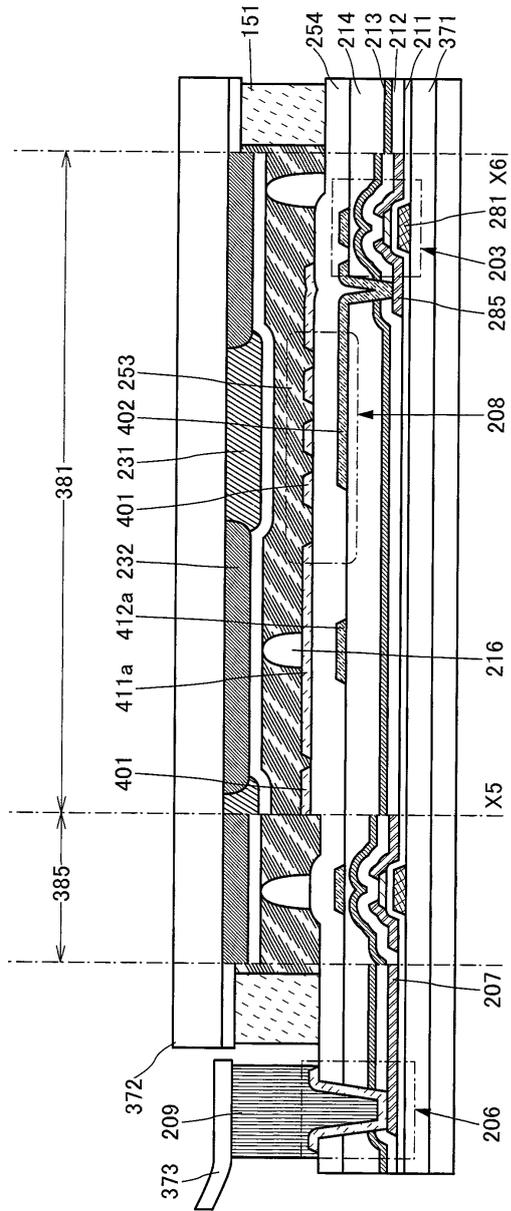
도면51



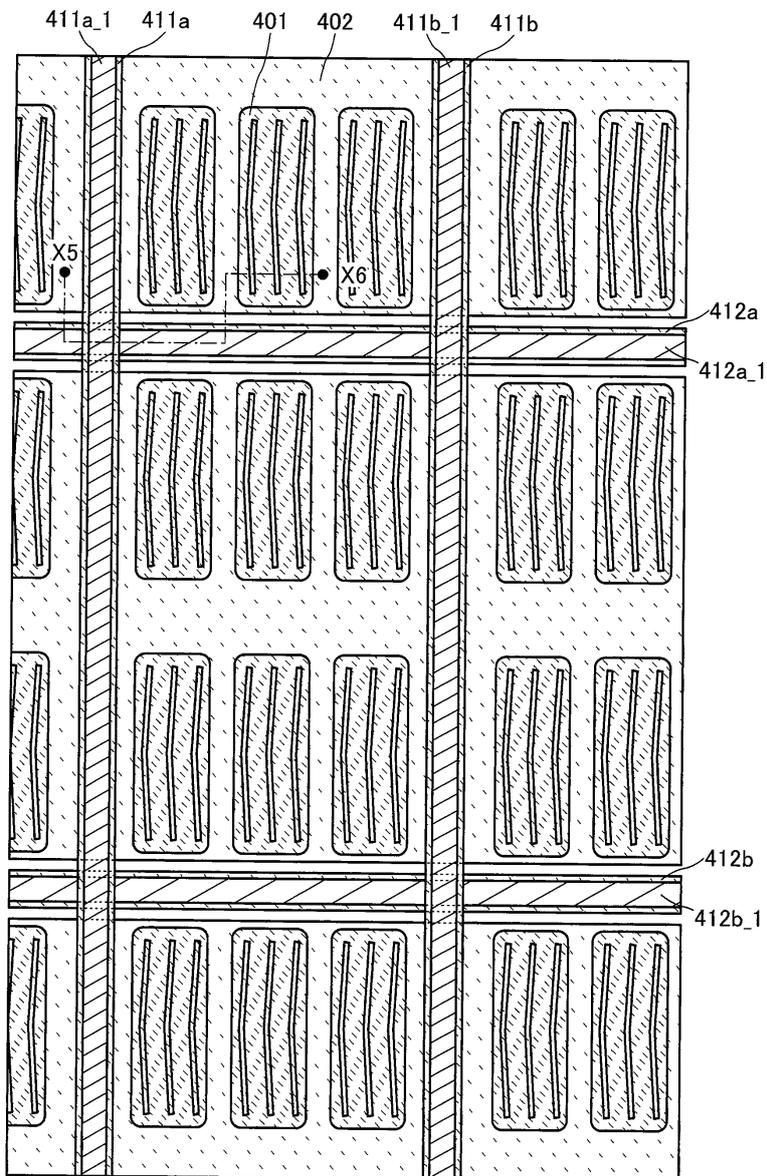
도면52



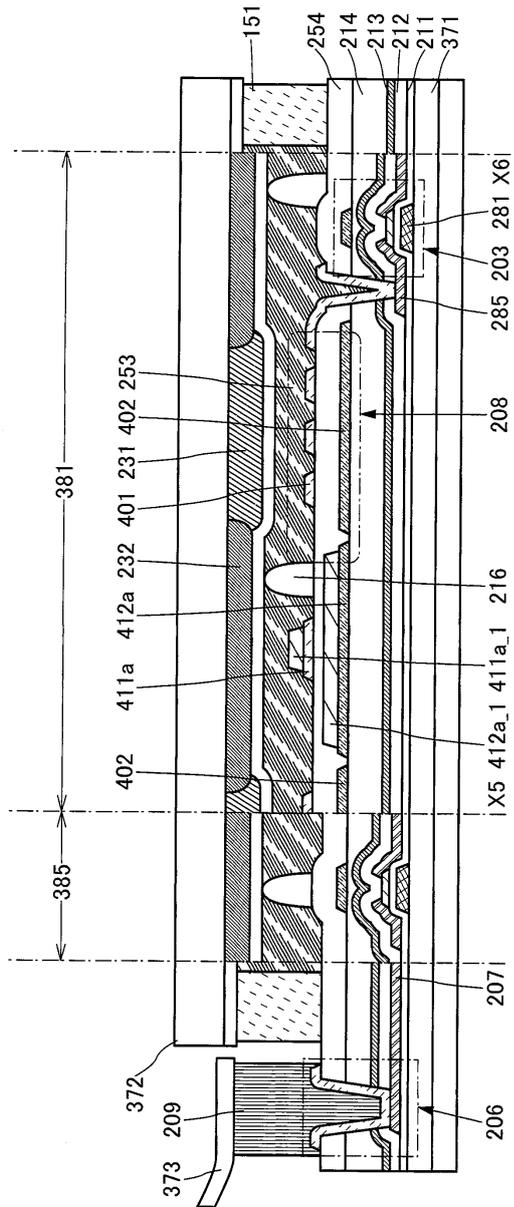
도면53



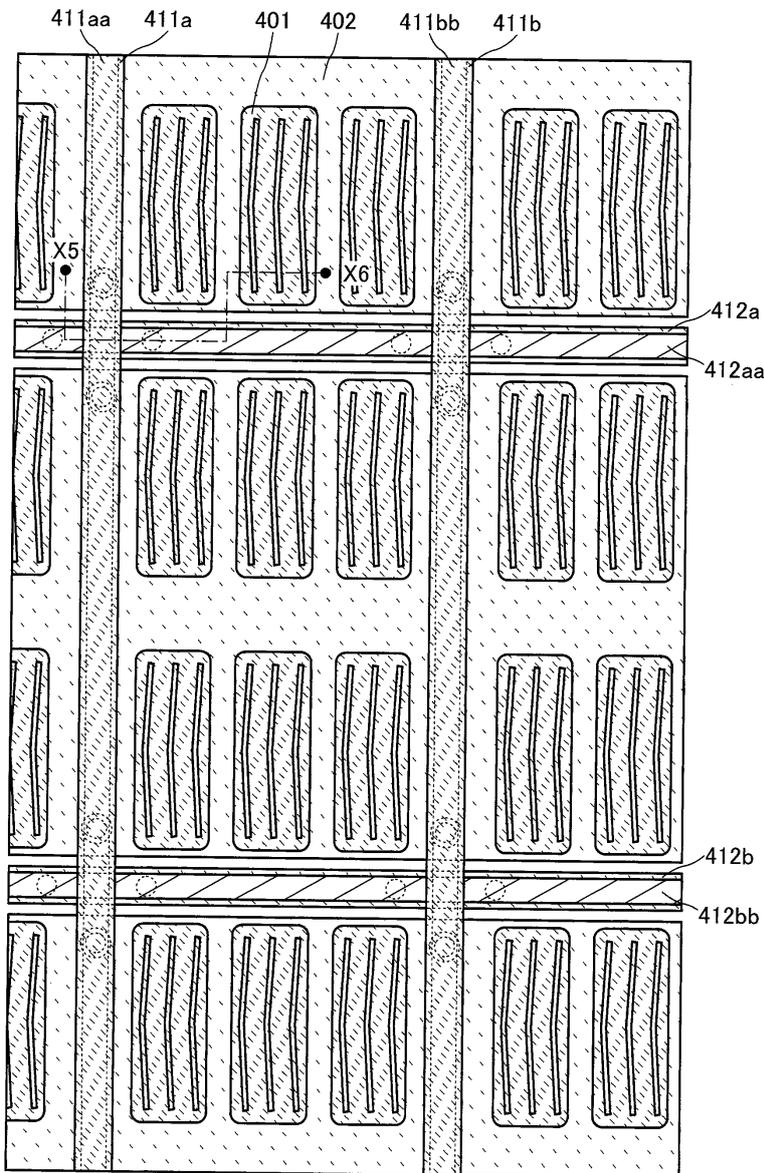
도면54



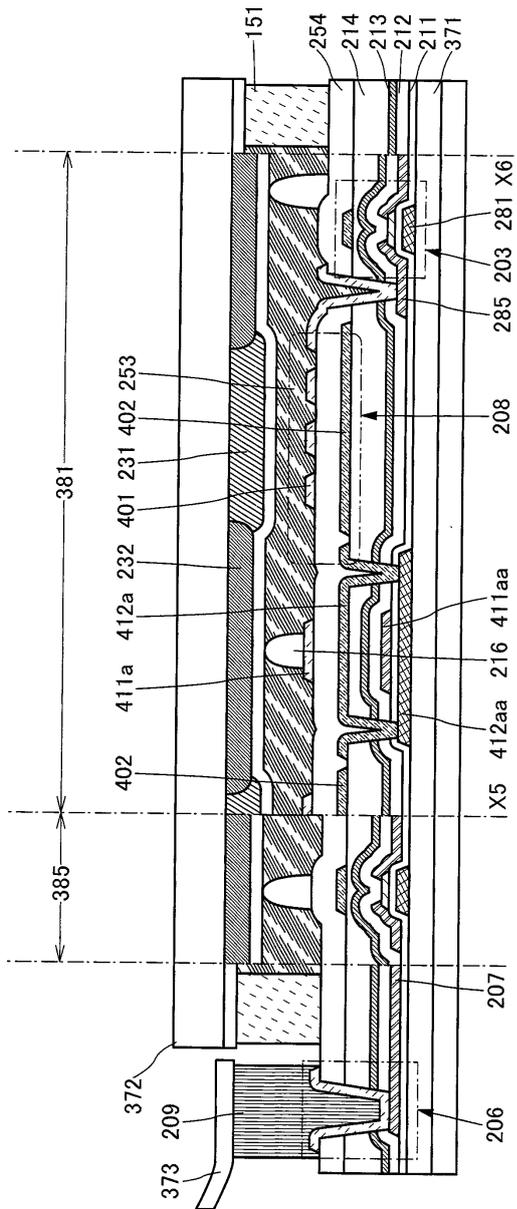
도면55



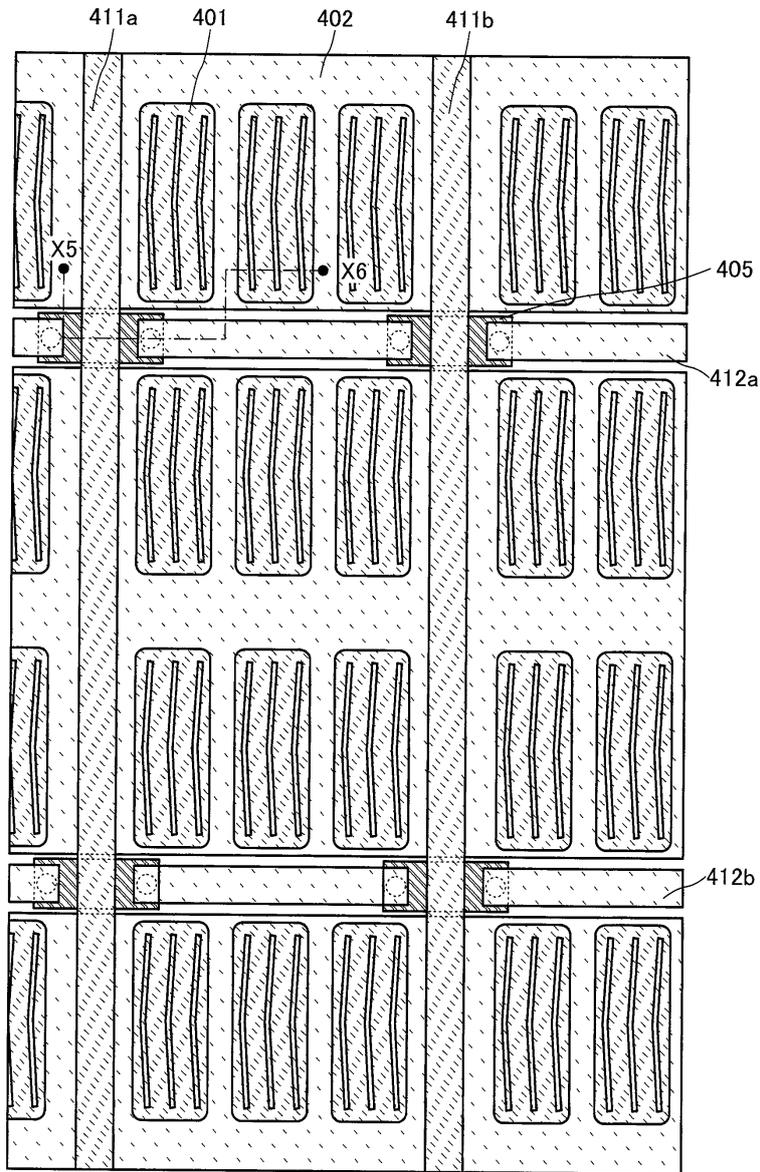
도면56



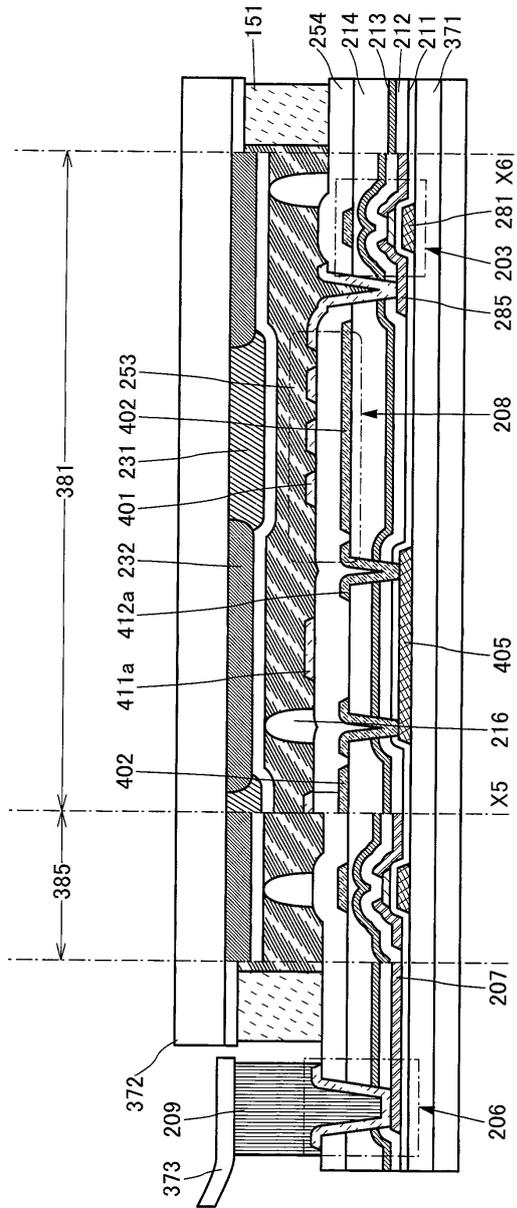
도면57



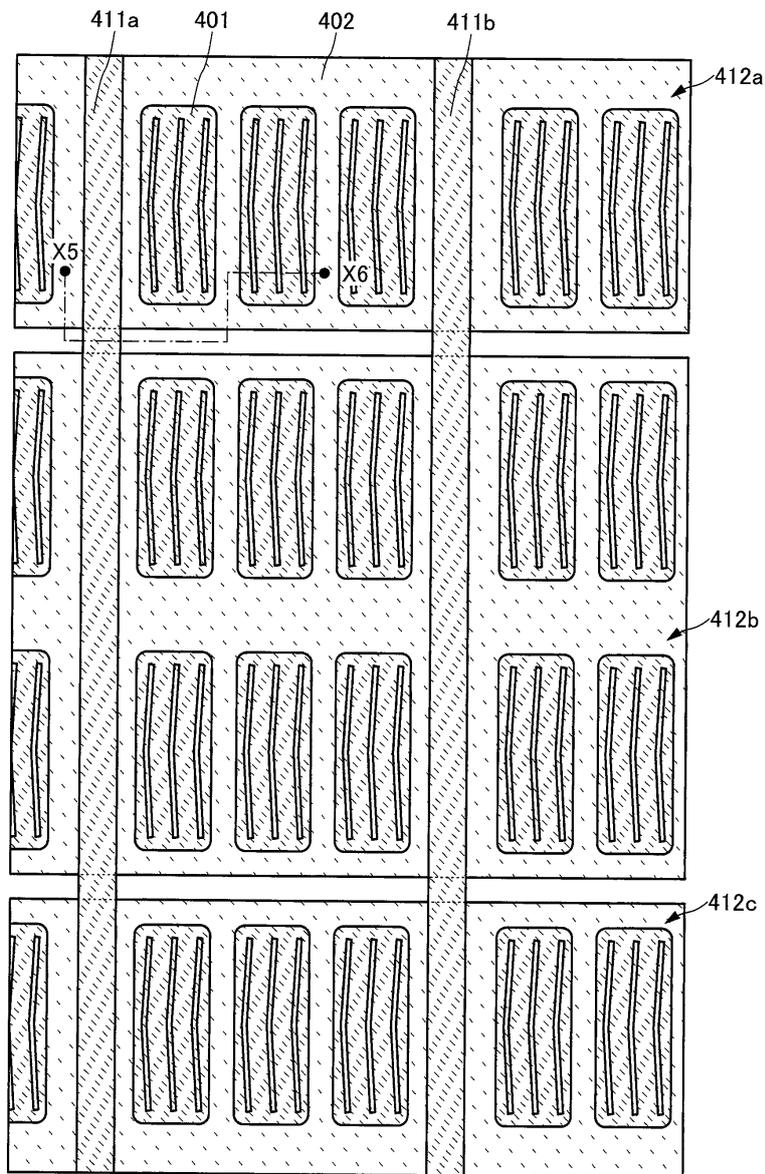
도면58



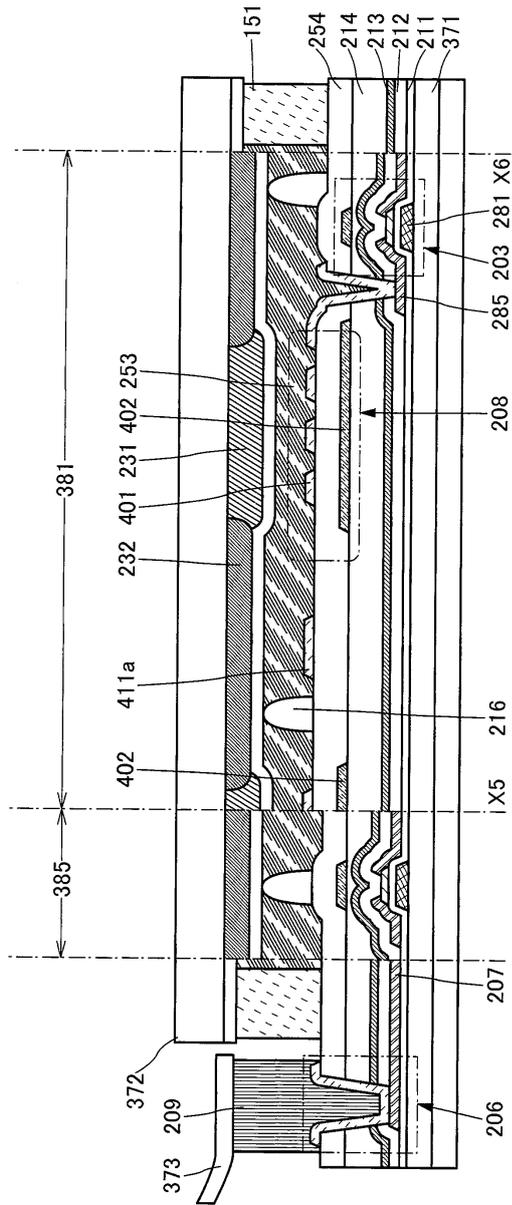
도면59



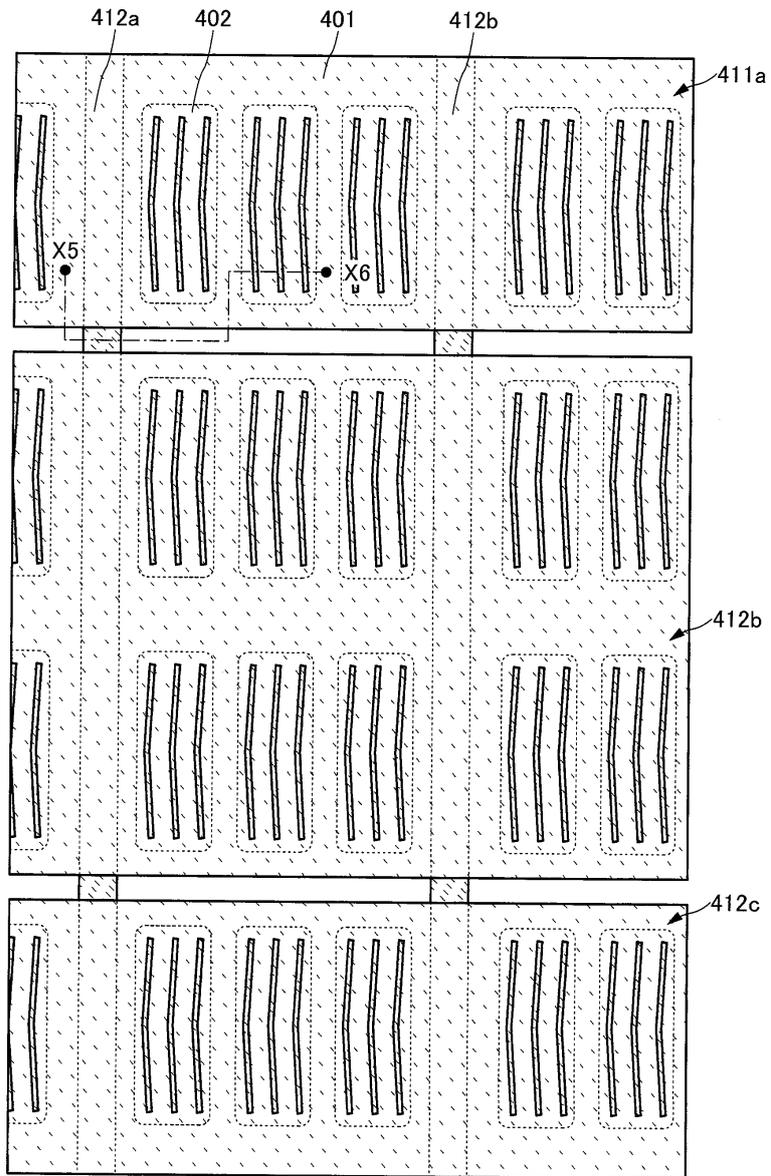
도면60



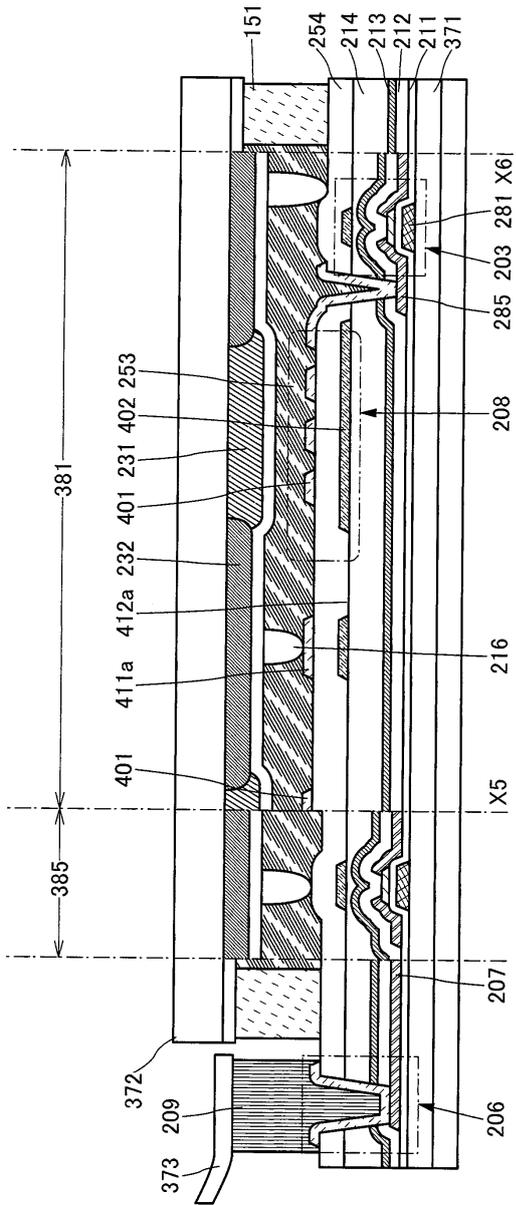
도면61



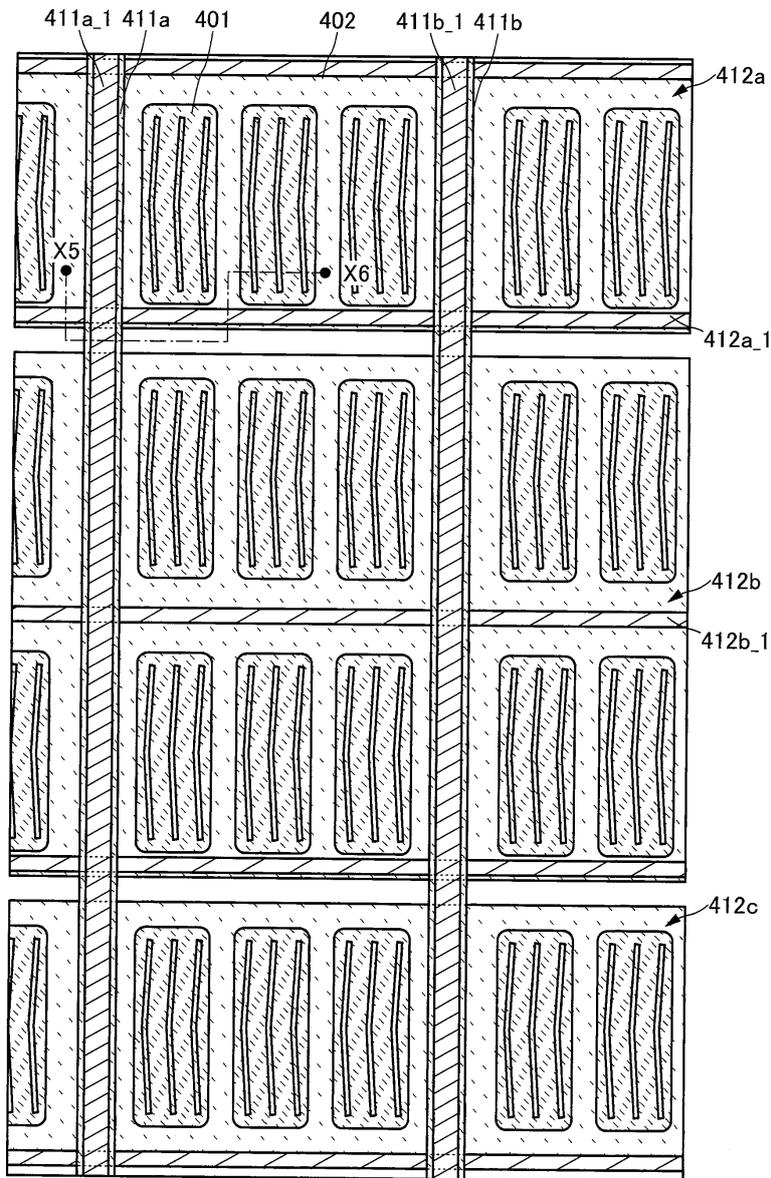
도면62



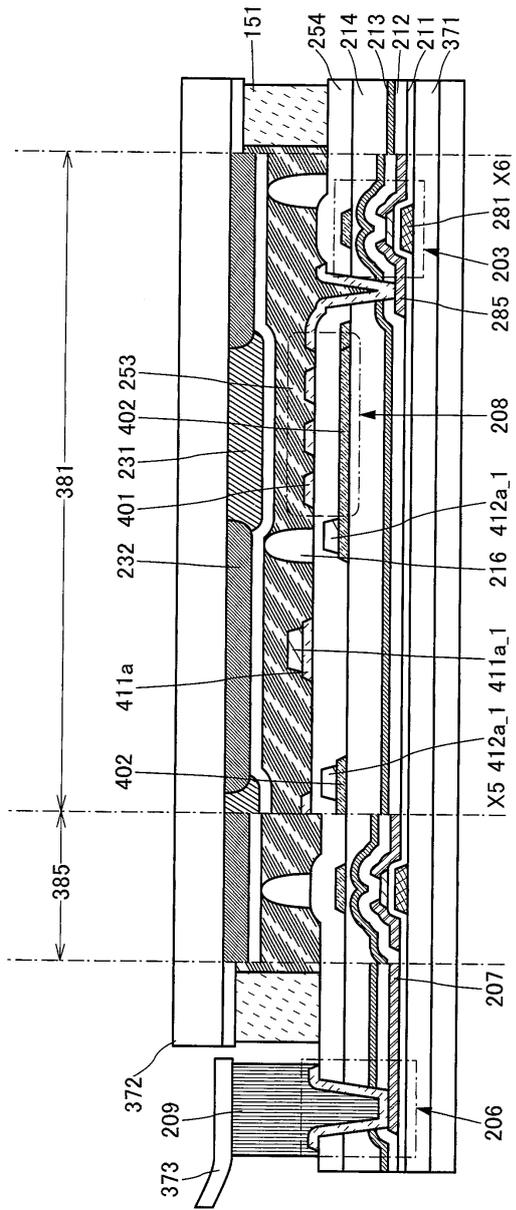
도면63



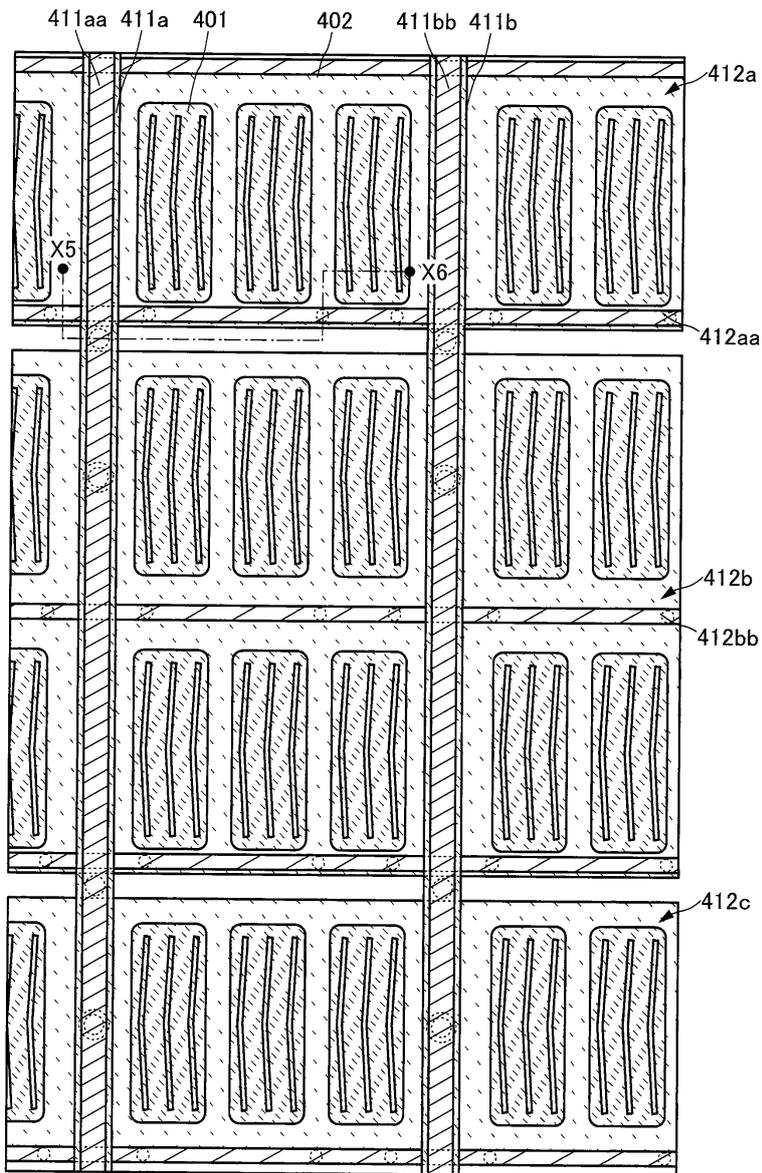
도면64



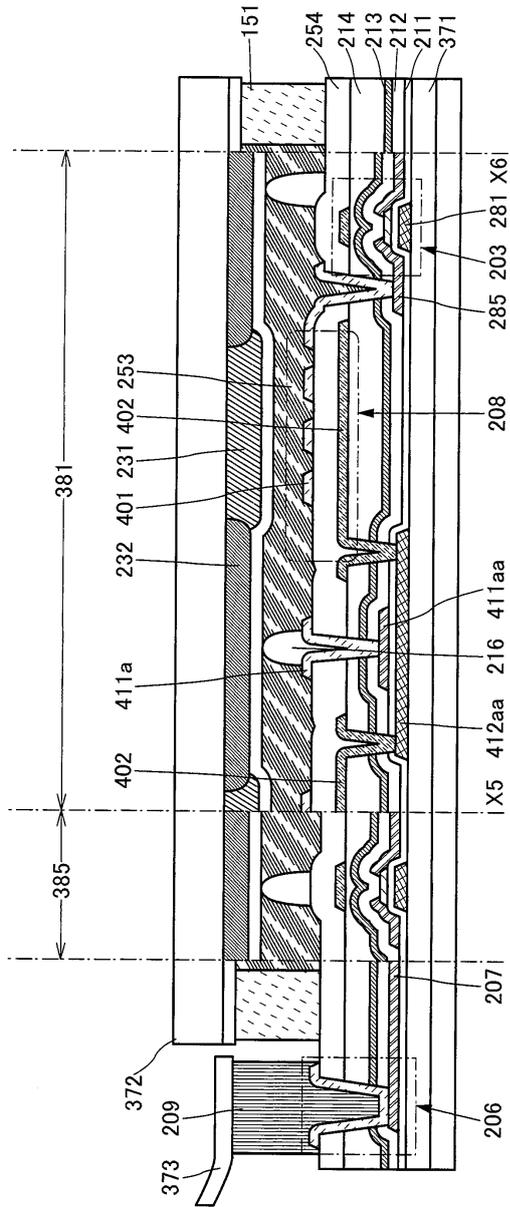
도면65



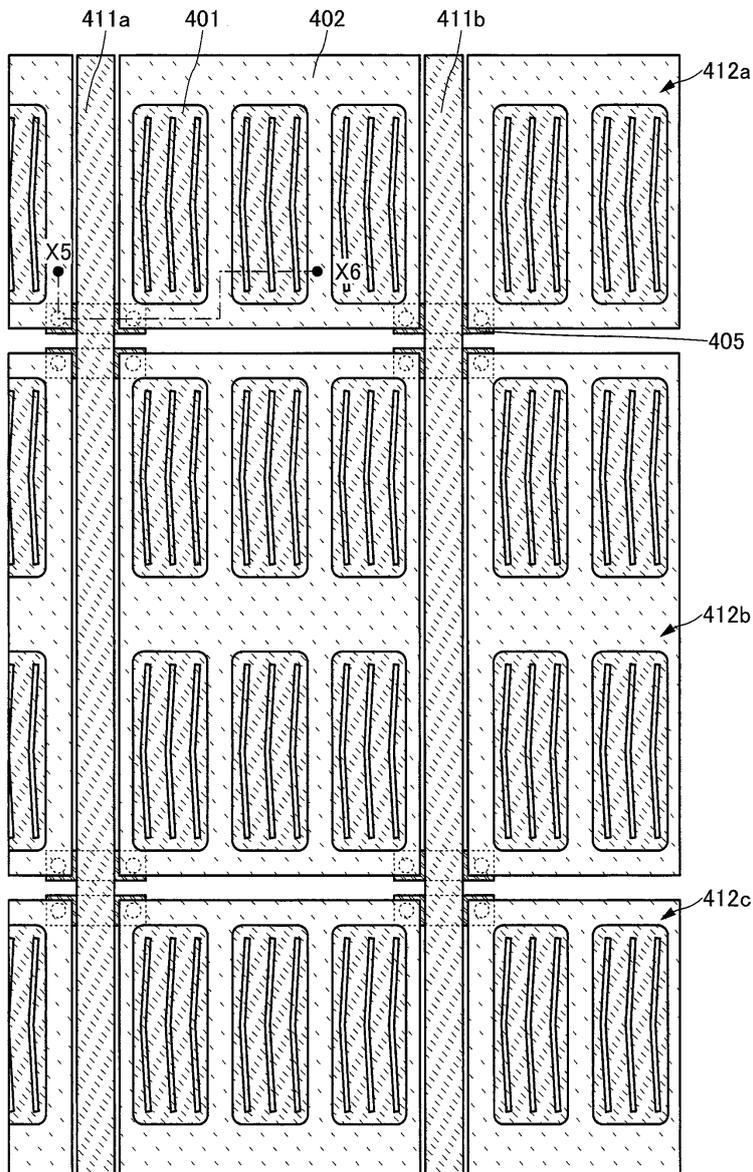
도면66



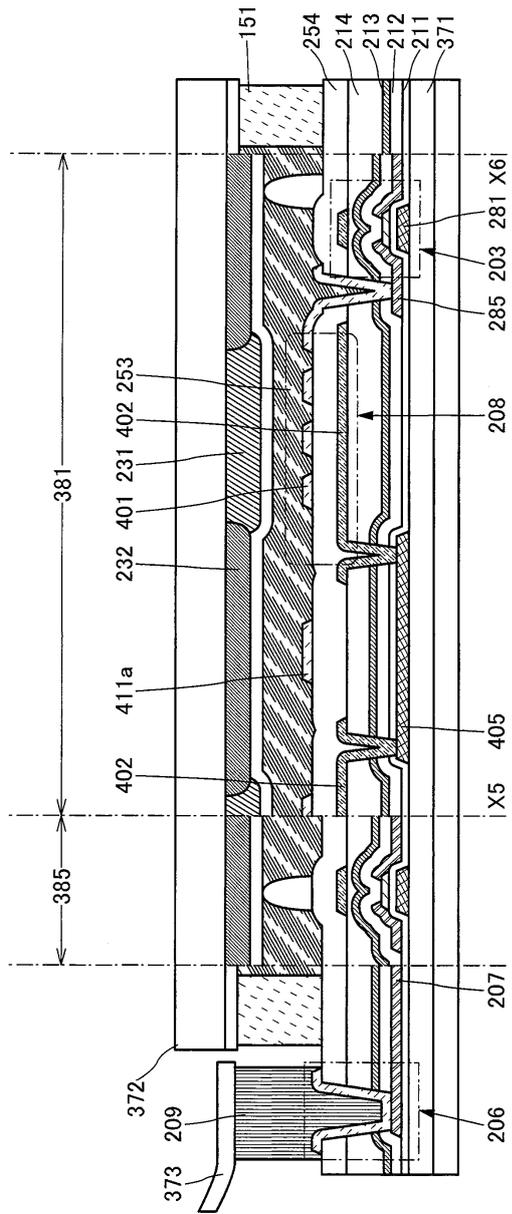
도면67



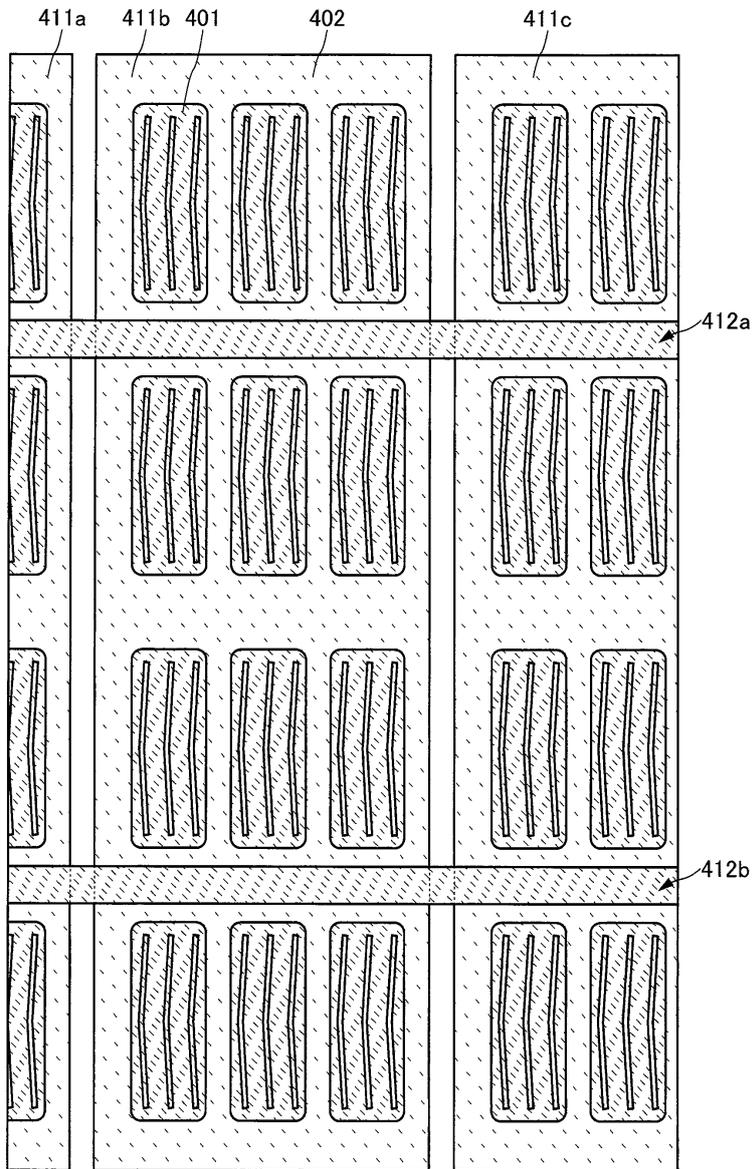
도면68



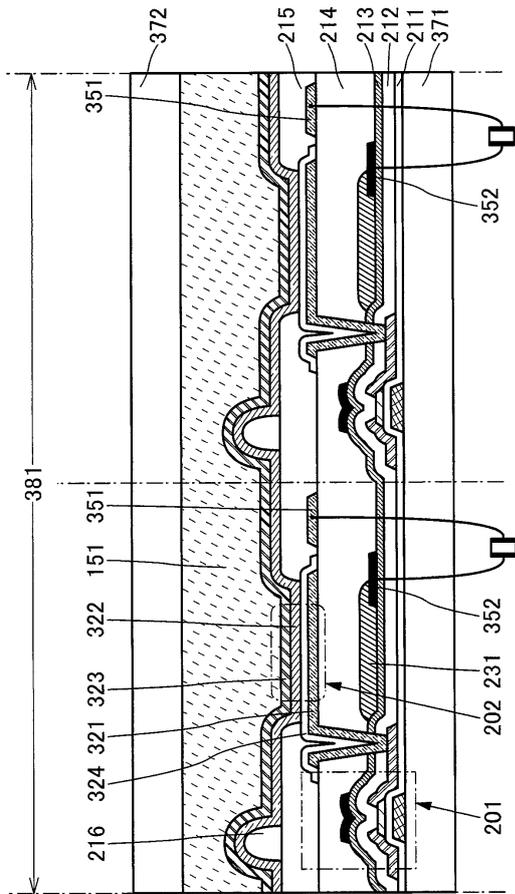
도면69



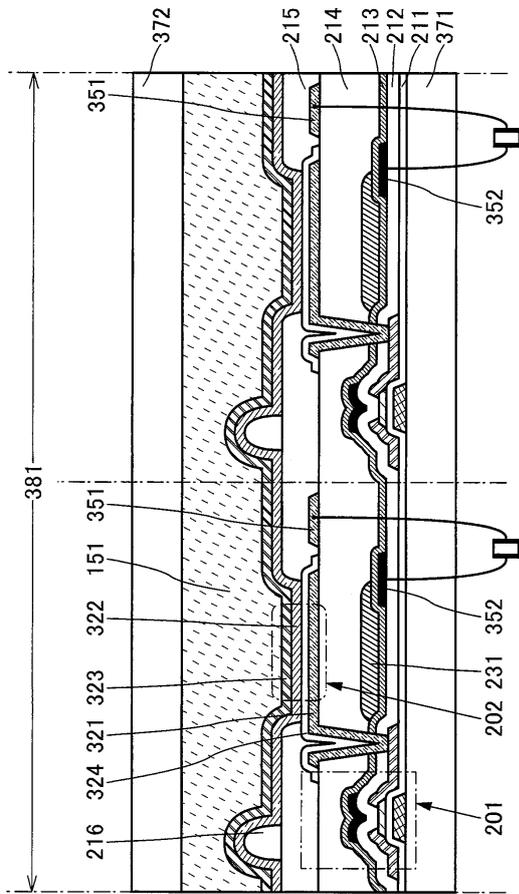
도면70



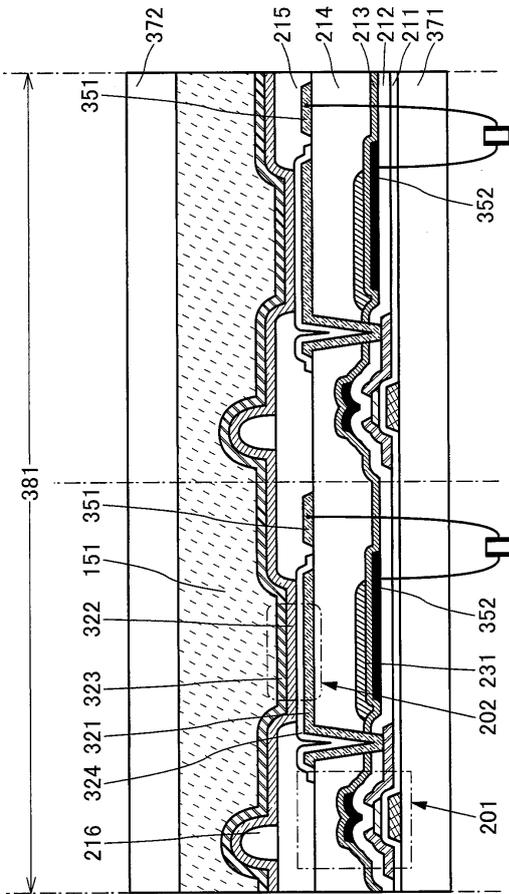
도면71



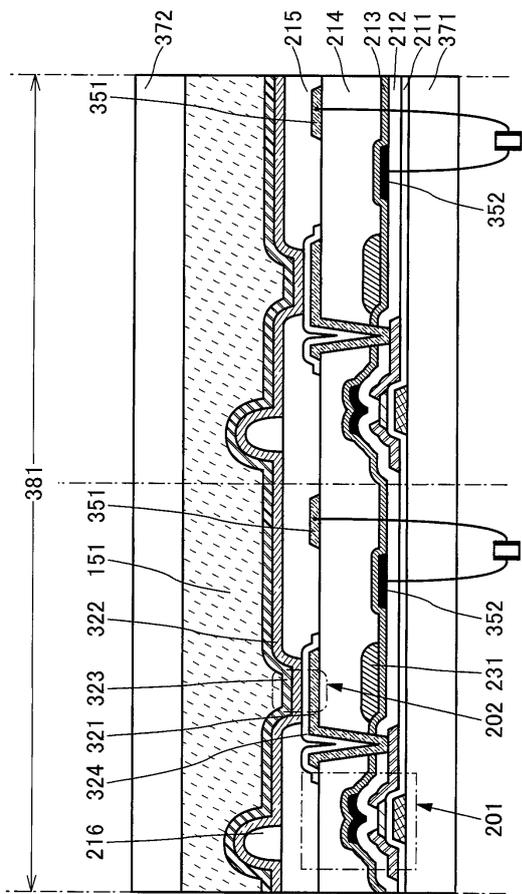
도면72



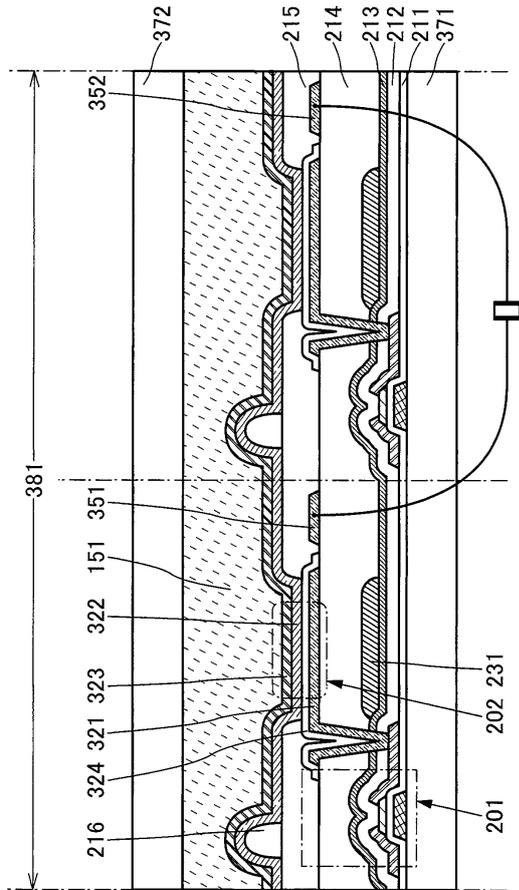
도면73



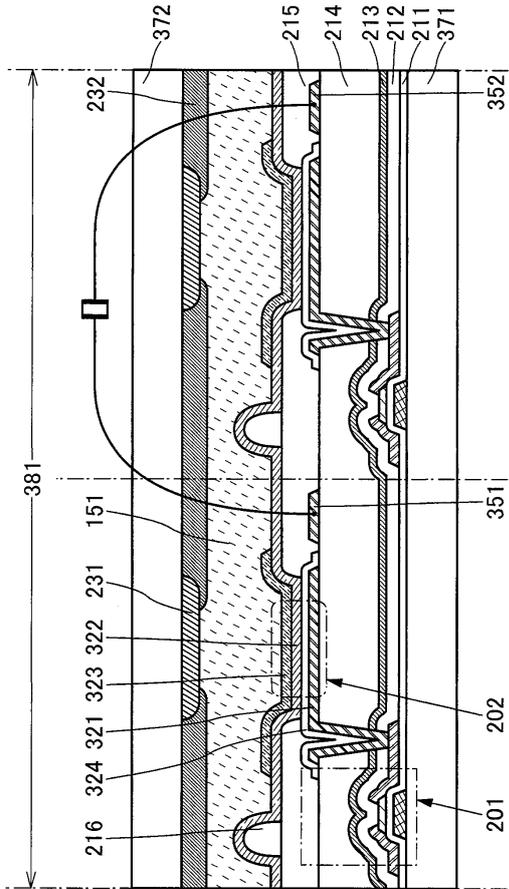
도면74



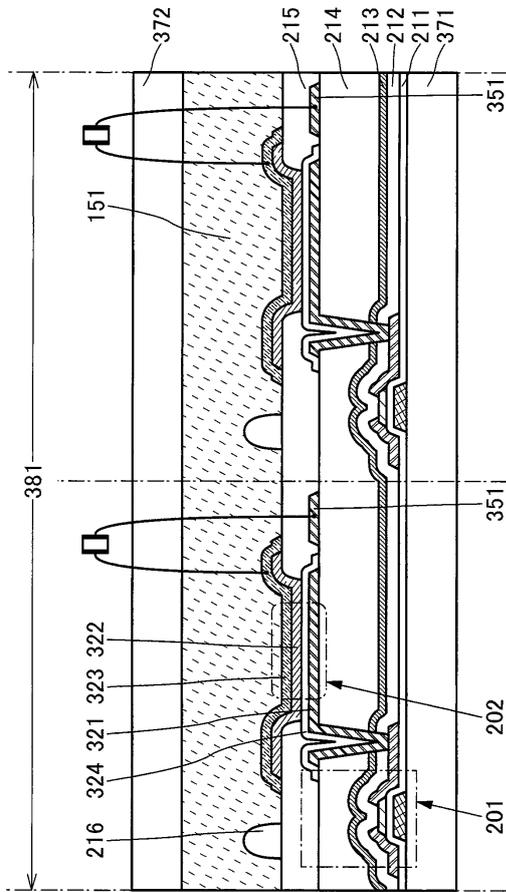
도면75



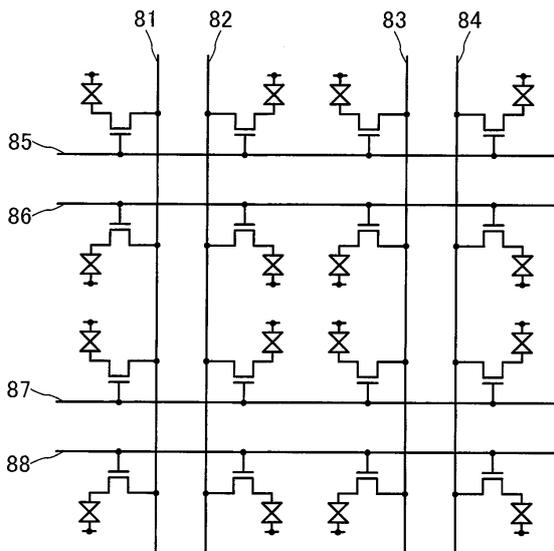
도면76



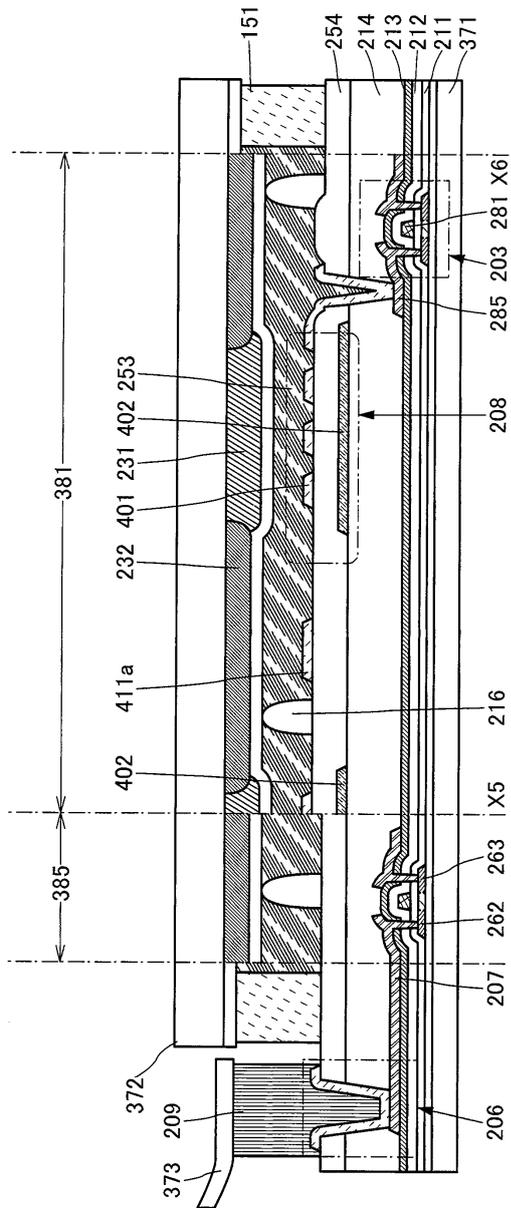
도면77



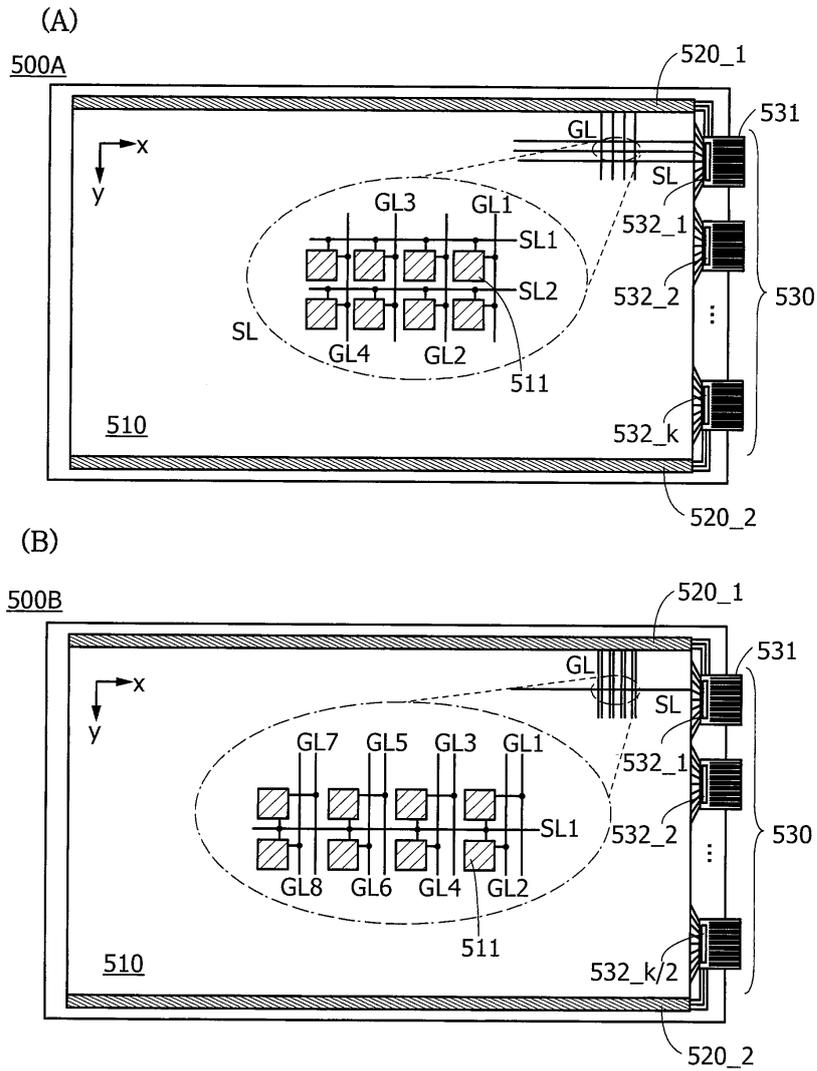
도면78



도면79

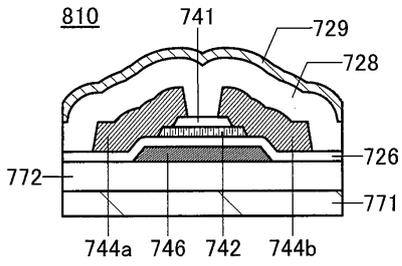


도면80

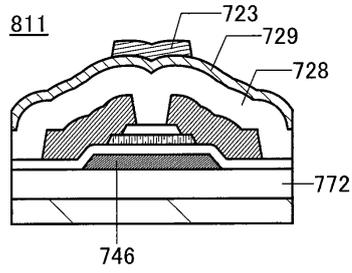


도면81

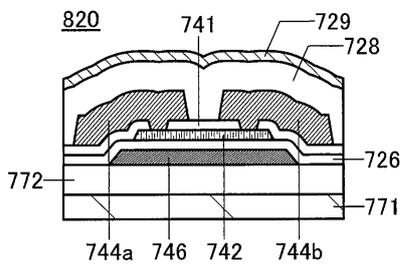
(A1)



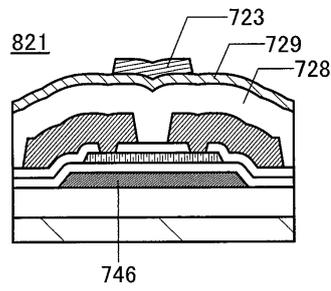
(A2)



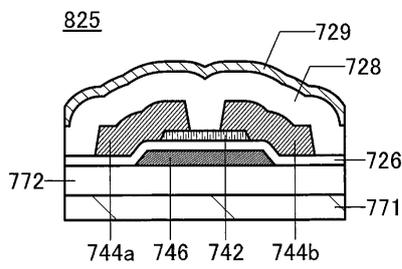
(B1)



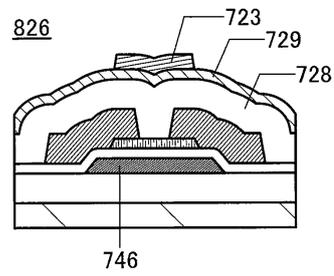
(B2)



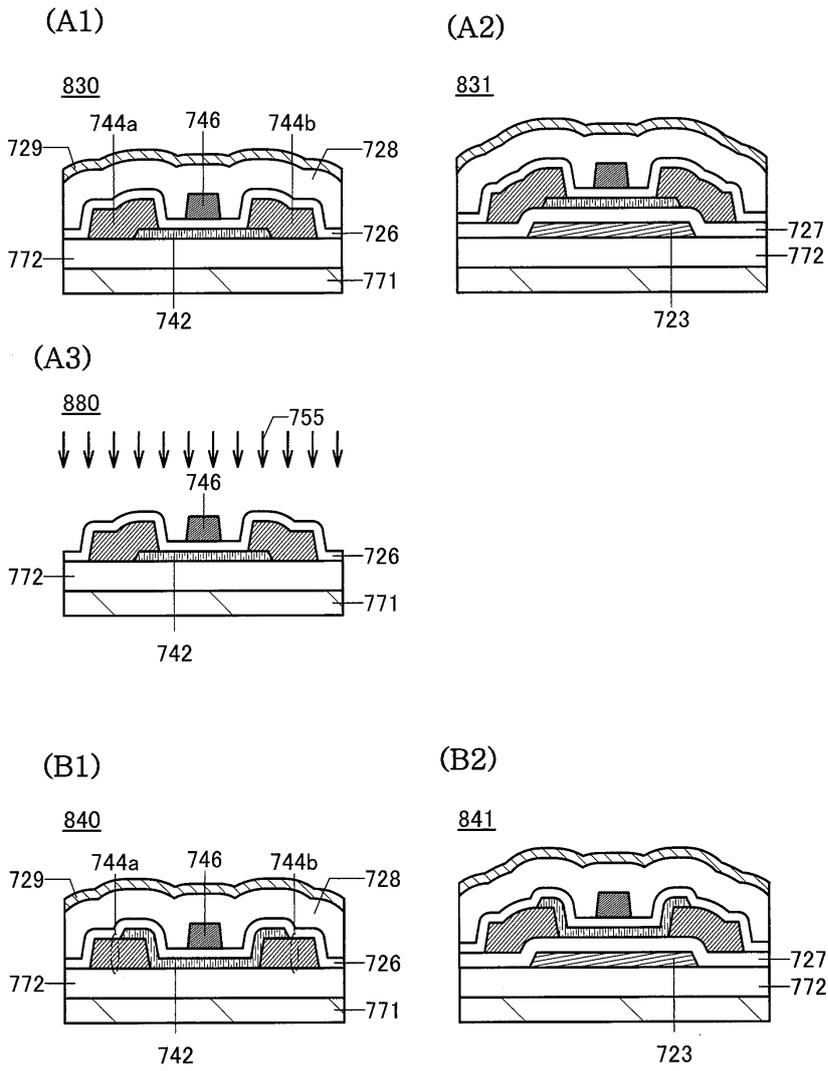
(C1)



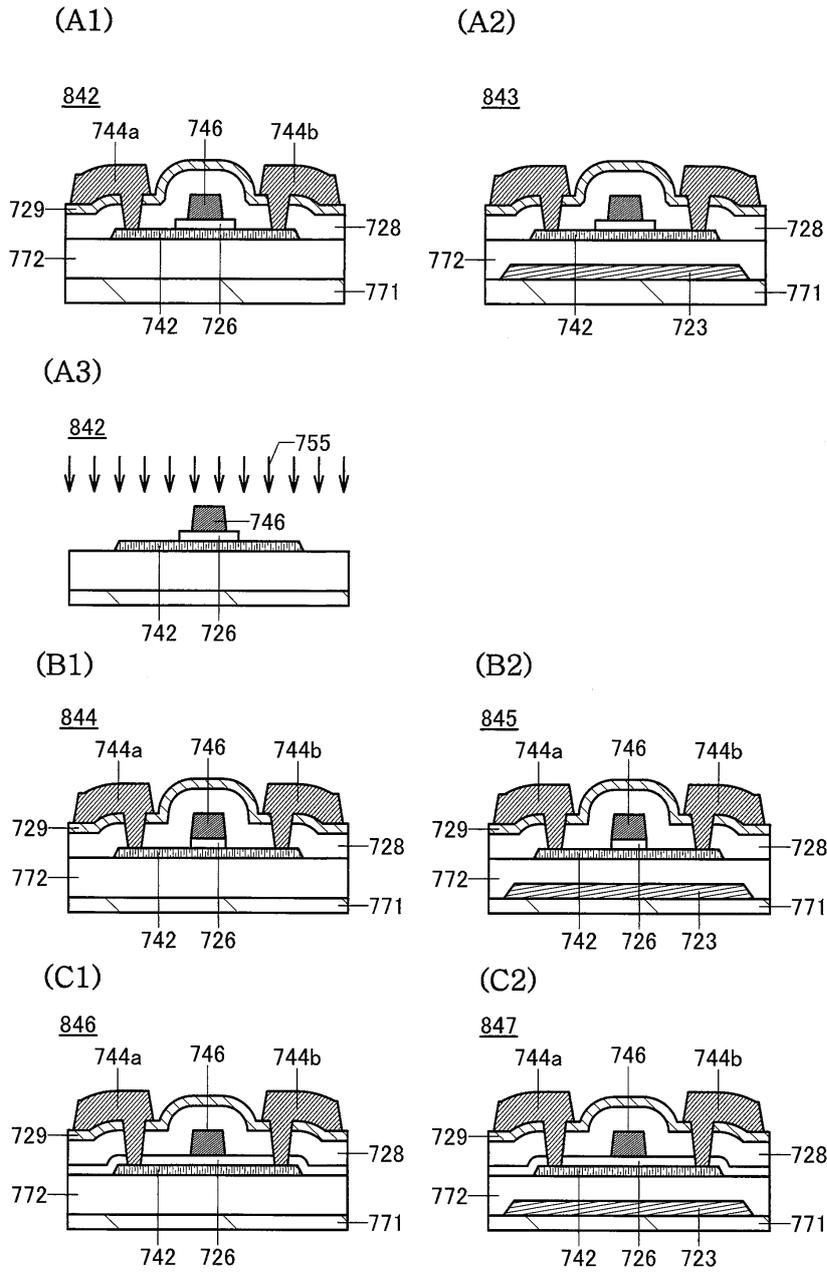
(C2)



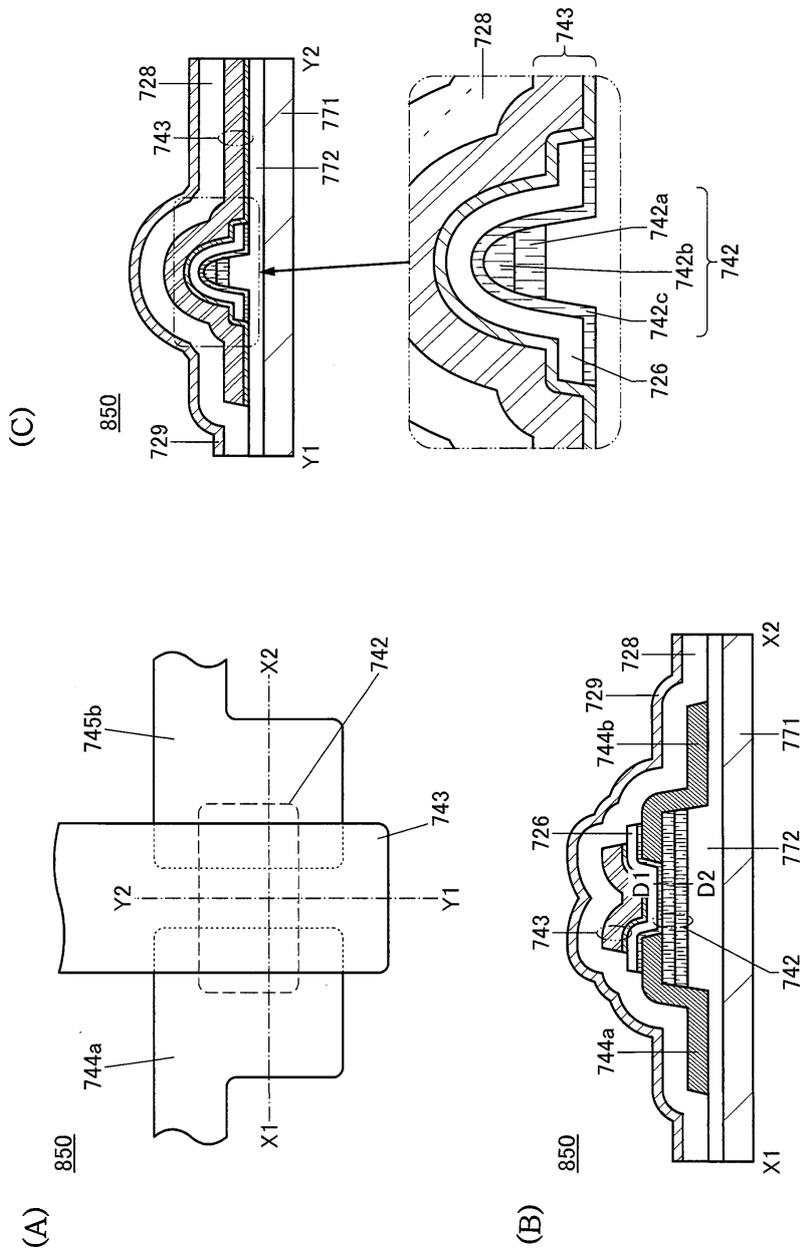
도면82



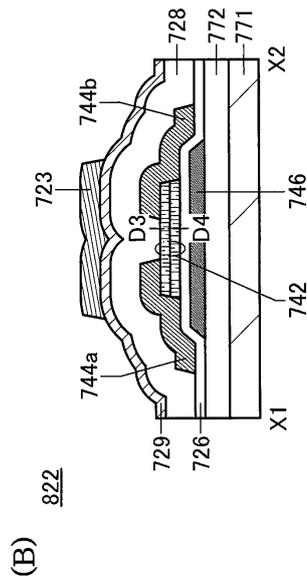
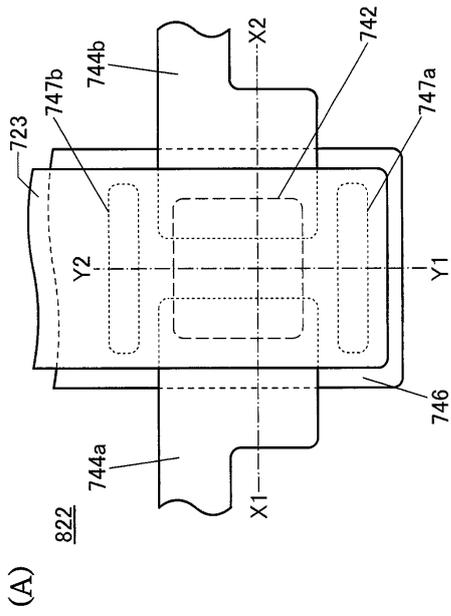
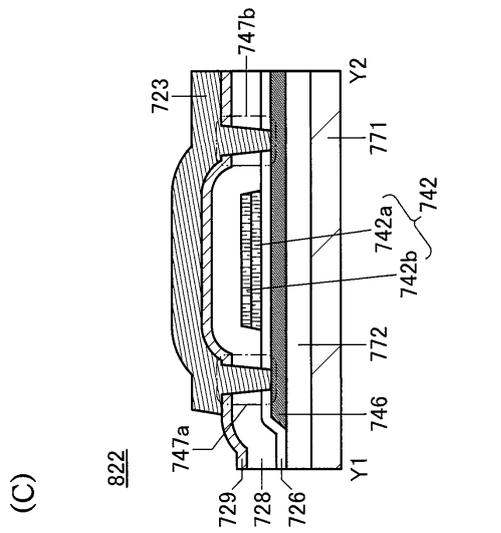
도면83



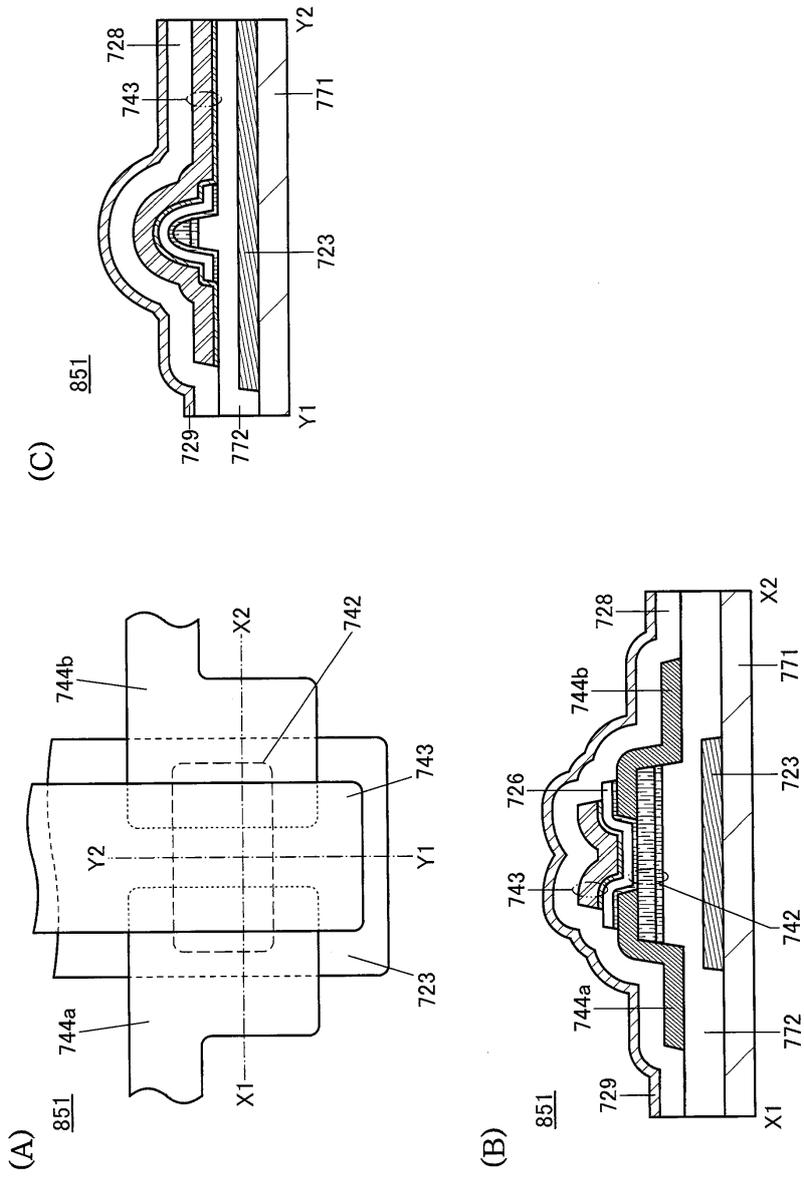
도면84



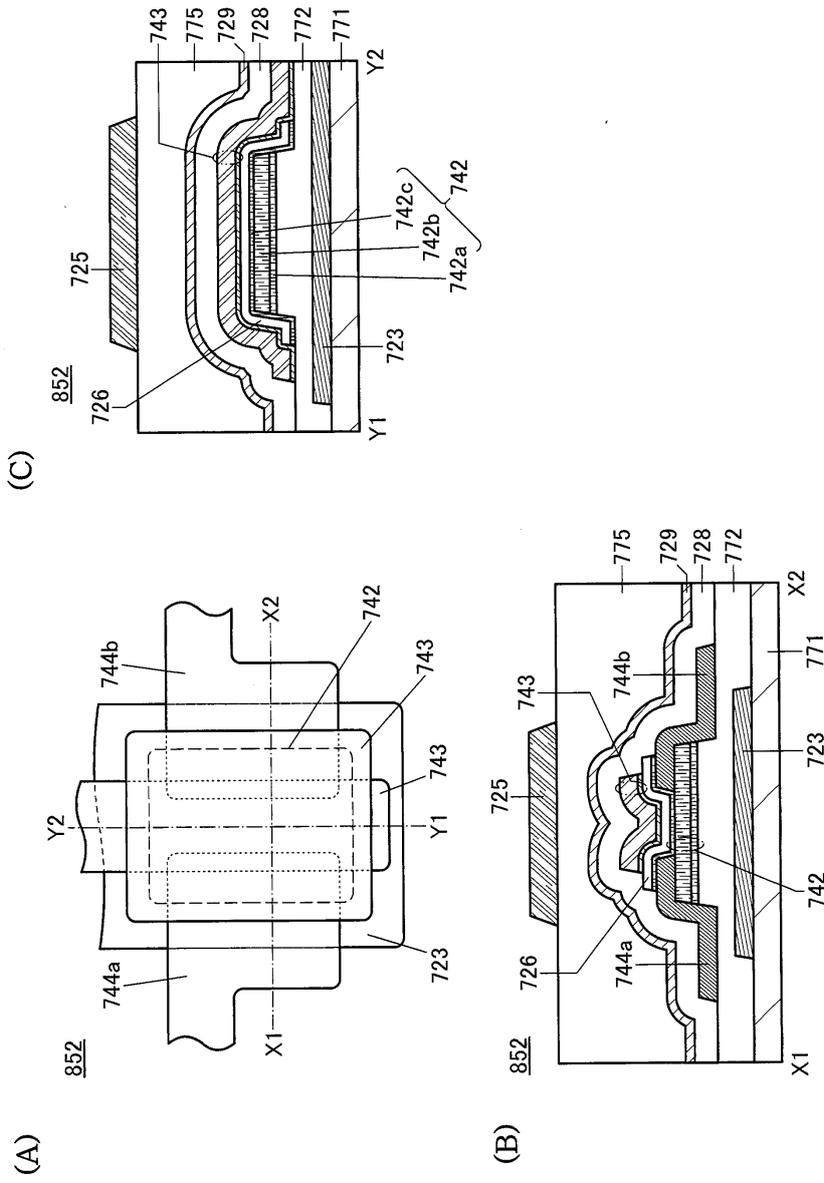
도면85



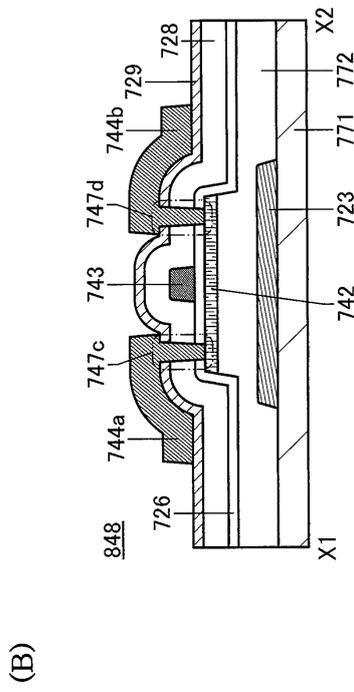
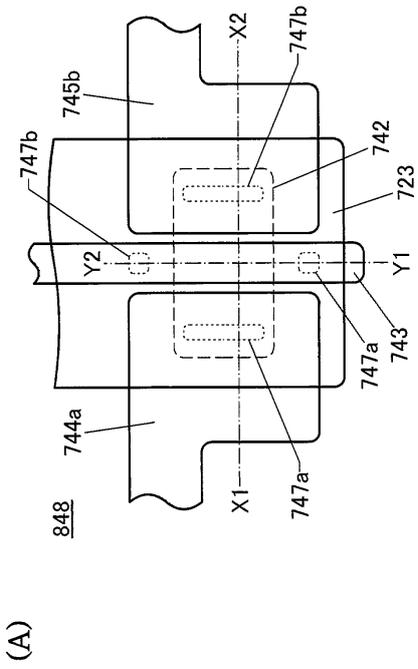
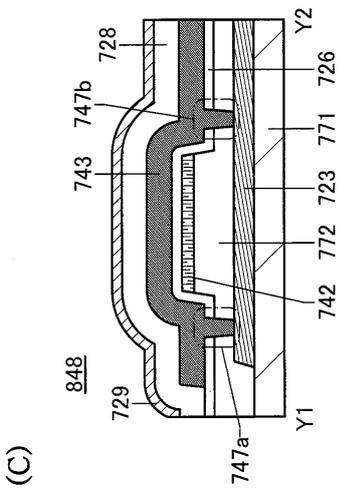
도면86



도면87

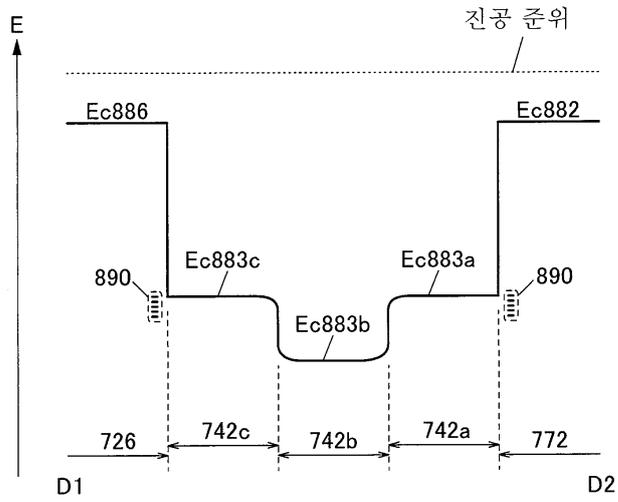


도면88

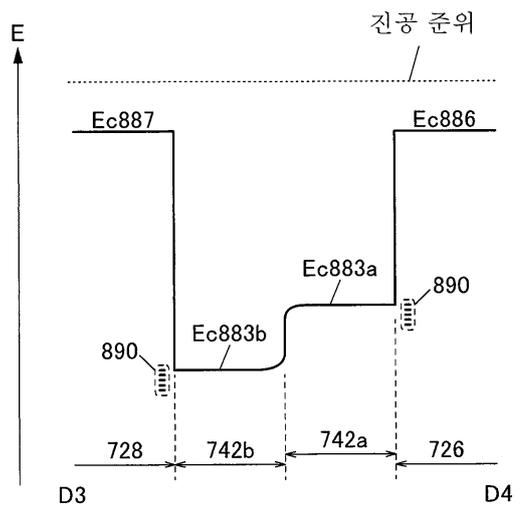


도면89

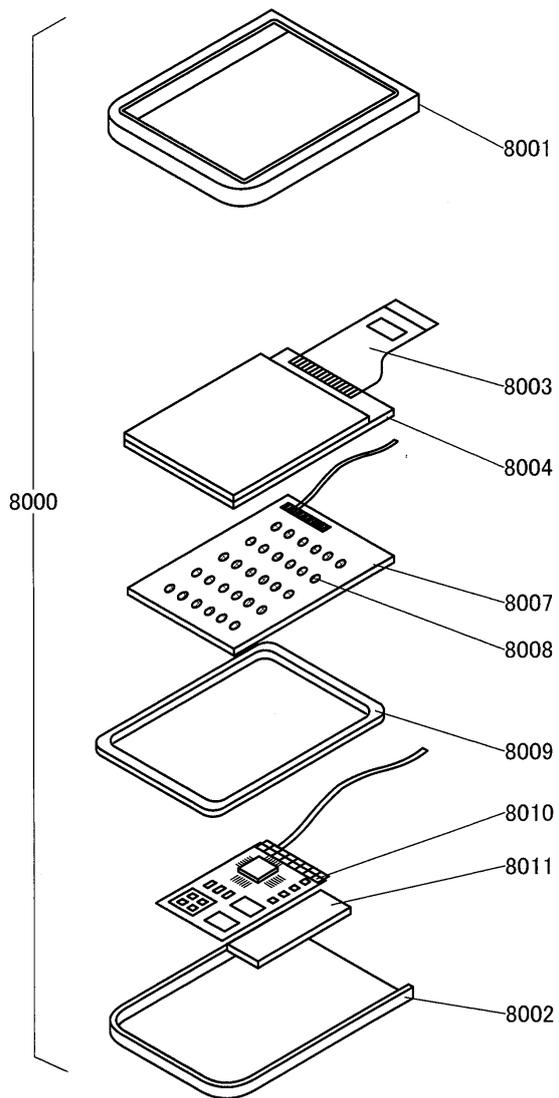
(A)



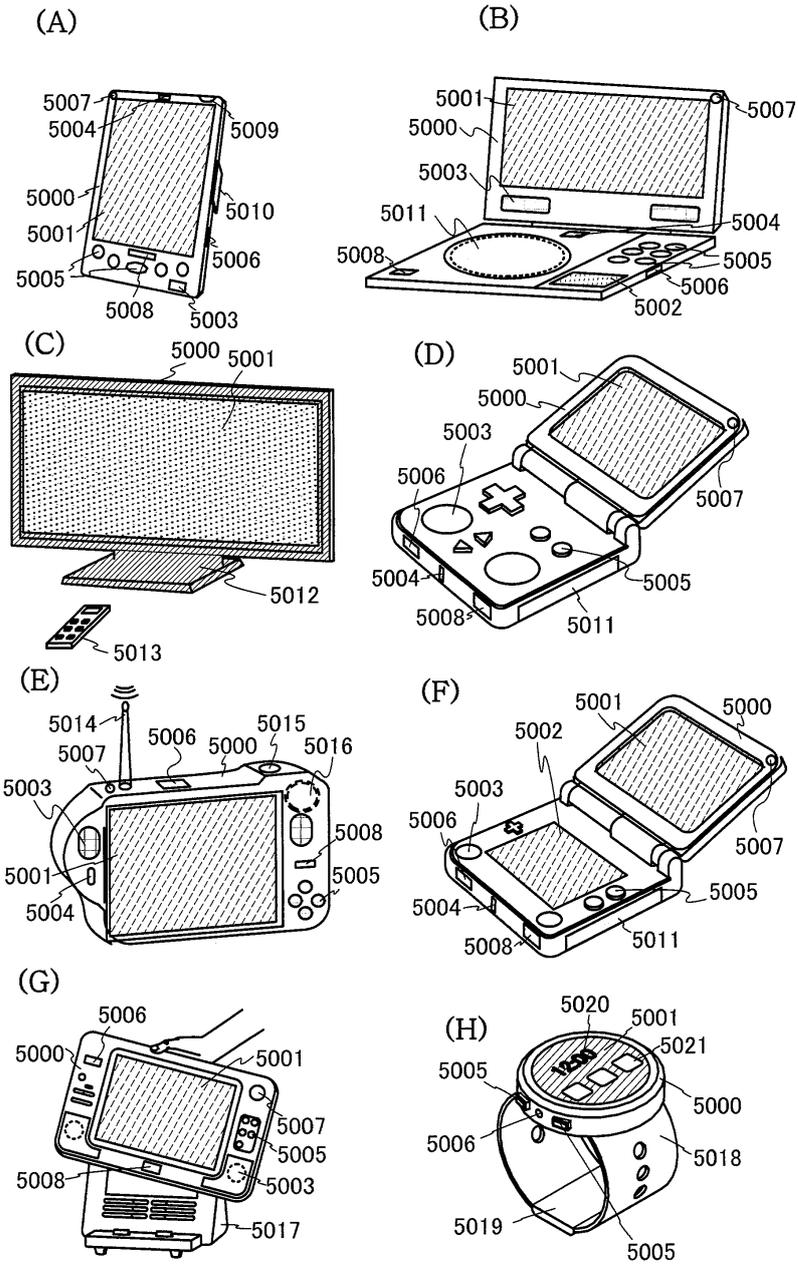
(B)



도면90



도면91



도면92

