



(12)发明专利

(10)授权公告号 CN 103426728 B

(45)授权公告日 2017.06.09

(21)申请号 201310385805.8

H01L 23/522(2006.01)

(22)申请日 2013.08.29

(56)对比文件

(65)同一申请的已公布的文献号
申请公布号 CN 103426728 A

- CN 102709270 A, 2012.10.03,
- CN 101378057 A, 2009.03.04,
- CN 102214702 A, 2011.10.12,
- CN 102420209 A, 2012.04.18,
- CN 102751176 A, 2012.10.24,
- CN 103050380 A, 2013.04.17,
- US 5023694 A, 1991.06.11,

(43)申请公布日 2013.12.04

(73)专利权人 上海华虹宏力半导体制造有限公
司
地址 201203 上海市张江高科技园区祖冲
之路1399号

审查员 邢玉良

(72)发明人 高超

(74)专利代理机构 上海思微知识产权代理事务
所(普通合伙) 31237

代理人 郑玮

(51)Int.Cl.

H01L 21/02(2006.01)

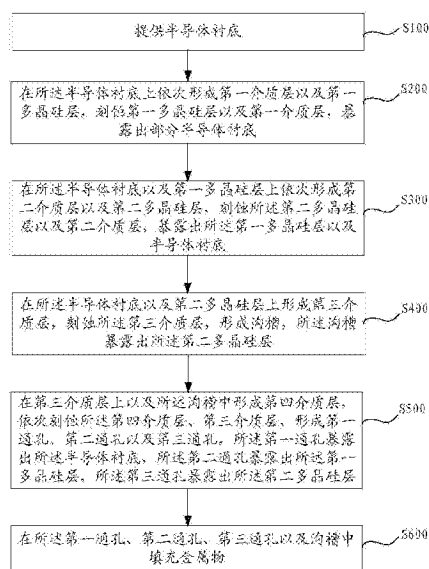
权利要求书2页 说明书5页 附图7页

(54)发明名称

电容器结构及其制作方法

(57)摘要

本发明提出一种电容器结构及其制作方法,在现有的电容器基础上形成一层第四介质层,并且刻蚀第四介质层形成沟槽,并对沟槽填充金属物,第一多晶硅层作为第一极板,第二多晶硅层作为第二极板,沟槽中的金属物作为第三极板,第二介质层以及第四介质层作为极板之间的介质层,从而在不增加电容器电容面积的情况下,提高电容器的单位面积电容,节省半导体芯片的整体面积。



1. 一种电容器的制作方法,包括以下步骤:

提供半导体衬底;

在所述半导体衬底上依次形成第一介质层以及第一多晶硅层,刻蚀所述第一多晶硅层以及第一介质层,暴露出部分半导体衬底;

在所述半导体衬底以及第一多晶硅层上依次形成第二介质层以及第二多晶硅层,刻蚀所述第二多晶硅层以及第二介质层,暴露出所述第一多晶硅层以及半导体衬底;

在所述半导体衬底以及第二多晶硅层上形成第三介质层,刻蚀所述第三介质层,形成沟槽,所述沟槽暴露出所述第二多晶硅层;

在所述第三介质层上以及所述沟槽中形成第四介质层,依次刻蚀所述第四介质层、第三介质层,形成第一通孔、第二通孔以及第三通孔,所述第一通孔暴露出所述半导体衬底,所述第二通孔暴露出所述第一多晶硅层,所述第三通孔暴露出所述第二多晶硅层;

在所述第一通孔、第二通孔、第三通孔以及沟槽中填充金属物;

形成以所述第一多晶硅层、所述第二多晶硅层以及形成于所述沟槽中的金属物分别作为电极板的金属-多晶硅-多晶硅电容器,或者形成以所述半导体衬底、所述第一多晶硅层、所述第二多晶硅层以及形成于所述沟槽中的金属物分别作为电极板的金属-多晶硅-多晶硅-硅衬底电容器。

2. 如权利要求1所述的电容器的制作方法,其特征在于:所述半导体衬底设有浅沟道隔离层。

3. 如权利要求2所述的电容器的制作方法,其特征在于:所述半导体衬底为硅衬底,所述浅沟道隔离层为二氧化硅。

4. 如权利要求1所述的电容器的制作方法,其特征在于:所述第四介质层的材质为二氧化硅或氮化硅。

5. 如权利要求4所述的电容器的制作方法,其特征在于:所述第四介质层的厚度范围是100埃~200埃。

6. 如权利要求1所述的电容器的制作方法,其特征在于:所述金属物的材质为钨。

7. 如权利要求6所述的电容器的制作方法,其特征在于:形成在所述沟槽中的钨的厚度范围是2000埃~4000埃。

8. 如权利要求1所述的电容器的制作方法,其特征在于:所述第一介质层、第二介质层以及第三介质层的材质均为二氧化硅或氮化硅。

9. 一种电容器的结构,采用如权利要求1至8中任意一种方法形成,包括:

半导体衬底;

依次形成于所述半导体衬底上的第一介质层、第一多晶硅层、第二介质层、第二多晶硅层、第三介质层以及第四介质层,所述第三介质层中设有沟槽,所述第四介质层形成在所述第三介质层表面以及沟槽内,所述第三介质层以及第四介质层中设有第一通孔、第二通孔和第三通孔,所述第一通孔暴露出所述半导体衬底,所述第二通孔暴露出所述第一多晶硅层,所述第三通孔暴露出所述第二多晶硅层;

形成于所述第一通孔、第二通孔、第三通孔以及沟槽中的金属物;

所述电容器为金属-多晶硅-多晶硅电容器或金属-多晶硅-多晶硅-硅衬底电容器。

10. 如权利要求9所述的电容器的结构,其特征在于:所述半导体衬底中设有浅沟道隔

离层。

11. 如权利要求10所述的电容器的结构,其特征在于:所述第一介质层、所述第一多晶硅层、所述第二介质层以及所述第二多晶硅层形成在所述浅沟道隔离层上。

12. 如权利要求10所述的电容器的结构,其特征在于:所述第一介质层、所述第一多晶硅层、所述第二介质层以及所述第二多晶硅层形成于所述半导体衬底上。

电容器结构及其制作方法

技术领域

[0001] 本发明涉及半导体技术领域,特别涉及一种电容器结构及其制作方法。

背景技术

[0002] 半导体集成电路中,电容器包括PIP(Poly-Insulator-Poly,多晶硅-绝缘层-多晶硅)电容器以及PPS(Poly-Poly-Substrate,多晶硅-多晶硅-衬底)电容器。

[0003] 其中,PIP电容器是一种广泛用于防止模拟电路发射噪音和频率调制的器件。由于PIP电容器具有由多晶硅(与逻辑电路的栅电极的材料相同)形成的下部电极和上部电极,因此PIP电容器的电极可以与栅电极一起形成,而无需单独的形成工艺。PPS电容器也具有由多晶硅(与逻辑电路的栅电极的材料相同)形成的下部电极和上部电极,PPS电容器的电极也可以与栅电极一起形成,而无需单独的形成工艺。由于PIP电容器和PPS电容器的电极均可以与栅电极一起形成,在器件需要大电容的情况下,通常使用PIP电容器和PPS电容器。

[0004] 在现有的电擦除可编辑的只读存储器(Electrically Erasable Programmable ROM,EEPROM)中,广泛使用PIP电容器和PPS电容器。但是,一般情况下PIP电容器会被单独形成在场区,PPS电容器单独形成在有源区,由于PIP电容器、PPS电容器单位面积电容较小,增大电容的唯一办法是增加PIP电容器面积或增加PPS电容器面积,这就导致芯片面积随之增大。

[0005] 现有技术中的电容器的制作方法,以PIP电容器为例,包括以下步骤:

[0006] 如图1a所示,提供半导体衬底110;并在所述提供半导体衬底110上依次形成第一介质层120和第一多晶硅层130;然后,刻蚀所述第一介质层120和所述第一多晶硅层130,暴露出所述半导体衬底110的边缘;

[0007] 如图1b所示,在所述半导体衬底110和所述第一多晶硅层130上依次形成第二介质层140以及第二多晶硅层150;然后,对所述第二多晶硅层150以及第二介质层140进行刻蚀,停止于所述半导体衬底110或第一多晶硅层130上,形成沟槽151;

[0008] 如图1c所示,在所述半导体衬底110、所述第二多晶硅层150以及所述沟槽151中形成第三介质层160;然后,对所述第三介质层160进行刻蚀,在所述沟槽151中形成第一通孔161,停止于所述第一多晶硅层130上;同时,在所述第三介质层160中形成第二通孔162,并停止于所述第二多晶硅层150上;

[0009] 如图1d所示,在所述第一通孔161以及所述第二通孔162中填充金属物170。

[0010] 由此形成电容器,所述电容器由所述第一多晶硅层130作为第一极板(下部电极),所述第二多晶硅层150作为第二极板(上部电极),所述第二介质层140作为第一极板和第二极板之间的介质层(绝缘层)。然而,现有的电容器的电容已经不能满足产品设计的要求。随着半导体器件的尺寸持续降低,如何在不增加电容面积的情况下提高电容器的单位面积电容是本领域技术人员急需解决的问题之一。

发明内容

[0011] 本发明的目的在于提出一种电容器结构及其制作方法,在不增加电容面积的情况下,提高电容器的单位面积电容。

[0012] 为了实现上述目的,本发明的提供一种电容器的制作方法,包括以下步骤:

[0013] 提供半导体衬底;

[0014] 在所述半导体衬底上依次形成第一介质层以及第一多晶硅层,刻蚀所述第一多晶硅层以及第一介质层,暴露出部分半导体衬底;

[0015] 在所述半导体衬底以及第一多晶硅层上依次形成第二介质层以及第二多晶硅层,刻蚀所述第二多晶硅层以及第二介质层,暴露出所述第一多晶硅层以及半导体衬底;

[0016] 在所述半导体衬底以及第二多晶硅层上形成第三介质层,刻蚀所述第三介质层,形成沟槽,所述沟槽暴露出所述第二多晶硅层;

[0017] 在所述第三介质层上以及所述沟槽中形成第四介质层,依次刻蚀所述第四介质层、第三介质层,形成第一通孔、第二通孔以及第三通孔,所述第一通孔暴露出所述半导体衬底,所述第二通孔暴露出所述第一多晶硅层,所述第三通孔暴露出所述第二多晶硅层;

[0018] 在所述第一通孔、第二通孔、第三通孔以及沟槽中填充金属物。

[0019] 进一步的,在所述电容器的制作方法中,所述半导体衬底设有浅沟道隔离层。

[0020] 进一步的,在所述电容器的制作方法中,所述半导体衬底为硅衬底,所述浅沟道隔离层为二氧化硅。

[0021] 进一步的,在所述电容器的制作方法中,所述第四介质层的材质为二氧化硅或氮化硅。

[0022] 进一步的,在所述电容器的制作方法中,所述第四介质层的厚度范围是100埃~200埃。

[0023] 进一步的,在所述电容器的制作方法中,所述金属物的材质为钨。

[0024] 进一步的,在所述电容器的制作方法中,形成在所述沟槽中的钨的厚度范围是2000埃~4000埃。

[0025] 进一步的,在所述电容器的制作方法中,所述第一介质层、第二介质层以及第三介质层的材质均为二氧化硅或氮化硅。

[0026] 根据本发明的另一面,还提出一种电容器的结构,采用上述任意一种方法形成,包括:

[0027] 半导体衬底;

[0028] 依次形成于所述半导体衬底上的第一介质层、第一多晶硅层、第二介质层、第二多晶硅层、第三介质层以及第四介质层,所述第三介质层中设有沟槽,所述第四介质层形成在所述第三介质层表面以及沟槽内,所述第三介质层以及第四介质层中设有第一通孔、第二通孔和第三通孔,所述第一通孔暴露出所述半导体衬底,所述第二通孔暴露出所述第一多晶硅层,所述第三通孔暴露出所述第二多晶硅层;

[0029] 形成于所述第一通孔、第二通孔、第三通孔以及沟槽中的金属物。

[0030] 进一步的,在所述的电容器的结构中,所述半导体衬底中设有浅沟道隔离层。

[0031] 进一步的,在所述的电容器的结构中,所述电容器为金属-多晶硅-多晶硅电容器。

[0032] 进一步的,在所述的电容器的结构中,所述第一介质层、所述第一多晶硅层、所述第二介质层以及所述第二多晶硅层形成在所述浅沟道隔离层上。

[0033] 进一步的,在所述的电容器的结构中,所述电容器为金属-多晶硅-多晶硅-硅衬底电容器。

[0034] 进一步的,在所述的电容器的结构中,所述第一介质层、所述第一多晶硅层、所述第二介质层以及所述第二多晶硅层形成于所述半导体衬底上。

[0035] 与现有技术相比,本发明的有益效果主要体现在:在现有的电容器基础上形成一层第四介质层,并且刻蚀第四介质层形成沟槽,并对沟槽填充金属物,第一多晶硅层作为第一极板,第二多晶硅层作为第二极板,沟槽中的金属物作为第三极板,第二介质层以及第四介质层作为极板之间的介质层,从而在不增加电容器电容面积的情况下,提高电容器的单位面积电容,节省半导体芯片的整体面积。

附图说明

[0036] 图1a-1d为现有技术中形成电容器的结构示意图;

[0037] 图2为本发明一实施例中形成电容器的流程图;

[0038] 图3a-3e为本发明实施例一电容器制作方法过程中的结构示意图;

[0039] 图4a-4c为本发明实施例一电容器制作方法过程中的结构俯视图;

[0040] 图5a-5e为本发明实施例二电容器制作方法过程中的结构示意图;

[0041] 图5f为本发明实施例二电容器制作方法的结构俯视图。

具体实施方式

[0042] 为了便于描述,下面将结合具体实施例以及附图对本发明作更加详细的描述。

[0043] 实施例一

[0044] 请参考图2、图3a~3e以及图4a~4c,本实施例提出一种金属-多晶硅-多晶硅(metal-poly-poly, M-PIP)电容器的制作方法,包括:

[0045] 步骤S100:提供半导体衬底310,所述半导体衬底310上设有浅沟道隔离层320;其中,所述半导体衬底310为硅衬底,所述浅沟道隔离层320为二氧化硅,如图3a所示;

[0046] 步骤S200:在浅沟道隔离层320上依次形成第一介质层330以及第一多晶硅层340,然后刻蚀所述第一多晶硅层340和第一介质层330,暴露出所述浅沟道隔离层320和所述半导体衬底310,如图3a和图4a所示;

[0047] 步骤S300:在所述浅沟道隔离层320和所述第一多晶硅层340上依次形成第二介质层350以及第二多晶硅层360,刻蚀所述第二多晶硅层360以及第二介质层350,暴露出所述第一多晶硅层340以及浅沟道隔离层320,如图3b和图4b所示;其中,所述第一介质层330的材质为二氧化硅或氮化硅,所述第二介质层350的材质为二氧化硅或氮化硅;

[0048] 步骤S400:在所述半导体衬底310以及第二多晶硅层360上形成第三介质层370,刻蚀所述第三介质层370,形成沟槽371,所述沟槽371暴露出所述第二多晶硅层360,如图3c所示;其中,所述第三介质层370的材质为二氧化硅或氮化硅;

[0049] 步骤S500:在所述第三介质层370上以及所述沟槽371中形成第四介质层380,依次刻蚀所述第四介质层380、第三介质层370,形成第一通孔(图未示)、第二通孔372以及第三通孔373,所述第一通孔暴露出所述半导体衬底310,所述第二通孔372暴露出所述第一多晶硅层340,所述第三通孔373暴露出所述第二多晶硅层360,如图3d所示;其中,所述第四介质

层380的材质为二氧化硅或氮化硅,所述第四介质层380的厚度范围是100埃~200埃,例如是150埃;

[0050] 步骤S600:在所述第一通孔、第二通孔372、第三通孔373以及沟槽371中填充金属物390,如图3e和图4c所示;其中,所述金属物390的材质为钨,形成在所述沟槽371中的钨的厚度范围是2000埃~4000埃,例如是3000埃,形成在所述第一通孔中的金属物390用于连接所述半导体衬底310,形成在所述第二通孔372中的金属物390用于连接所述第一多晶硅层340,形成在所述第三通孔373中的金属物390用于连接所述第二多晶硅层360。

[0051] 在本实施例中,所述第一介质层330、第二介质层350以及第三介质层370的材质均为二氧化硅或氮化硅。

[0052] 在本实施例中,还提出一种M-PIP电容的结构,如图3e和图4c所示,采用如上文所述的方法形成,所述M-PIP电容包括:

[0053] 半导体衬底310,所述半导体衬底310上设有浅沟道隔离层320;

[0054] 依次形成于所述浅沟道隔离层320上的第一介质层330、第一多晶硅层340、第二介质层350、第二多晶硅层360、第三介质层370以及第四介质层380,所述第三介质层370中设有沟槽,所述第四介质层380形成在所述第三介质层370表面以及沟槽内,所述第三介质层370以及第四介质层380中设有第一通孔、第二通孔和第三通孔,所述第一通孔暴露出所述半导体衬底310,所述第二通孔暴露出所述第一多晶硅层340,所述第三通孔暴露出所述第二多晶硅层360;

[0055] 形成于所述第一通孔、第二通孔、第三通孔以及沟槽中的金属物390。

[0056] 在本实施例中,所述第一介质层330、所述第一多晶硅层340、所述第二介质层350以及所述第二多晶硅层360形成在所述浅沟道隔离层320上。

[0057] 在本实施例的M-PIP电容器的结构中,所述第一多晶硅层340可以作为第一电极板,所述第二多晶硅层360可以作为第二电极板,形成于沟槽371中的金属物390可以作为第三电极板,其中,所述第二介质层350、第四介质层380作为上述三个电极板之间的介质层。由此可知,本实施例提出的M-PIP电容器实际上是形成两个并联的电容器,在没有增加电容面积的情况下,提高PIP电容器的单位面积电容。其中,形成于所述第一通孔、第二通孔372以及所述第三通孔373中的金属物390的作用是作为连接线。

[0058] 实施例二

[0059] 请参考图2以及5a~5e,本实施例提出一种金属-多晶硅-多晶硅-硅衬底(metal-poly-poly-substrate, M-PPS)电容器的制作方法,包括:

[0060] 步骤S100:提供半导体衬底410,所述半导体衬底410上设有多个浅沟道隔离层420;其中,所述半导体衬底410为硅衬底,所述浅沟道隔离层420为二氧化硅,如图5a所示;

[0061] 步骤S200:在两个浅沟道隔离层420之间的半导体衬底410上依次形成第一介质层430和第一多晶硅层440,然后刻蚀所述第一多晶硅层440和所述第一介质层430,暴露出所述半导体衬底410和所述浅沟道隔离层420,如图5a所示;其中,所述第一介质层430的材质为二氧化硅或氮化硅;

[0062] 步骤S300:在所述浅沟道隔离层420和所述第一多晶硅层440上依次形成第二介质层450以及第二多晶硅层460,刻蚀所述第二多晶硅层460以及第二介质层450,暴露出所述第一多晶硅层440以及浅沟道隔离层420,如图5b所示;其中,所述第一介质层430的材质为

二氧化硅或氮化硅,所述第二介质层450的材质为二氧化硅或氮化硅;

[0063] 步骤S400:在所述半导体衬底410以及第二多晶硅层460上形成第三介质层470,刻蚀所述第三介质层470,形成沟槽471,所述沟槽471暴露出所述第二多晶硅层460,如图5c所示;其中,所述第三介质层470的材质为二氧化硅或氮化硅;

[0064] 步骤S500:在所述第三介质层470上以及所述沟槽471中形成第四介质层480,依次刻蚀所述第四介质层380、第三介质层370,形成第一通孔(图未示)、第二通孔472以及第三通孔473,所述第一通孔暴露出所述半导体衬底310,所述第二通孔472暴露出所述第一多晶硅层440,所述第三通孔473暴露出所述第二多晶硅层460,如图5d所示;其中,所述第四介质层380的厚度范围是100埃~200埃,例如是180埃;

[0065] 步骤S600:在所述第一通孔、第二通孔472、第三通孔473以及沟槽471中填充金属物490,如图5e所示;其中,所述金属物490的材质为钨,形成在所述沟槽471中的钨的厚度范围是2000埃~4000埃,例如是3500埃。

[0066] 同样的,形成在所述第一通孔中的金属物490用于连接所述半导体衬底410,形成在所述第二通孔472中的金属物490用于连接所述第一多晶硅层440,形成在所述第三通孔473中的金属物490用于连接所述第二多晶硅层460。

[0067] 在本实施例中,还提出一种M-PPS电容的结构,如图5e所示,采用如上文所述的方法形成,所述M-PPS电容包括:

[0068] 半导体衬底410,所述半导体衬底410上设有多个浅沟道隔离层420;

[0069] 依次形成于两个浅沟道隔离层420之间的半导体衬底410上的第一介质层430、第一多晶硅层440、第二介质层450、第二多晶硅层460、第三介质层470以及第四介质层480,所述第三介质层470中设有沟槽,所述第四介质层480形成在所述第三介质层470表面以及沟槽内,所述第三介质层470以及第四介质层480中设有第一通孔、第二通孔和第三通孔,所述第一通孔暴露出所述半导体衬底410,所述第二通孔暴露出所述第一多晶硅层440,所述第三通孔暴露出所述第二多晶硅层460;

[0070] 形成于所述第一通孔、第二通孔、第三通孔以及沟槽中的金属物490。

[0071] 需要指明的是,M-PPS电容器的俯视图与M-PIP电容器的俯视图差别仅在于衬底图案不同,M-PPS电容器的俯视图可以参考图5f。

[0072] 在本实施例的M-PPS电容器的结构中,所述半导体衬底410可以作为第一电极板,所述第一多晶硅层440可以作为第二电极板,所述第二多晶硅层460可以作为第三电极板,形成于沟槽471中的金属物490可以作为第四电极板,其中,所述第一介质层430、所述第二介质层450、第四介质层480作为上述四个电极板之间的介质层。由此可知,本实施例提出的M-PPS电容器实际上是形成三个并联的电容器,在没有增加电容面积的情况下,提高PPS电容器的单位面积电容。其中,形成于所述第一通孔、第二通孔472以及第三通孔473中的金属物390的作用是作为连接线。

[0073] 以上仅为本发明的优选实施例而已,并不对本发明起到任何限制作用。任何所属技术领域的技术人员,在不脱离本发明的技术方案的范围,对本发明揭露的技术方案和技术内容做任何形式的等同替换或修改等变动,均属未脱离本发明的技术方案的内容,仍属于本发明的保护范围之内。

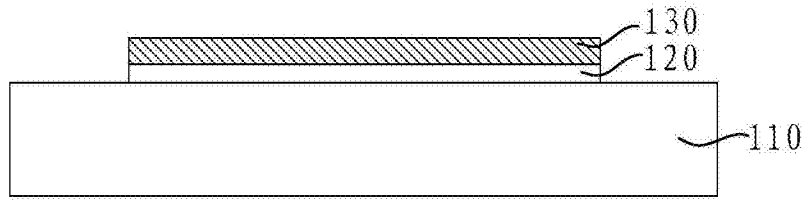


图1a

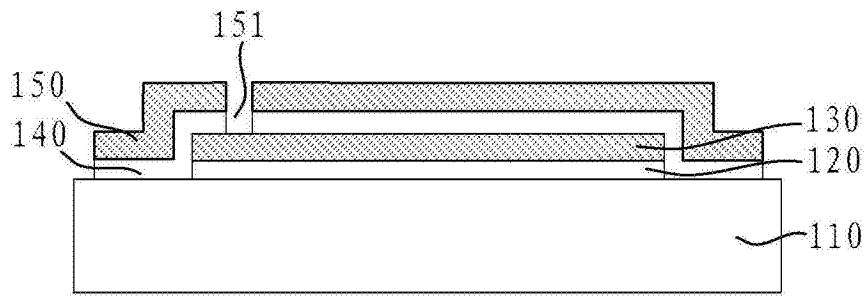


图1b

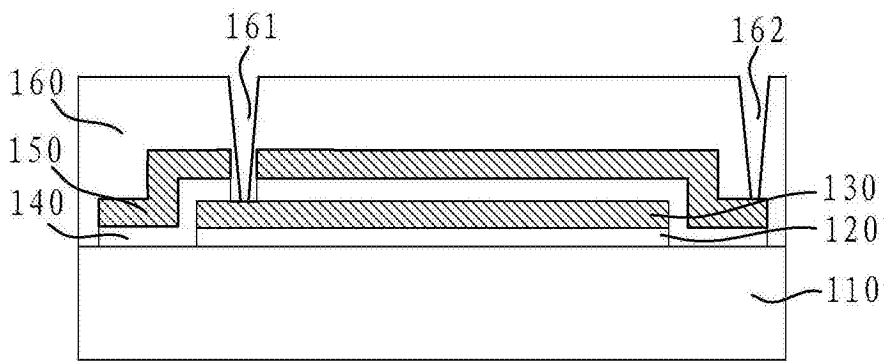


图1c

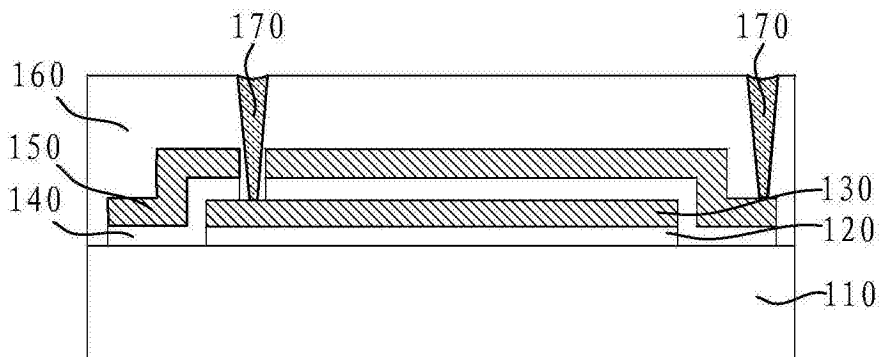


图1d

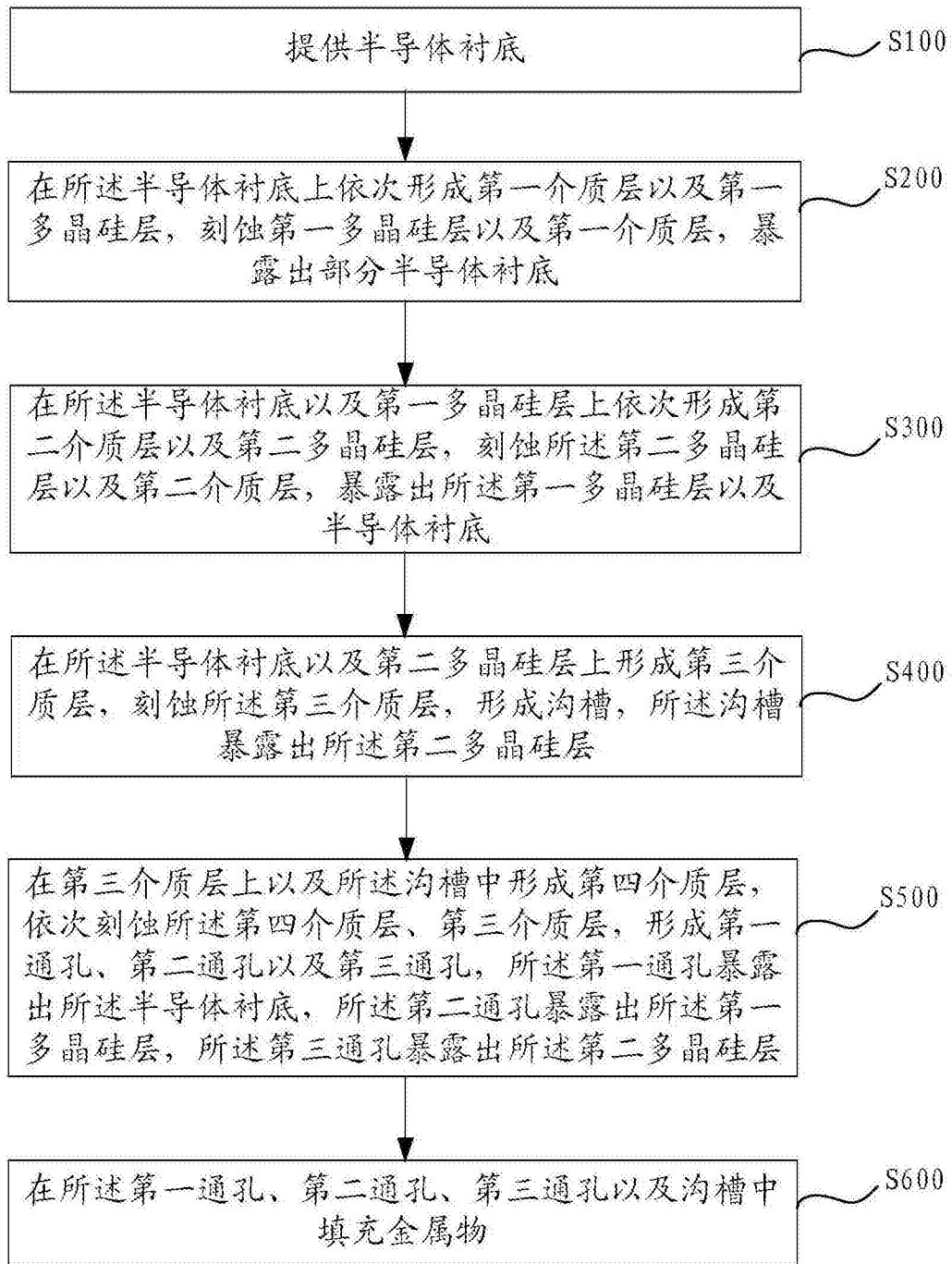


图2

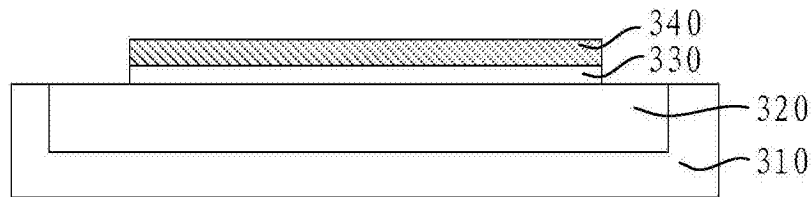


图3a

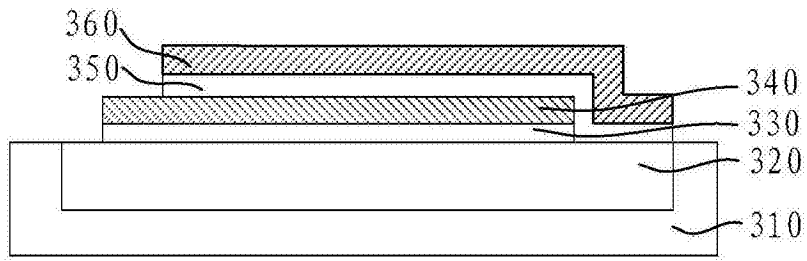


图3b

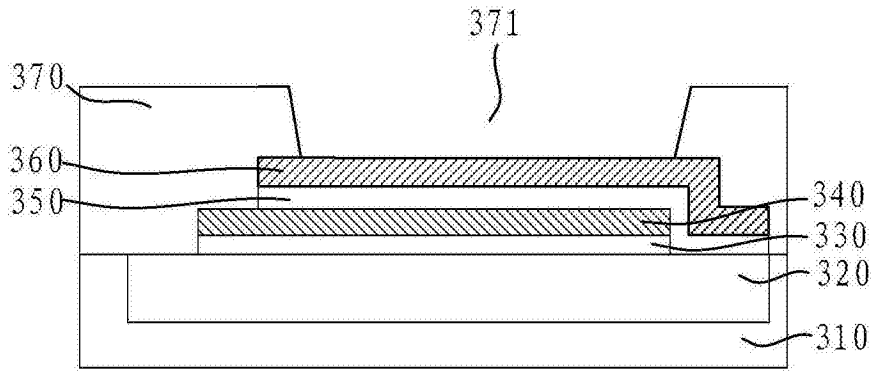


图3c

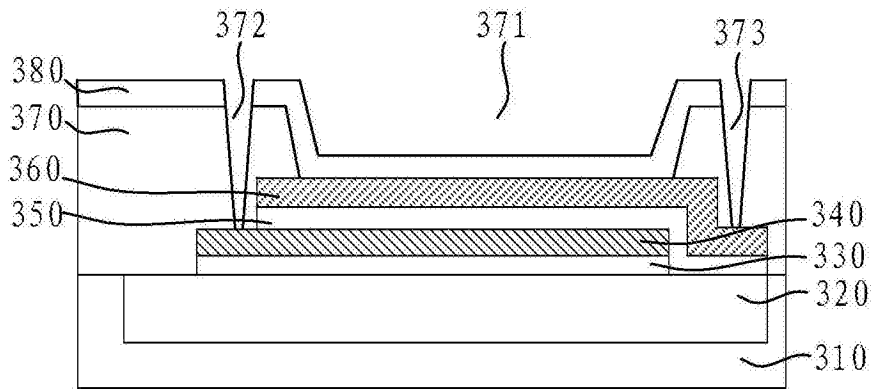


图3d

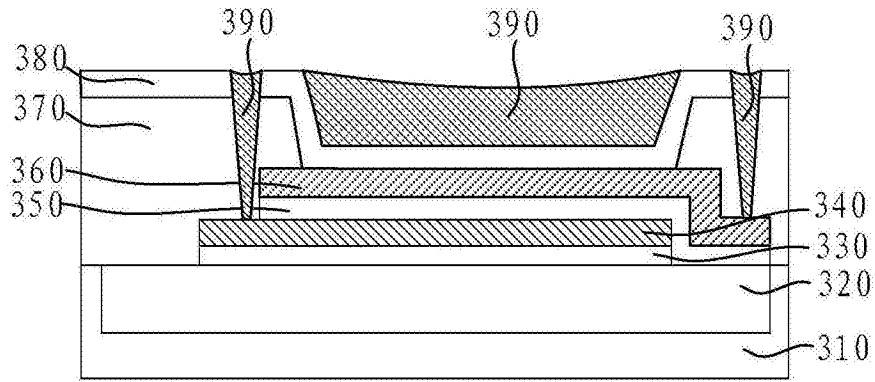


图3e

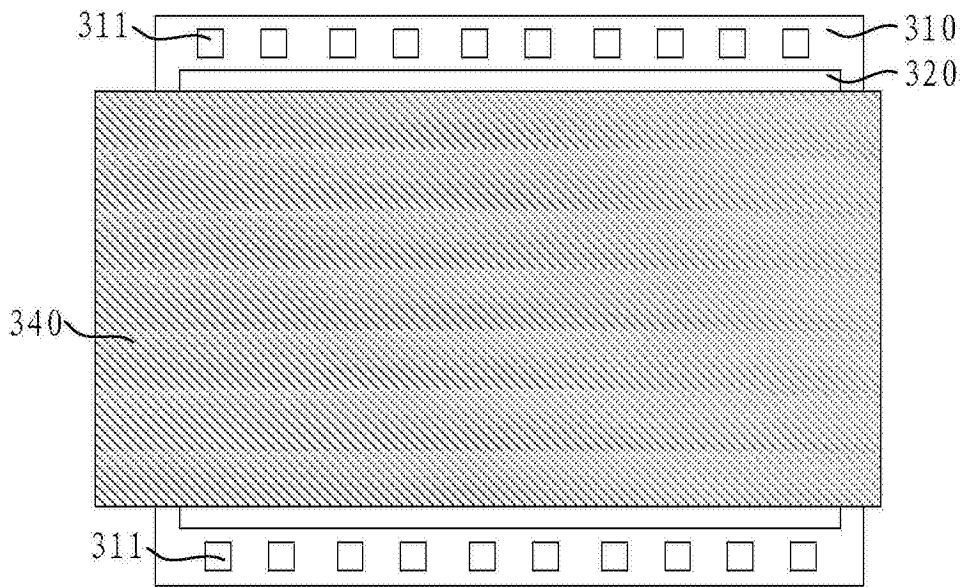


图4a

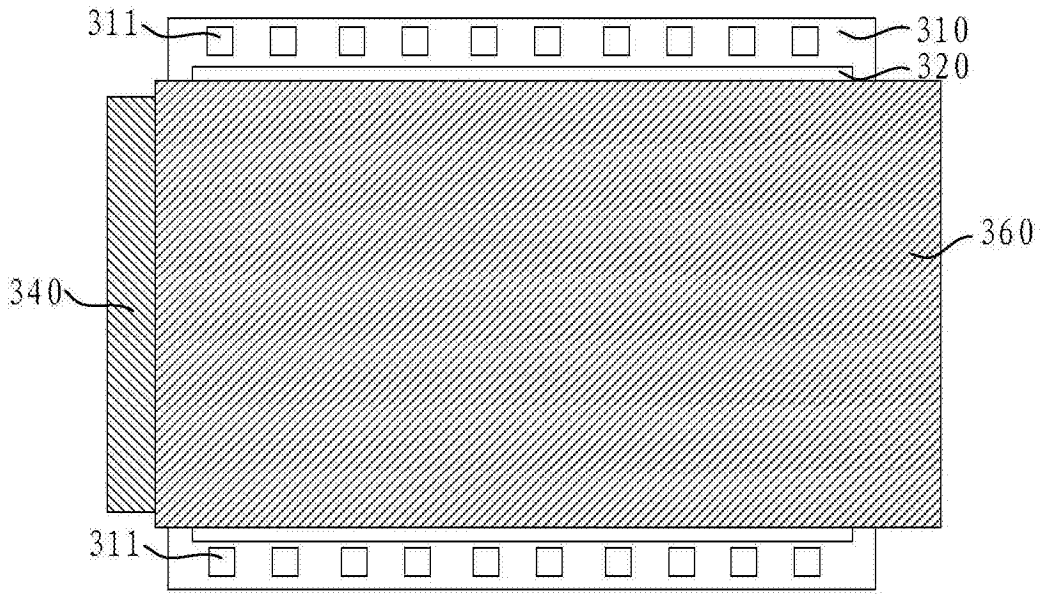


图4b

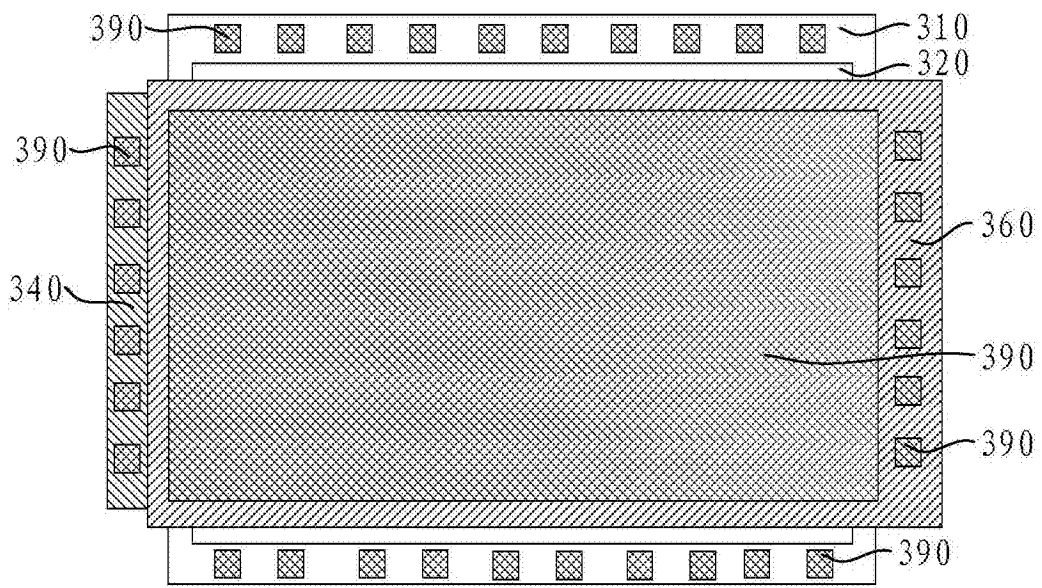


图4c

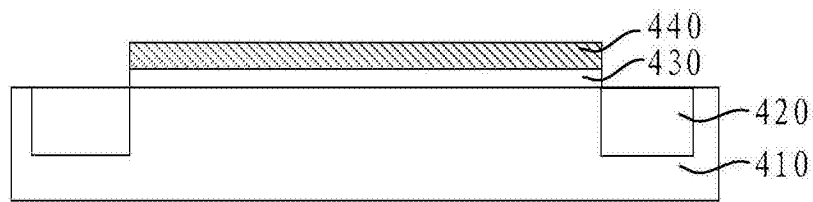


图5a

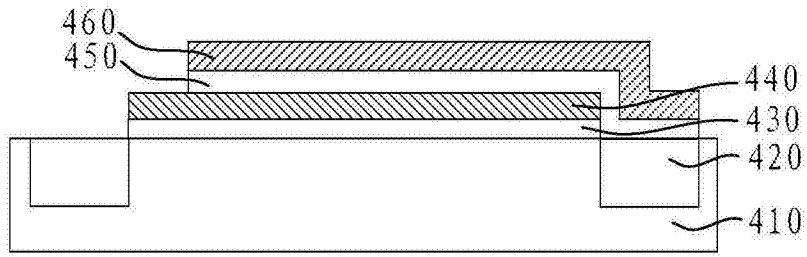


图5b

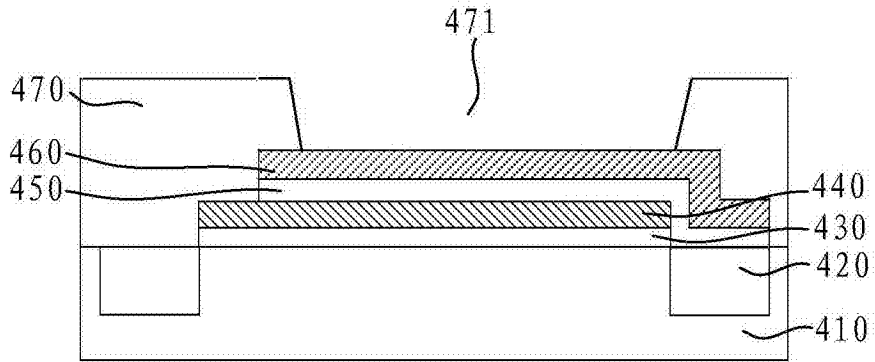


图5c

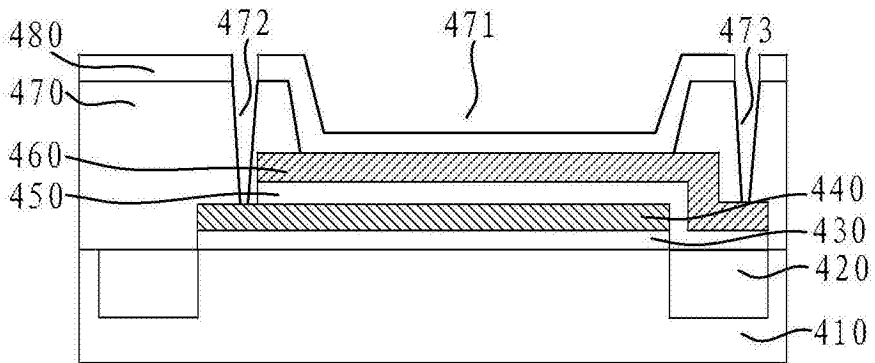


图5d

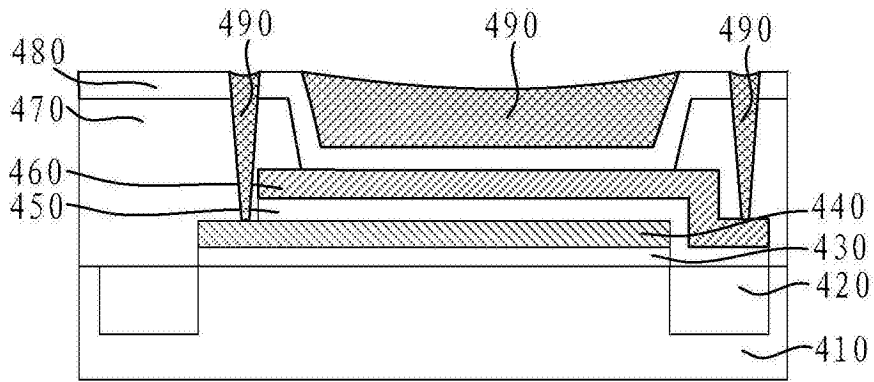


图5e

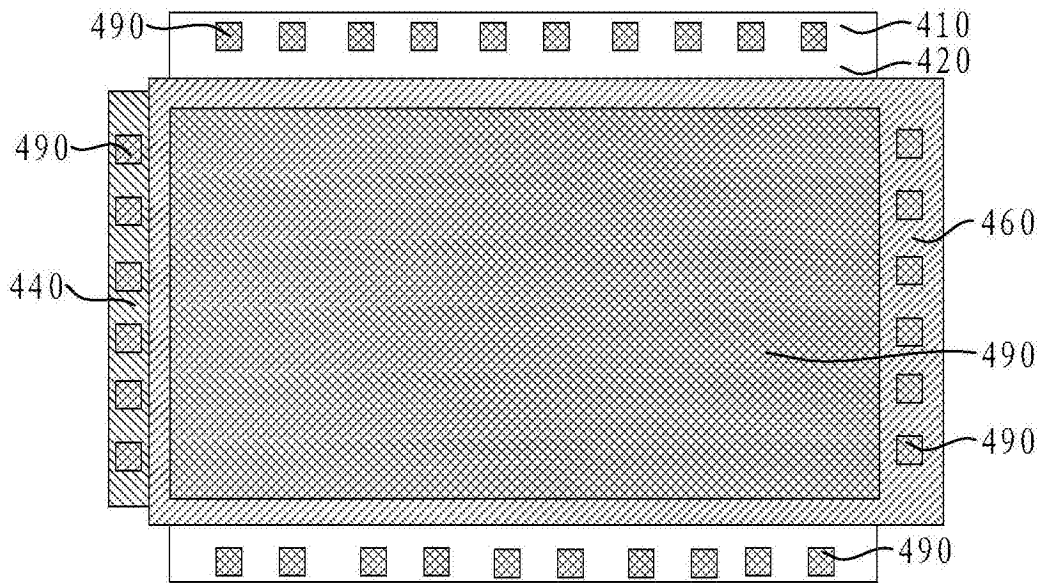


图5f