

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011年6月9日(09.06.2011)

PCT

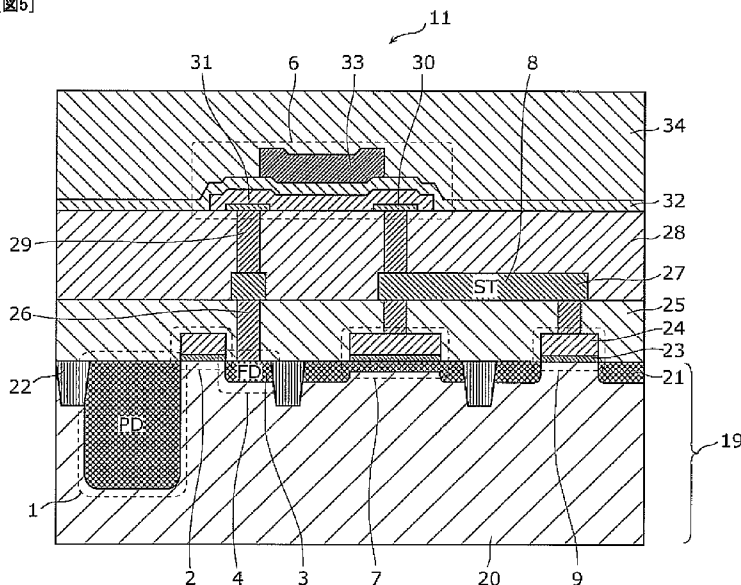
(10) 国際公開番号
WO 2011/067878 A1

- (51) 国際特許分類:
H04N 5/335 (2011.01) H01L 27/146 (2006.01)
 - (21) 国際出願番号: PCT/JP2010/004861
 - (22) 国際出願日: 2010年8月2日(02.08.2010)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2009-274990 2009年12月2日(02.12.2009) JP
 - (71) 出願人 (米国を除く全ての指定国について): パナソニック株式会社 (PANASONIC CORPORATION) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
 - (72) 発明者: および
 - (75) 発明者/出願人 (米国についてのみ): 加藤 剛久 (KATO, Yoshihisa).
 - (74) 代理人: 新居 広守 (NII, Hiromori); 〒5320011 大阪府大阪市淀川区西中島5丁目3番10号タナカ・イトピア新大阪ビル6階新居国際特許事務所内 Osaka (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: SOLID-STATE IMAGE PICKUP DEVICE AND DRIVE METHOD

(54) 発明の名称: 固体撮像装置および駆動方法

[図5]



(57) Abstract: Disclosed is a solid-state image pickup device wherein a plurality of pixel circuits (11) are two-dimensionally disposed, each of said pixel circuits being provided with: a photodiode (1), i.e., a photoelectric conversion element formed on a semiconductor substrate (19); a memory circuit, which is configured of a pass transistor (6) configured of a thin film transistor, and a storage capacitor (7), and which stores signal charges generated by means of a photodiode (1) in the storage capacitor (7) via the pass transistor (6); and an output circuit, which is configured of an output transistor (9), i.e., a field effect transistor formed on the semiconductor substrate (19), and which outputs a signal voltage corresponding to the signal charges stored in the storage capacitor (7). The band gap of the semiconductor thin film (31), with which the pass transistor (6) is configured, is larger than the band gap of the semiconductor substrate (19).

(57) 要約:

[続葉有]

WO 2011/067878 A1



半導体基板（１９）に形成された光電変換素子であるフォトダイオード（１）と、薄膜トランジスタで構成されたパストランジスタ（６）と蓄積容量（７）とで構成され、フォトダイオード（１）で生成された信号電荷を、パストランジスタ（６）を介して蓄積容量（７）に蓄積するメモリ回路と、半導体基板（１９）に形成された電界効果トランジスタである出力トランジスタ（９）で構成され、蓄積容量（７）に蓄積された信号電荷に応じた信号電圧を出力する出力回路とを各々備えた複数の画素回路（１１）が二次元状に配置されてなり、パストランジスタ（６）を構成する半導体薄膜（３１）のバンドギャップが、半導体基板（１９）のバンドギャップよりも大きい。

明 細 書

発明の名称： 固体撮像装置および駆動方法

技術分野

[0001] 本発明は、固体撮像装置に関し、特にグローバルシャッタ機能を備えた固体撮像装置に関する。

背景技術

[0002] 従来の固体撮像装置において、画素ごとに設けられる画素回路は、図1に示すように読み出し回路90とフォトダイオード1で構成され、マトリクス状に複数の画素回路が配置されている。読み出し回路90は、転送トランジスタ2、キャパシタ4、リセットトランジスタ5、出力トランジスタ9、および選択トランジスタ10で構成される。画素行に沿って選択線SEL、転送制御線TRANおよびリセット線RSTが設置され、これらは垂直走査回路（図面には示していない）に接続されている。一方、画素列に沿って信号線COLが設置され、水平走査回路（図面には示していない）に接続されている。

[0003] 固体撮像装置は、画素回路内のフォトダイオード1で光電変換を行う。撮像動作には、光電変換された電気信号の読み出しを線順次に（例えば行ごとに順次、その行に配置されている画素回路で）行うローリングシャッタ動作と、全画素一斉に実行するグローバルシャッタ動作の2種類がある。

[0004] ローリングシャッタは線順次に読み出していく間に被写体が動いた場合、得られた画像が歪んでしまうという課題がある。一方、グローバルシャッタは被写体の全体を同時刻に撮像するため、動く被写体であっても歪まずに撮像できるという点で優れる。

[0005] 以下、従来の固体撮像装置において、全画素が同時に露光されるグローバルシャッタ撮像動作を説明する。

[0006] 図2(a)に示すように、垂直走査回路は、トリガ信号の入力に応じて全行同時にリセット線RSTにハイレベルの全リセット信号を送出する。同時

に、垂直走査回路は全行の転送制御線TRANにもハイレベルの転送パルスを送出する。すると、全画素のフォトダイオード1およびキャパシタ4に蓄えられた電荷がリセットトランジスタ5を通じて排出され、全画素のフォトダイオード1およびキャパシタ4がリセットされる。リセット後、全画素のフォトダイオード1は露光状態となり、光電変換によって入射光強度に応じた電荷を生成する。

[0007] 露光期間が完了した後、垂直走査回路は全行のリセット線RSTをローレベルにした後、転送制御線TRANにハイレベルの転送パルスを再送出する。これにより、全画素のフォトダイオード1から転送トランジスタ2を通じてキャパシタ4に信号電荷が移動する。

[0008] 全画素のキャパシタ4に信号電荷が蓄積された後、線順次に画素信号を出力する。図2(b)に示すように、垂直走査回路は選択線SEL_i（添え字iは行番号を示す）へアドレス線選択信号を送出し、選択トランジスタ10を画素行ごとに順次オン状態にする。このとき、出力トランジスタ9のゲート電極はキャパシタ4に格納されている信号電荷量に応じた電位に変調されており、そのチャネルコンダクタンスは信号電荷量に依存する。従って、信号線COL上には、信号電荷量に依存した信号電圧が出力される。

先行技術文献

特許文献

[0009] 特許文献1：特開2007-226663号公報

特許文献2：特開2009-071057号公報

発明の概要

発明が解決しようとする課題

[0010] 従来の固体撮像装置は例えばシリコンなどからなる半導体基板上に形成されるのが一般的であり、光電変換により生成された電荷を保持するためのキャパシタはpn接合容量（通称フローティングディフュージョン、FD）である。それ故、キャパシタはフォトダイオードと同等の光電変換特性を示す

。グローバルシャッタ動作で得られた電気信号（すなわち信号電荷）は最大で1フレーム相当の期間、キャパシタに電荷を保持する必要がある。そのためには、キャパシタへ入射する光を遮る遮光構造が必須となる。しかしながら、キャパシタに遮光を施したとしても完全に入射光強度をゼロにすることは難しく、キャパシタが持つ光電変換特性のためにある程度のノイズ電荷が発生して画質を低下させるという課題がある。

[0011] 本発明はこのような課題を解決するためになされたものであり、グローバルシャッタ動作が可能で、かつ、高品位な画像を得やすい固体撮像装置を提供することを目的とする。

課題を解決するための手段

[0012] 上記目的を達成するために、本発明に係る固体撮像装置は、半導体基板に形成された光電変換素子と、薄膜トランジスタと蓄積容量とで構成され、前記光電変換素子で生成された信号電荷を、前記薄膜トランジスタを介して前記蓄積容量に蓄積するメモリ回路と、前記半導体基板に形成された電界効果型トランジスタで構成され、前記蓄積容量に蓄積された信号電荷に応じた信号電圧を出力する出力回路とを各々備えた複数の画素回路が二次元状に配置されてなり、前記薄膜トランジスタを構成する半導体薄膜のバンドギャップが、前記半導体基板のバンドギャップよりも大きい。

[0013] 本発明により、基板に形成した電界効果型トランジスタに比べて薄膜トランジスタの光リークを抑制することができ、蓄積容量に格納された信号電荷にノイズ電荷が混じって画質を低下することが防止できる。

[0014] また、前記固体撮像装置において、前記半導体薄膜のバンドギャップが3電子ボルト以上であってもよい。

[0015] 主にカラー撮像を目的とするカメラに内蔵される固体撮像装置において、画素の入射面にはカラーフィルタが配置される。カラーフィルタを通して入射する可視光の波長は450nm～650nm程度であり、これは2.76eV未満のエネルギーに相当する。本発明の薄膜トランジスタに使用される半導体薄膜のバンドギャップは入射光エネルギーよりも大きいので、薄膜ト

ランジスタの光リークをほぼゼロにすることができる。

- [0016] また、前記固体撮像装置において、前記蓄積容量は、前記半導体基板に形成されたもう1つの電界効果型トランジスタであってもよい。
- [0017] 電界効果トランジスタのゲート電極はゲート絶縁膜により半導体（一般的にはシリコンが用いられる）基板と絶縁されているので、ゲート電極に信号電荷を蓄積すればリーク電流を極めて抑制することが可能である。なお、低インピーダンス配線を通して基板に基準電位を印加しておけば、基板に入射した光でノイズ電荷が発生したとしてもすぐに排出されるので問題ない。
- [0018] また、前記固体撮像装置において、前記薄膜トランジスタは、前記蓄積容量の上部に形成され、平面的に重なるように配置されていてもよい。
- [0019] 電界効果型トランジスタと薄膜トランジスタを平面的に並べて配置するよりも画素開口率（光電変換素子の開口面積÷画素面積）を大きくでき、高感度とすることができる。
- [0020] また、前記固体撮像装置において、前記半導体薄膜は、In、Ga、Znの少なくともいずれかを含む酸化物半導体であってもよい。
- [0021] ZnOやIn-Ga-Zn-Oといった酸化物半導体は、GaNなどの窒化物半導体に比べて低温成膜可能なワイドバンドギャップ材料である。これらの酸化物半導体を用いることにより、電界効果トランジスタを接続する配線に高融点金属ではなく、LSI (Large Scale Integrated Circuit) で一般的に使われるAlやCuを使用することができ、コスト面で優位となる。
- [0022] 上記目的を達成するために、本発明に係る固体撮像装置の駆動方法は、半導体基板に形成された光電変換素子と、薄膜トランジスタと蓄積容量とで構成されたメモリ回路と、前記半導体基板に形成された電界効果型トランジスタで構成された出力回路とを各々備えた複数の画素回路が二次元状に配置されてなり、前記薄膜トランジスタを構成する半導体薄膜のバンドギャップが、前記半導体基板のバンドギャップよりも大きい固体撮像装置の駆動方法であって、全ての画素回路の前記光電変換素子で一斉に光電変換を行って信号

電荷を生成し、全ての画素回路の前記薄膜トランジスタを一斉にオンすることにより、前記光電変換素子で生成された信号電荷を、前記薄膜トランジスタを介して前記蓄積容量に蓄積し、前記複数の画素回路の部分ごとに順次、前記蓄積容量に蓄積された信号電荷に応じた信号電圧を前記出力回路から出力する。

[0023] 本発明によって、光電変換素子から一斉に電荷を取り出すグローバルシャッタ動作が可能となり、動く被写体であっても歪まずに撮像できる。

発明の効果

[0024] 本発明の固体撮像装置によれば、グローバルシャッタ動作によって光電変換素子から蓄積容量へと取り出された信号電荷の保持特性が改善され、画像の品位を向上することが可能となる。

図面の簡単な説明

[0025] [図1] 図1は、従来の固体撮像装置の画素回路図である。

[図2] 図2(a)は、従来の固体撮像装置のグローバルシャッタ撮像動作、図2(b)は、従来の固体撮像装置の読み出し動作を示す図である。

[図3] 図3は、本発明の実施の形態に係る固体撮像装置の画素回路図である。

[図4] 図4は、本発明の実施の形態に係る固体撮像装置の構成図である。

[図5] 図5は、本発明の実施の形態に係る固体撮像装置の画素断面構造図である。

[図6] 図6(a)～(e)は、本発明の実施の形態に係る固体撮像装置の製造工程毎の画素断面構造図である。

[図7] 図7は、本発明の実施の形態に係る固体撮像装置のグローバルシャッタ撮像動作を示す図である。

[図8] 図8(a)(b)は、本発明の実施の形態に係る固体撮像装置の読み出し動作を示す図である。

発明を実施するための形態

[0026] 以下、本発明の実施の形態に係る固体撮像装置について、図面を参照しながら説明する。

- [0027] 図3は、本発明の固体撮像装置を構成する画素回路11の一例を示す回路図である。光電変換素子としてのフォトダイオード1のカソード電極が転送トランジスタ2を介してフローティングディフュージョン(FD)ノード3に接続されており、FDノード3にはpn接合で形成されたキャパシタ4、リセットトランジスタ5が接続される。さらに、FDノード3には、薄膜トランジスタにて構成されるパストランジスタ6と蓄積容量7からなるメモリ回路が接続され、そのメモリ回路の蓄積ノード8には出力回路としての出力トランジスタ9のゲート電極が接続されている。
- [0028] 出力トランジスタ9のソース電極は、選択トランジスタ10を介して、画素列に沿って設置された信号線COLに接続される。転送トランジスタ2、リセットトランジスタ5、パストランジスタ6および選択トランジスタ10のゲート電極は、それぞれ画素行に沿って設置された転送制御線TRAN、リセット線RST、書き込み線WRTおよび選択線SELに接続される。全てのトランジスタは、N型伝導である。
- [0029] 図4に示すように、固体撮像装置100において、複数の画素回路11はm行、n列のマトリクスに配置されている。各画素回路の $TRAN_i$ 、 RST_i 、 WRT_i および SEL_i （添え字iは行番号を示す）は垂直走査回路40に接続され、 COL_j （添え字jは列番号を示す）は水平走査回路41に接続される。行ごとの画素回路11から順次出力される信号電圧は水平走査回路41によって水平方向に転送され、出力アンプ42で増幅されて出力端子43から出力する。
- [0030] 固体撮像装置100はシリコンからなる半導体基板19上に形成されている。画素回路11の一部の断面構造を図5に示す。半導体基板19上は SiO_2 からなる素子分離領域22によって分離され、p型不純物領域20、n型不純物領域21が形成されている（説明を簡単にするために不純物濃度の高低による領域は区別していない）。
- [0031] 図5において、PDと示したn型不純物領域21とその周辺のp型不純物領域20はフォトダイオード1である。また、FDと示したn型不純物領域

21がFDノード3であり、その周辺のp型不純物領域20との間で形成されるpn接合がキャパシタ4に対応する。

[0032] 半導体基板19上にはSiO₂のゲート絶縁膜23、ポリシリコンのゲート電極24からなるMOS (Metal Oxide Semiconductor) 構造が形成されている。図5には、2つのMOSFETと1つのMOSキャパシタが配置されており、左から転送トランジスタ2 (PDとFDの間)、蓄積容量7および出力トランジスタ9に対応している。

[0033] 蓄積容量7に対応するMOS構造は、半導体基板19の表面に高濃度のn型不純物領域21を形成している。これには接地電位が印加されており、正のゲート電圧印加で電荷が蓄積されるMOSキャパシタとして機能する。これらのMOS構造上はSiO₂の第1層間絶縁膜25で覆われており、半導体基板およびゲート電極24に達する第1ビア26とメタル配線層27が形成されている。図5中にSTと示したメタル配線は蓄積容量7および出力トランジスタ9のゲート電極を短絡しており、図3の蓄積ノード8に対応している。

[0034] メタル配線層27の上はさらにSiO₂の第2層間絶縁膜28で覆われており、FDノード3と蓄積ノード8 (図5にそれぞれFD、STと記載) に導通する第2ビア29が形成されている。第2ビア29上には、ソースおよびドレインとなる電極30、チャネルとなる半導体薄膜31、ゲート絶縁膜32およびゲート電極33が形成され、これらはパストランジスタ6を構成している。半導体薄膜31には、例えばZnO (酸化亜鉛)、In-Ga-Zn-O (インジウム-ガリウム-亜鉛の複合酸化物) などが適する。これらのバンドギャップはそれぞれ3.4 eV、3.2 eVであり、可視光に対して透明である。半導体薄膜31へ高効率に電子注入するため電極30は仕事関数の小さい材料が適する。例えば、仕事関数が4.7 eVのITO (Indium Tin Oxide: 酸化インジウムスズ) と、第2ビア29をプロセスダメージから保護するTiN (窒化チタン) との積層電極を用いるとよい。

- [0035] ゲート絶縁膜 32 はワイドバンドギャップの半導体薄膜 31 よりもさらにバンドギャップが大きい絶縁膜材料が好適であり、例えば Al_2O_3 を用いる。ゲート電極 33 は、例えば Ir (イリジウム) や Mo (モリブデン) を用いる。以上のように構成したパストランジスタ 6 はワイドバンドギャップ薄膜トランジスタ (Thin Film Transistor: TFT) であり、その上部は保護膜 34 で覆われている。
- [0036] 以上のように構成された固体撮像装置の製造工程毎の断面構造を図 6 (a) ~ 図 6 (e) に示す。
- [0037] 最初に、一般的な半導体技術を用いて半導体基板上にフォトダイオード 1、MOS 構造である転送トランジスタ 2、蓄積容量 7 および出力トランジスタ 9、並びに第 1 層間絶縁膜 25、配線構造、第 2 層間絶縁膜 28 を形成する (図 6 (a))。
- [0038] 次に、ドライエッチングによって第 2 層間絶縁膜 28 を貫通するビアホールを形成し、タンゲステンを CVD (Chemical Vapor Deposition) 法により埋め込む。その上方に Ti をターゲットとして窒素雰囲気中でスパッタ法による TiN の成膜、In-Sn-O (インジウムスズの複合酸化物) をターゲットとして酸素雰囲気中でスパッタ法による ITO 成膜を順次行った後に、リソグラフィおよびイオンミリングにより電極 30 をパターニングする (図 6 (b))。
- [0039] ソースおよびドレインとなる電極 30 上に ZnO をスパッタ法により堆積した後、リソグラフィおよび硝酸によるウェットエッチングを行って TFT のアクティブ領域となる半導体薄膜 31 を形成する (図 6 (c))。
- [0040] 半導体薄膜 31 を覆うようにゲート絶縁膜 32 となる Al_2O_3 を ALD (Atomic Layer Deposition) 法により成膜する (図 6 (d))。
- [0041] ゲート電極 33 となる Ir をスパッタ法で成膜し、リソグラフィおよびイオンミリングによりゲート電極 33 の形状にパターニングし、保護膜 34 を成膜する (図 6 (e))。

- [0042] 本発明の固体撮像装置におけるグローバルシャッタによる撮像動作について説明する。図7は、全画素のRST、TRAN、WRTおよびSELへ一斉に印加される電圧波形を示しており、これらの信号に応じて変化するFDノード3の電位 V_{FD} および蓄積ノード8の電位 V_{ST} の典型例を合わせて示す。
- [0043] 最初に ($t_0 \sim t_1$ 期間)、RST、TRANおよびWRTにハイ電圧を印加し、フォトダイオード1、FDノード3および蓄積ノード8をリセットする。
- [0044] 時刻 t_1 にTRANにロー電圧を印加して転送トランジスタ2をオフし、フォトダイオード1に入射した光を光電変換して得られた電荷の蓄積を開始する。
- [0045] 蓄積終了となる時刻 t_3 より前の時刻 t_2 にRSTおよびWRTをロー電位にしてリセットトランジスタ5およびパストランジスタ6をオフにした後、時刻 t_3 にTRANをハイ電位にして転送トランジスタ2をオン状態にし、フォトダイオード1に蓄積された電荷をFDノード3へ転送する (S01)。工程S01において、全ての画素回路11のフォトダイオード1で一斉に光電変換を行って生成された信号電荷がキャパシタ4へ転送され、FDノード3の電位 V_{FD} はロー電位へと変化する。
- [0046] 転送完了後の時刻 t_4 にTRANをロー電位にして転送トランジスタ2を再びオフ状態にした後、時刻 $t_5 \sim t_6$ 期間にWRTにハイ電位を印加してパストランジスタ6をオンにする (S02)。工程S02において、FDノード3に接続されたキャパシタ4と蓄積ノード8に接続された蓄積容量7とが結合され、キャパシタ4に保持されている信号電荷の一部は、パストランジスタ6を介して蓄積容量7に分配され、 V_{FD} および V_{ST} はキャパシタ4と蓄積容量7との容量比で決まる電圧へ変化する。
- [0047] 時刻 t_7 にRSTをハイ電位にしてリセットトランジスタ5をオン状態にして、グローバルシャッタ動作を完了する。
- [0048] グローバルシャッタ動作により全ての画素回路11の蓄積ノード8に記憶

された信号電圧は、図 8 (a) に示すように行ごとの SEL へ順次パルス電圧を印加することにより、行ごとに順次読み出される (S03)。工程 S03 において、アドレスされた行の選択トランジスタ 10 はオン状態となり、出力トランジスタ 9 のソース電極は信号線 COL と接続される。

[0049] 信号線 COL の一端には負荷トランジスタ (図面には示していない) が接続されており、直列接続された出力トランジスタ 9 と負荷トランジスタはソースフォロワ回路を構成する。このソースフォロワ回路は、蓄積ノード 8 に記憶された画素信号電圧に対応した信号電圧を信号線 COL へと出力し、信号電圧は水平走査回路 41 によって水平方向に転送され、出力アンプ 42 で増幅されて出力端子 43 から出力する。

[0050] 画素回路 11 からの信号電圧の読み出しにおいて、信号電圧とともにリセット信号電圧を読み出し、その差分を出力してもよい。このような動作を行った場合の信号線 COL の電位変化の一例を図 8 (b) の V_{CL} に示す。

[0051] 図 8 (b) に示すように、行順次に SEL をハイ電圧にしている期間に、上記読み出し方法で信号電圧を読み出した後、WRT をハイ電位にしてパストランジスタ 6 をオンにする。グローバルシャッタ動作最後の工程でリセットトランジスタ 5 はオン状態としているので、この動作によって蓄積ノード 8 には電源電圧 VDD が印加されたりセット状態となり、出力トランジスタ 9 と負荷トランジスタで構成するソースフォロワ回路はリセット信号電圧を出力する。

[0052] 以上の動作で読み出した信号電圧とリセット信号電圧の差分を、例えば周知の相関二重サンプリング回路などを用いて、とることにより、出力トランジスタ 9 の特性ばらつきを除去することができ、画質向上に有用である。

産業上の利用可能性

[0053] 本発明は、特に固体撮像装置を内蔵するデジタルスチルカメラやビデオカメラに有用であり、特に動く被写体の撮像に最適である。

符号の説明

[0054] 1 フォトダイオード

- 2 転送トランジスタ
- 3 FDノード
- 4 キャパシタ
- 5 リセットトランジスタ
- 6 パストランジスタ
- 7 蓄積容量
- 8 蓄積ノード
- 9 出力トランジスタ
- 10 選択トランジスタ
- 11 画素回路
- 19 半導体基板
- 20 p型不純物領域
- 21 n型不純物領域
- 22 素子分離領域
- 23 ゲート絶縁膜
- 24 ゲート電極
- 25 第1層間絶縁膜
- 26 第1ビア
- 27 メタル配線層
- 28 第2層間絶縁膜
- 29 第2ビア
- 30 電極
- 31 半導体薄膜
- 32 ゲート絶縁膜
- 33 ゲート電極
- 34 保護膜
- 40 垂直走査回路
- 41 水平走査回路

4 2 出力アンプ
4 3 出力端子
9 0 読み出し回路
1 0 0 固体撮像装置
C O L 信号線
T R A N 転送制御線
R S T リセット線
W R T 書き込み線
S E L 選択線

請求の範囲

- [請求項1] 半導体基板に形成された光電変換素子と、
薄膜トランジスタと蓄積容量とで構成され、前記光電変換素子で生成された信号電荷を、前記薄膜トランジスタを介して前記蓄積容量に蓄積するメモリ回路と、
前記半導体基板に形成された電界効果型トランジスタで構成され、前記蓄積容量に蓄積された信号電荷に応じた信号電圧を出力する出力回路と
を各々備えた複数の画素回路が二次元状に配置されてなり、
前記薄膜トランジスタを構成する半導体薄膜のバンドギャップが、前記半導体基板のバンドギャップよりも大きい
固体撮像装置。
- [請求項2] 前記半導体薄膜のバンドギャップが3電子ボルト以上である
請求項1に記載の固体撮像装置。
- [請求項3] 前記蓄積容量は、前記半導体基板に形成されたもう1つの電界効果型トランジスタである
請求項1に記載の固体撮像装置。
- [請求項4] 前記薄膜トランジスタは、前記蓄積容量の上部に形成され、平面的に重なるように配置されている
請求項1に記載の固体撮像装置。
- [請求項5] 前記半導体薄膜は、In、Ga、およびZnの少なくともいずれかを含む酸化物半導体である
請求項1に記載の固体撮像装置。
- [請求項6] 半導体基板に形成された光電変換素子と、
薄膜トランジスタと蓄積容量とで構成されたメモリ回路と、
前記半導体基板に形成された電界効果型トランジスタで構成された出力回路と
を各々備えた複数の画素回路が二次元状に配置されてなり、

前記薄膜トランジスタを構成する半導体薄膜のバンドギャップが、前記半導体基板のバンドギャップよりも大きい固体撮像装置の駆動方法であって、

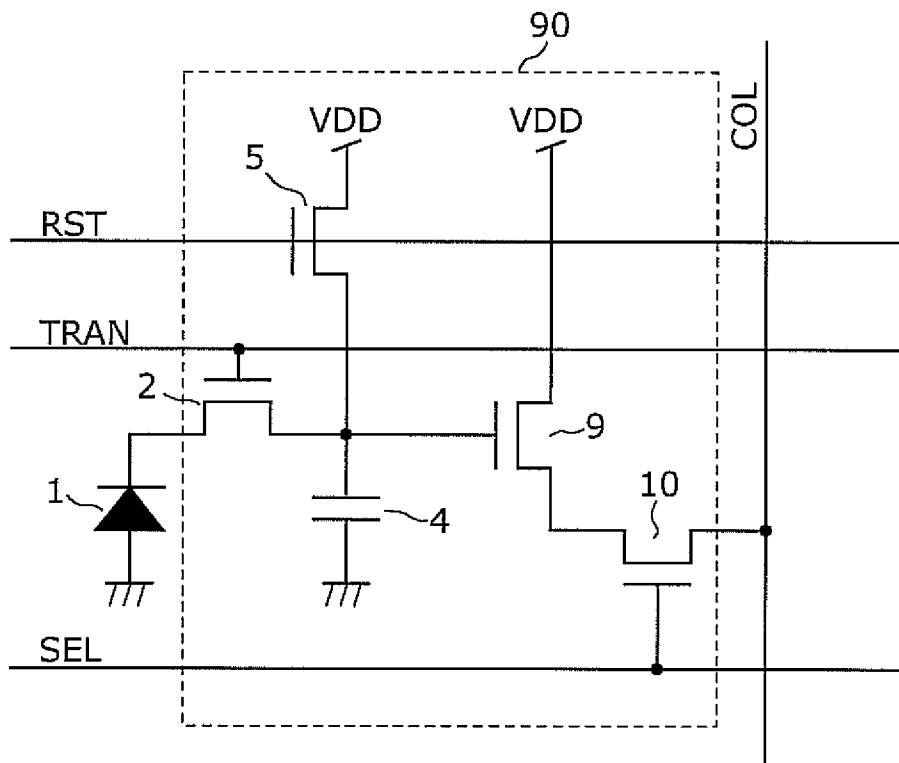
全ての画素回路の前記光電変換素子で一斉に光電変換を行って信号電荷を生成し、

全ての画素回路の前記薄膜トランジスタを一斉にオンすることにより、前記光電変換素子で生成された信号電荷を、前記薄膜トランジスタを介して前記蓄積容量に蓄積し、

前記複数の画素回路の部分ごとに順次、前記蓄積容量に蓄積された信号電荷に応じた信号電圧を前記出力回路から出力する

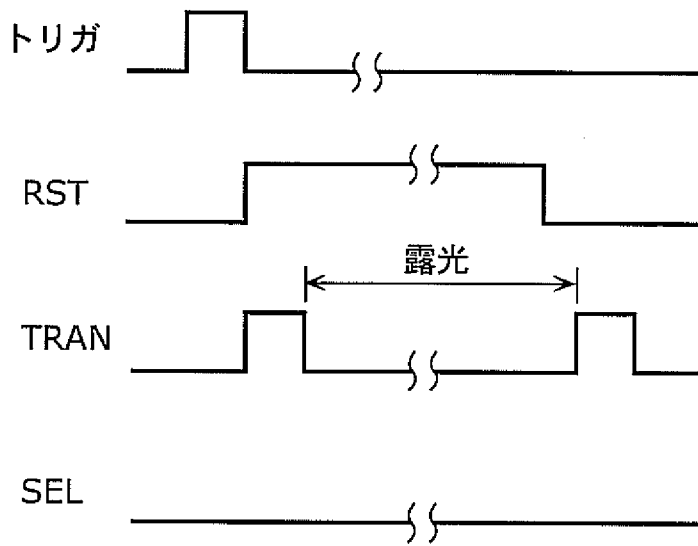
駆動方法。

[図1]

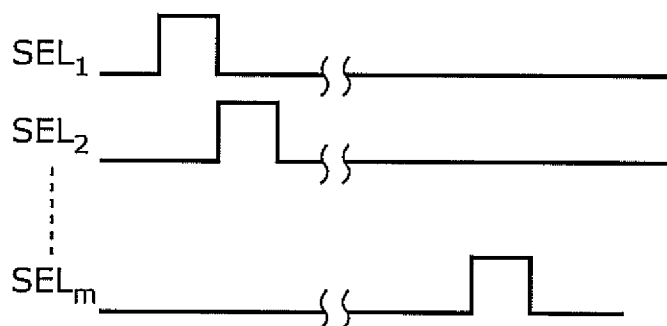


[図2]

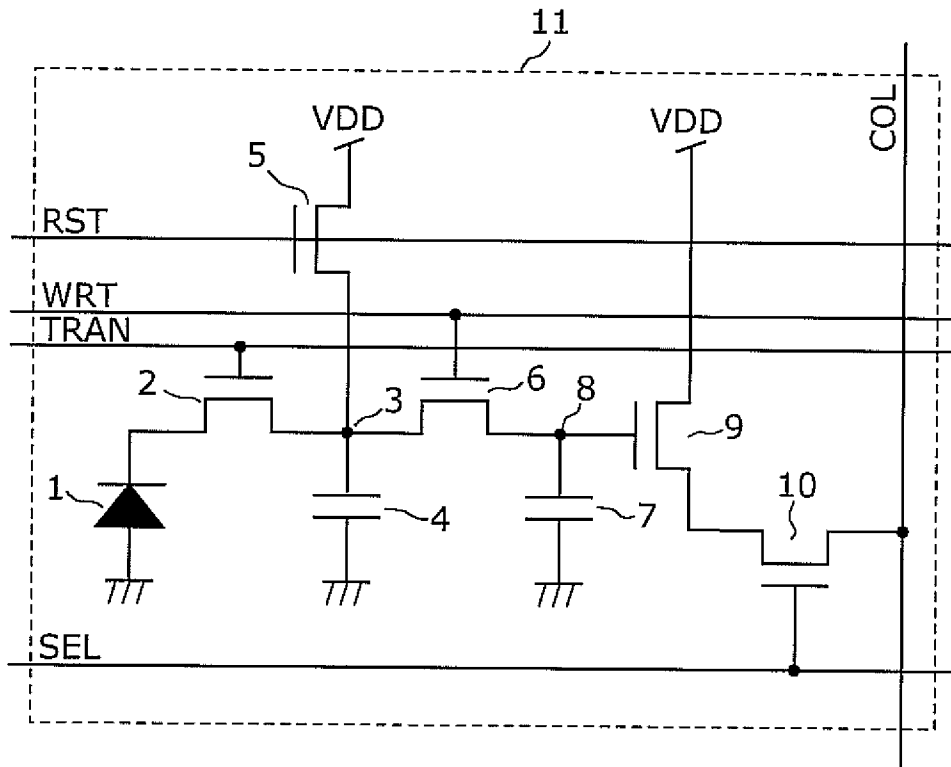
(a)



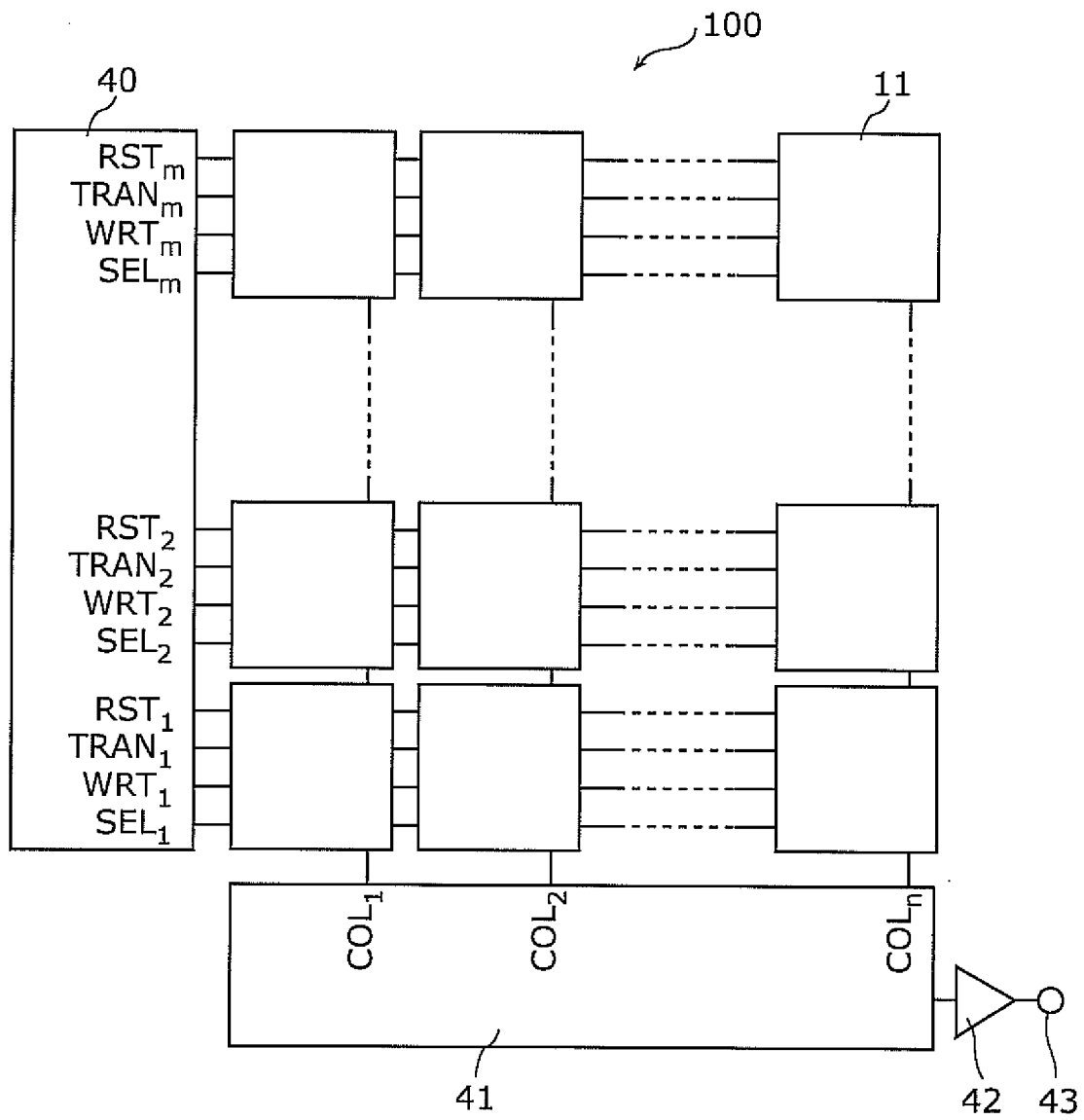
(b)



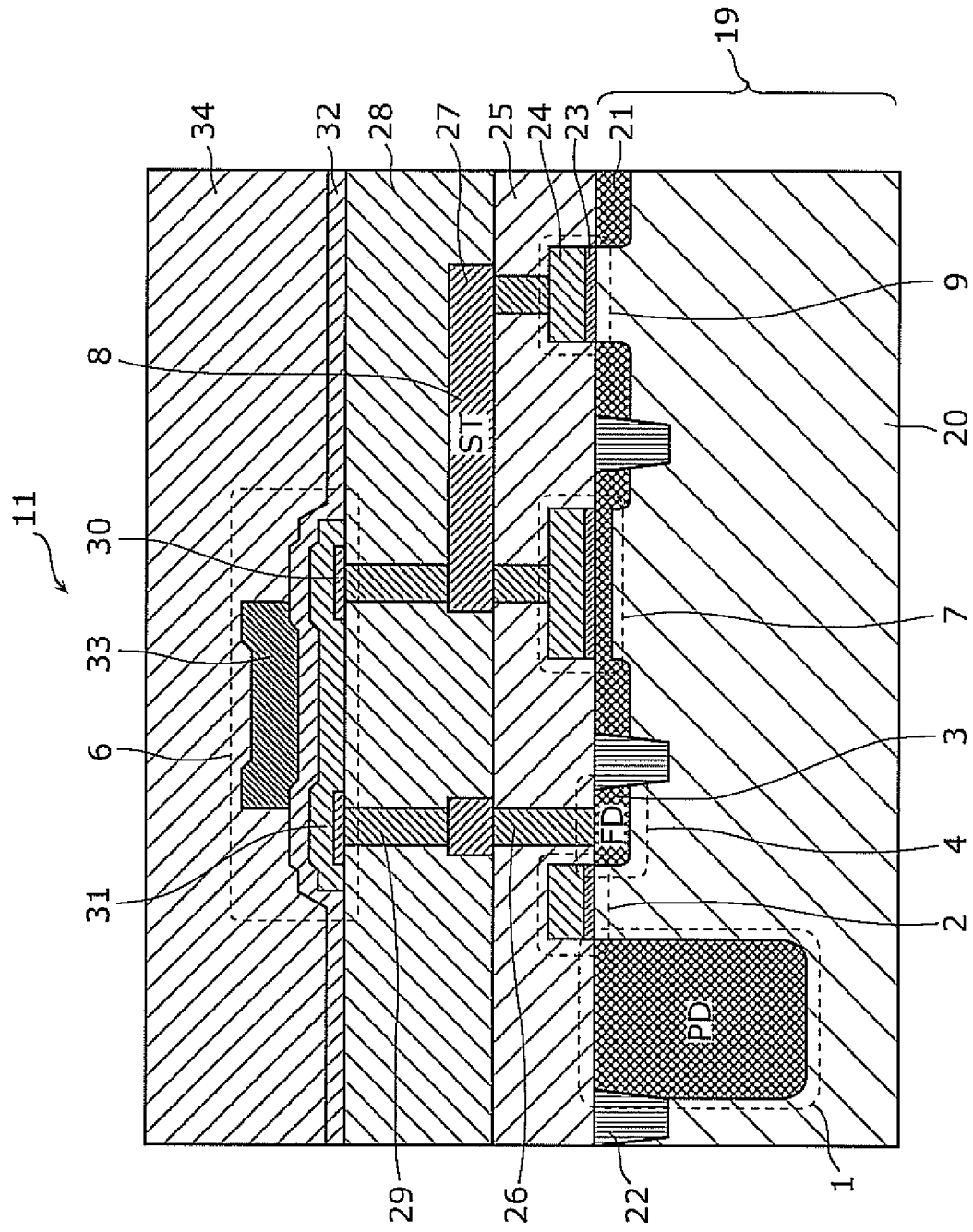
[図3]



[図4]

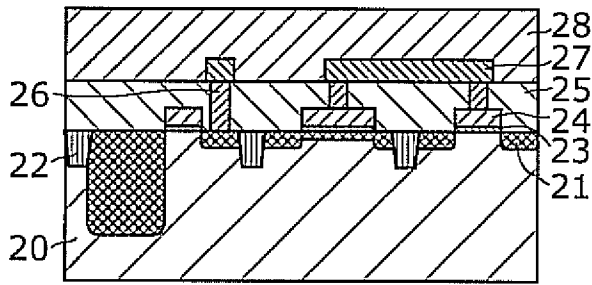


[図5]

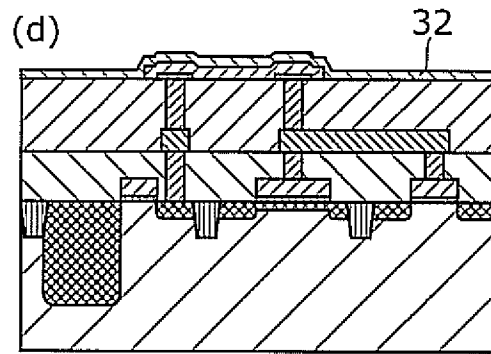


[図6]

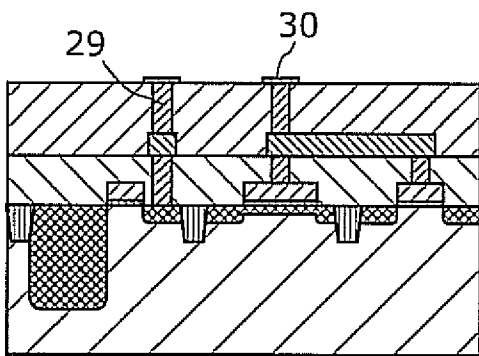
(a)



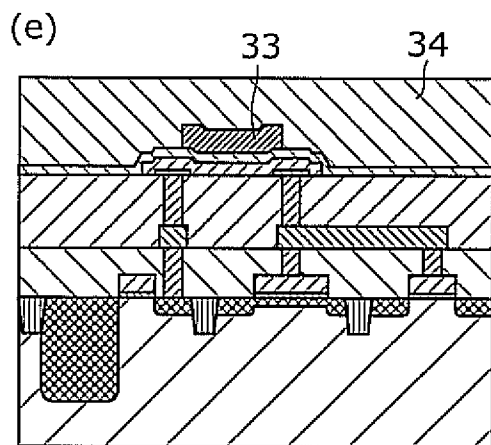
(d)



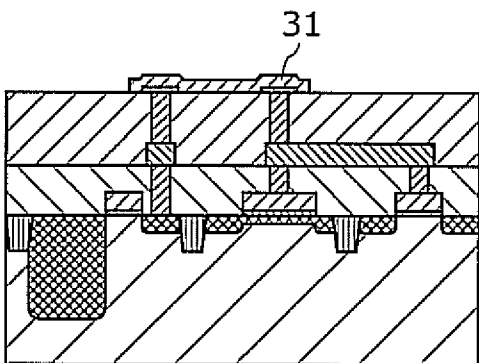
(b)



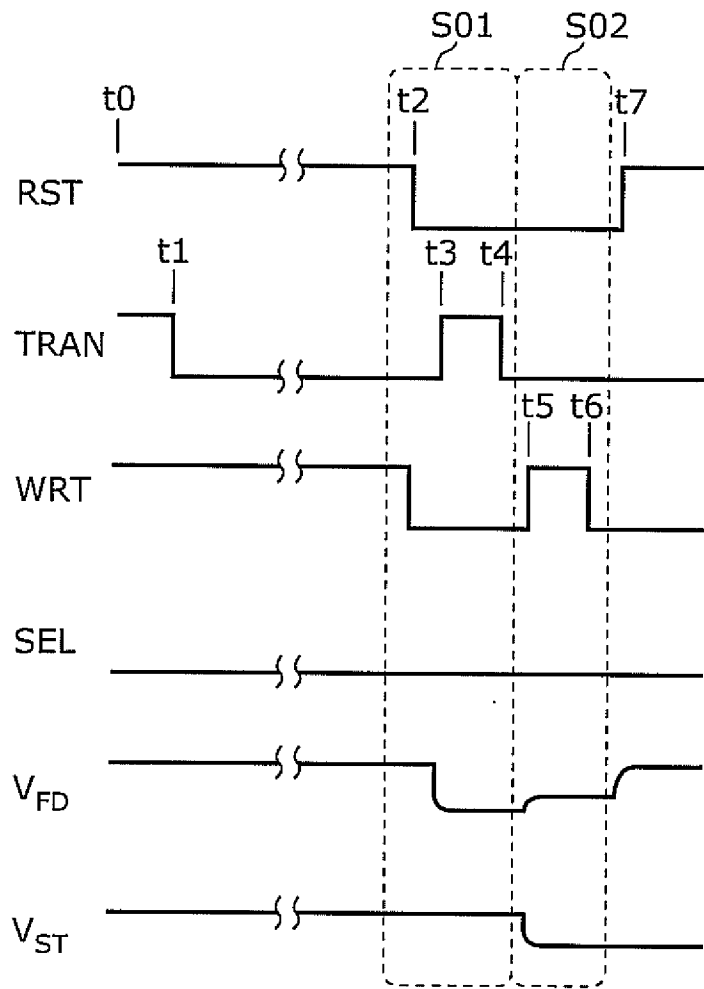
(e)



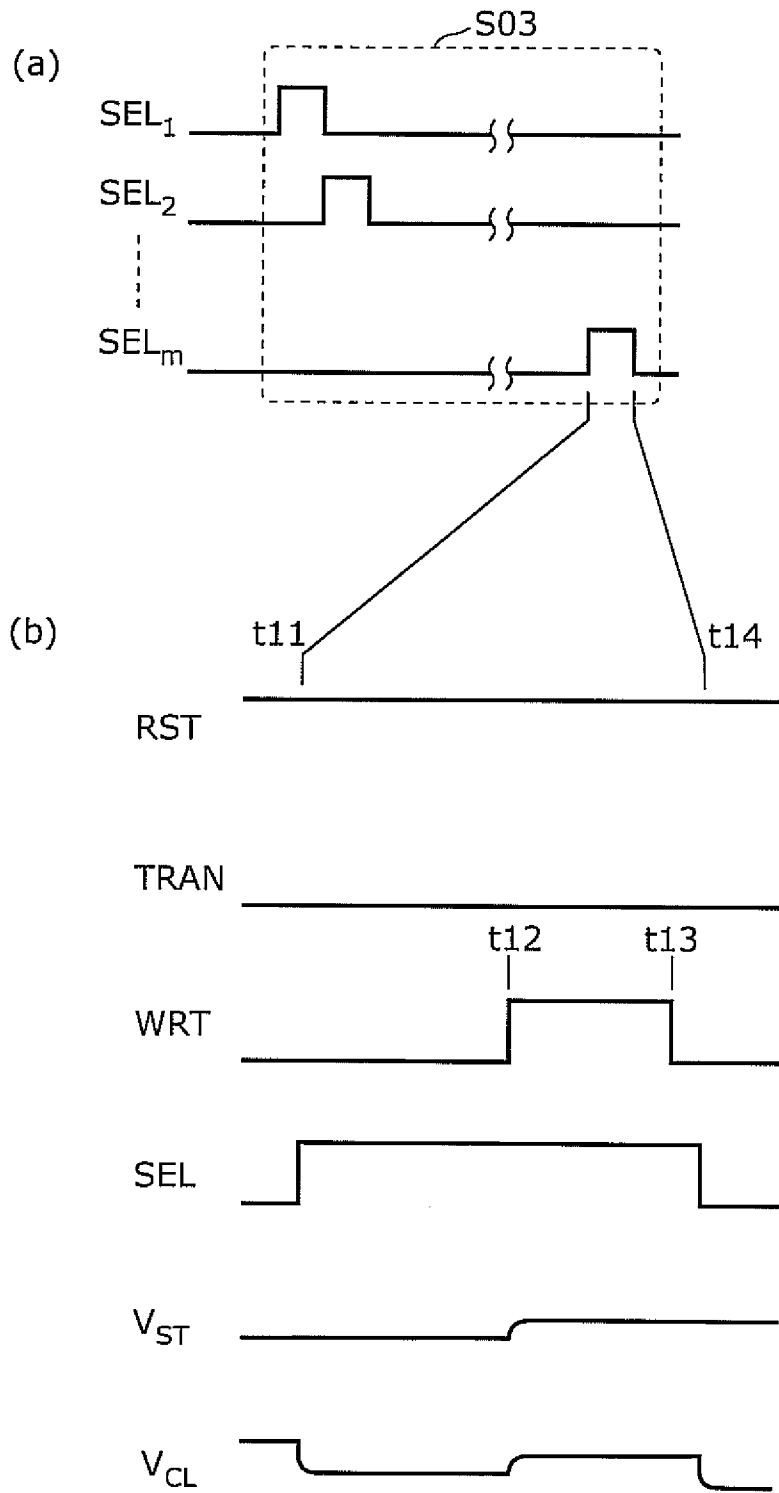
(c)



[図7]



[図8]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004861

A. CLASSIFICATION OF SUBJECT MATTER

H04N5/335(2006.01) i, H01L27/146(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04N5/335, H01L27/146

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2010
Kokai Jitsuyo Shinan Koho	1971-2010	Toroku Jitsuyo Shinan Koho	1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2009-535819 A (Micron Technology, Inc.), 01 October 2009 (01.10.2009), paragraphs [0015] to [0017], [0019], [0021] to [0024], [0026]; fig. 6, 6A & US 2008/0054319 A1 & EP 2057684 A & WO 2008/027392 A2 & KR 10-2008-0094772 A & CN 101366120 A	1-2, 4-5 3, 6
Y	JP 2006-303019 A (Pentax Corp.), 02 November 2006 (02.11.2006), paragraphs [0027], [0034]; fig. 2 to 3 (Family: none)	3

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
13 August, 2010 (13.08.10)

Date of mailing of the international search report
24 August, 2010 (24.08.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/004861

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2008-283615 A (Matsushita Electric Industrial Co., Ltd.), 20 November 2008 (20.11.2008), paragraph [0006]; fig. 12 (Family: none)	6
A	JP 2001-298583 A (Minolta Co., Ltd.), 26 October 2001 (26.10.2001), paragraph [0035]; fig. 3, 8 (Family: none)	1-6

A. 発明の属する分野の分類 (国際特許分類 (IPC))
 Int.Cl. H04N5/335(2006.01)i, H01L27/146(2006.01)i

B. 調査を行った分野
 調査を行った最小限資料 (国際特許分類 (IPC))
 Int.Cl. H04N5/335, H01L27/146

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2010年
日本国実用新案登録公報	1996-2010年
日本国登録実用新案公報	1994-2010年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2009-535819 A (マイクロン テクノロジー, インク.) 2009.10.01, 段落【0015】 - 【0017】, 【0019】, 【0021】 - 【0024】, 【0026】, 図 6, 6A & US 2008/0054319 A1 & EP 2057684 A & WO 2008/027392 A2 & KR 10-2008-0094772 A & CN 101366120 A	1-2, 4-5 3, 6
Y	JP 2006-303019 A (ペンタックス株式会社) 2006.11.02, 段落 【0027】, 【0034】, 図 2-3 (ファミリーなし)	3

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー	の日の後に公表された文献
「A」特に関連のある文献ではなく、一般的な技術水準を示すもの	「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの	「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)	「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「O」口頭による開示、使用、展示等に言及する文献	「&」同一パテントファミリー文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願	

国際調査を完了した日 13.08.2010	国際調査報告の発送日 24.08.2010
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 鈴木 肇 電話番号 03-3581-1101 内線 3581

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2008-283615 A (松下電器産業株式会社) 2008. 11. 20, 段落【0006】, 図 12 (ファミリーなし)	6
A	JP 2001-298583 A (ミノルタ株式会社) 2001. 10. 26, 段落【0035】, 図 3, 8 (ファミリーなし)	1-6