

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第6452332号  
(P6452332)

(45) 発行日 平成31年1月16日(2019.1.16)

(24) 登録日 平成30年12月21日(2018.12.21)

(51) Int. Cl. F I  
 H05K 1/02 (2006.01) H05K 1/02 N  
 H01P 1/203 (2006.01) H01P 1/203  
 H01P 1/212 (2006.01) H01P 1/212

請求項の数 17 (全 20 頁)

<p>(21) 出願番号 特願2014-143902 (P2014-143902)                  (22) 出願日 平成26年7月14日 (2014.7.14)                  (65) 公開番号 特開2016-21457 (P2016-21457A)                  (43) 公開日 平成28年2月4日 (2016.2.4)                  審査請求日 平成29年7月10日 (2017.7.10)</p>	<p>(73) 特許権者 000001007                  キヤノン株式会社                  東京都大田区下丸子3丁目30番2号                  (74) 代理人 100082337                  弁理士 近島 一夫                  (74) 代理人 100141508                  弁理士 大田 隆史                  (72) 発明者 山口 浩之                  東京都大田区下丸子3丁目30番2号 キ                  ヤノン株式会社内                  審査官 馬場 慎</p>
--	--

最終頁に続く

(54) 【発明の名称】 プリント回路板

(57) 【特許請求の範囲】

【請求項1】

デジタル信号を送信する送信回路と、  
 前記送信回路が実装されたプリント配線板と、を備え、  
 前記プリント配線板は、  
 グランド導体と、  
 前記送信回路から送信されたデジタル信号を伝送する伝送線路と、  
 前記伝送線路に沿うように前記伝送線路と間隔をあけて配置され、前記伝送線路に沿う  
 配線方向の一端部が前記グランド導体に接続され、前記配線方向の他端部が開放された、  
 前記伝送線路と電磁的に結合する結合線路と、を有し、  
 前記結合線路の配線方向の中央部と、前記グランド導体とが接続部材で接続されており

10

、  
前記結合線路の電気長は、前記送信回路が送信するデジタル信号のデータレートに相当する周波数の1/2波長に対し±20[%]の範囲であることを特徴とするプリント回路板。

【請求項2】

デジタル信号を送信する送信回路と、  
前記送信回路が実装されたプリント配線板と、を備え、  
前記プリント配線板は、  
グランド導体と、

20

前記送信回路から送信されたデジタル信号を伝送する伝送線路と、前記伝送線路に沿うように前記伝送線路と間隔をあけて配置され、前記伝送線路に沿う配線方向の一端部が前記グランド導体に接続され、前記配線方向の他端部が開放された、前記伝送線路と電磁的に結合する結合線路と、を有し、前記結合線路の一端部と前記結合線路の配線方向の中央部との間の区間、および前記結合線路の他端部と前記結合線路の配線方向の中央部との間の区間に定在波をそれぞれ発生させるために、前記結合線路の配線方向の中央部と、前記グランド導体とが接続部材で接続されていることを特徴とするプリント回路板。

【請求項 3】

前記結合線路の電気長は、前記送信回路が送信するデジタル信号のデータレートに相当する周波数の  $1/2$  波長に対し  $\pm 20$  [%] の範囲であることを特徴とする請求項 2 に記載のプリント回路板。

10

【請求項 4】

前記プリント配線板は、複数の導体層が絶縁体層を介して積層された多層基板であり、前記結合線路は、前記複数の導体層のうちいずれかの導体層に配置され、前記伝送線路は、前記結合線路が配置された導体層に、前記結合線路に隣接して配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のプリント回路板。

【請求項 5】

前記プリント配線板は、複数の導体層が絶縁体層を介して積層された多層基板であり、前記結合線路は、前記複数の導体層のうちいずれかの導体層に配置され、前記伝送線路は、前記結合線路が配置された導体層に隣接する導体層に、前記プリント配線板の面に垂直な方向から見て、前記結合線路に重なる位置に配置されていることを特徴とする請求項 1 乃至 3 のいずれか 1 項に記載のプリント回路板。

20

【請求項 6】

前記グランド導体は、前記複数の導体層のうち前記結合線路が配置された導体層とは異なる導体層に配置された異層グランドパターンを有することを特徴とする請求項 4 又は 5 に記載のプリント回路板。

【請求項 7】

前記接続部材は、前記異層グランドパターンと前記結合線路の中央部とを接続するビア導体であることを特徴とする請求項 6 に記載のプリント回路板。

30

【請求項 8】

前記グランド導体は、前記結合線路が配置された導体層に配置され、前記結合線路の一端部に繋がる同層グランドパターンを有し、前記同層グランドパターンと前記異層グランドパターンとは複数のグランドビア導体で接続されていることを特徴とする請求項 6 又は 7 に記載のプリント回路板。

【請求項 9】

前記グランド導体は、前記結合線路が配置された導体層に配置された同層グランドパターンを有することを特徴とする請求項 4 又は 5 に記載のプリント回路板。

【請求項 10】

前記接続部材は、前記結合線路及び前記同層グランドパターンが配置された導体層に配置され、前記同層グランドパターンと前記結合線路の中央部とを繋ぐ導体パターンであることを特徴とする請求項 9 に記載のプリント回路板。

40

【請求項 11】

前記接続部材は、前記結合線路及び前記同層グランドパターンが配置された導体層に実装されたインダクタンス素子であることを特徴とする請求項 9 に記載のプリント回路板。

【請求項 12】

前記結合線路の一端部が、前記同層グランドパターンに繋がっていることを特徴とする請求項 9 乃至 11 のいずれか 1 項に記載のプリント回路板。

【請求項 13】

前記グランド導体は、前記複数の導体層のうち、前記結合線路及び前記同層グランドパ

50

ターンが配置された導体層とは異なる導体層に配置された異層グランドパターンを有し、前記同層グランドパターンと前記異層グランドパターンとは複数のグランドヴィア導体で接続されていることを特徴とする請求項 9 乃至 12 のいずれか 1 項に記載のプリント回路板。

【請求項 14】

前記接続部材のリアクタンスが、 $3.2 [ \quad ]$  以上  $18.8 [ \quad ]$  以下であることを特徴とする請求項 1 乃至 13 のいずれか 1 項に記載のプリント回路板。

【請求項 15】

前記結合線路の電気長が、 $154 [ \text{°} ]$  以上  $170 [ \text{°} ]$  以下であることを特徴とする請求項 1 乃至 14 のいずれか 1 項に記載のプリント回路板。

10

【請求項 16】

前記送信回路が、前記デジタル信号として差動信号を送信するよう構成され、前記プリント配線板は、前記伝送線路として、前記送信回路に接続された一对の差動伝送線路を有することを特徴とする請求項 1 乃至 15 のいずれか 1 項に記載のプリント回路板。

【請求項 17】

請求項 1 乃至 16 のいずれか 1 項に記載のプリント回路板を備えた電子機器。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、デジタル信号を送信する送信回路と、送信回路が実装されたプリント配線板とを有するプリント回路板に関する。

20

【背景技術】

【0002】

近年のデジタル複合機やデジタルカメラ等の電子機器は、高速化・高精彩化の要求のため、大容量のデジタル信号を高速に伝送する必要がある。これらの大容量データを高速に伝送するためには、伝送線路の数を増やすか、伝送速度を上げる必要がある。小型化・高密度化しているプリント配線板においては、増やすことができる伝送線路に限界がある。また、ケーブルで伝送する場合には、ケーブル芯数の増加がコスト増加に直結してしまう。さらに、伝送速度の向上に伴いスキューによる信号間タイミングのばらつきが顕著になり、セットアップ/ホールドを満たすことが困難となる。そのため、少ない伝送線路で高速に大容量のデータを伝送することが可能なシリアル伝送が広く用いられるようになっている。

30

【0003】

シリアル伝送方式とは、データやアドレス、制御線といった伝送線路に低速なパラレル信号をシリアル化して差動出力し、送られてきたシリアル信号を受信側でデシリアライズしてパラレル信号に変換するものである。このシリアル伝送方式では、シリアル化したデータ列にクロック信号を埋め込んで伝送し、受信側ではクロックとデータが再生される。

【0004】

一方、ケーブル等の長い有損失伝送線路上に高速な信号が伝送された場合、信号成分の一部がケーブルをアンテナとして放射され、他の機器の動作に影響を与える恐れがある。そのため、機器からの EMI (Electromagnetic interference: 不要電磁ノイズ) を抑制する必要がある。

40

【0005】

クロック埋め込み型シリアル伝送では、データと同期クロックと一緒にシリアル化され、ハイレベルとローレベルの論理遷移率がほぼ 50% になるように符号化されたデータが伝送される。そのため、伝送されるシリアルデータは、ローレベルまたはハイレベルが多ビット連続することがなく、1 ビットを基本周期とした繰り返し波形が支配的に現れることになる。従って、シリアル伝送系からの強い EMI が、シリアルデータの 1 ビット周期の整数倍で観測される。また、矩形波で伝送されるデータのスペクトラムは、 $\text{sinc}$  関

50

数で表され、1ビット周期の整数倍の周波数にはスペクトラムを持たないことが知られている。つまり、伝送信号のスペクトラムが無い周波数においてEMIが発生することになる。例えば、伝送レートが1 Gbpsの場合、1ビットの周期は1 GHz（基本周波数）となり、その整数倍には伝送信号スペクトラムは無いが、強いEMIが発生する。このクロック埋め込み型シリアル伝送方式を採用する場合、伝送信号のスペクトラムが無い周波数においてEMIが発生するため、差動伝送線路にバンドリジエクションフィルタ又はノッチフィルタを使用することが考えられる。その理由は、伝送信号スペクトラムが無い周波数近傍の帯域を遮断するため、伝送信号に影響を与えることなく、積極的にEMIを遮断することが出来るからである。

【0006】

10

そこで、従来、バンドリジエクションフィルタを、伝送線路に並列にコイルとコンデンサの直列回路を接続した構成とするか、伝送線路に直列にコイルとコンデンサの並列回路を接続した構成とすることが知られている（非特許文献1参照）。しかし、このバンドリジエクションフィルタでは、回路素子をチップ部品等の集中定数素子にて構成するため、GHz帯のような高周波領域では部品定数値が非常に小さな値となり標準的な部品では希望する遮断周波数を得にくい。また、部品の素子値のばらつきで希望する遮断周波数にするのが困難である。

【0007】

高周波領域での所望特性を確保し、部品の素子値ばらつきの問題に対処するため、分布定数回路にてバンドリジエクションフィルタを構成する技術が知られている。GHz帯等の高い周波数帯では、基板上に形成されたパターンを分布定数素子として分布定数回路を構成するのが一般的である。分布定数素子で分布定数回路を構成する場合、集中定数素子という素子値はパターンの幅、線路長といった物理的な寸法で設定され、希望する遮断周波数は形成する寸法で制御でき、任意の特性を容易に得ることができる。

20

【0008】

従来、分布定数素子で構成されたバンドリジエクションフィルタは、除去したい周波数の電気長に関係する線路を、主たる伝送線路に近接させて配置し、不要な周波数成分を除去している（特許文献1参照）。特許文献1では、伝送線路に近接して、一端をグランドに接続し、他端を開放した線路を配置している。

【0009】

30

このように構成された伝送線路の通過特性は、一端をグランド接続した線路の電気長が、 $\lambda/4$ （ $\lambda$ ：波長）に相当する基本周波数とその奇数倍の周波数において信号成分が減衰を示すようになる。

【先行技術文献】

【特許文献】

【0010】

【特許文献1】特開平9-232804号公報

【非特許文献】

【0011】

【非特許文献1】佐藤利三郎著、「伝送回路」、コロナ出版、1963年6月30日、P 277

40

【発明の概要】

【発明が解決しようとする課題】

【0012】

しかしながら、上記特許文献1では、基本周波数の奇数倍の周波数に対してEMI除去能力があるが、偶数倍の周波数に対しては減衰が得られず、偶数倍の周波数のEMI除去効果が極めて低いという問題があった。特に、クロック埋め込み型シリアル伝送では、データ伝送レートに対応した基本周波数の整数倍に強いスペクトラムを発生し、偶数倍の成分を除去できない。

【0013】

50

そこで、本発明は、デジタル信号のデータレートに対応する基本周波数の奇数倍及び偶数倍の周波数成分を伝送線路に対して減衰させることを目的とするものである。

【課題を解決するための手段】

【0014】

本発明のプリント回路板は、デジタル信号を送信する送信回路と、前記送信回路が実装されたプリント配線板と、を備え、前記プリント配線板は、グランド導体と、前記送信回路から送信されたデジタル信号を伝送する伝送線路と、前記伝送線路に沿うように前記伝送線路と間隔をあけて配置され、前記伝送線路に沿う配線方向の一端部が前記グランド導体に接続され、前記配線方向の他端部が開放された、前記伝送線路と電磁的に結合する結合線路と、を有し、前記結合線路の配線方向の中央部と、前記グランド導体とが接続部材で接続されており、前記結合線路の電気長は、前記送信回路が送信するデジタル信号のデータレートに相当する周波数の $1/2$ 波長に対し $\pm 20$  [%]の範囲であることを特徴とする。

10

また、本発明のプリント回路板は、デジタル信号を送信する送信回路と、前記送信回路が実装されたプリント配線板と、を備え、前記プリント配線板は、グランド導体と、前記送信回路から送信されたデジタル信号を伝送する伝送線路と、前記伝送線路に沿うように前記伝送線路と間隔をあけて配置され、前記伝送線路に沿う配線方向の一端部が前記グランド導体に接続され、前記配線方向の他端部が開放された、前記伝送線路と電磁的に結合する結合線路と、を有し、前記結合線路の一端部と前記結合線路の配線方向の中央部との間の区間、および前記結合線路の他端部と前記結合線路の配線方向の中央部との間の区間に定在波をそれぞれ発生させるために、前記結合線路の配線方向の中央部と、前記グランド導体とが接続部材で接続されていることを特徴とする。

20

【発明の効果】

【0015】

本発明によれば、結合線路により、伝送線路を伝送するデジタル信号に対して、デジタル信号のデータレートに対応する基本周波数の奇数倍及び偶数倍の周波数成分を減衰させることができる。よって、効果的に放射される不要電磁ノイズを低減することができる。

【図面の簡単な説明】

【0016】

【図1】本発明の第1実施形態に係るプリント回路板を説明するための図である。

30

【図2】本発明の第1実施形態に係るプリント回路板のプリント配線板における透過特性をシミュレーションにより算出した結果を示すグラフである。

【図3】本発明の第2実施形態に係るプリント回路板の平面図である。

【図4】本発明の第3実施形態に係るプリント回路板を説明するための図である。

【図5】本発明の第3実施形態に係るプリント回路板のプリント配線板における透過特性をシミュレーションにより算出した結果を示すグラフである。

【図6】本発明の第3実施形態に係るプリント回路板におけるヴィア導体のインダクタンス値に対する透過特性及び結合線路の長さの関係を示すグラフである。

【図7】本発明の第4実施形態に係るプリント回路板の平面図である。

【図8】本発明の第5実施形態に係るプリント回路板の平面図である。

40

【図9】本発明の第6実施形態に係るプリント回路板の平面図である。

【発明を実施するための形態】

【0017】

以下、本発明を実施するための形態を、図面を参照しながら詳細に説明する。

【0018】

[第1実施形態]

図1は、本発明の第1実施形態に係るプリント回路板を説明するための図である。図1(a)はプリント回路板の平面図、図1(b)はプリント配線板の断面図、図1(c)はプリント回路板の回路構成を示す回路図、図1(d)は基本周波数の1倍、2倍、3倍の周波数において結合線路に発生する電圧定在波の様子を示す模式図である。図1(a)に

50

示すプリント回路板 200 は、不図示の電子機器（例えば、撮像装置や画像形成装置等）に搭載されている。

【0019】

プリント回路板 200 は、図 1 (a) に示すように、プリント配線板 100 と、プリント配線板 100 に実装された、例えば半導体パッケージで構成された、送信回路（信号源）1 を備えている。

【0020】

プリント配線板 100 は、複数の導体層が絶縁体層（誘電体層）を介して積層された多層基板であり、第 1 実施形態では、図 1 (b) に示すように、2 つの導体層 101, 102 が絶縁体層 103 を介して積層された 2 層基板（両面基板）である。なお、図 1 (a) は、導体層 101 側からプリント回路板 200 を見た平面図である。導体層 101, 102 は、導電性を有する導体が配置された層であり、絶縁体層 103 は、絶縁性を有する絶縁体（誘電体）が配置された層である。なお、導体層であっても、導体と導体との間には絶縁体が存在し、絶縁体層であっても、絶縁体を貫通するビアに形成された導体が存在する。第 1 実施形態では、プリント配線板 100 が 2 層基板であるので、両方の導体層 101, 102 とともに表面層の導体層である。送信回路 1 は、導体層 101 に実装されている。なお、表面層の外表面には、ソルダーレジスト等の絶縁膜が形成されていてもよい。

【0021】

プリント配線板 100 は、図 1 (a) に示すように、グランド導体 7 と、送信回路 1 から送信されたデジタル信号を伝送する伝送線路 3 と、伝送線路 3 に沿って伝送線路 3 と間隔をあけて配置され、伝送線路 3 と電磁的に結合する結合線路 5 と、を有する。

【0022】

結合線路 5 は、図 1 (b) 中、複数の導体層 101, 102 のうちいずれか、第 1 実施形態では導体層 101 に配置されている。よって、導体層 101 は、結合線路 5 が配置された導体層であり、導体層 102 は、結合線路 5 が配置された導体層 101 とは異なる導体層、つまり導体層 101 に隣接する導体層である。

【0023】

グランド導体 7 には、送信回路 1 のグランド端子が接続されている。グランド導体 7 は、導体層 101 に配置されたグランドパターン（結合線路 5 と同じ層の同層グランドパターン）71 と、導体層 102 に配置されたグランドパターン（結合線路 5 と異なる層の異層グランドパターン）72 と、を有する。なお、第 1 実施形態では、グランドパターン 71 が 2 つあるが、1 つでも 3 つ以上であってもよい。また、グランド導体 7 は、グランドパターン 71 とグランドパターン 72 とを電気的に接続する複数のグランドビア導体 73 を有する。グランドビア導体 73 は、プリント配線板 100 に形成されたビア（第 1 実施形態ではスルーホール）に形成された導体である。

【0024】

伝送線路 3 は、導体層 101 に、結合線路 5 に隣接して配置されている。換言すると、結合線路 5 は、伝送線路 3 に隣接して配置されている。第 1 実施形態では、結合線路 5 は、伝送線路 3 に平行に配置されている。

【0025】

グランドパターン 71, 71 は、伝送線路 3 及び結合線路 5 を囲むように（挟むように）配置され、線路 3, 5 から漏れ出る電磁放射を低減するガードグランドとして機能している。また、グランドパターン 72 は、プリント配線板 100 の面に垂直な方向から見て（つまり、図 1 (a) で）伝送線路 3、結合線路 5 及びグランドパターン 71 に重なる位置に配置されている。このグランドパターン 72 は、信号のリターン経路として機能するので、伝送線路 3 に対向して配置させておくのがよい。

【0026】

伝送線路 3 の始端は、送信回路 1 に接続され、終端には、終端抵抗 4 が接続されている。より具体的には、終端抵抗 4 は、プリント配線板 100 の導体層 101 に実装されており、一端が伝送線路 3 の終端に接続され、他端がグランド導体 7 のグランドパターン 71

10

20

30

40

50

に接続されている。

【 0 0 2 7 】

なお、図示は省略するが、受信回路が、伝送線路 3 の終端（終端抵抗 4 の一端）にプリント配線板 1 0 0 の配線パターン又はプリント配線板 1 0 0 にコネクタ等で連結されるケーブルを介して接続されている。つまり、受信回路は、プリント配線板 1 0 0 に実装されていてもよいし、別の基板に実装されてプリント配線板 1 0 0 にケーブル接続されていてもよい。これにより、受信回路は、送信回路 1 から送信され、伝送線路 3 を伝送したデジタル信号を受信することができる。

【 0 0 2 8 】

結合線路 5 は、伝送線路 3 に沿う配線方向の一端部 5 1 がグランド導体 7 のグランドパターン 7 1 に接続され（繋がれ）ており、配線方向の他端部 5 3 が開放されている。グランドパターン 7 1 は、表面積が結合線路 5 よりも大きく形成されている。これにより、グランドパターン 7 1 の各位置でのグランド電位の均一化（インピーダンスの低減化）を図っており、結合線路 5 の一端部 5 1 の接地効果が高められている。

【 0 0 2 9 】

そして、結合線路 5 の配線方向の中央部 5 2 と、グランド導体 7 のグランドパターン 7 2 とが接続部材であるビア導体 6 で接続されている。ビア導体 6 は、プリント配線板 1 0 0 に形成されたビア（第 1 実施形態ではスルーホール）に形成された導体である。図 1（c）中、抵抗 2 は、送信回路 1 のインピーダンスである。

【 0 0 3 0 】

ここで、送信回路 1 から出力されるデジタル信号は、データと同期クロックが共にシリアル化され、ハイレベルとローレベルの論理遷移率がほぼ 5 0 % になるように符号化された信号である。送信回路 1 は、シングルエンド方式によりデジタル信号としてシングルエンド信号を出力する。

【 0 0 3 1 】

デジタル信号のデータレートに相当する周波数を基本周波数とすると、結合線路 5 は、伝送線路 3 に隣接して配置され、伝送線路 3 と電磁的に結合しているため、伝送線路 3 を伝送するデジタル信号において、基本周波数の整数倍の周波数成分が減衰される。

【 0 0 3 2 】

なお、基本周波数は、デジタル信号の時間波形をオシロスコープで測定し、アイパターン表示したときのアイ開口の最小周期（ $T$ ）の逆数（ $1/T$ ）を求めることで確認することができる。

【 0 0 3 3 】

第 1 実施形態では、結合線路 5 は、配線方向の長さが、基本周波数の  $1/2$  波長（許容差を含む）に設定された線路（ $1/2$  波長線路）である。ここで、第 1 実施形態では、基本周波数の  $1/2$  波長（許容差を含む）に設定された線路とは、電気長で  $180 [^\circ]$  に対し  $\pm 20 [\%]$  程度の許容差を有する線路、即ち、電気長で  $144 [^\circ]$  以上  $216 [^\circ]$  以下の範囲の線路をいう。つまり、結合線路 5 の電気長は、送信回路 1 が送信するデジタル信号のデータレートに相当する周波数を基本周波数としたときに、基本周波数の  $1/2$  波長に対し  $\pm 20 [\%]$  の範囲に設定されている。結合線路 5 がこの範囲であれば、伝送線路 3 を伝搬する信号において、基本周波数の整数倍の周波数成分を効果的に減衰させることができる。

【 0 0 3 4 】

図 1（d）に示すように、結合線路 5 は、開放されている他端部 5 3 が正弦波電圧の腹となり、グランドパターン 7 2 にビア導体 6 を介して接地されている中央部 5 2 が正弦波電圧の節となる。つまり、結合線路 5 における中央部 5 2 と他端部 5 3 との間の区間で、基本周波数の  $1/4$  波長の奇数倍の定在波  $V_1$ 、 $V_3$  を発生する。これにより、結合線路 5 における中央部 5 2 と他端部 5 3 との間の区間は、基本周波数の奇数倍の周波数成分を減衰させる機能を有する。図 1（d）では、結合線路 5 における中央部 5 2 と他端部 5 3 との間の区間で基本周波数において発生する  $1/4$  波長定在波  $V_1$  を実線で示し、基本

10

20

30

40

50

周波数の3倍の周波数において発生する3/4波長定在波V3を一点鎖線で示している。

【0035】

同時に、グランドパターン71に接地されている一端部51と中央部52が共に正弦波電圧の腹となることにより、結合線路5における一端部51と中央部52との間の区間で基本周波数の1/4波長の偶数倍の定在波V2を発生する。これにより、結合線路5における一端部51と中央部52との間の区間は、基本周波数の偶数倍の周波数成分を減衰させる機能を有する。図1(d)では、結合線路5における一端部51と中央部52との間の区間で基本周波数の2倍の周波数において発生する1/2波長定在波V2を点線で示している。

【0036】

以上により、結合線路5は、伝送線路3を通過するデジタル信号のデータレートに対応する基本周波数の奇数倍及び偶数倍の周波数、特に、1倍、2倍、3倍の周波数に対して減衰を与える。

【0037】

第1実施形態で説明した図1(a)に示すプリント回路板200について、シミュレーター(ANSYS社 Ansoft Designer)を使用して効果の検証を行った結果について説明する。以下、送信回路1が発生するデジタル信号のデータレートを1[Gbps]とし、データレートに相当する基本周波数を1[GHz]とした場合について説明する。

【0038】

シミュレーションモデルとして、プリント配線板100は、誘電体の厚さ1.6[mm]の両面基板である。誘電体はFR4(比誘電率4.3)とし、導体は銅(導電率 $5.8 \times 10^7$ [S/m])を用いた。伝送線路3は、長さ120[mm]、幅1[mm]、厚さ0.035[mm]とした。一端部51をグランド導体7に接続した結合線路5は、長さ82.6[mm]、幅1.5[mm]、厚さ0.035[mm]とした。伝送線路3と結合線路5とのギャップは0.2[mm]とした。結合線路5の中央部52は、直径300[ $\mu$ m]、長さ1.6[mm]のヴィア(スルーホール)に形成されたヴィア導体6に相当する0.74[nH]のインダクタンスにてグランド導体7に接続した。

【0039】

以上の構成において、ノイズの低減度合いが分かるように、伝送線路3の始端から終端への信号の透過特性S21を算出した。図2は、プリント配線板100における透過特性S21をシミュレーションにより算出した結果を示すグラフである。

【0040】

シミュレーションにより計算した結果、1[GHz]にて-31.68[dB]、2[GHz]にて-7.57[dB]、3[GHz]にて-28.96[dB]であった。注目した3つの周波数において-6[dB]以下となっており、半減以上のノイズ抑制を実現していることがわかった。

【0041】

以上、第1実施形態では、伝送線路3に隣接して配置した結合線路5の一端部51及び中央部52がグランド導体7に接続され、他端部53が開放されている。これにより、伝送線路3を伝送するデジタル信号に対して、デジタル信号のデータレートに対応する基本周波数の奇数倍及び偶数倍の周波数成分を減衰させることができる。特に、基本周波数の1倍、2倍、3倍の周波数成分を効果的に低減させることができる。これにより、伝送線路3、又は伝送線路3に接続されるケーブルから放射される不要電磁ノイズを、効果的に低減することができる。

【0042】

しかも、第1実施形態では、1つの伝送線路3に対して1つの結合線路5で奇数倍のみならず偶数倍の周波数成分を低減することができるので、ノイズ除去のために1つの伝送線路3に対して複数のスタブ線路を配置する必要がない。したがって、プリント配線板100の配線領域を有効活用できるか、又はプリント配線板100を小面積にする(小型化

10

20

30

40

50

する)ことができる。

【0043】

[第2実施形態]

次に、本発明の第2実施形態に係るプリント回路板について説明する。図3は、本発明の第2実施形態に係るプリント回路板の平面図である。上記第1実施形態では、デジタル信号としてシングルエンド信号を伝送する場合について説明したが、本第2実施形態では、差動信号を伝送する場合について説明する。

【0044】

近年、デジタルデータの高速化に伴い、EMIの低減と干渉の除去を目的に差動伝送方式が多用されている。第2実施形態では、プリント回路板200Aは、デジタル信号として差動信号を送信するよう構成された送信回路(信号源)11と、プリント配線板100Aと、を備えている。送信回路11は、プリント配線板100Aに実装されている。送信回路11は、例えば半導体パッケージで構成されている。

10

【0045】

第2実施形態においても、上記第1実施形態と同様、クロック埋め込み型シリアル伝送を行う。データと同期クロックと一緒にシリアル化され、ハイレベルとローレベルの論理遷移率がほぼ50%になるように符号化されたデータが伝送される。

【0046】

プリント配線板100Aは、複数の導体層が絶縁体層(誘電体層)を介して積層された多層基板である。第2実施形態においても、上記第1実施形態と同様、2層基板とした場合を例に説明する。なお、プリント配線板100Aの層構造は、上記第1実施形態と同様、一方の表面層を導体層101、他方の表面層を導体層102、導体層101と導体層102との間の絶縁体層を絶縁体層103として説明する。

20

【0047】

プリント配線板100Aは、グランド導体17と、送信回路11から送信されたデジタル信号(差動信号)を伝送する伝送線路として、一对の差動伝送線路3A, 3Bと、を有する。また、プリント配線板100Aは、各差動伝送線路3A, 3Bに沿って各差動伝送線路3A, 3Bと間隔をあけて配置され、各差動伝送線路3A, 3Bと電磁的に結合する一对の結合線路5A, 5Bを有する。

【0048】

結合線路5A, 5Bは、複数の導体層101, 102のうちいずれか、第2実施形態では導体層101に配置されている。よって、導体層101は、結合線路5A, 5Bが配置された導体層であり、導体層102は、結合線路5A, 5Bが配置された導体層101とは異なる導体層、つまり導体層101に隣接する導体層である。

30

【0049】

グランド導体17は、導体層101に配置されたグランドパターン(結合線路5A, 5Bと同じ層の同層グランドパターン)71A, 71Bを有する。また、グランド導体17は、導体層102に配置されたグランドパターン(結合線路5A, 5Bと異なる層の異層グランドパターン)172を有する。また、グランド導体17は、グランドパターン71A, 71Bとグランドパターン172とを電氣的に接続する複数のグランドビア導体73A, 73Bを有する。グランドビア導体73A, 73Bは、プリント配線板100Aに形成されたビア(第2実施形態ではスルーホール)に形成された導体である。

40

【0050】

一对の差動伝送線路3A, 3Bは、導体層101に互いに間隔をあけて配置されている。一对の差動伝送線路3A, 3Bは、互いに密に結合するように形成する必要があり、互いに隣接して配置されている。図3では、一对の差動伝送線路3A, 3Bは、互いに平行に配置されている。

【0051】

差動伝送線路3Aは結合線路5Aに、差動伝送線路3Bは結合線路5Bに、それぞれ隣接して配置されている。換言すると、結合線路5Aは差動伝送線路3Aに、結合線路5B

50

は差動伝送線路 3 A , 3 B に隣接して配置されている。第 2 実施形態では、結合線路 5 A , 5 B は、差動伝送線路 3 A , 3 B に平行に配置されている。

【 0 0 5 2 】

一対のグランドパターン 7 1 A , 7 1 B は、差動伝送線路 3 A , 3 B 及び結合線路 5 A , 5 B を囲むように（挟むように）配置され、線路 3 A , 3 B , 5 A , 5 B から漏れ出る電磁放射を低減するガードグランドとして機能している。また、グランドパターン 1 7 2 は、プリント配線板 1 0 0 A の面に垂直な方向から見て（つまり、図 3 で）差動伝送線路 3 A , 3 B 、結合線路 5 A , 5 B 及びグランドパターン 7 1 A , 7 1 B に重なる位置に配置されている。

【 0 0 5 3 】

一対の差動伝送線路 3 A , 3 B の始端は、送信回路 1 1 に接続され、一対の差動伝送線路 3 A , 3 B の終端には、終端抵抗 1 4 が接続されている。差動伝送線路 3 A , 3 B には、それぞれ極性が異なったデジタル信号が伝送される。

【 0 0 5 4 】

なお、図示は省略するが、受信回路が、一対の差動伝送線路 3 A , 3 B の終端（終端抵抗 1 4 の両端）にプリント配線板 1 0 0 A の配線パターン又はプリント配線板 1 0 0 A にコネクタ等で連結されるケーブルを介して接続されている。つまり、受信回路は、プリント配線板 1 0 0 A に実装されていてもよいし、別の基板に実装されてプリント配線板 1 0 0 A にケーブル接続されていてもよい。これにより、受信回路は、送信回路 1 1 から送信され、一対の差動伝送線路 3 A , 3 B を伝送した差動信号（デジタル信号）を受信することができる。

【 0 0 5 5 】

結合線路 5 A , 5 B は、差動伝送線路 3 A , 3 B に沿う配線方向の一端部 5 1 A , 5 1 B がグランド導体 1 7 のグランドパターン 7 1 A , 7 1 B にそれぞれ接続され（繋がれ）ており、配線方向の他端部 5 3 A , 5 3 B が開放されている。グランドパターン 7 1 A , 7 1 B は、表面積が結合線路 5 A , 5 B よりも大きく形成されている。これにより、グランドパターン 7 1 A , 7 1 B の各位置でのグランド電位の均一化（インピーダンスの低減化）を図っており、結合線路 5 A , 5 B の一端部 5 1 A , 5 1 B の接地効果が高められている。

【 0 0 5 6 】

そして、結合線路 5 A , 5 B の配線方向の中央部 5 2 A , 5 2 B と、グランド導体 1 7 のグランドパターン 1 7 2 と、が接続部材であるビア導体 6 A , 6 B でそれぞれ接続されている。ビア導体 6 A , 6 B は、プリント配線板 1 0 0 A に形成されたビア（第 2 実施形態ではスルーホール）に形成された導体である。

【 0 0 5 7 】

第 2 実施形態では、結合線路 5 A , 5 B は、配線方向の長さが、基本周波数の 1 / 2 波長（許容差を含む）に設定された線路（1 / 2 波長線路）である。ここで、第 2 実施形態では、基本周波数の 1 / 2 波長（許容差を含む）に設定された線路とは、電気長で 1 8 0 [ ° ] に対し ± 2 0 [ % ] 程度の許容差を有する線路、即ち、電気長で 1 4 4 [ ° ] 以上 2 1 6 [ ° ] 以下の範囲の線路をいう。つまり、結合線路 5 A , 5 B の電気長は、送信回路 1 1 が送信するデジタル信号のデータレートに相当する周波数を基本周波数としたときに、基本周波数の 1 / 2 波長に対し ± 2 0 [ % ] の範囲に設定されている。結合線路 5 A , 5 B がこの範囲であれば、差動伝送線路 3 A , 3 B を伝搬する信号において、基本周波数の整数倍の周波数成分を効果的に減衰させることができる。

【 0 0 5 8 】

以上、第 2 実施形態では、差動伝送線路 3 A , 3 B にそれぞれ隣接して配置した結合線路 5 A , 5 B の一端部 5 1 A , 5 1 B 及び中央部 5 2 A , 5 2 B がグランド導体 1 7 に接続され、他端部 5 3 A , 5 3 B が開放されている。これにより、差動伝送線路 3 A , 3 B を伝送するデジタル信号に対して、デジタル信号のデータレートに対応する基本周波数の奇数倍及び偶数倍の周波数成分を減衰させることができる。特に、基本周波数の 1 倍、2

10

20

30

40

50

倍、3倍の周波数成分を効果的に低減させることができる。これにより、差動伝送線路3A, 3B、又は差動伝送線路3A, 3Bに接続されるケーブルから放射される不要電磁ノイズを、効果的に低減することができる。

【0059】

しかも、第2実施形態では、1つの差動伝送線路3A(3B)に対して1つの結合線路5A(5B)で奇数倍のみならず偶数倍の周波数成分を低減することができる。よって、ノイズ除去のために1つの差動伝送線路3A(3B)に対して複数のスタブ線路を配置する必要がない。したがって、プリント配線板100Aの配線領域を有効活用できるか、又はプリント配線板100Aを小面積にする(小型化する)ことができる。

【0060】

[第3実施形態]

次に、本発明の第3実施形態に係るプリント回路板について説明する。図4は、本発明の第3実施形態に係るプリント回路板を説明するための図である。図4(a)はプリント回路板の平面図、図4(b)はプリント回路板の回路構成を示す回路図、図4(c)は基本周波数の1倍、2倍、3倍の周波数において結合線路に発生する電圧定在波の様子を示す模式図である。以下、第3実施形態において、上記第1実施形態と同様の構成については、同一符号を付して説明を省略し、異なる部分について説明する。

【0061】

図4(a)に示す第3実施形態のプリント回路板200Bのプリント配線板100Bでは、上記第1実施形態のプリント回路板200のプリント配線板100の接続部材である

【0062】

ビア導体6の代わりに、ビア導体36としたものである。その他の構成は、上記第1実施形態と同様である。

【0063】

結合線路5の一端部51は、直接グランドパターン71に接続されているので、インダクタンスはビア導体36に比して無視できる程度である。よって、図4(b)に示すように、結合線路5の中央部52は、ビア導体36を等価的に表したインダクタンス素子9を介してグランド導体7に接続されていると考えることができる。

【0064】

上記第1実施形態の図1(d)の説明と同様に、図4(c)には、基本周波数において発生する1/4波長定在波V1を実線で示している。また、基本周波数の2倍の周波数において発生する1/2波長定在波V2を点線で示している。また、基本周波数の3倍の周波数において発生する3/4波長定在波V3を一点鎖線で示している。

【0065】

ここで、インダクタンス素子9により、結合線路5の中央部52は、上記第1実施形態の場合に比べて、グランド導体7に比較して少し高いインピーダンスを持つようになる。これにより、基本周波数の2倍の周波数において、結合線路5の中央部52と他端部53が共に正弦波電圧の腹となる1/2波長定在波V2'が発生する。

【0066】

上記第1実施形態においても、結合線路5の一端部51と中央部52がともに正弦波電圧の節となる1/2波長定在波V2は発生していたが、開放端のない短絡端のみの線路に発生する定在波は利得が小さい。

【0067】

第3実施形態によれば、結合線路5の2つの区間でモードの異なる2つの定在波V2, V2'が発生する。これにより、ノイズ低減効果の小さかった基本周波数の2倍の周波数のノイズをより低減することが可能となる。

【0068】

10

20

30

40

50

以下、図4(a)に示す本発明の第3実施形態のプリント回路板200Bについて、シミュレーションを使用して効果の検証を行った結果について説明する。シミュレーションモデルとして、プリント配線板100Bは、誘電体の厚さ1.6[mm]の両面基板である。誘電体はFR4(比誘電率4.3)とし、導体は銅(導電率 $5.8 \times 10^7$ [S/m])を用いた。

【0069】

伝送線路3は、長さ120[mm]、幅1[mm]、厚さ0.035[mm]とした。一端部51をグランド導体7に接続した結合線路5は、長さ81.3[mm]、幅1.5[mm]、厚さ0.035[mm]とした。伝送線路3と結合線路5とのギャップは0.2[mm]とした。結合線路5の中央部52は、直径100[ $\mu$ m]、長さ1.6[mm]のビア(スルーホール)に形成したビア導体36相当する1.1nHのインダクタンス素子9にてグランド導体7に接続した。

10

【0070】

以上の構成において、ノイズの低減度合いが分かるように、伝送線路3の始端から終端への信号の透過特性S21を算出した。図5は、プリント配線板100Bにおける透過特性S21をシミュレーションにより算出した結果を示すグラフである。

【0071】

シミュレーションにより計算した結果、1[GHz]にて-25.38[dB]、2[GHz]にて-9.96[dB]、3[GHz]にて-24.69[dB]であった。注目した3つの周波数において-6[dB]以下となっており、半減以上のノイズ抑制を実現していることがわかった。

20

【0072】

さらに、インダクタンス素子9のインダクタンスを1.1[nH]としたことにより、上記第1実施形態で説明した図2と比較して、基本周波数の2倍の周波数における減衰を約2.5[dB]増加することがわかった。

【0073】

つまり、結合線路5の中央部52とグランド導体7との間に、インダクタンス成分を有するビア導体36(接続部材)を入れ、その値を大きくしていくことによって、基本周波数の2倍の周波数の低減量は増加していく。

【0074】

しかし、それと同時に、結合線路5にビア導体36のインピーダンス(リアクタンス)が加算されるため、結合線路5の電気長が延長されるようになる。その結果、定在波の周波数が低周波へシフトする。このシフトによってずれた共振周波数を1[GHz]、2[GHz]、3[GHz]に戻すには、結合線路5の長さを短くすればよい。

30

【0075】

ビア導体36のインピーダンスZは、下記の式(1)のように、インダクタンスLと周波数fの積に比例するため、3つの周波数に対しての影響度は均等ではない。

$$Z = L * f \dots (1)$$

【0076】

基本周波数の2倍の周波数の低減量を増加させるためにビア導体36のインダクタンスの値を大きくするほど、3つの共振周波数が所望の周波数1[GHz]、2[GHz]、3[GHz]からずれることになる。

40

【0077】

図6は、本発明の第3実施形態に係るプリント回路板における接続部材としてのビア導体36のインダクタンス値に対する透過特性及び結合線路の長さの関係を示すグラフである。

【0078】

図6(a)はビア導体36のインダクタンス値に対する、1[GHz]、2[GHz]、3[GHz]の各周波数における透過量を示すグラフである。接続部材であるビア導体36のインダクタンス値が0.5[nH]から3[nH]の範囲内であれば、3つの

50

周波数のノイズが同時に半分以上低減することがわかる。

【0079】

また、図6(b)は、ビア導体36のインダクタンス値を0.5[nH]から3[nH]の範囲で変動させたときに3つの周波数のノイズを同時に半分以上低減するための結合線路5の長さを示している。長さの表記は、プリント配線板100Bにおける1波長を360[°]としたときの電気長で表しており、結合線路5の電気長の範囲は154[°]以上170[°]以下である。

【0080】

図6(a)および図6(b)では、基本周波数1[GHz]のときのビア導体36のインダクタンス値で説明している。基本周波数で正規化することにより、汎用的な表現が可能である。すなわち、基本周波数で正規化し、リアクタンスで表現すれば、3.2[ ]以上18.8[ ]以下の範囲と表記できる。

【0081】

なお、接続部材がビア導体36である場合について説明したが、接続部材が結合線路5の中央部52とグランド導体7とを電氣的に接続する、インダクタンス成分を有するものであれば、ビア導体36に限定するものではない。この場合、接続部材のインダクタンス成分によるリアクタンスが、3.2[ ]以上18.8[ ]以下の範囲となるものを選択するのが好ましい。

【0082】

[第4実施形態]

次に、本発明の第4実施形態に係るプリント回路板について説明する。図7は、本発明の第4実施形態に係るプリント回路板の平面図である。上記第3実施形態では、デジタル信号としてシングルエンド信号を伝送する場合について説明したが、本第4実施形態では、差動信号を伝送する場合について説明する。図7において、上記第1～第3実施形態と同様の構成については、同一符号を付して説明を省略し、異なる部分について説明する。

【0083】

第4実施形態のプリント回路板200Cのプリント配線板100Cでは、上記第2実施形態のプリント回路板200Aのプリント配線板100Aの接続部材であるビア導体6A, 6Bの代わりに、ビア導体36A, 36Bとしたものである。その他の構成は、上記第2実施形態と同様である。なお、ビア導体36A, 36Bは、上記第3実施形態で説明したビア導体36と同様の構成である。即ち、ビア導体36A, 36Bは、他のビア導体73A, 73Bよりもインダクタンスが大きい。

【0084】

つまり、ビア導体36A, 36Bのインダクタンス成分により、結合線路5A, 5Bそれぞれにおける2つの区間で、モードの異なる2つの定在波がそれぞれ発生する。これにより、ノイズ低減効果の小さかった基本周波数の2倍の周波数のノイズをより低減することが可能となる。

【0085】

上記第3実施形態と同様、第4実施形態においても、ビア導体36A, 36Bのリアクタンスを、3.2[ ]以上18.8[ ]以下の範囲に設定するのが好ましい。

【0086】

また、上記第3実施形態と同様、第4実施形態においても、結合線路5A, 5Bの電気長を、154[°]以上170[°]以下にするのが好ましい。

【0087】

本第4実施形態の構成によって、差動伝送形態においても、上記第3実施形態と同様にして、デジタル信号の伝送に不要な基本周波数の1倍、2倍、3倍の信号の除去効果を高めることができる。

【0088】

なお、接続部材がビア導体36A, 36Bである場合について説明したが、ビア導体36A, 36Bに限定するものではない。接続部材が結合線路5A, 5Bの中央部52

10

20

30

40

50

A, 52Bとグランド導体17とを電氣的に接続する、インダクタンス成分を有するものであればよい。この場合、接続部材のインダクタンス成分によるリアクタンスが、3.2 [ ]以上18.8 [ ]以下の範囲となるものを選択するのが好ましい。

【0089】

[第5実施形態]

次に、本発明の第5実施形態に係るプリント回路板について説明する。図8は、本発明の第5実施形態に係るプリント回路板の平面図である。上記第1～第4実施形態では、結合線路を、伝送線路が配置された層と同一の導体層に配置した場合について説明した。第5実施形態では、結合線路を伝送線路が配置された導体層とは異なる隣接する導体層に配置した場合について説明する。なお、図8において、上記実施形態と同様の構成については、同一符号を付して説明を省略する。以下、上記実施形態と異なる点について説明する。

10

【0090】

図8に示すプリント回路板200Dのプリント配線板100Dは、上記第1～第3実施形態と同様、2層基板(多層基板)であり、一方の表面層を導体層101、他方の表面層を導体層102、絶縁体層を絶縁体層103とする。図8では、導体層102側からプリント回路板200Dを見た平面図を示している。

【0091】

プリント配線板100Dは、グランド導体17Dと、送信回路11から送信された差動信号(デジタル信号)を伝送する伝送線路である一对の差動伝送線路3A, 3Bとを有する。また、プリント配線板100Dは、差動伝送線路3A, 3Bに沿って差動伝送線路3A, 3Bと間隔をあけて配置され、一对の差動伝送線路3A, 3Bと電磁的に結合する1つの結合線路15を有する。

20

【0092】

結合線路15は、差動伝送線路3A, 3Bに沿う配線方向の一端部151がグランド導体17Dに接続され、配線方向の他端部153が開放されている。ここで、図8中、プリント配線板100Dの裏側(導体層101)には、送信回路11及び終端抵抗14が実装されており、一对の差動伝送線路3A, 3Bが配置されている。また、図8中、プリント配線板100Dの表側(導体層102)には、結合線路15が差動伝送線路3A, 3Bに沿って配置されている。結合線路15は、導体層102に配置されており、一对の差動伝送線路3A, 3Bは、結合線路15が配置された導体層102に隣接する、導体層102とは異なる導体層101に配置されている。

30

【0093】

そして、一对の差動伝送線路3A, 3Bは、プリント配線板100Dの面に垂直な方向から見て、1つの結合線路15に重なる位置に配置されている。換言すると、1つの結合線路15は、プリント配線板100Dの面に垂直な方向から見て、一对の差動伝送線路3A, 3Bに重なる位置に配置されている。つまり、第5実施形態では、上記第2実施形態とは異なり、一对の差動線路3A, 3Bに対して1つの結合線路15を配置している。この結合線路15は、一对の差動伝送線路3A, 3Bに平行に配置されている。

40

【0094】

グランド導体17Dは、導体層101に配置されたグランドパターン(結合線路15と異なる層の異層グランドパターン)171A, 171Bを有する。また、グランド導体17Dは、導体層102に配置されたグランドパターン(結合線路15と同じ層の同層グランドパターン)172Dを有する。また、グランド導体17は、グランドパターン171A, 171Bとグランドパターン172Dとを電氣的に接続する複数のグランドビア導体173を有する。グランドビア導体173は、プリント配線板100Dに形成されたビア(第5実施形態ではスルーホール)に形成された導体である。

【0095】

グランドパターン171A, 171Bは、差動伝送線路3A, 3Bを囲むように(挟むように)配置され、グランドパターン172Dは、結合線路15を囲むように配置されて

50

いる。これにより、グランドパターン171A, 171B, 172Dは、線路3A, 3B, 15から漏れ出る電磁放射を低減するガードグランドとして機能している。

【0096】

結合線路15は、一对の差動伝送線路3A, 3Bに沿う配線方向の一端部151がグランド導体17Dのグランドパターン172Dに接続され(繋がれ)ており、配線方向の他端部153が開放されている。グランドパターン172Dは、表面積が結合線路15よりも大きく形成されている。これにより、グランドパターン172Dの各位置でのグランド電位の均一化(インピーダンスの低減化)を図っており、結合線路15の一端部151の接地効果が高められている。

【0097】

そして、結合線路15の配線方向の中央部152と、グランド導体17Dのグランドパターン172Dとが、導体層102に配置された導体パターン(接続部材)56, 56で接続され(繋がれ)ている。なお、導体パターン56は、1つでもよいが、第5実施形態では、結合線路15がグランドパターン172Dで囲われているので、2つ(複数)有している。

【0098】

第5実施形態では、結合線路15が、プリント配線板100Dの面に垂直な方向から見て、一对の差動伝送線路3A, 3Bに重なる位置に配置されている。したがって、伝送線路に同一層で隣接して配置する場合よりも専有面積が小さくなり、プリント配線板100Dの配線領域を有効活用できるか、又はプリント配線板100Dを小型化できる。

【0099】

更に、第5実施形態では、一对(複数)の伝送線路3A, 3Bに対して1つの結合線路15を対応させて配置しているので、伝送線路3A, 3B各々に対応させた数だけ結合線路15を設けるよりも、結合線路の本数が少なく済む。したがって、プリント配線板100Dの配線領域を有効活用できるか、又はよりプリント配線板100Dを小型化することができる。

【0100】

ここで、上記第3実施形態と同様、第5実施形態においても、接続部材である導体パターン56のリアクタンス(合成リアクタンス)を、 $3.2[\ ]$ 以上 $18.8[\ ]$ 以下の範囲に設定するのが好ましい。また、上記第3実施形態と同様、第5実施形態においても、結合線路15の電気長を、 $154[^\circ]$ 以上 $170[^\circ]$ 以下にするのが好ましい。

【0101】

以上、差動伝送線路3A, 3Bと、結合線路15と、が互いに異なる層に配置されていても、差動伝送線路3A, 3Bにおけるデジタル信号の伝送に不要な、基本周波数の1倍、2倍、3倍の信号を除去することができる。

【0102】

なお、第5実施形態では、プリント配線板100Dが差動信号を伝送する回路を構成している場合について説明したが、シングルエンド信号を伝送する回路を構成しているプリント配線板についても同様に、伝送線路と結合線路とを異なる層に配置してもよい。

【0103】

また、接続部材が導体パターン56である場合について説明したが、接続部材がインダクタンス素子(集中定数素子)であってもよい。また、一对の差動伝送線路3A, 3Bに対して1つの結合線路15を配置した構成について説明したが、一对の差動伝送線路3A, 3Bそれぞれに対して各結合線路を配置してもよい。

【0104】

また、導体層が3層以上の多層基板の場合であって、結合線路15及びグランドパターン172Dが内層の導体層に配置されていてもよい。これにより、結合線路15を基板の内層に配置することができ、表面層により多くの部品実装が可能になる。

【0105】

また、更に別の導体層にグランドパターンが配置されていてもよい。この場合、結合線

10

20

30

40

50

路 15 の中央部 152 とグランドパターンとをビア導体で接続してもよい。

【0106】

[第6実施形態]

次に、本発明の第6実施形態に係るプリント回路板について説明する。図9は、本発明の第6実施形態に係るプリント回路板の平面図である。第6実施形態のプリント回路板200Eでは、上記第2実施形態のプリント回路板200Aのプリント配線板100Aの接続部材であるビア導体6A, 6Bの代わりに、インダクタンス素子66A, 66Bとしたものである。したがって、プリント回路板200Eのプリント配線板100Eは、プリント配線板100に対してビア導体6A, 6Bを省略した構成となる。それ以外の構成は、第2実施形態と同様である。上記実施形態と同様の構成については、同一符号を付して説明を省略する。以下、上記実施形態と異なる点について説明する。

10

【0107】

第6実施形態では、接続部材は、結合線路5A, 5B及びグランドパターン(同層グランドパターン)71A, 71Bが配置された導体層101に実装されたインダクタンス素子66A, 66Bである。インダクタンス素子66A, 66Bは、コイルなどの集中定数素子(電気部品)である。

【0108】

上記第3実施形態と同様、第6実施形態においても、インダクタンス素子66A, 66Bのリアクタンスを、 $3.2[\ ]$ 以上 $18.8[\ ]$ 以下の範囲に設定するのが好ましい。また、上記第3実施形態と同様、第6実施形態においても、結合線路5A, 5Bの電気長を、 $154[^\circ]$ 以上 $170[^\circ]$ 以下にするのが好ましい。

20

【0109】

以上、接続部材にインダクタンス素子66A, 66Bを用いても、差動伝送線路3A, 3Bにおけるデジタル信号の伝送に不要な、基本周波数の1倍、2倍、3倍の信号を除去することができる。これにより、仮に、基板の製造誤差などにより、共振周波数が設計値からずれた場合でも、基板を作り直すこと無く、インダクタンス素子(電気部品)66A, 66Bの定数調整によって所望の周波数のノイズ低減が可能になる。

【0110】

なお、第6実施形態では、プリント配線板100Eが差動信号を伝送する回路を構成している場合について説明したが、シングルエンド信号を伝送するように構成しているプリント配線板についても同様の効果が得られる。

30

【0111】

また、第6実施形態では、接続部材をインダクタンス素子66A, 66Bとした場合について説明したが、上記第5実施形態と同様、接続部材を導体パターンで構成してもよい。

【0112】

本発明は、以上説明した実施形態に限定されるものではなく、本発明の技術的思想内で多くの変形が可能である。

【符号の説明】

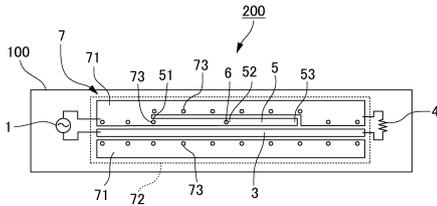
【0113】

1...送信回路、3...伝送線路、5...結合線路、6...ビア導体(接続部材)、7...グランド導体、51...一端部、52...中央部、53...他端部、100...プリント配線板、200...プリント回路板

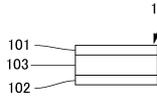
40

【図1】

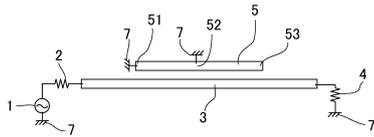
(a)



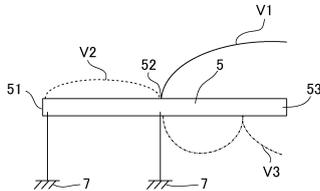
(b)



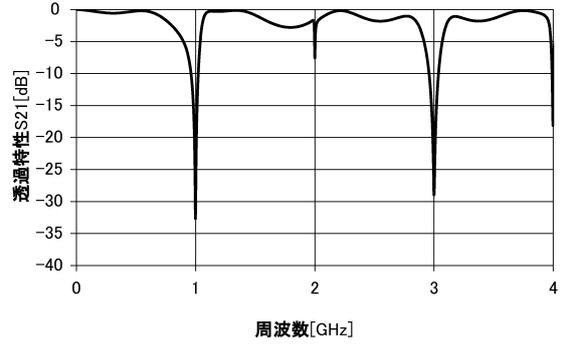
(c)



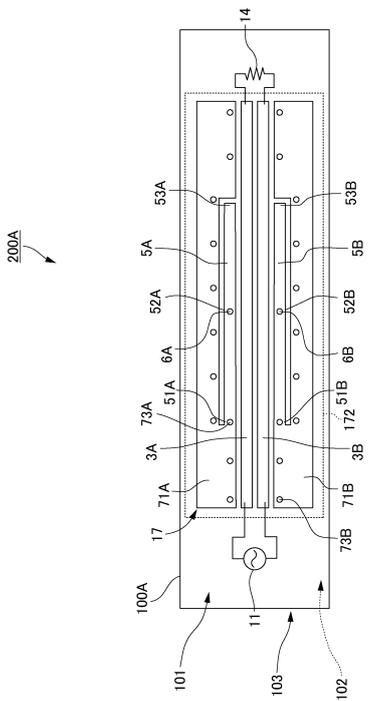
(d)



【図2】

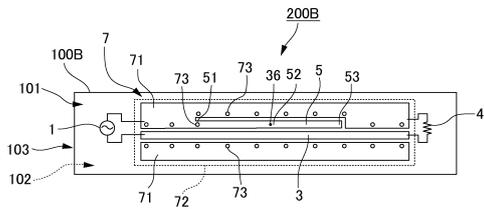


【図3】

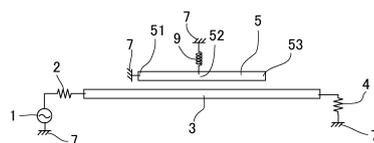


【図4】

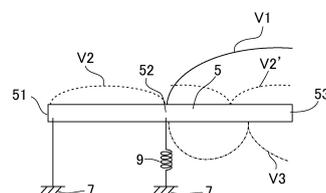
(a)



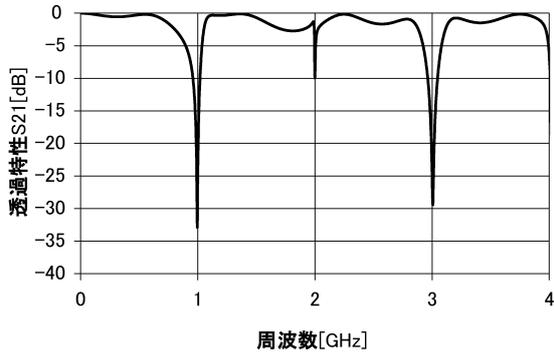
(b)



(c)

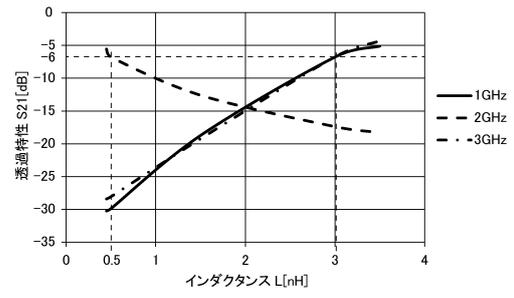


【 図 5 】

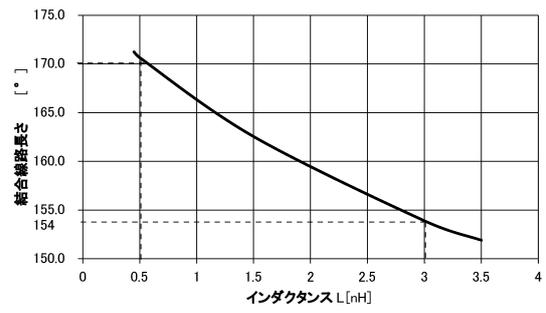


【 図 6 】

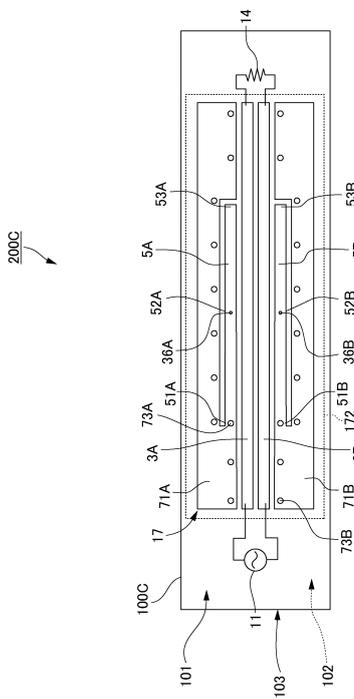
(a)



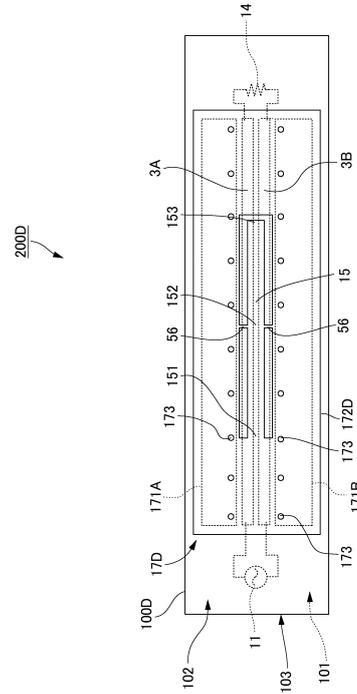
(b)



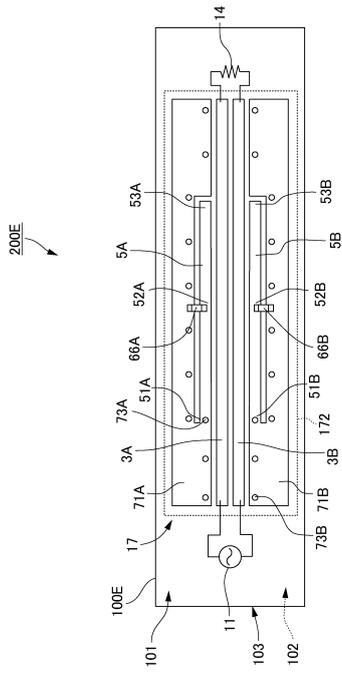
【 図 7 】



【 図 8 】



【 9 】



---

フロントページの続き

- (56)参考文献 特開2012-169320(JP,A)  
特開平7-142903(JP,A)  
実開平2-95905(JP,U)  
特開2008-172456(JP,A)

(58)調査した分野(Int.Cl., DB名)

H05K 1/00 - 1/02  
H05K 3/46  
H01L 23/12  
H01P 1/203  
H01P 1/212