



(12) 发明专利

(10) 授权公告号 CN 108231114 B

(45) 授权公告日 2021. 10. 26

(21) 申请号 201711275742.5

(51) Int.Cl.

(22) 申请日 2017.12.06

G11C 11/417 (2006.01)

(65) 同一申请的已公布的文献号
申请公布号 CN 108231114 A

审查员 冯肖雄

(43) 申请公布日 2018.06.29

(30) 优先权数据
15/375,390 2016.12.12 US

(73) 专利权人 意法半导体国际有限公司
地址 荷兰阿姆斯特丹

(72) 发明人 A·帕沙克

(74) 专利代理机构 北京市金杜律师事务所
11256

代理人 王茂华

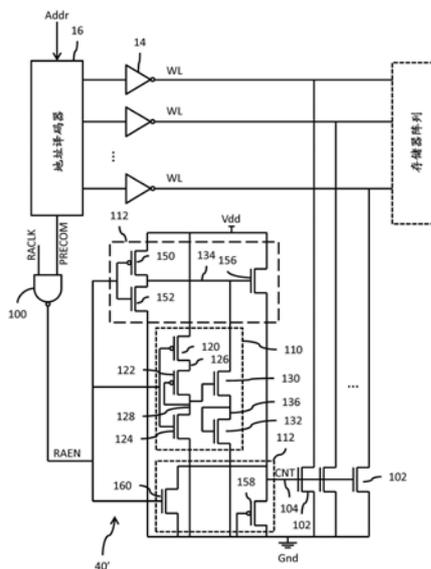
权利要求书5页 说明书5页 附图4页

(54) 发明名称

用于静态随机存取存储器的读取辅助电路

(57) 摘要

本公开涉及用于静态随机存取存储器的读取辅助电路。一种存储器电路,包括字线、连接到字线的存储器单元和字线驱动器电路。存储器电路进一步包括读取辅助电路,读取辅助电路包括具有在字线和接地节点之间连接的源极-漏极路径的n沟道下拉晶体管。偏置电路将偏置电压施加到n沟道下拉晶体管的栅极端子,该偏置电压响应于工艺、电压和温度条件而被调制以便提供受控的字线欠驱动。



1. 一种电路,包括:
 - 字线,被配置成耦合到多个存储器单元;
 - 下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;和
 - 偏置电路,被配置成在读取辅助期间向所述下拉晶体管的控制端子施加与工艺、电压和温度相关的偏置电压以提供字线欠驱动,其中所述偏置电路包括:
 - 第一n沟道晶体管,在正电源电压节点和所述下拉晶体管的控制端子之间耦合;
 - 二极管连接的第一p沟道晶体管,在所述下拉晶体管的控制端子和所述接地节点之间耦合;和
 - 在读取辅助期间选择性地将所述第一n沟道晶体管配置成二极管连接配置的电路。
2. 根据权利要求1所述的电路,还包括字线驱动器电路,所述字线驱动器电路包括p沟道上拉晶体管,所述下拉晶体管是n沟道晶体管。
3. 根据权利要求1所述的电路,其中所述偏置电路还包括:
 - 第二n沟道晶体管和二极管连接的第三n沟道晶体管,在所述第一n沟道晶体的控制端子和所述接地节点之间串联耦合;和
 - 二极管连接的第二p沟道晶体管,在读取辅助期间选择性地在所述正电源电压节点和所述第二n沟道晶体的控制端子之间耦合。
4. 根据权利要求1所述的电路,其中:
 - 所述第一n沟道晶体管被配置为,在读取辅助期间操作以响应于快NMOS工艺角而将与所述工艺、电压和温度相关的偏置电压拉向所述正电源电压节点;和
 - 所述二极管连接的第一p沟道晶体管被配置为,在读取辅助期间操作以响应于快PMOS工艺角而将与所述工艺、电压和温度相关的偏置电压拉向所述接地节点。
5. 根据权利要求1所述的电路,其中所述第一n沟道晶体管在读取辅助期间被配置作为二极管连接的器件,以响应于温度升高而将与所述工艺、电压和温度相关的偏置电压拉向所述正电源电压节点,以及响应于温度降低而进一步允许与所述工艺、电压和温度相关的偏置电压朝向所述接地节点移动。
6. 根据权利要求1所述的电路,进一步包括:
 - 另一字线,被配置为耦合到另外的多个存储器单元;
 - 另一下拉晶体管,具有连接在所述另一字线与所述接地节点之间的源极-漏极路径;以及
- 其中所述偏置电压被施加到所述下拉晶体管的控制端子和所述另一下拉晶体管的控制端子两者。
7. 一种电路,包括:
 - 字线,被配置成耦合到多个存储器单元;
 - 下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;和
 - 偏置电路,被配置成在读取辅助期间向所述下拉晶体管的控制端子施加与工艺、电压和温度相关的偏置电压以提供字线欠驱动,其中所述偏置电路包括:
 - 第一晶体管,在正电源电压节点和所述下拉晶体管的控制端子之间耦合;
 - 二极管连接的第二晶体管,在所述下拉晶体管的控制端子和所述接地节点之间耦合;
 - 和

在读取辅助期间选择性地将所述第一晶体管配置成二极管连接配置的电路。

8. 根据权利要求7所述的电路,其中所述偏置电路还包括:

第三晶体管 and 二极管连接的第四晶体管,在所述第一晶体的控制端子与所述正电源电压节点和所述接地节点中的一个之间串联耦合;和

二极管连接的第五晶体管,在读取辅助期间选择性地在所述正电源电压节点和所述接地节点中的一个与所述第三晶体的控制端子之间耦合。

9. 一种电路,包括:

字线,被配置成耦合到多个存储器单元;

下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;和

偏置电路,被配置成在读取辅助期间向所述下拉晶体的控制端子施加与工艺、电压和温度相关的偏置电压以提供字线欠驱动,其中所述偏置电路包括:

在正电源电压节点和所述下拉晶体的控制端子之间耦合的第一晶体管;和

用于调制所述第一晶体的控制端子上的电压的装置,使得所述第一晶体管在读取辅助期间操作,以响应于在所述正电源电压节点处的电源电压的增加而将与所述工艺、电压和温度相关的偏置电压拉向所述接地节点,以及响应于所述电源电压的降低而进一步允许与所述工艺、电压和温度相关的偏置电压向所述正电源电压节点移动。

10. 根据权利要求9所述的电路,其中用于调制的所述装置包括:

第二晶体管 and 二极管连接的第三晶体管,在所述第一晶体的控制端子与所述接地节点之间串联耦合;和

二极管连接的第四晶体管,在读取辅助期间选择性地在所述正电源电压节点与所述第二晶体的控制端子之间耦合。

11. 一种电路,包括:

多个字线,每个字线被配置成耦合到多个存储器单元,其中所述字线至少被布置在第一组字线和第二组字线中;和

多个读取辅助电路,包括耦合到所述第一组字线的第一读取辅助电路和耦合到所述第二组字线的第二读取辅助电路;

其中所述多个读取辅助电路中的每个读取辅助电路包括:

多个下拉晶体管,每个下拉晶体管具有在所述多个字线中的一个与接地节点之间连接的源极-漏极路径;和

偏置电路,被配置成在读取辅助期间将与工艺、电压和温度相关的偏置电压施加到所述下拉晶体的控制端子以提供字线欠驱动,其中所述偏置电路包括:

第一n沟道晶体管,在正电源电压节点和所述多个下拉晶体的控制端子之间耦合;

二极管连接的第一p沟道晶体管,在所述多个下拉晶体的控制端子和接地节点之间耦合;和

在读取辅助期间选择性地将所述第一n沟道晶体管配置成二极管连接配置的电路。

12. 根据权利要求11所述的电路,其中所述偏置电路还包括:

第二n沟道晶体管和二极管连接的第三n沟道晶体管,在所述第一n沟道晶体的控制端子和所述接地节点之间串联耦合;和

二极管连接的第二p沟道晶体管,在读取辅助期间选择性地在所述正电源电压节点和

所述第二n沟道晶体管的控制端子之间耦合。

13. 根据权利要求11所述的电路, 其中:

所述第一n沟道晶体管被配置为, 在读取辅助期间操作以响应于快NMOS工艺角而将与所述工艺、电压和温度相关的偏置电压拉向所述正电源电压节点; 和

所述二极管连接的第一p沟道晶体管被配置为, 在读取辅助期间操作以响应于快PMOS工艺角而将与所述工艺、电压和温度相关的偏置电压拉向所述接地节点。

14. 根据权利要求11所述的电路, 其中所述第一n沟道晶体管在读取辅助期间被配置作为二极管连接的器件, 以响应于温度升高而将与所述工艺、电压和温度相关的偏置电压拉向所述正电源电压节点, 以及响应于温度降低而进一步允许与所述工艺、电压和温度相关的偏置电压朝向所述接地节点移动。

15. 一种电路, 包括:

多个字线, 每个字线被配置成耦合到多个存储器单元, 其中所述字线至少被布置在第一组字线和第二组字线中; 和

多个读取辅助电路, 包括耦合到所述第一组字线的第一读取辅助电路和耦合到所述第二组字线的第二读取辅助电路;

其中所述多个读取辅助电路中的每个读取辅助电路包括:

多个下拉晶体管, 每个下拉晶体管具有在所述多个字线中的一个与接地节点之间连接的源极-漏极路径; 和

偏置电路, 被配置成在读取辅助期间将与工艺、电压和温度相关的偏置电压施加到所述下拉晶体管的控制端子以提供字线欠驱动, 其中所述偏置电路包括:

第一晶体管, 在正电源电压节点和所述多个下拉晶体管的控制端子之间耦合;

二极管连接的第二晶体管, 在所述下拉晶体管的控制端子和所述接地节点之间耦合;

和

在读取辅助期间选择性地所述第一晶体管配置成二极管连接配置的电路。

16. 根据权利要求15所述的电路, 其中所述偏置电路还包括:

第三晶体管 and 二极管连接的第四晶体管, 在所述第一晶体管的控制端子和所述正电源电压节点和所述接地节点中的一个之间串联耦合; 和

二极管连接的第五晶体管, 在读取辅助期间选择性地所述正电源电压节点和所述接地节点中的一个与所述第三晶体管的控制端子之间耦合。

17. 一种电路, 包括:

多个字线, 每个字线被配置成耦合到多个存储器单元, 其中所述字线至少被布置在第一组字线和第二组字线中; 和

多个读取辅助电路, 包括耦合到所述第一组字线的第一读取辅助电路和耦合到所述第二组字线的第二读取辅助电路;

其中所述多个读取辅助电路中的每个读取辅助电路包括:

多个下拉晶体管, 每个下拉晶体管具有在所述多个字线中的一个与接地节点之间连接的源极-漏极路径; 和

偏置电路, 被配置成在读取辅助期间将与工艺、电压和温度相关的偏置电压施加到所述下拉晶体管的控制端子以提供字线欠驱动, 其中所述偏置电路包括:

在正电源电压节点和所述多个下拉晶体管的控制端子之间耦合的第一晶体管;和
用于调制所述第一晶体管的控制端子上的电压的装置,使得所述第一晶体管在读取辅助期间操作,以响应于在所述正电源电压节点处的电源电压的增加而将与所述工艺、电压和温度相关的偏置电压拉向所述接地节点,以及响应于所述电源电压上的降低而进一步允许与所述工艺、电压和温度相关的偏置电压向所述正电源电压节点移动。

18. 根据权利要求17所述的电路,其中用于调制的所述装置包括:

第二晶体管 and 二极管连接的第三晶体管,在所述第一晶体管的控制端子与所述接地节点之间串联耦合;和

二极管连接的第四晶体管,在读取辅助期间选择性地与所述正电源电压节点与所述第二晶体管的控制端子之间耦合。

19. 一种电路,包括:

字线,被配置成耦合到多个存储器单元;

下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;和

偏置电路,被配置成响应于读取辅助控制信号的断言,向所述下拉晶体管的控制端子施加偏置电压以提供字线欠驱动,其中所述偏置电路包括:

第一n沟道晶体管,在正电源电压节点和所述下拉晶体管的控制端子之间耦合;

第二n沟道晶体管和二极管连接的第三n沟道晶体管,在所述第一n沟道晶体管的控制端子和所述接地节点之间串联耦合;

二极管连接的p沟道晶体管;以及

开关电路,被配置为响应于所述读取辅助控制信号的断言,将所述二极管连接的p沟道晶体管选择性地耦合在所述正电源电压节点与所述第二n沟道晶体管的控制端子之间。

20. 根据权利要求19所述的电路,还包括另一开关电路,所述另一开关电路被配置为响应于所述读取辅助控制信号的断言,以二极管连接的配置来连接所述第一n沟道晶体管。

21. 根据权利要求20所述的电路,其中所述另一开关电路被进一步配置为响应于所述读取辅助控制信号的解除断言,将所述第一n沟道晶体管的控制端子连接到所述接地节点。

22. 根据权利要求19所述的电路,进一步包括:

另一字线,被配置为耦合到另外的多个存储器单元;

另一下拉晶体管,具有连接在所述另一字线与所述接地节点之间的源极-漏极路径;以及

其中所述偏置电压被施加到所述下拉晶体管的控制端子和所述另一下拉晶体管的控制端子两者。

23. 根据权利要求19所述的电路,进一步包括字线驱动器,其包括p沟道上拉晶体管,所述下拉晶体管是n沟道晶体管。

24. 一种电路,包括:

字线,被配置成耦合到多个存储器单元;

下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;和

偏置电路,被配置成响应于读取辅助控制信号的断言,向所述下拉晶体管的控制端子施加偏置电压以提供字线欠驱动,其中所述偏置电路包括:

第一晶体管,在正电源电压节点和所述下拉晶体管的控制端子之间耦合;以及

开关电路,被配置为响应于所述读取辅助控制信号的断言,以二极管连接的配置来控制所述第一晶体管,并且响应于所述读取辅助控制信号的解除断言,将所述第一晶体管的栅极和所述下拉晶体管的控制端子连接到所述接地节点。

25. 根据权利要求24所述的电路,还包括字线驱动器电路,所述字线驱动器电路包括p沟道上拉晶体管,所述下拉晶体管是n沟道晶体管。

26. 根据权利要求24所述的电路,进一步包括:

另一字线,被配置为耦合到另外的多个存储器单元;

另一下拉晶体管,具有连接在所述另一字线与所述接地节点之间的源极-漏极路径;以及

其中所述偏置电压被施加到所述下拉晶体管的控制端子和所述另一下拉晶体管的控制端子两者。

27. 一种电路,包括:

字线,被配置成耦合到多个存储器单元;

下拉晶体管,具有在所述字线和接地节点之间连接的源极-漏极路径;以及

偏置电路,被配置成响应于读取辅助控制信号的断言,向所述下拉晶体管的控制端子施加偏置电压以提供字线欠驱动,其中所述偏置电路包括:

第一n沟道晶体管,在正电源电压节点和所述下拉晶体管的控制端子之间耦合;

第二n沟道晶体管,在所述第一n沟道晶体管的控制端子和所述接地节点之间耦合;

二极管连接的p沟道晶体管;以及

开关电路,被配置为响应于所述读取辅助控制信号的断言,将所述二极管连接的p沟道晶体管选择性地耦合在所述正电源电压节点与所述第二n沟道晶体管的控制端子之间。

28. 根据权利要求27所述的电路,还包括另一开关电路,所述另一开关电路被配置为响应于所述读取辅助控制信号的断言,以二极管连接的配置来连接所述第一n沟道晶体管。

29. 根据权利要求28所述的电路,其中所述另一开关电路被进一步配置为响应于所述读取辅助控制信号的解除断言,将所述第一n沟道晶体管的控制端子连接到所述接地节点。

30. 根据权利要求27所述的电路,进一步包括:

另一字线,被配置为耦合到另外的多个存储器单元;

另一下拉晶体管,具有连接在所述另一字线与所述接地节点之间的源极-漏极路径;以及

其中所述偏置电压被施加到所述下拉晶体管的控制端子和所述另一下拉晶体管的控制端子两者。

31. 根据权利要求27所述的电路,进一步包括字线驱动器,其包括p沟道上拉晶体管,所述下拉晶体管是n沟道晶体管。

用于静态随机存取存储器的读取辅助电路

技术领域

[0001] 本公开涉及集成的存储器电路,并且尤其涉及用于静态随机存取存储器(SRAM)的读取辅助电路。

背景技术

[0002] 参考图1,其示出了包括多个存储器单元12的标准存储器电路10的示意图,存储器单元12通常以包括多列和多行的阵列配置。本实施方式中的每个存储器单元12例如是常规的6晶体管(6T)静态随机存取存储器(SRAM)单元12。存储器电路10还包括用于每一行的字线驱动器14和被配置成控制字线驱动器的操作的地址译码器16。

[0003] 每个存储器单元12包括两个交叉耦合的CMOS反相器22和24,每个反相器包括串联连接的p沟道和n沟道MOSFET晶体管对。反相器22和24的输入和输出被耦合以形成具有真数据存储节点QT和互补数据节点QB的锁存器电路。单元12还包括两个传输(传输门)晶体管26和28,其栅极端子由耦合到字线驱动器14的输出的字线(WL)驱动。晶体管26的源极-漏极连接在真数据节点QT和与真位线(BLT)相关联的节点之间。晶体管28的源极-漏极连接在互补数据节点QB和与互补位线(BLB)相关的节点之间。每个反相器22和24中的p沟道晶体管30和32的源极端子被耦合以在高电源节点处接收高电源电压(例如,Vdd),而每个反相器22和24中的n沟道晶体管34和36的源极端子被耦合以在低电源节点处接收低电源电压(例如,Gnd)。高电源节点处的高电源电压Vdd和低电源节点处的低电源电压Gnd包括用于单元12的电源电压组。

[0004] 字线驱动器电路14包括形成逻辑反相器的串联连接的p沟道和n沟道MOSFET晶体管对。字线驱动器电路14还被耦合以在高电源节点处接收高电源电压(Vdd)并且在低电源节点处以低电源电压(Gnd)为基准。字线驱动器电路14的输入耦合到地址译码器16的输出,并且用于单元12的行的字线(WL)耦合到相应的字线驱动器电路14的输出。地址译码器16接收地址(Addr),译码所接收的地址并且通过字线驱动器电路14选择性地致动字线。

[0005] 存储器电路10还包括耦合到每个字线(WL)或字线对的读取辅助电路40。提供读取辅助电路40的功能是用于读取受限的SRAM单元,以在低于技术的最小作用电压的电源电压下操作。用于读取辅助的一种已知的技术是字线降低。在该技术中,字线被读取辅助电路40拉低到低于电源电压的电压,以便为读取和写入操作提供足够的静态噪声容限(SNM)。将会注意到,SNM随工艺、电压和温度(PVT)变化,因此使用PVT跟踪字线欠驱动(WLUD)电压(低于字线驱动器的高电源电压Vdd的电压)以便实现存储器电路的更好的功耗、性能和面积(PPA)数据。

[0006] 现有技术中已知的读取辅助电路40跟踪随工艺和温度而降低的字线电压,但就电压而言不能进行跟踪。由于SNM随着电源电压的增加而增加,这是现有技术读取辅助电路未考虑的重要因素。另外,这种跟踪是重要的,因为WLUD电压也随着电源电压的增加而增加,并且因此可能导致读取操作减慢以及写入失败。为了防止这种故障,存在相关的性能和功率损失以及额外的电路架构开销。

[0007] 因此,本领域需要一种具有工艺、电压和温度跟踪能力的改进的读取辅助电路。

发明内容

[0008] 在一个实施例中,一种电路包括:被配置成耦合到多个存储器单元的字线;具有在字线和接地节点之间连接的源极-漏极路径的下拉晶体管;以及偏置电路,被配置成在读取辅助期间将依赖工艺、电压和温度的偏置电压施加到下拉晶体的控制端子以提供字线欠驱动。

附图说明

[0009] 为了更好地理解实施例,现在将仅以示例的方式参考附图,在附图中:

[0010] 图1是具有读取辅助的标准存储器电路的示意图;

[0011] 图2是具有工艺、电压和温度跟踪能力的读取辅助电路的示意图;

[0012] 图3示出了图2的读取辅助电路的操作波形;以及

[0013] 图4是示出在存储器阵列中使用多个读取辅助电路的框图。

具体实施方式

[0014] 现在参考图2,其示出了具有工艺、电压和温度跟踪能力的读取辅助电路40'的示意图。例如,可以使用电路40'来代替图1的现有技术读取辅助电路40。因此,电路40'耦合到多个字线(WL),字线被耦合到存储器阵列(包括多个存储器单元(诸如,例如,SRAM单元))的行。在另一种实施方式中,还可以针对字线对重复电路40'。例如,对于N个字线,将电路40'重复M次,然后N/M个字线将被耦合到图2的每个电路40'(如在图4中所示)。

[0015] 读取辅助电路40'包括逻辑电路100,其具有被耦合以从地址译码器16接收译码器选择信号(PRECOM)输出的第一输入以及被配置成从时钟生成器电路(未示出)接收读取辅助时钟信号(RACK)输出的第二输入。逻辑电路100将译码器选择信号和读取辅助时钟信号逻辑地组合以生成读取辅助使能信号(RAEN)。在一个实施例中,逻辑电路100包括逻辑NAND(与非)门,并且因此当启动读取辅助以用于操作时,读取辅助使能信号RAEN被断言为逻辑低(并且相反地,当读取辅助被禁用时,解除断言为逻辑高)。在译码器选择信号PRECOM和读取辅助时钟信号RACK都为逻辑高时,读取辅助使能信号RAEN的逻辑低值出现。

[0016] 读取辅助电路40'包括多个n沟道下拉晶体管102。每个下拉晶体管102使其源极端子耦合到在低电源节点处的低电源电压Gnd,并且使其漏极端子耦合到一个字线(WL)。下拉晶体管102的栅极端子在节点104处耦合在一起并由控制信号CNT驱动。

[0017] 读取辅助电路40'包括电压跟踪电路110以及工艺和温度跟踪电路112。每个电路110和112被配置成接收读取辅助使能信号RAEN。

[0018] 电压跟踪电路110包括p沟道晶体管120、p沟道晶体管122和n沟道晶体管124,它们的源极-漏极路径在高电源节点处的高电源电压(Vdd)和在低电源节点处的低电源电压Gnd之间串联耦合。更具体地,晶体管120的源极端子耦合到高电源节点,晶体管120的漏极端子在节点126处耦合到晶体管122的源极端子。晶体管122被配置成二极管连接器件,其栅极端子在节点128处耦合到其漏极端子。晶体管124的漏极端子也耦合到节点128,并且晶体管124的源极端子耦合到低电源节点。晶体管120和124的栅极端子被耦合以接收读取辅助使

能信号RAEN。电压跟踪电路110还包括n沟道晶体管130和n沟道晶体管132,它们的源极-漏极路径在节点134和低电源节点之间串联耦合。更具体地,晶体管130的漏极端子耦合到节点134,并且晶体管130的源极端子在节点136耦合到晶体管132的漏极端子。晶体管132被配置成二极管连接器件,其栅极端子在节点136耦合到其漏极端子。晶体管132的源极端子耦合到低电源节点。晶体管130的栅极端子耦合到节点128。

[0019] 工艺和温度跟踪电路112包括p沟道晶体管150和n沟道晶体管152,它们的源极-漏极路径在高电源节点和低电源节点之间串联耦合。更具体地,晶体管150的源极端子耦合到高电源节点,且晶体管150的漏极端子在节点134耦合到晶体管152的漏极端子。晶体管152的源极端子耦合到低电源节点。晶体管150和152的栅极端子被耦合以接收读取辅助使能信号RAEN。工艺和温度跟踪电路112还包括n沟道晶体管156和p沟道晶体管158,它们的源极-漏极路径在高电源节点和低电源节点之间串联耦合。更具体地,晶体管156的漏极端子耦合到高电源节点,且晶体管156的源极端子在节点104耦合到晶体管158的源极端子。晶体管156的栅极端子耦合到节点134。晶体管158被配置成二极管连接的器件,其栅极端子在低电源节点处耦合到其漏极端子。工艺和温度跟踪电路112还包括具有在节点104和低电源节点之间耦合的源极-漏极路径的n沟道晶体管160。更具体地,晶体管160的漏极端子耦合到节点104,且晶体管160的源极端子耦合到低电源节点。晶体管160的栅极端子被耦合以接收读取辅助使能信号RAEN。

[0020] 读取辅助电路40'操作以调制节点104处的读取辅助控制信号CNT的电压电平,以便实现跨PVT范围的不同WLUD性能。控制信号CNT的调制电压越高,WLUD越大(反之亦然)。

[0021] 从SNM的角度来看,对WLUD的需求对于快NMOS/慢PMOS(FS)工艺角是最大的。相反,从SNM的角度来看,对WLUD的需求对于慢NMOS/快PMOS(SF)工艺角是最小的。工艺和温度跟踪电路112的晶体管156和158起到跟踪跨工艺角的WLUD需求的作用。在快NMOS工艺角,由于n沟道晶体管156的操作导致在节点104处的控制信号CNT的电压电平增加而提供更多的WLUD,所以工艺和温度跟踪电路112使在节点104的电压更趋向于稳定在高电源节点处的高电源电压(Vdd)。然而,对于快PMOS角,由于p沟道晶体管158的操作,因此导致节点104处的控制信号CNT的电压电平的降低而提供较少的WLUD,所以工艺和温度跟踪电路112导致节点104处的电压更趋于稳定在低电源节点处的低电源电压Gnd。

[0022] 从SNM的角度来看,对WLUD的需求在较高温度下最大,在较低温度下最小。工艺和温度跟踪电路112跨温度变化跟踪WLUD需求。当读取辅助使能信号RAEN为逻辑低(即,读取辅助被启用以用于操作)时,晶体管150导通并且将晶体管156配置成二极管连接的晶体管,其栅极端子在高电源节点耦合到其漏极端子。因为晶体管156现在被配置成二极管连接的器件,所以其阈值电压将随着温度的改变而变化。随着温度升高,晶体管156的阈值电压降低,并且工艺和温度跟踪电路112使得节点104处的电压更趋于稳定在高电源节点的电源电压(Vdd)。相反,随着温度的降低,晶体管156的阈值电压增加,并且工艺和温度跟踪电路112使节点104处的电压更趋于稳定在低电源节点处的低电源电压Gnd。

[0023] 晶体管158被设计用于两个目的。一个目的是用于工艺跟踪。如果PMOS处于快角,则晶体管158调整CNT信号以减少WLUD。相反,如果PMOS处于慢角,则晶体管调整CNT信号以增加WLUD。另一个目的涉及温度补偿,其中在读取/写入操作开始时,晶体管158将节点104放电至接近接地电平,以便避免在之前的读取/写入操作或无操作状况期间节点104稳定在

Vdd电平。由于晶体管156被设计为在变化的NMOS工艺角的情况下跟踪WLUD,这是晶体管158也被设计为二极管的原因,以用于NMOS和PMOS工艺角的恰当的工艺追踪。

[0024] 从SNM的角度来看,对WLUD的需求对于较低的电源电压是最大的,对于较高的电源电压是最小的。电压跟踪电路110跨电压变化地跟踪WLUD需求。当读取辅助使能信号RAEN为逻辑高时,读取辅助被禁止。晶体管124导通到接地节点128并关断晶体管130。当读取辅助使能信号RAEN转变为逻辑低时,读取辅助被启用以用于WLUD。晶体管150导通以将电源电压施加到晶体管130的源极端子。因为晶体管132被配置成二极管连接的器件,所以节点136处的电压稳定在NMOS阈值电压(V_{tn})。因为晶体管122被配置成二极管连接的器件,所以节点128处的电压稳定在比Vdd低PMOS阈值电压(V_{tp})处(即 $V_{dd}-V_{tp}$)。因此,晶体管130的栅极过驱动电压等于 $V_{dd}-V_{tp}-V_{tn}-V_{tn}$ 。在相对较低的电源电压的情况下,节点128处的电压较低,并且晶体管130将仅微弱地导通。结果,节点134处的电压将稳定在高电源电压Vdd附近,以更强烈地导通晶体管156,并导致节点104处的电压更趋于稳定在高电源节点处的高电源电压(Vdd)。另一方面,在相对较高的电源电压的情况下,节点128处的电压更高,并且晶体管130将更强烈地导通。结果,节点134处的电压将进一步远离高电源电压Vdd稳定,以使晶体管156较弱地导通,并使节点104处的电压更趋于稳定在低电源节点处的低电源电压Gnd。

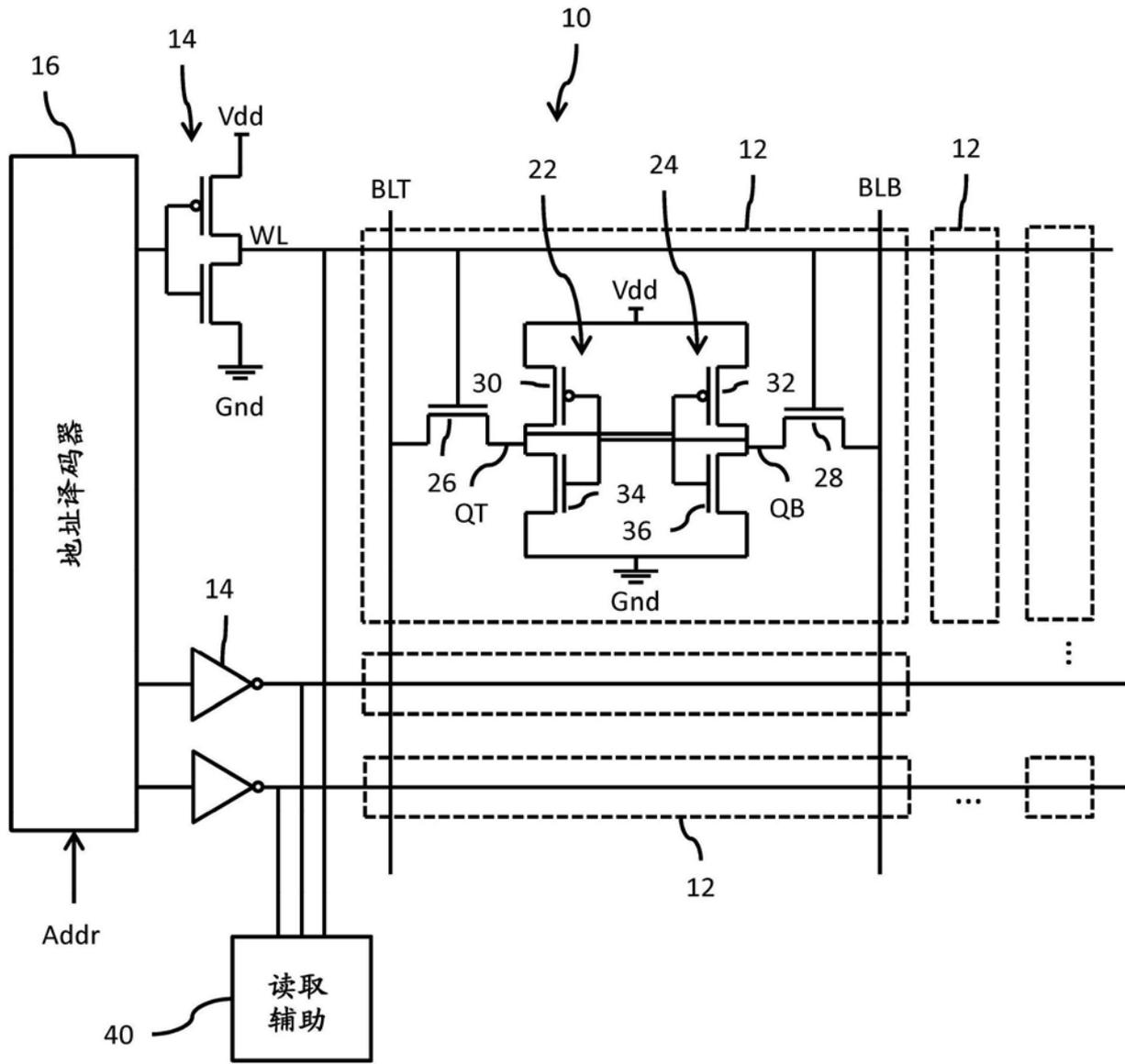
[0025] 图3示出了用于电路40'的操作的信号波形。在时间t1,译码器选择信号PRECOM被断言为逻辑高,指示基于地址Addr的存储器阵列中的存储器单元的期望的行的选择。在时间t2,读取辅助时钟信号RACLK被断言为逻辑高,指示存储器阵列上的读取或写入操作的开始,并且逻辑电路100的输出改变为逻辑低,并且读取辅助使能信号RAEN被断言以启动读取辅助电路40'的操作。在时间t3,节点134处的电压稳定到跟踪电源电压Vdd的值。例如,对于相对较低的电源电压,节点134处的电压将稳定到更接近高电源电压Vdd(标记200)。相反,对于相对较高的电源电压,节点134处的电压将稳定到更接近接地电源电压Gnd(标记202)。节点134处的电压电平影响晶体管156的导通强度。在时间t4,节点104处的电压稳定到跟踪电源电压Vdd的值。例如,对于相对较低的电源电压,节点104处的电压将稳定到更接近高电源电压Vdd(标记204)。相反,对于相对较高的电源电压,节点104处的电压将稳定到更接近接地电源电压Gnd(标记206)。节点104处的电压电平影响晶体管102的导通强度。在时间t5,地址译码器使能字线驱动器14。在时间t6,字线电压稳定到用于提供相对于电源电压的正确的WLUD的值。例如,对于相对较低的电源电压,晶体管102导通更强,并且字线电压将稳定到更接近接地电源电压Gnd(标记208)。相反,对于相对较高的电源电压,晶体管102的导通强度不那么强,并且字线电压将稳定到更接近电源电压Vdd(标记210)。

[0026] WLUD电压被施加达读取或写入操作的持续时间。在时间t7,地址译码器禁用字线驱动器14。在时间t8,字线驱动器终止字线信号的施加。在时间t9,读取辅助时钟信号RACLK被解除断言(逻辑低),并且逻辑电路100的输出变为逻辑高,并且读取辅助使能信号RAEN被解除断言。这导致晶体管152和晶体管160导通并分别在时间t10和t11迫使节点134和104处的电压接地。

[0027] 存储器被设计成基于需求在不同的电源范围运行以优化功率和性能。在相对较低的电压范围,WLUD的实施为存储器单元提供了足够的SNM。然而,与Vdd相比,由于WL电平较低,性能下降。存储器操作在较低的电压范围以便节省功耗,因此性能下降是可以接受的。为了获得更好的性能,存储器在更高的电压范围操作。一旦没有电压跟踪的读取辅助电路

根据SNM的需求针对在较低电压范围的WLUD而被调整,随着存储器操作电压的增加,相同的调整不能跟踪所需的WLUD。而且,由于在更高的电压范围的不必要的更大的WLUD,存储器最终失去了性能和功率。换句话说,由于WL电压低于Vdd,写入操作和读取操作必须执行更长的持续时间。在读取辅助电路装置中实施电压跟踪以及工艺和温度跟踪,有助于存储器跨宽的操作电压范围实现更好的PPA。

[0028] 以上描述已经通过示例性而非限制性的示例提供了本发明的示例性实施例的全面的和信息性的描述。然而,当结合附图和所附权利要求阅读时,鉴于前面的描述,各种修改和适应对本领域技术人员来说可以变得显而易见。然而,对本发明的教导的所有这种和类似的修改仍然落入如所附权利要求所限定的本发明的范围内。



(现有技术)

图1

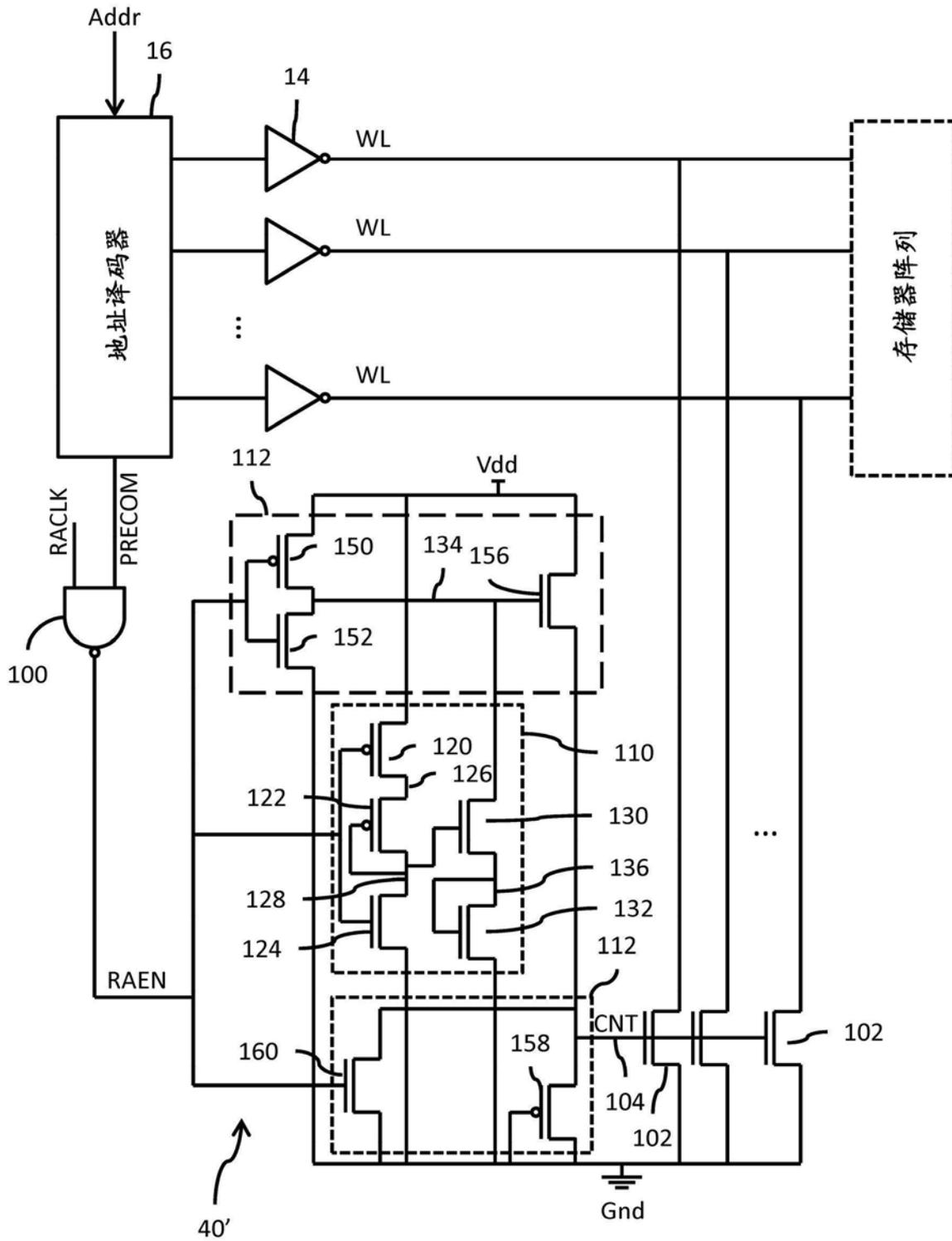


图2

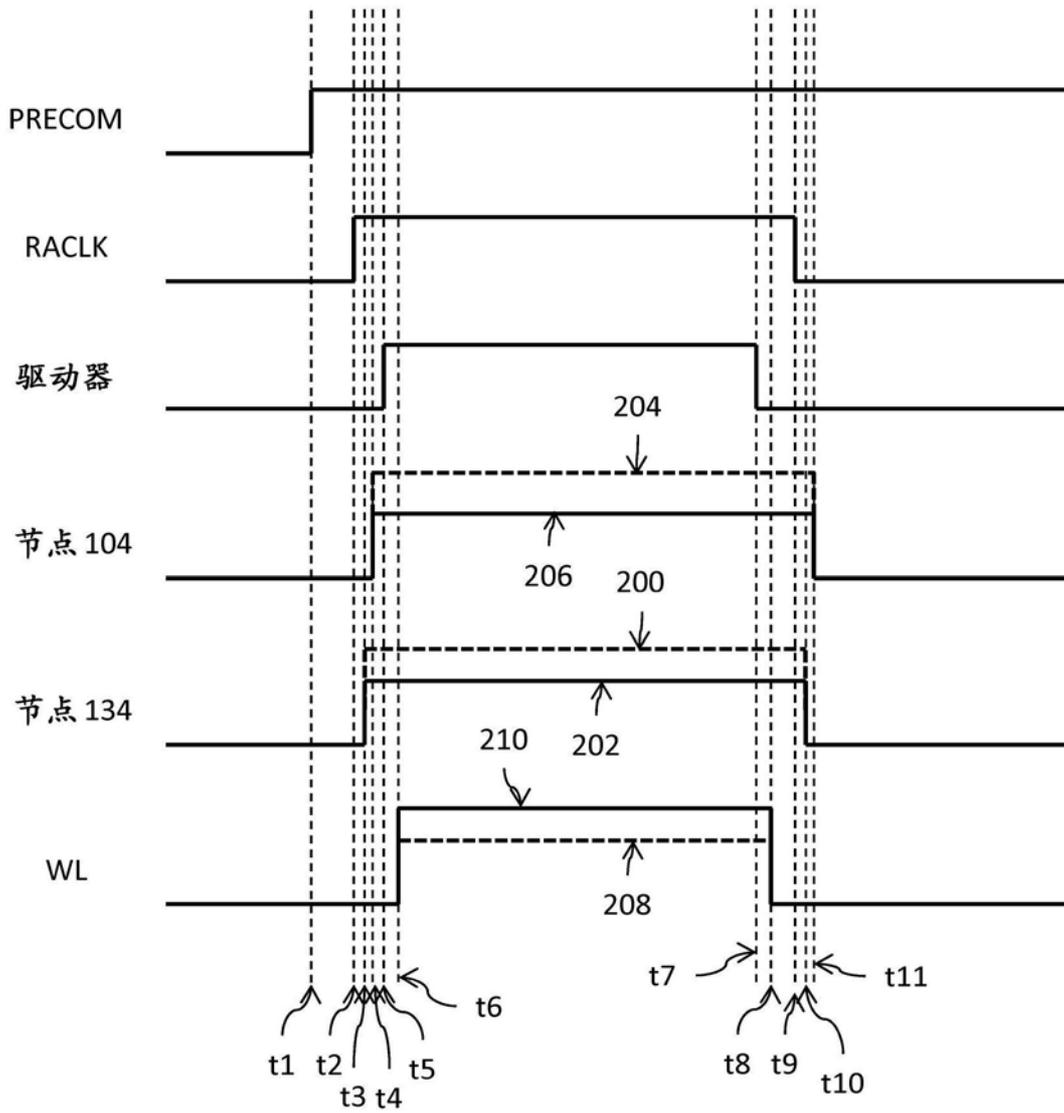


图3

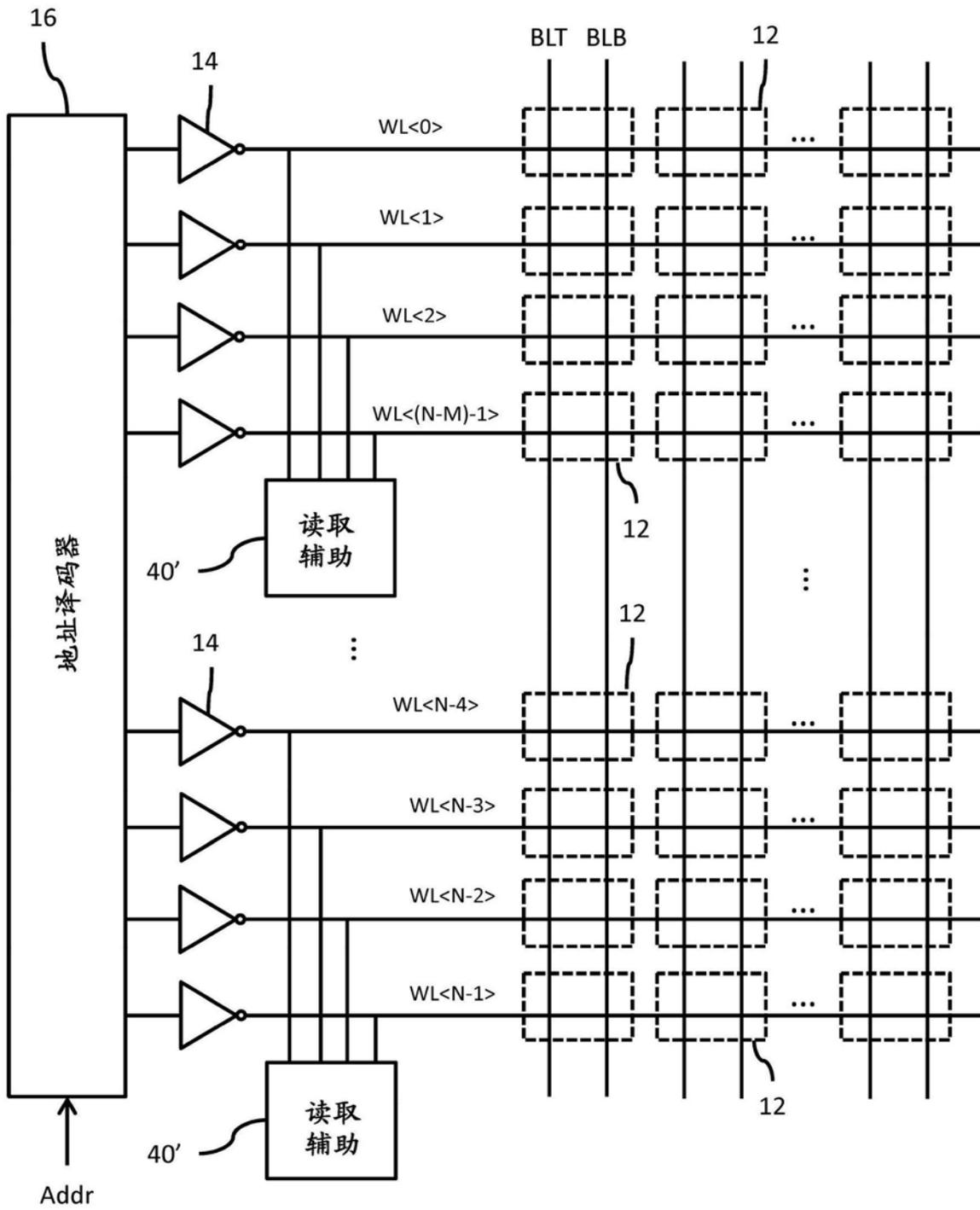


图4