

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第3938229号
(P3938229)

(45) 発行日 平成19年6月27日(2007.6.27)

(24) 登録日 平成19年4月6日(2007.4.6)

(51) Int. Cl.	F I
G 1 1 C 29/34 (2006.01)	G 1 1 C 29/00 6 7 1 P
G 1 1 C 29/06 (2006.01)	G 1 1 C 29/00 6 7 1 F
G O 1 R 31/28 (2006.01)	G O 1 R 31/28 B
G 1 1 C 11/401 (2006.01)	G 1 1 C 11/34 3 7 1 A

請求項の数 3 (全 9 頁)

(21) 出願番号 特願平9-279109	(73) 特許権者 000000295 沖電気工業株式会社 東京都港区虎ノ門1丁目7番12号
(22) 出願日 平成9年10月13日(1997.10.13)	(74) 代理人 100086807 弁理士 柿本 恭成
(65) 公開番号 特開平11-120794	(72) 発明者 中野 莊太郎 東京都港区虎ノ門1丁目7番12号 沖電気工業株式会社内
(43) 公開日 平成11年4月30日(1999.4.30)	審査官 園田 康弘
審査請求日 平成13年12月14日(2001.12.14)	

最終頁に続く

(54) 【発明の名称】 半導体記憶装置

(57) 【特許請求の範囲】

【請求項1】

複数のワード線と、
行アドレス信号を解読して、該行アドレス信号で選択された行アドレスに対応する前記ワード線を選択する行デコーダと、
前記複数のワード線に直交して配置された複数のビット線対と、
列アドレス信号を解読して、該列アドレス信号で選択された列アドレスに対応する前記ビット線対を選択する列デコーダと、
前記複数のビット線対と前記複数のワード線との交叉箇所にそれぞれ設けられた複数のメモリセルと、
ワード線駆動回路と、
テスト信号、ワード線試験電圧及びワード線駆動信号が入力され、第1乃至第4スイッチを有するワード線試験部とを有し、
前記第1スイッチは、前記テスト信号の前記ワード線駆動回路への出力を制御し、
前記第2スイッチは、前記行デコーダからの信号の前記ワード線駆動回路への出力を制御し、
前記第3スイッチは、前記ワード線駆動信号の前記ワード線駆動回路への出力を制御し、
前記第4スイッチは、前記ワード線試験電圧の前記ワード線駆動回路への出力を制御し、

10

20

前記テスト信号が第 1 電位の時、前記ワード線試験部は、前記第 1 及び第 4 スイッチをオフ、前記第 2 及び第 3 スイッチをオンにして、前記行デコーダからの信号を該第 2 スイッチを通して前記ワード線駆動回路へ出力すると共に、前記ワード線駆動信号を該第 3 スイッチを通して該ワード線駆動回路へ出力し、更に、前記ワード線駆動回路は、前記行デコーダからの信号を受けることによって前記ワード線駆動信号を前記複数のワード線に出力し、

前記テスト信号が第 2 電位の時、前記ワード線試験部は、前記第 1 及び第 4 スイッチをオン、前記第 2 及び第 3 スイッチをオフにして、該テスト信号自体を該第 1 スイッチを通して前記ワード線駆動回路へ出力すると共に、前記ワード線試験電圧を該第 4 スイッチを通して該ワード線駆動回路へ出力し、更に、前記ワード線駆動回路は、前記テスト信号を受けることによって前記ワード線試験電圧を前記複数のワード線に出力することを特徴とする半導体記憶装置。

10

【請求項 2】

複数のワード線と、

行アドレス信号を解読して、該行アドレス信号で選択された行アドレスに対応する前記ワード線を選択する行デコーダと、

前記複数のワード線に直交して配置された複数のビット線対と、

列アドレス信号を解読して、該列アドレス信号で選択された列アドレスに対応する前記ビット線対を選択する列デコーダと、

前記複数のビット線対と前記複数のワード線との交叉箇所にそれぞれ設けられた複数のメモリセルと、

20

センスアンプを有するセンスアンプ部と、

テスト信号、ビット線試験電圧及びビット線駆動信号が入力され、第 1 乃至第 4 スイッチを有するビット線試験部と、

前記ビット線試験部に接続されたリードアンプとを有し、

前記第 1 スイッチは、前記テスト信号の前記センスアンプ部への出力を制御し、

前記第 2 スイッチは、前記列デコーダからの信号の前記センスアンプ部への出力を制御し、

前記第 3 スイッチは、前記センスアンプ部からの信号の前記リードアンプへの出力を制御し、

30

前記第 4 スイッチは、前記ビット線試験電圧の前記センスアンプ部への出力を制御し、

前記テスト信号が第 1 電位の時、前記ビット線試験部は、前記第 1 及び第 4 スイッチをオフ、前記第 2 及び第 3 スイッチをオンにして、前記列デコーダからの信号を該第 2 スイッチを通して前記センスアンプ部へ出力すると共に、該センスアンプ部からの信号を該第 3 スイッチを通して前記リードアンプへ出力し、更に、前記センスアンプ部からの信号は、該センスアンプ部が前記列デコーダからの信号を受けることによって出力され、

前記テスト信号が第 2 電位の時、前記ビット線試験部は、前記第 1 及び第 4 スイッチをオン、前記第 2 及び第 3 スイッチをオフにして、該テスト信号自体を該第 1 スイッチを通して前記センスアンプ部へ出力すると共に、前記ビット線試験電圧を該第 4 スイッチを通して該センスアンプ部へ出力し、更に、前記センスアンプ部は、前記テスト信号を受けることによって前記ビット線試験電圧を前記センスアンプ部内の複数のセンスアンプに出力することを特徴とする半導体記憶装置。

40

【請求項 3】

前記第 1 電位と前記第 2 電位は、それぞれ外部から与えられる電位であることを特徴とする請求項 1 または 2 記載の半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、特に通常動作時の電圧よりも高い試験電圧を印加して行う加速劣化試験用の回路を組み込んだ半導体記憶装置に関するものである。

50

【 0 0 0 2 】

【 従来 の 技 術 】

半導体記憶装置等の電子デバイスの不良発生率は、使用開始直後が大きく、使用年数に反比例して減少するという特性がある。加速劣化試験（バーンイン試験）は、この特性を利用して初期不良の電子デバイスを選別する方法であり、高温下で高電圧を印加して電子デバイスを動作させることにより、疑似的に長時間の使用状態を作り出す試験である。

例えば、通常の動作条件が周囲温度 0 ~ 70 °C、電源電圧 VCC = 5 V の半導体記憶装置に対して、加速劣化試験時には、試験条件として周囲温度 125 °C、電源電圧 VCC = 7 V を印加する。このような試験条件で、所定時間動作させた後、異常の発生しないものを良品として選別する。

10

【 0 0 0 3 】

【 発 明 が 解 決 し よ う と す る 課 題 】

しかしながら、従来の半導体記憶装置では、次のような課題があった。

即ち、半導体記憶装置では、パッケージに組み立てた後、電源端子に通常の電源電圧よりも高い試験電圧を印加するとともに入力端子に試験信号を与えて個々のメモリセルを順次選択し、その選択したメモリセルに試験電圧を一定時間だけ印加する加速劣化試験が行われている。最近の半導体記憶装置では、記憶容量の飛躍的増加によって試験すべきメモリセルの数が膨大になり、これらのメモリセルの試験に長時間を必要としていた。例えば、2048本のワード線を有する4Mビットの半導体記憶装置において、すべてのメモリセルを試験するには、アドレス端子から順次2048本のワード線を選択するためのアドレスを入力する必要がある。そして、選択したワード線に試験電圧を1分間ずつ印加するとすれば、すべてのワード線に対して試験を行うには2048分（=約34時間）が必要になる。

20

本発明は、前記従来技術が持っていた課題を解決し、短時間ですべてのメモリセルに対して加速劣化試験を行うことができる試験回路を組み込んだ半導体記憶装置を提供するものである。

【 0 0 0 4 】

【 課 題 を 解 決 す る た め の 手 段 】

前記課題を解決するため、本発明の内の第1の発明の半導体記憶装置は、複数のワード線と、行アドレス信号を解読して、該行アドレス信号で選択された行アドレスに対応する前記ワード線を選択する行デコーダと、前記複数のワード線に直交して配置された複数のビット線対と、列アドレス信号を解読して、該列アドレス信号で選択された列アドレスに対応する前記ビット線対を選択する列デコーダと、前記複数のビット線対と前記複数のワード線との交叉箇所それぞれに設けられた複数のメモリセルと、ワード線駆動回路と、テスト信号、ワード線試験電圧及びワード線駆動信号が入力され、第1乃至第4スイッチを有するワード線試験部とを有している。

30

前記第1スイッチは、前記テスト信号の前記ワード線駆動回路への出力を制御し、前記第2スイッチは、前記行デコーダからの信号の前記ワード線駆動回路への出力を制御し、前記第3スイッチは、前記ワード線駆動信号の前記ワード線駆動回路への出力を制御し、前記第4スイッチは、前記ワード線試験電圧の前記ワード線駆動回路への出力を制御する

40

。そして、前記テスト信号が第1電位するとき、前記ワード線試験部は、前記第1及び第4スイッチをオフ、前記第2及び第3スイッチをオンにして、前記行デコーダからの信号を該第2スイッチを通して前記ワード線駆動回路へ出力すると共に、前記ワード線駆動信号を該第3スイッチを通して該ワード線駆動回路へ出力し、更に、前記ワード線駆動回路は、前記行デコーダからの信号を受けることによって前記ワード線駆動信号を前記複数のワード線に出力し、前記テスト信号が第2電位するとき、前記ワード線試験部は、前記第1及び第4スイッチをオン、前記第2及び第3スイッチをオフにして、該テスト信号自体を該第1スイッチを通して前記ワード線駆動回路へ出力すると共に、前記ワード線試験電圧を該第4スイッチを通して該ワード線駆動回路へ出力し、更に、前記ワード線駆動回路は、

50

前記テスト信号を受けることによって前記ワード線試験電圧を前記複数のワード線に出力することを特徴としている。

【0005】

第2の発明の半導体記憶装置は、複数のワード線と、行アドレス信号を解読して、該行アドレス信号で選択された行アドレスに対応する前記ワード線を選択する行デコーダと、

前記複数のワード線に直交して配置された複数のビット線対と、列アドレス信号を解読して、該列アドレス信号で選択された列アドレスに対応する前記ビット線対を選択する列デコーダと、前記複数のビット線対と前記複数のワード線との交叉箇所にそれぞれ設けられた複数のメモリセルと、センスアンプを有するセンスアンプ部と、テスト信号、ビット線試験電圧及びビット線駆動信号が入力され、第1乃至第4スイッチを有するビット線試験部と、前記ビット線試験部に接続されたリードアンプとを有している。

10

前記第1スイッチは、前記テスト信号の前記センスアンプ部への出力を制御し、前記第2スイッチは、前記列デコーダからの信号の前記センスアンプ部への出力を制御し、前記第3スイッチは、前記センスアンプ部からの信号の前記リードアンプへの出力を制御し、前記第4スイッチは、前記ビット線試験電圧の前記センスアンプ部への出力を制御する。

そして、前記テスト信号が第1電位るとき、前記ビット線試験部は、前記第1及び第4スイッチをオフ、前記第2及び第3スイッチをオンにして、前記列デコーダからの信号を該第2スイッチを通して前記センスアンプ部へ出力すると共に、該センスアンプ部からの信号を該第3スイッチを通して前記リードアンプへ出力し、更に、前記センスアンプ部からの信号は、該センスアンプ部が前記列デコーダからの信号を受けることによって出力され、前記テスト信号が第2電位るとき、前記ビット線試験部は、前記第1及び第4スイッチをオン、前記第2及び第3スイッチをオフにして、該テスト信号自体を該第1スイッチを通して前記センスアンプ部へ出力すると共に、前記ビット線試験電圧を該第4スイッチを通して該センスアンプ部へ出力し、更に、前記センスアンプ部は、前記テスト信号を受けることによって前記ビット線試験電圧を前記センスアンプ部内の複数のセンスアンプに出力することを特徴としている。

20

【0006】

第1の発明によれば、以上のように半導体記憶装置を構成したので、次のような作用が行われる。

30

ワード線試験回路では入力される試験信号に応じてワード線駆動回路からワード線へ出力する信号が選択され、これに応じてワード線駆動回路からワード線に対して、ワード線駆動信号またはワード線試験信号のいずれか一方がワード線に出力される。

第2の発明によれば、次のような作用が行われる。

ビット線試験回路では入力される試験信号に応じてビット線駆動回路からビット線へ出力する信号が選択され、これに応じてビット線駆動回路からビット線に対して、ビット線駆動信号またはビット線試験信号のいずれか一方がビット線に出力される。

【0007】

【発明の実施の形態】

図1は、本発明の実施形態を示す半導体記憶装置の概略の構成図である。

40

この半導体記憶装置は行デコーダ10を有しており、例えば、22ビットのアドレス信号の内の上位11ビットが、この行デコーダ10に行アドレス信号RADとして与えられる。行デコーダ10は、 $m (= 2048)$ 本の出力線を有しており、行アドレス信号RADによって選択された1本の出力線のみを活性化することによって、選択信号を出力するものである。行デコーダ10の出力線は、ワード線試験回路(例えば、ワード線試験部)20の入力側に接続されている。

ワード線試験部20は、試験信号TESTが与えられる端子21と、第1及び第2のワード線試験電圧VT1, VT2が与えられる端子22, 23を有している。そして、例えば、試験信号TESTがレベル“L”にされて試験状態が設定されると、ワード線試験部20は、平行に配置されたm本のワード線WL1~WLmの内の奇数番目のワード線WLに

50

端子22を接続するとともに、偶数番目のワード線WLに端子23を接続する。また、試験信号TESTがレベル“H”にされて非試験状態が設定されると、ワード線試験部20は、行デコーダ10のm本の出力線を介してワード線駆動信号を、ワード線WL1~WLnにそれぞれ接続するようになっている。

【0008】

この半導体記憶装置には、ワード線WL1~WLnに直交して、 $n (= 2048)$ 組のビット線対BLj, /BLj (但し、 $j = 1 \sim n$ 、また、「/」は反転を意味する)が配置されている。そして、各ワード線WLi (但し、 $i = 1 \sim m$)とビット線対BLj, /BLjの交叉箇所には、メモリセル(MC)30_{i,j}が配置されている。メモリセル30_{i,j}は、ワード線WLiに接続されており、このワード線WLiが選択されて活性化したときに、ビット線対BLj, /BLjに接続され、このビット線対BLj, /BLjから与えられるデータを記憶するとともに、記憶したデータをビット線対BLj, /BLjに出力するものである。

各ビット線対BLj, /BLjには、それぞれセンスアンプ40_jが接続されている。センスアンプ40_jは、ビット線対BLj, /BLj上のメモリセル30_{i,j}から出力されたデータを検出してデータバス50に出力する。また、センスアンプ40_jは、データバス50上のデータをメモリセル30_{i,j}に書き込むために、ビット線対BLj, /BLj上にそのデータを出力する機能を有している。各センスアンプ40_jには、データバス50との間の接続制御を行うための指定信号が列デコーダ60から与えられるようになっている。

【0009】

列デコーダ60は、n本の出力線を有しており、22ビットのアドレス信号の内の下位11ビットで指定される列アドレス信号CADに対応する1本の出力線のみを活性化して、センスアンプ40_jに与えるものである。

各センスアンプ40_jが共通に接続されたデータバス50には、ビット線試験回路(例えば、ビット線試験部)90を介してリードアンプ110が接続されている。ビット線試験部90は、試験信号TESTが与えられる端子21と、ビット線試験電圧VT3, VT4が与えられる端子91, 92を有している。そして、試験信号TESTが“L”にされて試験状態が設定されると、ビット線試験部90は、端子91, 92をデータバス50のデータ線51, 52に接続することにより、ビット線試験電圧VT3, VT4をデータバス50を介してビット線対BLj, /BLj及びメモリセル30_{i,j}に印加する。また、試験信号TESTが“H”にされて非試験状態が設定されると、バス試験部90は、データバス50をリードアンプ110に接続するようになっている。

リードアンプ110は、データバス50上に出力されたセンスアンプ40_jからのデータを読み出して、出力データDTとして出力するものである。

【0010】

図2は、図1中のワード線試験部20とその周辺回路の一例を示す回路図である。

このワード線試験部20は、それぞれm個のスイッチング用のPチャンネルMOSトランジスタ(以下、「PMOS」という)24₁~24_mと、NチャンネルMOSトランジスタ(以下、「NMOS」という)26₁~26_mとを有しており、各NMOS26_iのドレインが行デコーダ10の出力線に接続されている。また、各NMOS26_iのゲートとPMOS24_iのドレイン及びゲートは、端子21に共通接続されている。PMOS24_iとNMOS26_iのソースは、ワード線駆動部25のワード線駆動回路25_iのゲート電極に接続されている。

一方、奇数番目のワード線駆動回路25_iのPMOSのドレインは、NMOS27及びPMOS28のソースに、偶数番目のワード線駆動回路25_iのPMOSのドレインは、PMOS29及びNMOS30のソースにそれぞれ接続され、NMOS27, 30のゲートは端子21に、ドレインはワード駆動信号に接続されている。また、PMOS28, 29のゲートは端子21に、ドレインは端子22, 23にそれぞれ接続されている。

【0011】

10

20

30

40

50

図3は、図1中のビット線試験回路90とその周辺回路の一例を示す回路図である。

このビット線試験回路90は、それぞれn個のスイッチング用PMOS93₁ ~ 93_nと、NMOS94₁ ~ 94_nとを有しており、各NMOS94_iのドレインが列デコーダ10の出力線に接続されている。また、NMOS94_iのゲートと、PMOS93_iのドレイン及びゲートは、端子21に共通接続されている。NMOS94_iとPMOS93_iのソースは、センスアンプ40とデータバス50を接続するPMOS95_i、96_iのゲートに接続されている。

一方、PMOS95_iのドレインは、データバス50内のデータ線51に、PMOS96_iのドレインはデータ線52にそれぞれ接続されている。また、データ線51、52と端子91、92の間には、スイッチング用のPMOS101、102が配置され、NMOS99、100及びPMOS101、102のゲートは、端子21に接続されている。

次に、このような半導体記憶装置における加速劣化試験時の動作を説明する。

まず、この半導体記憶装置を恒温槽等の加熱装置に入れて、例えば、周囲温度が125になるように加熱する。

【0012】

次にワード線試験部20及びビット線試験部90の端子21に与える試験信号TESTを“L”にすることにより、試験状態を設定する。更に、ワード線試験部20の端子22に与えるワード線試験電圧VT1と、ビット線試験部90の端子91に与えるビット線試験電圧VT3を接地電位GNDに設定し、ワード線試験部20の端子23に与えるワード線試験電圧VT2と、ビット線試験部90の端子92に与えるビット線試験電圧VT4を

通常動作時の電圧(例えば、5V)よりも高い電圧、例えば7Vに設定する。

これにより、奇数番目のワード線WL_iは接地電位GNDに、偶数番目のワード線WL_iは7Vに充電され、すべての隣接するワード線WL間に通常の動作時よりも高い電圧が印加される。また、データバス50のデータ線51は接地電位GNDに、データ線52は7Vに充電され、これらのデータ線51、52間に通常の動作時よりも高い電圧が印加され、この電圧がビット線対BL_j、/BL_jを介してメモリセル30_{i,j}に印加される。

このような各試験電圧VT1 ~ VT4を、例えば1分間、継続して印加する。これにより、半分のワード線WL_iが同時に選択された状態になり、短時間で加速劣化試験を完了することができる。

【0013】

加速劣化試験の終了後、所定の周囲温度及び電源電圧の元で、試験信号TESTを“H”にすることにより、通常動作状態である非試験状態を設定する。そして、各メモリセル30_{i,j}に対して、特定のパターンのデータを順次書き込み、更にその書き込んだデータを順次読み出して、正しく読み出されたか否かをチェックする動作試験を行い、異常がなければ良品と判定する。

このように、本実施形態の半導体記憶装置は、試験信号TESTによって、行デコーダ10を切り離して、すべての隣接するワード線WL_i間にワード線試験電圧VT1、VT2を印加することができるワード線試験部20を有している。これにより、偶数番目あるいは奇数番目のワード線WL_iを同時に選択状態にすることができるので、短時間で加速劣化試験を行うことが可能になる。また、列デコーダ60及びリードアンプ110を切り離して、ビット線試験電圧VT3、VT4を印加することができるビット線試験部90を有している。これにより、データバス50、ビット線対BL_j、/BL_j、及びメモリセル30_{i,j}を効率良く加速劣化試験することが可能になる。

なお、本発明は、上記実施形態に限定されず、種々の変形が可能である。この変形例としては、例えば、次の(a) ~ (e)のようなものがある。

【0014】

(a) ワード線試験部20の他に、ビット線試験部90を有しているが、これのビット線試験部90を設けなくても、加速劣化試験の時間を短縮することが可能である。

(b) ワード線試験部20、ビット線試験部90の回路は、図2及び図3に例示した回路に限定されず、試験信号TESTによって試験状態に設定されたときに、それぞれ試験

10

20

30

40

50

電圧 $V_{T1} \sim V_{T4}$ をワード線 W_{Li} 、及びデータバス 50 に印加することができる回路であれば、どのような回路構成でも適用可能である。

(c) パッケージに組み立てた後、半導体記憶装置の加速劣化試験を行っているが、短時間で加速劣化試験を行うことができるので、半導体ウエハからチップを切り出す前の状態で、チップ上の電極にプローブから試験信号 TEST や試験電圧 $V_{T1} \sim V_{T4}$ 等を印加して、半導体ウエハの状態で行うことも可能である。これにより、試験用の端子 21 ~ 23, 91 ~ 92 を外部に接続する必要がなくなり、パッケージの簡素化が可能になる。

(d) ワード線 W_{Li} を 2048 本、ビット線対 B_{Lj} , $/B_{Lj}$ を 2048 組有する 4 Mビットの半導体記憶装置について説明したが、記憶容量はこれに限定されず、どのような記憶容量の半導体記憶装置に対しても適用可能である。

(e) ワード線試験電圧 V_{T1} , V_{T2} 、及びビット線試験電圧 V_{T3} , V_{T4} は、いずれも接地電位 GND と 7 V に限定されず、必要に応じた試験電圧を用いることができる。

【0015】

【発明の効果】

以上詳細に説明したように、第 1 の発明によれば、試験状態時にワード線を行デコーダから切り離して、ワード線試験電圧を供給するワード線試験回路を設けている。これにより、すべてのワード線に試験電圧を同時に印加することができるので、短時間ですべてのメモリセルに対する加速劣化試験を行うことができる。

第 2 の発明によれば、試験状態時にデータバスからリードアンプ及び列デコーダを切り離して、ビット線試験電圧をデータバス、ビット線対、及びメモリセルに印加するビット線試験回路を設けている。これにより、データバス及びビット線対とこのビット線対に接続されるメモリセルに対して、効率良く加速劣化試験を行うことができる。

【図面の簡単な説明】

【図 1】本発明の実施形態を示す半導体記憶装置の概略の構成図である。

【図 2】図 1 中のワード線試験部 20 とその周辺回路の一例を示す回路図である。

【図 3】図 1 中のビット線試験回路 90 とその周辺回路の一例を示す回路図である。

【符号の説明】

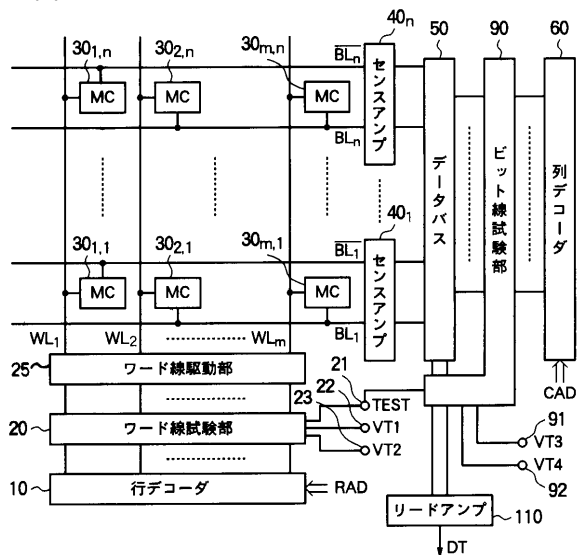
10	行デコーダ
20	ワード線試験部
30 _{i,j}	メモリセル
40 _j	センスアンプ
50	データバス
60	列デコーダ
90	ビット線試験部
110	リードアンプ
B_{Lj} , $/B_{Lj}$	ビット線対
W_{Li}	ワード線

10

20

30

【 図 1 】



本発明の実施形態の半導体記憶装置

【 図 2 】

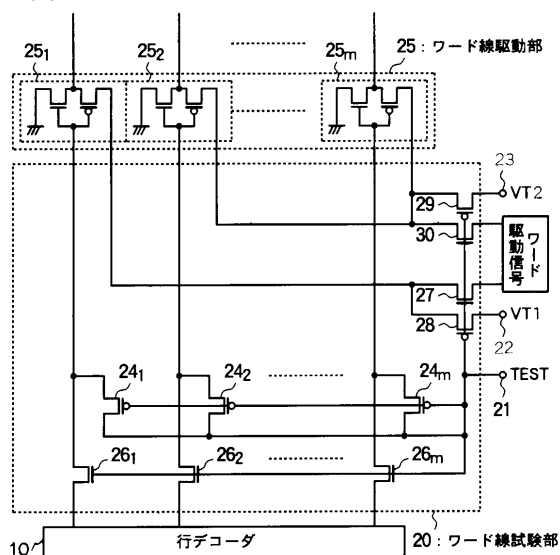


図 1 中のワード線試験部とその周辺部

【 図 3 】

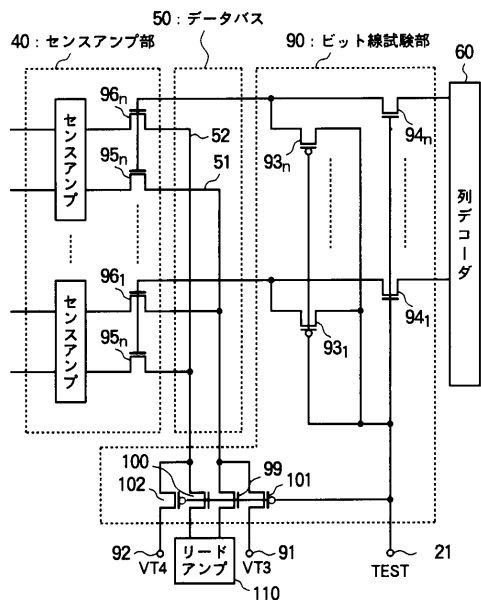


図 1 中のビット線試験部とその周辺部

フロントページの続き

- (56)参考文献 特開平07 - 220498 (JP, A)
特開平07 - 262798 (JP, A)
特開平08 - 212798 (JP, A)
特開平04 - 225277 (JP, A)
特開昭64 - 023548 (JP, A)
特開平01 - 276497 (JP, A)
特開平08 - 273394 (JP, A)

(58)調査した分野(Int.Cl. , DB名)

G11C 29/34
G01R 31/28
G11C 11/401
G11C 29/06