

(19) 대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>6</sup> G11C 11/407	(45) 공고일자 2000년11월15일	(11) 등록번호 10-0272903	(24) 등록일자 2000년08월31일
(21) 출원번호 10-1998-0003796	(65) 공개번호 특1999-0006343	(43) 공개일자 1999년01월25일	
(22) 출원일자 1998년02월10일			
(30) 우선권주장 97-172296 1997년06월27일 일본(JP)			
(73) 특허권자 후지쯔 가부시끼가이샤	아끼구사 나오유키		
(72) 발명자 기타모토 아야코	일본국 가나가와켄 가와사키시 나카하라쿠 가미고다나카 4초메 1-1		
(74) 대리인 조태연	일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤 나이 마츠무야 마사토 일본 가나가와켄 가와사키시 나카하라쿠 가미코다나카 4초메 1반 1고, 후지쓰 가부시끼가이샤 나이		

심사관 : **퇴-김승완**

(54) 반도체 기억 장치

요약

본 발명은 비트선 프리차지 전위를 전원의 1/2과는 다른 전위로 함과 동시에, 더미 셀등을 이용하지 않고 비트선의 레퍼런스 전위를 생성할 수 있는 반도체 기억 장치를 제공한다.

본 발명은 프리차지 기간에 있어서, 최초로 비트선을 제1 전위로 프리차지하고, 센서 증폭기 회로를 제2 전위로 프리차지한다. 그 후, 비트선과 센서 증폭기 회로를 비트선 전송 게이트에 의해 접속하여, 양자의 용량비에 따른 제3 전위로 비트선의 프리차지 전위를 설정한다. 그 후, 워드선을 활성화하여 메모리 셀을 비트선에 접속한다. 메모리 셀내의 전위에 따라서 비트선에 미소 전압이 생성되고, 그것을 센서 증폭기 회로로 검출하여 증폭한다. 상기 제1 전위와 제2 전위를 다르게 함으로써, 제3 전위를 제1 전위 측에 가까운 중간의 전위로 할 수 있다. 예컨대, 제1 전위를 접지 전원으로 하고, 제2 전위를 고전위측 전원으로 설정하면, 제3 전위는 전원 전위의 1/2의 전위에서 접지 전위측으로 시프트된 전위가 된다. 이 전위는 접지 전위보다도 높은 전위이기 때문에, 선택된 비트선에는 제3 전위보다 미소 전압만큼 높거나 또는 낮은 전위가 생성된다. 따라서, 센서 증폭기는 제3 전위를 레퍼런스 전위(기준 전위)로서 이용할 수 있다.

대표도

도1

명세서

도면의 간단한 설명

- 도 1의 (a)~(c)는 본 발명의 원리를 설명하기 위한 도면.
  - 도 2의 (a)~(c)는 본 발명의 원리를 설명하기 위한 도면.
  - 도 3은 본 발명의 실시 형태에의 기억 회로를 도시한 도면.
  - 도 4는 도 3의 기억 회로의 변형예를 도시한 도면.
  - 도 5의 (a)~(i)는 도 3 및 도 4에 도시한 기억 회로의 동작을 설명하는 타이밍 차트도.
  - 도 6은 본 발명의 다른 실시 형태에의 기억 회로를 도시한 도면.
  - 도 7은 도 6의 기억 회로의 변형예를 도시한 도면.
  - 도 8의 (a)~(i)는 도 6 및 도 7에 도시한 기억 회로의 동작을 설명하는 타이밍 차트도.
  - 도 9는 도 6의 회로의 변형예.
  - 도 10은 도 7의 회로의 변형예.
  - 도 11의 (a)~(i)는 도 9와 도 10의 동작을 도시한 타이밍 차트도.
  - 도 12는 실시 형태에의 구체적인 전위의 예를 도시한 도면.
- <도면의 주요 부분에 대한 부호의 설명>

- WL : 워드선
- BL : 비트선
- 26, 27, 28 : 비트선 프리차지 회로
- 29, 30 : 비트선 전송 게이트
- 31, 32 : 센스 증폭기 회로
- 33, 66 : 센스 증폭기 프리차지 회로
- 64, 65 : 비트선 프리차지 회로
- 270, 280, 640, 650 : 비트선 프리차지 회로
- V1 : 제1 전위
- V2 : 제2 전위

**발명의 상세한 설명**

**발명의 목적**

**발명이 속하는 기술 및 그 분야의 종래기술**

본 발명은 다이내믹 랜덤 액세스 메모리(DRAM) 등의 반도체 기억 장치에 관한 것으로, 센서 증폭기의 감도를 높일 수 있고 또한 더미 셀을 이용한 비트선 어드레스 전압의 생성이 불필요한 반도체 기억 장치에 관한 것이다.

반도체 기억 장치의 하나인 DRAM은 일반적으로는 1개의 트랜지스터와 1개의 콘덴서로 이루어지는 메모리 셀을 구비한다. 메모리 셀의 콘덴서에 전하를 축적할 것인가의 여부에 의해 정보를 기록한다. 그리고, 메모리 셀의 콘덴서의 전위가 비트선에서 독출되고, 비트선상에 생성된 미소한 전위차가 센서 증폭기에 의해 검출되어 증폭된다.

종래의 DRAM에서는 비트선의 프리차지 레벨을 고전위측 전원의 절반의 전위로 하는 방식이 주류이다. 고전위측 전원을 Vcc라 하면, 비트선의 프리차지 전위는 Vcc/2로 된다. 그리고, 메모리 셀의 전위가 콘덴서에 전하가 축적되어 있고 고전위인 경우에는, 비트선은 그 프리차지 전위로부터 미소 전압만큼 상승한다. 한편, 메모리 셀의 전위가 콘덴서에 전하가 축적되어 있지 않고 저전위인 경우에는, 비트선은 그 프리차지 전위로부터 미소 전압만큼 하강한다. 그리고, 반대측의 비트선 전위는 프리차지 전위 그대로이고, 양 비트선에 미소 전압의 차가 생성된다. 이 미소 전압이 센서 증폭기에 의해 검출되어 증폭된다.

상기한 고전위측 전원의 절반의 전위로 프리차지 전위를 설정함으로써, 더미 셀 등의 대향 비트선측에 기준 전위를 생성하기 위한 회로가 불필요하게 된다.

**발명이 이루고자하는 기술적 과제**

그런데, 최근의 저소비 전력화에 따라 전원 전압이 저전위화하는 경향이 있다. 또는, 내부에서 외부 전원으로부터 강압한 내부 강압 전원을 생성하여 사용하는 경향이 있다. 그렇게 하기 위하여, 전원의 1/2을 비트선 프리차지 전위로 사용하는 경우, 센스 증폭기 회로의 증폭 트랜지스터를 구동하는 것이 곤란하게 된다고 하는 문제를 초래하고 있다. 즉, 센서 증폭기 회로는 통상 소스 단자가 공통 접속된 한쌍의 트랜지스터에 의한 차동 회로를 구성하지만, 전원의 1/2의 전위를 그들 게이트 단자에 인가하여도 게이트·소스간 전압이 트랜지스터의 한계치 전압에 미치지 않는 또한 그것에 가깝게 되는 경향이 있다. 그 때문에, 센서 증폭기 회로의 감도가 저하하여 버리거나, 혹은 최악으로는 구동 불능이 된다.

그래서, 전원의 1/2의 전위를 프리차지 전위로 하는 방식 대신에, 비트선의 프리차지 전위를 접지 전위 또는 고전위측 전원의 전위로 하는 것이 제안된다. 이렇게 함으로써, 센서 증폭기 회로의 트랜지스터를 충분히 구동시킬 수 있다. 비트선의 프리차지 전위를 접지 전위 또는 고전위측 전원의 전위로 하면, 대향하는 비트선의 레퍼런스 전위를 생성하기 위한 회로가 필요하게 된다. 상기된 바와 같이, 예를 들면 더미 셀 등이 있다. 이러한 더미 셀 방식은 여분의 회로와 함께 더미 셀을 구동시키는데 있어서 여분의 소비 전력을 필요로 하기 때문에 바람직하지 않다. 또한, 제3 전위를 생성하여 레퍼런스 전위로 이용하는 것도 생각할 수 있지만, 이러한 중간 전위를 안정적으로 생성하는 회로는 대단히 곤란하다.

그래서, 본 발명의 목적은 비트선 프리차지 전위를 전원의 1/2과는 다른 전위로 함과 동시에, 더미 셀 등을 이용하지 않고서 비트선의 레퍼런스 전위를 생성할 수 있는 반도체 기억 장치를 제공하는 것에 있다.

또한, 본 발명의 목적은 안정적으로 비트선 프리차지 전위를 전원의 1/2보다 낮은 또는 높은 전위로 할 수 있는 프리차지 회로를 구비한 반도체 기억 장치를 제공하는 것에 있다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여, 본 발명은 프리차지 기간에 있어서, 최초에 비트선을 제1 전위로 프리차지 하고, 센서 증폭기 회로를 제2 전위로 프리차지한다. 그 후, 비트선과 센스 증폭기 회로를 비트선 전송 게이트에 의해 접속하여, 양자의 용량비에 따른 제3 전위로 비트선의 프리차지 전위를 설정한다. 그 후, 워드선을 활성화하여 메모리 셀을 비트선에 접속한다. 메모리 셀내의 전위에 따라서 비트선에 미소

전압이 생성되고, 그것을 센스 증폭기 회로로 검출하여 증폭한다. 상기 제1 전위와 제2 전위를 다르게 함으로써, 제3 전위를 제1 전위측에 가까운 중간의 전위로 할 수 있다. 예컨대, 제1 전위를 접지 전위로 하고, 제2 전위를 고전위측 전위로 설정하면, 제3 전위는 전원 전위의 1/2의 전위로부터 접지 전위측으로 시프트된 전위가 된다. 이 전위는 접지 전위보다도 높은 전위이기 때문에, 선택된 비트선에는 제3 전위보다 미소 전압만큼 높거나 또는 낮은 전위가 생성된다. 따라서, 센스 증폭기는 제3 전위를 레퍼런스 전위(기준 전위)로서 이용할 수 있다.

본 발명은 복수의 워드선과, 복수의 비트선과, 그것들이 교차하는 위치에 배치되는 복수의 메모리 셀을 구비하는 반도체 기억 장치에 있어서,

상기 비트선에 생성되는 전위를 검출하는 센서 증폭기 회로와,

프리차지 기간에 상기 비트선을 제1 전위로 프리차지하는 비트선 프리차지 회로와,

프리차지 기간에 상기 센스 증폭기 회로를 제1 전위와 다른 제2 전위로 프리차지하는 센서 증폭기 프리차지 회로와,

상기 비트선과 센서 증폭기 회로가 프리차지될 때에 상기 비트선과 센서 증폭기 회로를 분리하고, 이 프리차지가 종료하여 상기 비트선 및 센서 증폭기 회로가 상기 제1 및 제2 전위로부터 분리된 후에 상기 비트선과 센서 증폭기 회로를 결합하는 비트선 전송 게이트 회로를 구비하며,

상기 비트선 전송 게이트 회로가 상기 비트선과 센서 증폭기 회로를 결합하여 비트선이 상기 제1 및 제2 전위 사이의 제3 전위로 된 후, 상기 워드선이 구동되는 것을 특징으로 한다.

이하, 본 발명의 실시 형태의 예에 대하여 도면을 참조하여 설명한다. 그렇지만, 이러한 실시 형태예가 본 발명의 기술적 범위를 한정하는 것은 아니다.

도 1의 (a)~(c)는 본 발명의 원리를 설명하기 위한 도면이다. 도 2의 (a)~(c)는 마찬가지로 본 발명의 원리를 설명하기 위한 도면이다. 도 1의 (a)에는 기억 장치의 개략적 구성이 도시된다. 메모리 셀이 접속되는 비트선쌍(10)과 센서 증폭기(12)가 비트선 전송 게이트(14)에 의해 접속된다. 비트선쌍(10)에는 제1 전위(V1)로 비트선쌍(10)을 프리차지하는 비트선 프리차지 회로(16)가, 센서 증폭기(12)에는 센서 증폭기 입력쌍을 제1 전위(V1)와 다른 제2 전위(V2)로 프리차지하는 센서 증폭기 프리차지 회로(18)가 각각 구비된다.

도 1의 (a)~(c)에서는, 도 1의 (b)에 도시되는 바와 같이, 제1 전위(V1)가 낮고, 제2 전위(V2)가 높게 설정된다. 예컨대, 제1 전위(V1)는 저전위측 전원으로, 제2 전위(V2)는 고전위측 전원으로 설정된다. 도 1의 (b)에는 대기 기간의 비트선쌍(10)과 센스 증폭기 입력쌍의 전위가 도시된다. 그리고, 활동 기간 전에, 비트선쌍(10)과 센서 증폭기(12)는 각각의 프리차지 전원으로부터 분리되고, 비트선 전송 게이트의 스위치(14)가 닫혀진다. 그 결과, 도 1의 (c)에 도시되는 바와 같이, 비트선쌍의 전위와 센서 증폭기 입력쌍의 전위는 양자의 용량 Cb1과 Csa의 비에 의해 결정되는 제3 전위, 수학적 식 1로 된다.

$$\frac{Cb1 * V1 + Csa * V2}{Cb1 + Csa}$$

일반적으로, 비트선에는 다수의 메모리 셀이 접속되기 때문에, 그 용량(Cb1)은 센서 증폭기의 입력쌍의 용량(Csa)보다도 크다. 따라서, 도 1(c)의 전위는 제1 전위(V1)와 제2 전위(V2)의 중간에서 제1 전위(V1)측으로 시프트된 기준 전위(레퍼런스 전위)로 된다. 또한, 이 전위는 재현성이 좋고 안정적으로 생성된다.

가령, 메모리 셀내의 기억 전압이 제1 전위(V1)의 경우와 제2 전위(V2)의 경우라고 한다면, 워드선을 상승시켜 메모리 셀을 비트선에 접속하면, 비트선의 전위는 상기의 기준 전위에서 미소 전압만큼 상승 또는 하강한다. 따라서, 기준 전위를 레퍼런스 전위로서, 센서 증폭기(12)는 미소 전위차를 검출할 수 있다. 더욱이, 기준 전위는 제1 전위(V1)와 제2 전위(V2)의 설정에 의해, 전원의 1/2의 전위로부터 아래 쪽으로 시프트시킬 수 있으므로, 센서 증폭기 회로의 트랜지스터의 구동 불량의 문제는 없다.

도 2의 (a)~(c)는 제1 전위(V1)가 높고, 제2 전위(V2)가 낮게 설정되어 있는 점에서 도 1과 다르다. 따라서, 이 경우는, 스위치(14)를 닫으면, 비트선쌍(10)과 센스 증폭기 입력쌍의 전위는 제1 전위(V1)에 가까운 중간의 기준 전위로 된다. 따라서, 동일하게 하여, 이 기준 전위를 비트선의 레퍼런스 전위로서 이용할 수 있다.

도 3은 본 발명의 실시 형태예의 기억 회로를 도시한 도면이다. 이 예는 상기한 도 1의 예에 대응한다. 도 3중, 좌우에 위치하는 비트선쌍 측부분(20, 24) 사이에 센서 증폭기 측부분(22)이 설치된다. 좌우의 비트선쌍 측부분(20, 24)에는 각각 복수의 메모리 셀(cell)이 마련된다. 루프 비트선 방식으로 배치된 비트선쌍(BL0, /BL0), (BL1, /BL1)과, 그것들과 교차하는 워드선(WL00, WL01, WL10, WL11)이 구비된다. 비트선과 워드선의 교차 위치에 메모리 셀(cell)이 배치된다. 메모리 셀은 도시된 바와 같이, 1개의 트랜지스터와 1개의 콘덴서로 구성된다.

센서 증폭기측 부분(22)에는 센서 증폭기(31, 32)가 배치된다. 센스 증폭기(31, 32)는 양측의 비트선쌍(BL0, /BL0), (BL1, /BL1)에 비트선 전송 게이트(29, 30)를 개재하여 접속된다. 따라서, 도 3의 예에서는, 어느 한쪽의 비트선 전송 게이트(29, 30)의 트랜지스터를 도통시키고, 좌우 한쪽의 비트선쌍이 센서 증폭기의 입력쌍(n00, n01)에 접속된다. 즉, 센서 증폭기(31, 32)는 좌우의 비트선쌍에 공용된다.

센스 증폭기(31, 32)는 P형 트랜지스터(56, 57)와 N형 트랜지스터(58, 59)를 구비하고, CMOS 인버터 회로의 입력과 출력을 교차 접속한 구성이다. 센스 증폭기는 트랜지스터의 공통 소스 단자에 부여되는 센서 증폭기 제어 신호(SAP, SAN)에 의해 활성화 또는 비활성화된다. 비트선 전송 게이트(29, 30)는 각각 N형 트랜지스터(50, 51, 52, 53)로 구성되고, 비트선 전송 게이트 선택 신호(IS00, IS01)에 의해 한쪽이

도통된다.

도 3의 회로에서는, 도 1에서 설명한 바와 같이, 비트선쌍 프리차지 회로(26, 27, 28)는 대기 기간(프리차지 기간)에 비트선쌍(BL0, /BL0), (BL1, /BL1)을 제1 전위(V1)로 프리차지한다. 또한, 센서 증폭기 프리차지 회로(33)는 대기 기간(프리차지 기간)에 센서 증폭기의 입력쌍(n00, n01)을 제2 전위(V2)로 프리차지한다. 회로(26, 27)에 의해 좌측의 비트선쌍이 프리차지되고, 회로(26, 28)에 의해 오른쪽의 비트선쌍이 프리차지된다.

비트선 프리차지 회로(26, 27, 28)는 N형 트랜지스터(40~47)로 구성되고, 좌우의 비트선 프리차지 신호(BLP0, BLP1)에 의해 각각 제어된다. 또한, 비트선 프리차지 회로(27, 28)는 비트선쌍 사이를 단락하는 단락 트랜지스터(44, 47)를 구비하고, 등화 신호(EQL0, EQL1)에 의해 제어된다. 비트선 프리차지 신호(BLP0, BLP1)와 등화 신호(EQL0, EQL1)가 함께 H 레벨이 되면, 비트선쌍은 제1 전위(V1)로 프리차지된다.

또한, 센서 증폭기 프리차지 회로(33)는 P형 트랜지스터(60, 61)로 구성되고, 비트선 프리차지 신호(PRE2)에 의해 제어된다. 제2 전위(V2)가 높은 전위이기 때문에, 센서 증폭기 입력쌍(n00, n01)을 확실하게 제2 전위(V2)로 프리차지할 수 있도록, P형 트랜지스터가 사용된다. 따라서, N형 트랜지스터로 구성되더라도 좋다. N형 트랜지스터의 경우는, 비트선 프리차지 신호(PRE2)는 역 극성(逆極性)이 된다. 도 3의 예에서는, 프리차지 기간에 있어서 비트선 프리차지 신호(PRE2)가 L 레벨일 때에, 센서 증폭기의 입력쌍(n00, n01)이 제2 전위(V2)로 프리차지된다.

도 4는 도 3의 기억 회로의 변형예를 도시하는 도면이다. 도 3과 동일한 부분에는 동일 인용 번호가 부여된다. 도 4의 회로예에서는, 비트선 프리차지 회로(64, 65)가 도 3의 회로와 다르다. 이 비트선 프리차지 회로(64, 65)는 실질적으로 도 3의 회로(27, 28)와 동일한 구성이다. 단지, 트랜지스터(42, 43)는 비트선 프리차지 신호(BLP0)에 의해 제어되고, 트랜지스터(44)는 등화 신호(EQL0)로 제어된다. 또한, 트랜지스터(45, 46)는 비트선 프리차지 신호(BLP1)에 의해 제어되고, 트랜지스터(47)는 등화 신호(EQL1)로 제어된다. 그 이외는 동일한 구성이다.

도 5의 (a)~(i)는 도 3 및 도 4에 도시한 기억 회로의 동작을 설명하는 타이밍 차트도이다. 이 타이밍 차트도는 단순히 각 제어 신호나 단자의 신호 순서만 나타낸 것으로, 시간축인 횡축이나 전위축인 종축의 스케일은 특별히 의미를 부여한 것은 아니다. 도 5의 (a)~(i)의 예에서는, 제1 전위(V1)는 저전위측 전원, 제2 전위(V2)는 고전위측 전원으로 설정된다. 보다 구체적으로는, 제1 전위(V1)는 접지 전위(Vss)이고, 제2 전위(V2)는 내부에서 생성된 내부 강압 전원(Vii) 레벨이다. 일반적으로, 내부 강압 전원(Vii)은 외부 전원(Vcc)을 소정 전위만큼 강하시킨 안정적인 전원이다.

도 5의 (a)~(i)에는 시간축을 따라 대기 기간(프리차지 기간)(t1), 활동 기간(t2) 및 대기 기간(t1)이 표시된다. 우선, 대기 기간(t1)에서는 비트선 전송 게이트 선택 신호(IS00, IS01)는 어느 것이나 L 레벨에 있고, 비트선 전송 게이트(29, 30)는 어느 것이나 비도통 상태에 있다. 따라서, 비트선쌍과 센서 증폭기는 전기적으로 분리되어 있다. 이 때, 등화 신호(EQL0, 1) 및 비트선 프리차지 신호(BLP0, 1)는 같이 H 레벨에 있고, 비트선쌍은 제1 전위(V1)로 프리차지된다. 또한, 센서 증폭기 프리차지 신호(PRE2)는 L 레벨에 있고, 트랜지스터(60, 61)가 도통하여, 센서 증폭기 입력쌍(n00, n01)은 제2 전위(V2)로 프리차지된다. 그 때, 센서 증폭기 제어 신호(SAP, SAN)는 각각 L 레벨(V1 레벨), H 레벨(V2 레벨)로 되고, 센서 증폭기의 프리차지 전위(V2)에 따라서는 센서 증폭기의 트랜지스터가 도통하지 않는다.

현재, 가령 좌측의 비트선쌍 측회로(20)가 선택된다고 하자. 활동 기간(t2)이 되기 직전에, 우선, 양 프리차지 신호(BLP0/1, PRE2)가 각각 L 레벨 및 H 레벨로 변화하고, 비트선쌍을 제1 전위(V1)로부터 분리하고, 센스 증폭기 입력쌍(n00, n01)을 제2 전위(V2)로부터 분리한다. 그 때, 비트선쌍(BL0, /BL0)은 트랜지스터(44)에 의해 단락된 상태이고, 동일한 전위로 유지된다. 거기서, 선택된 쪽의 좌측의 비트선 전송 게이트 신호(IS00)만이 H 레벨이 되고, 비트선쌍(BL0, /BL0)이 센서 증폭기 입력쌍(n00, n01)에 접속된다. 그 결과, 비트선쌍과 센스 증폭기 입력쌍의 전위는 양자의 용량(Cb1, Csa)의 비에 의해 결정되는 상기한 중간 기준 전위(Vref)로 된다. 일반적으로, 다수의 메모리 셀이 접속되는 비트선쌍의 용량(Cb1)은 센스 증폭기의 용량(Csa)보다도 크고, 따라서, 기준 전위(Vref)는 내부 강압 전원(Vii)과 접지(Vss) 사이의 1/2의 전위보다도 낮은 중간 전위로 설정된다. 제2 전위(V2)를 내부 전원(Vii)보다도 낮은 전위로 함으로써, 기준 전위(Vref)를 더욱 접지 전위에 가까운 전위로 할 수 있다. 이 시점에서는, 센서 증폭기 제어 신호(SAP, SAN)는 각각 기준 전위(Vref)보다 낮거나, 높은 전위에 있고, 트랜지스터는 구동되지 않는다.

그런데, 거기서, 등화 신호(EQL0)가 L 레벨이 되고, 비트선쌍(BL0, /BL0)이 분리된다. 그 후, 워드선(WL0#)(#는 어느 하나의 번호)이 H 레벨로 상승된다. 일반적으로, 워드선은 내부 강압 전원(Vii)보다도 더욱 높은 승압 전위로 된다. 그 결과, 메모리 셀의 전압이 비트선에서 독출되고, 한쪽의 비트선 전위가 미소 전위( $\Delta V$ )만큼 하강 또는 상승한다. 도 5의 (a)~(i)의 예에서는  $\Delta V$ 만큼 하강하고 있다.

비트선쌍 사이에 미소 전압이 생성되면, 센서 증폭기 제어 신호 SAP와 SAN이 각각 H 레벨과 L 레벨로 변화하고, 센서 증폭기(31, 32)가 활성화된다. 즉, 센서 증폭기의 트랜지스터의 게이트 소스간에는 그 한계 전압을 넘는 전압이 인가되어 구동된다. 그 결과, 비트선쌍의 전위는 크게 증폭된다. 여기서는, 비트선쌍의 기준 전위(Vref)가 접지 전위(Vss)(이 예에서는 제1 전위(V1))에 가까운 전위이기 때문에, 센서 증폭기(31, 32)가운데, 주로 P형 트랜지스터(56, 57)측이 최초로 구동된다. 따라서, 센스 증폭기 제어 신호(SAP)의 H 레벨로의 변화를 센서 증폭기 제어 신호(SAN)의 L 레벨로의 변화보다도, 약간 빠르게 함으로써, 센서 증폭기의 구동을 원활하게 할 수 있다.

센서 증폭기가 증폭한 노드(n00, n01)의 전위는 도시하지 않은 칼럼 게이트를 개재하여 데이터 버스선에 출력된다. 그것과 동시에, 메모리 셀에 재기록되고, 워드선은 하강한다. 그리고, 대기 기간(t1)에서는 비트선 전송 신호(IS00)가 L 레벨로 되고, 비트선 전송 게이트(29)가 비도통 된다. 또한, 다른 제어 신호도 최초 대기 상태의 레벨로 된다. 즉, 비트선쌍은 제1 전위(V1)로 프리차지되고, 센서 증폭기는 제2

전위(V2)로 프리차지된다.

이상과, 도 3, 4의 기억 회로의 동작이다. 상기 회로에 있어서, 비트선쌍의 기준 전위(Vref)를 전원(Vii)의 1/2에서 접지 전위측으로 시프트되게 함으로써, 메모리 셀의 H 레벨의 누설에 대해서도, 정밀도가 뛰어나게 센서 증폭기에 의한 미소 전압의 검출을 행할 수 있다. 즉, 메모리 셀내의 H 레벨은 예컨대 셀 트랜지스터 간의 누설 또는 셀 콘덴서 간의 누설에 의해 저하하는 경향이 있다. 그 경우, 기준 전위가 전원의 1/2이면, 누설에 의해 저하한 H 레벨과 기준 전위와의 차가 적어져, 비트선에 생성되는 미소 전압도 작아진다. 그것에 대하여, 상기의 실시 형태에에서는, 비트선의 기준 전위(Vref)가 전원의 1/2에서 접지측으로 시프트되어 있기 때문에, 누설되어 저하한 메모리 셀의 H 레벨에 대해서도, 비트선에는 충분히 큰 미소 전압이 생성된다. 한편, 메모리 셀의 L 레벨측은 접지 전위이기 때문에, 누설에 의한 변동은 생기지 않는다.

도 6에는 본 발명의 다른 실시 형태에의 기억 회로를 도시한 도면이다. 이 예는 상기한 도 2의 (a)~(c)의 예에 대응한다. 이 예에서는 도 3과 다르게, 제1 전위(V1)가 제2 전위(V2)보다도 높은 경우이다. 따라서, 비트선쌍의 기준 전위(Vref)는 높은 쪽의 제1 전위(V1)측으로 시프트된 레벨로 된다. 이 예에서는, 전형적으로는 제1 전위(V1)는 내부의 전원(Vii)으로 되고, 제2 전위(V2)는 접지 전위(Vss)로 된다. 또는, 제1 전위(V1)는 내부 전원(Vii)이 아니라, 어떠한 높은 전위이어도 좋다.

도 6에는 도 3과 동일한 부분에는 동일한 인용 번호를 부여하고 있다. 도 3의 회로와 다른 곳은, 센서 증폭기 프리차지 회로(66)가 N형 트랜지스터(67, 68)로 구성되어 있다는 것이다. 제2 전위(V2)가 낮은 전위이기 때문에, P형 트랜지스터가 아니라, N형의 트랜지스터가 사용된다. 그것에 동반하여, 센서 증폭기 프리차지 신호(PRE2)는 도 3의 경우와 역 극성이 된다. 비트선 프리차지 회로(26, 27, 28)는 도 3의 회로와 동일하다. 단지, 제1 전위(V1)가 높은 전위이기 때문에, 트랜지스터(40, 41, 42, 43, 44) 등을 제어하는 신호이다. 비트선 프리차지 신호(BLP0, BLP1)나 등화 신호(EQL0, EQL1)는 제1 전위(V1)보다도 트랜지스터의 한계치 전압만큼 높은 전위의 H 레벨로 제어된다.

도 7은 도 6의 변형예를 도시한 도면이다. 도 7의 회로는 도 4와 동일한 부분에는 동일한 인용 번호를 부여하고 있다. 도 7의 회로에서는 도 4와 동일하게, 비트선 프리차지 회로(64, 65)가 도 6의 경우와 다르다. 비트선 프리차지 회로(64, 65)에서는 N형 트랜지스터(42, 43, 45, 46)가 비트선 프리차지 신호(BLP0, BLP1)에 의해 제어되고, 비트선 단락 트랜지스터(44, 47)는 각각 등화 신호(EQL0, 1)에 의해 제어된다. 도 7의 센서 증폭기 프리차지 회로(66)는 도 6과 동일하게, 도 4의 프리차지 회로(33)와는 다르게, N형 트랜지스터로 구성된다.

도 8의 (a)~(i)는 도 6과 도 7의 회로 동작을 도시한 타이밍 차트도이다. 도 8의 (a)~(i)는 도 5의 (a)~(i)의 타이밍 차트도와 거의 동일하지만, 상기한 바와 같이 센서 증폭기 프리차지 신호(PRE2)의 극성이 역으로 되어 있는 점에서 다르다. 더욱이, 도 5의 (a)~(i)와 다르게, 도 8의 (a)~(i)는 경우는, 제1 전위(V1)가 높은 전위이고, 제2 전위(V2)가 낮은 전위이며, 또한, 비트선의 기준 전위(Vref)가 높은 전위측으로 시프트된 레벨로 되어 있다.

그리고, 대기 기간(t1)에서의 동작, 활동 기간(t1)에서의 동작 등은 도 5의 (a)~(i)와 동일하다. 간단하게 설명하면, 프리차지 기간인 대기 기간(t1)에서는, 비트선쌍은 내부의 전원(Vii)인 제1 전위(V1)로 프리차지되고, 센스 증폭기의 입력 단자(n00, n01)는 접지 전위(Vss)인 제2 전위(V2)로 프리차지되어 있다. 그래서, 각각의 프리차지 신호(BLP0, PRE2)가 같이 L 레벨로 되고, 비트선쌍과 센서 증폭기가 제1 전위(V1)와 제2 전위(V2)로부터 분리된다. 가령, 좌측의 비트선쌍 측회로(20)가 선택된다고 하면, 비트선 전송 신호(IS00)가 H 레벨로 되고, 센서 증폭기의 입력쌍(n00, n01)과 비트선쌍(BL0, /BL0)이 접속되며, 그 입력쌍과 비트선쌍은 양자의 용량비에 따른 기준 전위(Vref)로 된다.

그리고, 등화 신호(EQL0)를 L 레벨로 하여, 비트선쌍(BL0, /BL0)을 분리하고 나서, 워드선이 상승한다. 그 결과, 한쪽의 비트선에 미소 전압( $\Delta V$ )이 생성된다. 그것을 센서 증폭기(31, 32)가 감지하여 증폭한다. 이 예의 경우는, 비트선 기준 전위(Vref)가 높은 전위측으로 시프트되어 있기 때문에, 센서 증폭기의 활성화 신호(SAP)를 먼저 H 레벨로 하고 나서, 또 하나의 활성화 신호(SAN)를 L 레벨로 함으로써, 센서 증폭기의 동작을 보다 스무스하게 할 수 있다.

그리고, 리셋 기간(t1)에서는 워드선이 하강되어, 최초의 대기 기간 상태로 되돌아간다.

도 9는 도 6의 회로의 변형예이다. 제1 전위(V1)가 높은 전위이기 때문에, 비트선 프리차지 회로(260, 270, 280)가 P형 트랜지스터(69~76)로 구성된다. 따라서, 프리차지 제어 신호(BLP0, BLP1) 및 등화 신호(EQL0, EQL1)는 도 6의 경우와 역의 극성이 된다. 그 이외의 부분은 동일한 구성이기 때문에, 동일한 인용 번호를 붙였다.

도 10은 도 7의 회로의 변형예이다. 제1 전위(V1)가 높은 전위이기 때문에, 비트선 프리차지 회로(670, 680)가 P형 트랜지스터(69~74)로 구성된다. 따라서, 프리차지 제어 신호(BLP0, BLP1) 및 등화 신호(EQL0, EQL1)는 도 7의 경우와 역의 극성이 된다. 그 이외의 부분은 동일한 구성이기 때문에, 동일한 인용 번호를 붙였다.

도 11의 (a)~(i)는 도 9와 도 10의 동작을 도시한 타이밍 차트도이다. 상기한 바와 같이, 도 9와 도 10은 비트선 프리차지 신호(BLP0, BLP1)와 등화 신호(EQL0, EQL1)가 도 6, 7의 회로의 역 극성이다. 따라서, 도 11의 (a)~(i)에서의 양 신호(BLP0, BLP1, EQL0, EQL1)는 도 8의 (a)~(i)는 역 극성이다. 그 이외의 부분은 동일하다. 따라서, 도 11의 (a)~(i)에 의한 동작 설명은 생략한다.

도 12는 상기한 실시 형태에의 구체적인 전위의 예를 도시한 도면이다. 도 3~5에서 도시한 실시 형태 예에서는 비트선쌍의 프리차지 전위(V1)가 낮고, 센서 증폭기 프리차지 전위(V2)가 높게 설정되어 있다. 그래서, 그 구체예로서, 제1 전위(V1)가 접지 전위(Vss)이고 제2 전위(V2)가 내부 강압 전원(Vii)으로 설정한 예가 도 12에 도시된다. 내부 강압 전원(Vii)은 일반적으로 외부로부터 공급되는 고전위측 전원(Vcc)에서 소정 전압 강압하여 생성되는 안정적인 내부 전원이다. 도 12에 도시된 바와 같이, 비트선 전송 게이트에서 센스 증폭기와 비트선쌍이 단락되면, 비트선쌍의 기준 전위(Vref1)는 내부

전원(Vii)의 1/2과 접지 전위 사이의 전위로 된다. 그 기준 전위(Vref1)의 상하로, 비트선의 전위는 미소 전압( $\Delta V$ )만큼 상승 또는 하강한다.

한편, 도 6~11의 실시 형태에에서는 비트선쌍의 프리차지 전위(V1)가 높고, 센서 증폭기의 프리차지 전위(V2)가 낮게 설정되어 있다. 그래서, 그 구체예로서, 제1 전위(V1)가 내부 강압 전원(Vii)이고 제2 전위(V2)가 접지 전위(Vss)로 설정한 예가 도 12에 도시된다. 이 경우의 비트선의 기준 전위(Vref2)는 내부 전원(Vii)과 그 1/2의 전위 사이의 전위가 된다.

제1 전위(V1)와 제2 전위(V2)는 반드시 전원 전위일 필요는 없다. 비트선 기준 전위(Vref)를 최적의 전위로 설정할 수 있도록, 임의의 전위를 채용할 수 있다.

**발명의 효과**

이상 설명한 바와 같이, 본 발명에 의하면, 비트선의 프리차지 전위를 전원의 1/2의 전위보다 높게 또는 낮게 한 중간 전위로 설정할 수 있으므로, 센스 증폭기의 구동 동작을 확실하게 할 수 있다. 또한, 더미 셀이나 더미 콘덴서를 이용하여 비트선에 레퍼런스로 되는 기준 전위를 생성하는 특별한 회로를 생성할 필요는 없다. 그리고, 비트선 프리차지 전위를 전원의 1/2의 전위보다도 낮게 하는 경우는, 메모리 셀의 H 레벨이 누설에 의해 저하되더라도, 비트선에서는 유효한 미소 전압이 검출되어, 독출을 확실하게 할 수 있다.

**(57) 청구의 범위**

**청구항 1**

복수의 워드선과, 복수의 비트선과, 그것들이 교차하는 위치에 마련되는 복수의 메모리 셀을 갖는 반도체 기억 장치에 있어서,

상기 비트선에 생성되는 전위를 검출하는 센서 증폭기 회로와,

프리차지 기간에 상기 비트선을 제1 전위로 프리차지하는 비트선 프리차지 회로와,

프리차지 기간에 상기 센서 증폭기 회로를 제1 전위와 다른 제2 전위로 프리차지하는 센서 증폭기 프리차지 회로와,

상기 비트선과 상기 센서 증폭기 회로가 프리차지될 때에 상기 비트선과 상기 센서 증폭기 회로를 분리시키고, 상기 프리차지가 종료되고 상기 비트선 및 센스 증폭기 회로가 상기 제1 및 제2 전위로부터 분리된 후에 상기 비트선과 센서 증폭기 회로를 결합시키는 비트선 전송 게이트 회로를 구비하는데,

상기 비트선 전송 게이트 회로는 상기 비트선과 센서 증폭기 회로를 결합하여 상기 비트선이 상기 제1과 제2 전위 사이의 제3 전위로 된 후, 상기 워드선이 구동되는 것을 특징으로 하는 반도체 기억 장치.

**청구항 2**

제1항에 있어서, 상기 센서 증폭기 회로는 비트선쌍(雙) 사이에 생성되는 전압을 검출하며, 상기 프리차지 기간에 상기 비트선쌍 사이를 단락시키고, 상기 비트선쌍이 상기 제3 전위로 된 후, 상기 워드선이 구동되기 전에, 상기 비트선쌍 사이의 단락을 해제시키는 비트선 단락 회로를 추가로 구비하는 것을 특징으로 하는 반도체 기억 장치.

**청구항 3**

제1항에 있어서, 상기 센스 증폭기 회로는 한쌍의 CMOS 인버터의 입력쌍(雙)과 출력쌍을 교차 접속하여 구성되고, 상기 CMOS 인버터의 P형 트랜지스터의 소스에 공급되는 제1 센스 증폭기 제어 신호는 상기 프리차지 기간 동안에 상기 P형 트랜지스터를 비도통으로 하는 제4 전위로 제어되고, 상기 비트선의 전위를 검출할 때는 상기 P형 트랜지스터를 활성화하는 제5 전위로 제어되며,

상기 CMOS 인버터의 N형 트랜지스터의 소스에 공급되는 제2 센스 증폭기 제어 신호는 상기 프리차지 기간 동안에 상기 N형 트랜지스터를 비도통으로 하는 제6 전위로 제어되고, 상기 비트선의 전위를 검출할 때는 상기 N형 트랜지스터를 활성화하는 제7 전위로 제어되는 것을 특징으로 하는 반도체 기억 장치.

**청구항 4**

제3항에 있어서, 상기 제4 전위는 상기 제3 전위보다도 낮고, 상기 제6 전위는 상기 제3 전위보다도 높은 것을 특징으로 하는 반도체 기억 장치.

**청구항 5**

제1항에 있어서, 상기 제1 전위는 접지 전위이고, 상기 제2 전위는 전원 전위인 것을 특징으로 하는 반도체 기억 장치.

**청구항 6**

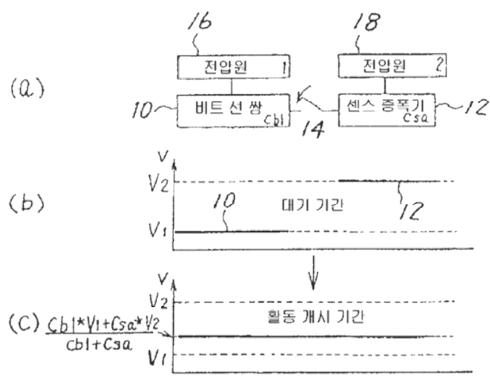
제1항에 있어서, 상기 제1 전위는 전원 전위이고, 상기 제2 전위는 접지 전위인 것을 특징으로 하는 반도체 기억 장치.

**청구항 7**

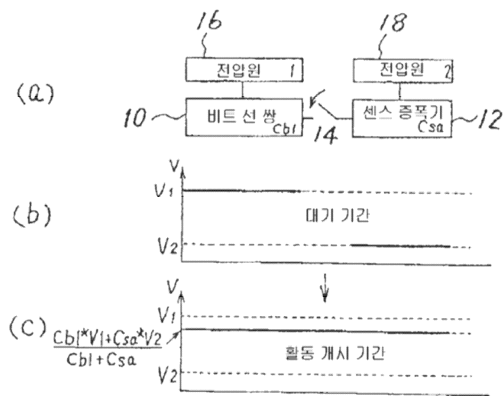
제5항 또는 제6항에 있어서, 상기 제3 전위는 상기 전원 전위의 1/2 전위에서 접지 전위측 또는 전원 전위측으로 시프트된 전위인 것을 특징으로 하는 반도체 기억 장치.

도면

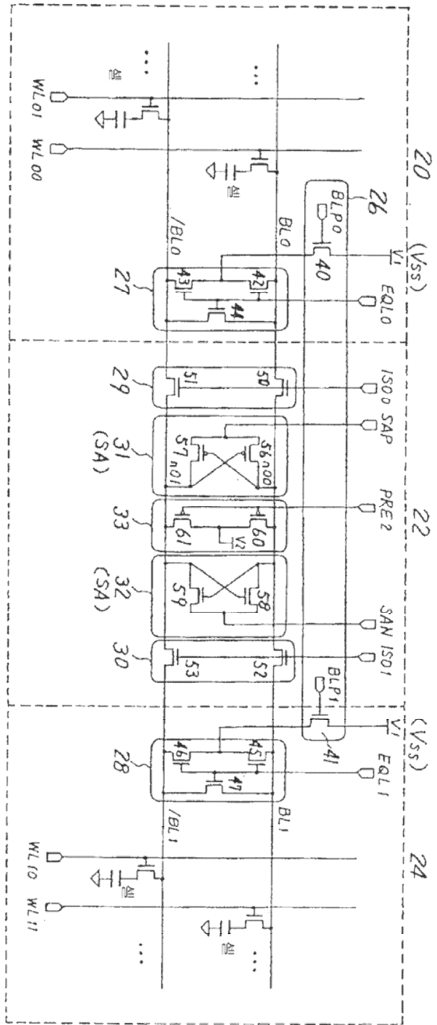
도면1



도면2

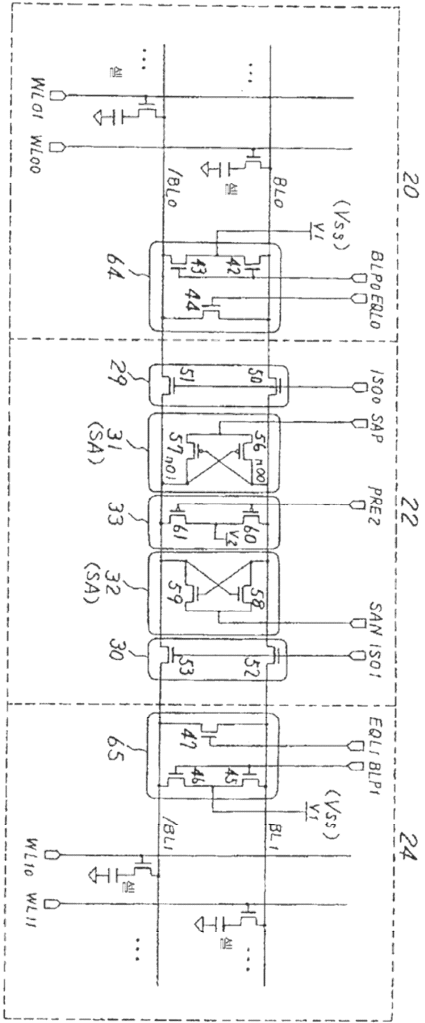


도면3

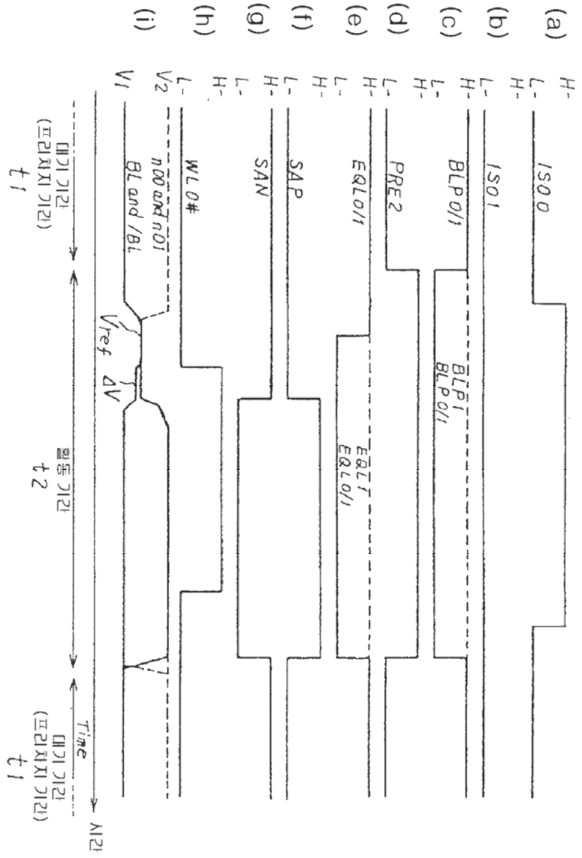




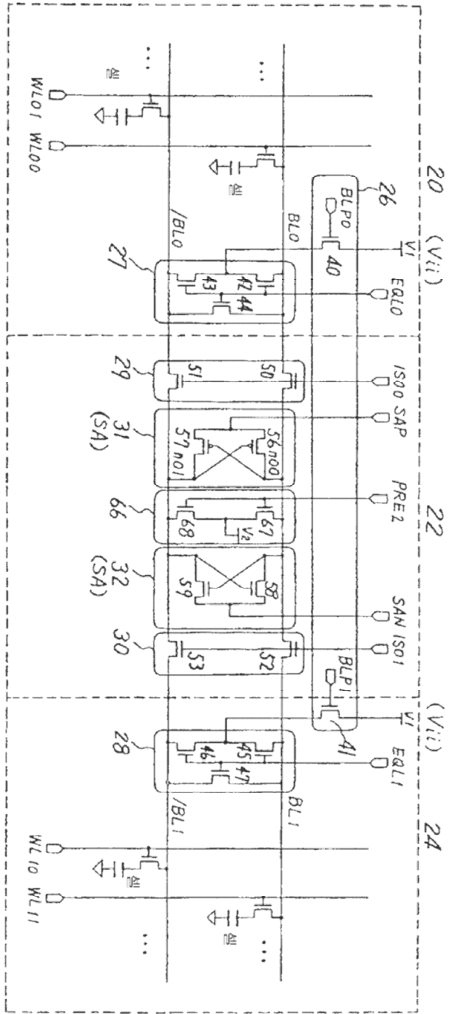
도면4



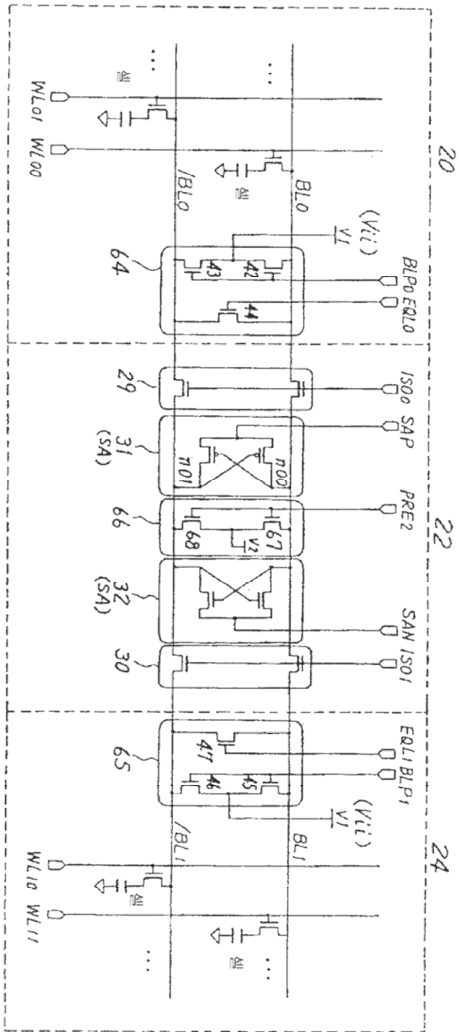
도면5



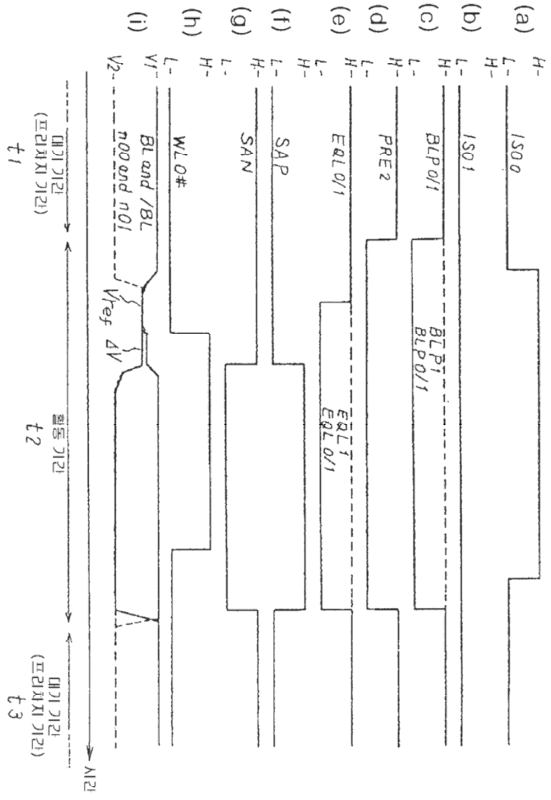
도면 9



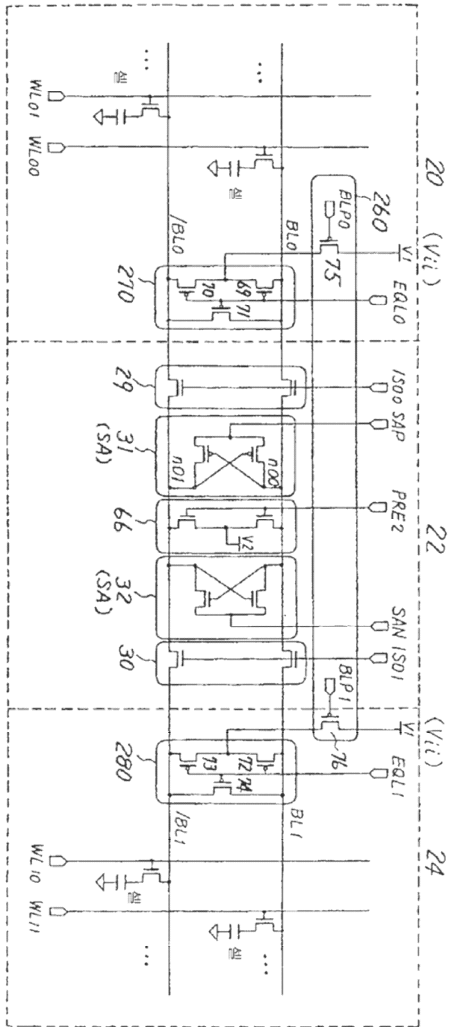
도면 7



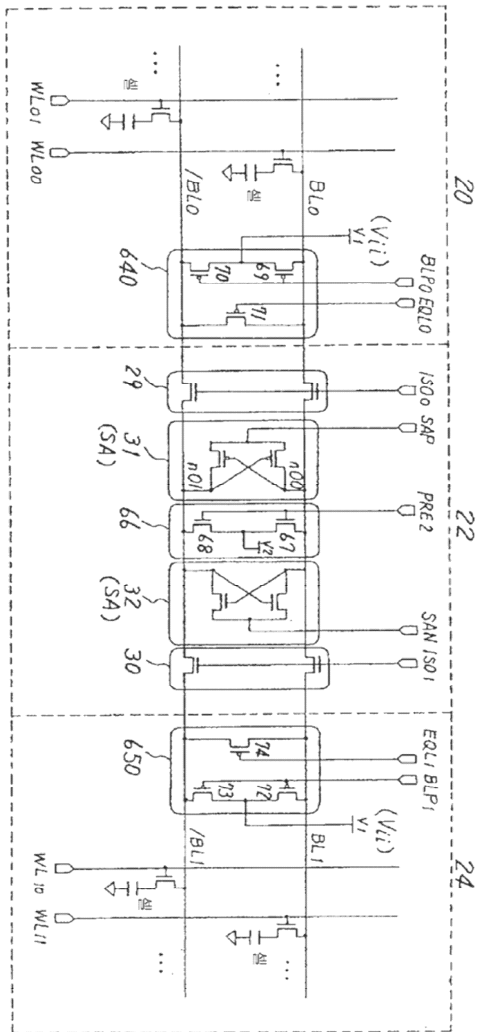
도면 8



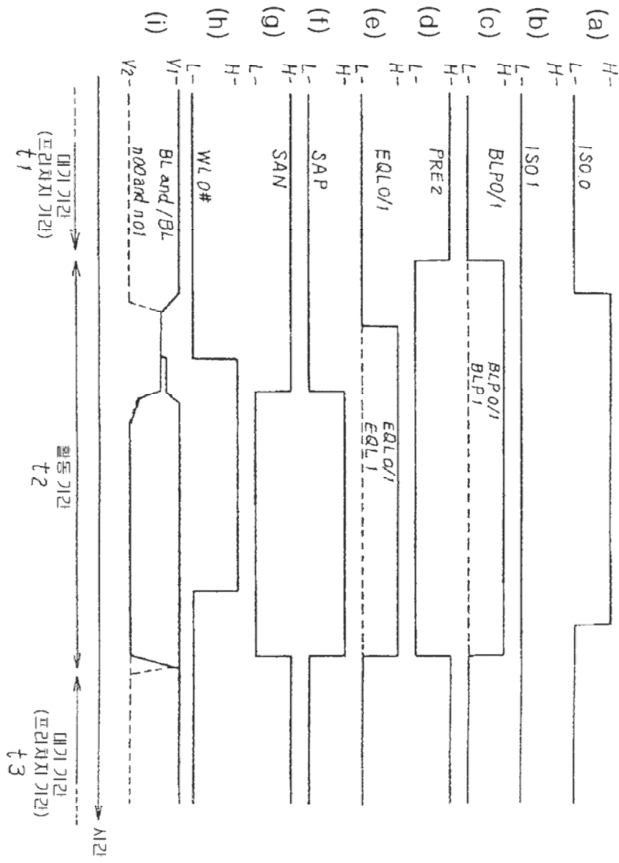
도면9



도면 10



도면11



도면12

