

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4467909号
(P4467909)

(45) 発行日 平成22年5月26日(2010.5.26)

(24) 登録日 平成22年3月5日(2010.3.5)

(51) Int. Cl.	F I
G09G 3/30 (2006.01)	G09G 3/30 J
G09G 3/20 (2006.01)	G09G 3/20 611H
HO1L 51/50 (2006.01)	G09G 3/20 612F
	G09G 3/20 623B
	G09G 3/20 624B
請求項の数 3 (全 49 頁) 最終頁に続く	

(21) 出願番号	特願2003-138731 (P2003-138731)	(73) 特許権者	000005049
(22) 出願日	平成15年5月16日(2003.5.16)		シャープ株式会社
(65) 公開番号	特開2004-177926 (P2004-177926A)		大阪府大阪市阿倍野区長池町22番22号
(43) 公開日	平成16年6月24日(2004.6.24)	(74) 代理人	110000338
審査請求日	平成17年8月10日(2005.8.10)		特許業務法人原謙三国際特許事務所
(31) 優先権主張番号	特願2002-292922 (P2002-292922)	(74) 代理人	100080034
(32) 優先日	平成14年10月4日(2002.10.4)		弁理士 原 謙三
(33) 優先権主張国	日本国(JP)	(74) 代理人	100113701
			弁理士 木島 隆一
		(74) 代理人	100116241
			弁理士 金子 一郎
		(72) 発明者	沼尾 孝次
			大阪府大阪市阿倍野区長池町22番22号
			シャープ株式会社内
最終頁に続く			

(54) 【発明の名称】 表示装置

(57) 【特許請求の範囲】

【請求項1】

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、

上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、

1つの定電流源を備え、

上記ドライブ回路は、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、

上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、

上記画素は、

上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、

上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動

時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、

上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、

導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、

上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、

上記第1のコンデンサは上記電源配線と上記第1のアクティブ素子のゲート端子との間に接続されており、

上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と上記第1のアクティブ素子のドレイン端子との間、または、上記第1のアクティブ素子のゲート端子と上記第1の配線との間に接続されていることを特徴とする表示装置。

【請求項2】

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、

上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、

1つの定電流源を備え、

上記ドライブ回路は、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、

上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、

上記画素は、

上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、

上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、

上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、

導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、

上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素

10

20

30

40

50

子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、

上記第1のコンデンサは上記電源配線と上記第1のアクティブ素子のゲート端子との間に接続されており、

上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と第3の配線との間に接続され、上記第3の配線は、上記電流駆動期間に上記電気光学素子に上記駆動電流を流さない場合には、上記駆動制御可能期間に上記第1の配線と異なる電圧が供給されることにより、上記電気光学素子へ閾値電圧以上の電圧を与えることなく上記第1のアクティブ素子のゲート端子へOFF電圧を印加することを特徴とする表示装置。

【請求項3】

第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、

上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し

、
上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、

上記画素は、

上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、

上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、

上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、

導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、

上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、

上記第1のコンデンサは上記電源配線と上記第1のアクティブ素子のゲート端子との間に接続されており、

上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と上記第1のアクティブ素子のドレイン端子との間、または、上記第1のアクティブ素子のゲート端子と上記第1の配線との間に接続されていることを特徴とする表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、有機EL (Electro Luminescence) ディスプレイや FED (Field Emission Display) 等の電流駆動素子を用いた表示装置に関するものである。

10

20

30

40

50

【 0 0 0 2 】

【 従来 の 技術 】

近年、有機 E L ディスプレイや F E D ディスプレイの研究開発が活発に行われている。特に有機 E L ディスプレイは、低電圧・低消費電力で発光可能なディスプレイとして、携帯電話や P D A (Personal Digital Assistants) などの携帯機器用として注目されている。

【 0 0 0 3 】

この有機 E L ディスプレイは単純マトリックス型から商品化が始まったが、将来アクティブマトリックス型が主流になると考えられている。この有機 E L 用アクティブ素子は、アモルファスシリコン T F T でも実現可能であるが、ドライブ回路も同時に形成できて、より小型の T F T で有機 E L を駆動できる (T F T の移動度が高い)、単結晶シリコン T F T やポリシリコン T F T や C G (Continuous Grain) シリコン T F T が有力視されている。特に、直視型ディスプレイ用としてガラス基板上に形成できる低温ポリシリコン T F T や C G シリコン T F T が好まれている。

【 0 0 0 4 】

この低温ポリシリコンや C G シリコンを用いたアクティブマトリックス型有機 E L の画素回路は、非特許文献 1 等で参照されているように、基本的に図 2 3 に示すように 2 つの T F T 素子 Q a ・ Q b とコンデンサ C a と有機 E L 素子 E L a とから構成される。

【 0 0 0 5 】

即ち、電源配線 V r e f と電源端子 V c o m との間で駆動用 T F T 素子 Q b が有機 E L 素子 E L a と直列に配置され、その駆動用 T F T 素子 Q b のゲート端子とソース端子との間にコンデンサ C a が接続され、ソース端子は電源配線 V r e f に接続されている。また、選択用 T F T 素子 Q a のゲートはゲート配線 G i に接続されており、ソース・ドレインはソース配線 S j と駆動用 T F T 素子 Q b のゲート端子とを接続するように接続されている。選択用 T F T 素子 Q a を導通状態 (O N 状態) とし、ソース配線 S j からコンデンサ C a へ電圧を入力することで、駆動用 T F T 素子 Q b の導通抵抗を制御し、有機 E L 素子 E L a に流れる電流を制御し、画素の輝度を制御する構成である。また、その後、選択用 T F T 素子 Q a を非導通状態 (O F F 状態) とし、コンデンサ C a の電位を保持し、駆動用 T F T 素子 Q b の導通状態を保持し、画素の輝度を維持する構成である。

【 0 0 0 6 】

この構成で中間調を表示する状態とする場合、同一の電圧をコンデンサ C a へ印加しても、駆動用 T F T 素子 Q b の閾値特性・移動度がバラツけば、有機 E L 素子 E L a を流れる電流値がバラツキ、画素の輝度がバラツクという問題を抱える。

【 0 0 0 7 】

そこで、非特許文献 2 で示された画素回路構成を図 2 4 に示す。図 2 4 の回路構成では、駆動用 T F T 素子 Q b と有機 E L 素子 E L a との間にスイッチ用 T F T 素子 Q c を配置し、駆動用 T F T 素子 Q b とスイッチ用 T F T 素子 Q c との接続点と、ソース配線 S j との間に選択用 T F T 素子 Q a を接続し、スイッチ用 T F T 素子 Q c とコンデンサ C a の間にスイッチ用 T F T 素子 Q d を配置している。スイッチ用 T F T 素子 Q c ・ Q d のゲートはゲート配線 G i に接続されている。

【 0 0 0 8 】

この構成では、スイッチ用 T F T 素子 Q c を O F F 状態として、選択用 T F T 素子 Q a とスイッチ用 T F T 素子 Q d を O N 状態とすることで、電源配線 V r e f よりソース配線 S j へ電流が流れる。この電流量を図示しないソースドライブ回路の電流源で制御することで、駆動用 T F T 素子 Q b のゲート電圧が、駆動用 T F T 素子 Q b の閾値電圧・移動度に依らず、駆動用 T F T 素子 Q b にそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、選択用 T F T 素子 Q a とスイッチ用 T F T 素子 Q d とを O F F 状態として、スイッチ用 T F T 素子 Q c を O N 状態とすることで、コンデンサ C a にこの時の電位が保持され、駆動用 T F T 素子 Q b から設定された電流量が有機 E L 素子 E L a へ流れるよう制御される。

【 0 0 0 9 】

また、非特許文献 3 や特許文献 1 で示された画素回路構成を図 2 5 に示す。図 2 5 の回路構成では、駆動用 T F T 素子 Q b と電源配線 V r e f との間にスイッチ用 T F T 素子 Q g が、駆動用 T F T 素子 Q b とソース配線 S j の間にスイッチ用 T F T 素子 Q f が、有機 E L 素子 E L a とコンデンサ C a との間に選択用 T F T 素子 Q e が配置されている。スイッチ用 T F T 素子 Q f ・ Q g および選択用 T F T 素子 Q e の各ゲートはゲート配線 G i に接続されている。

【 0 0 1 0 】

この構成では、スイッチ用 T F T 素子 Q g を O F F 状態として、選択用 T F T 素子 Q e とスイッチ用 T F T 素子 Q f とを O N 状態とすることで、ソース配線 S j より有機 E L 素子 E L a へ電流が流れる。この電流量を図示しないソースドライブ回路の電流ドライブ回路 P j で制御することで、駆動用 T F T 素子 Q b のゲート端子電圧が、駆動用 T F T 素子 Q b の閾値電圧・移動度に依らず、駆動用 T F T 素子 Q b にそのソースドライブ回路で規定された電流量が流れるような電圧に設定される。そして、スイッチ用 T F T 素子 Q f と選択用 T F T 素子 Q e とを O F F 状態とし、スイッチ用 T F T 素子 Q g を O N 状態とすることで、コンデンサ C a にこの時の電位が保持され、駆動用 T F T 素子 Q b から設定された電流量が有機 E L 素子 E L a に流れるよう制御される。

10

【 0 0 1 1 】

また、非特許文献 4 で示された画素回路構成を図 2 6 に示す。図 2 6 の回路構成では、電源配線 V r e f と選択用 T F T 素子 Q a との間に別の駆動用 T F T 素子 Q i が、選択用 T F T 素子 Q a とコンデンサ C a との間にはスイッチ用 T F T 素子 Q h が配置されている。選択用 T F T 素子 Q a のゲートはゲート配線 G i A に、スイッチ用 T F T 素子 Q h のゲートはゲート配線 G i B にそれぞれ接続されている。この構成では、駆動用 T F T 素子 Q b ・ Q i がゲート端子を共有するカレントミラー回路を構成し、駆動用 T F T 素子 Q i が選択用 T F T 素子 Q a に接続されている。

20

【 0 0 1 2 】

そして、選択用 T F T 素子 Q a とスイッチ用 T F T 素子 Q h とを O N 状態とすることで、電源配線 V r e f からソース配線 S j へ電流を流す。この流れる電流量を図示しないソースドライブ回路の電流ドライブ回路 P j で制御することで、駆動用 T F T 素子 Q i のゲート端子電圧が、駆動用 T F T 素子 Q i の閾値電圧・移動度に依らず、駆動用 T F T 素子 Q i に所定の電流量が流れるような電圧に設定される。そして、スイッチ用 T F T 素子 Q h と選択用 T F T 素子 Q a とを O F F 状態とすることで、コンデンサ C a にこの時の電位が保持され、駆動用 T F T 素子 Q b から設定された電流量が有機 E L 素子 E L a に流れるよう制御される。

30

【 0 0 1 3 】

なお、C G シリコン T F T の構成に関しては、非特許文献 5 等で発表されている。また、C G シリコン T F T プロセスに関しては、非特許文献 6 等で発表されている。また、有機 E L 素子の構成については、非特許文献 7 等で発表されている。

【 0 0 1 4 】

【特許文献 1】

特表 2 0 0 2 - 5 1 4 3 2 0 号公報

公表日 2 0 0 2 年 5 月 1 4 日

40

【 0 0 1 5 】

【非特許文献 1】

"Active Matrix Addressing of Polymer Light Emitting Diodes Using Low Temperature Poly Silicon TFTs", A M - L C D 2 0 0 0 p p 2 4 9 - 2 5 2

【 0 0 1 6 】

【非特許文献 2】

"Active Matrix PolyLED Displays", I D W ' 0 0 p p 2 3 5 - 2 3 8

【 0 0 1 7 】

50

【非特許文献 3】

"Improved Polysilicon TFT Drivers for Light Emitting Polymer Displays", I D W ' 0 0 p p 2 4 3 - 2 4 6

【0018】

【非特許文献 4】

"13.0-inch AM-OLED Display with Top Emitting Structure and Adaptive Current Mode Programmed Pixel Circuit(TAC)", S I D ' 0 1 p p 3 8 4 - 3 8 6

【0019】

【非特許文献 5】

SID'00 Digest pp.924-927の "4.0-in. TFT-OLED Displays and a Novel Digital Driving Method" 半導体エネルギー研究所 10

【0020】

【非特許文献 6】

AM-LCD 2000 pp.25-28の "Continuous Grain Silicon Technology and Its Applications for Active Matrix Display" 半導体エネルギー研究所

【0021】

【非特許文献 7】

AM-LCD '01 pp.211-214の "Polymer Light-Emitting Diodes for use in Flat panel Display" 20

【0022】

【発明が解決しようとする課題】

しかしながら、ソースドライブ回路を TFT で形成する場合、ソース配線毎に電流源を設けると、その電流源を構成する TFT 素子の閾値特性・移動度のバラツキにより、同じ電流を流すつもりでも、ソース配線毎に電流量がばらついてしまう。即ち、ソースドライブ回路を構成する TFT 素子自体の特性がばらつくので、その出力電流・電圧がバラツキ、輝度ムラが目立つのである。

【0023】

上記特許文献 1 や、非特許文献 2 ないし 4 では、ソース配線 S_j を駆動するためのソースドライブ回路の電流ドライブ回路 P_j をどのように構成するか明示されていない。

【0024】

そこで、パネル毎に（または RGB 各色毎に）1つの電流ドライブ回路 P_j を設ける方法が考えられるが、このような構成を取ると、電流ドライブ回路 P_j に必要とされる出力電流の周波数が高くなり、現状の TFT 特性では構成することが困難である。

【0025】

そこで、ソースドライブ回路を TFT で構成せず単結晶 IC で構成する方法が考えられるが、これではドライブ回路も同時に形成できるという、低温ポリシリコン TFT や CG シリコン TFT の特長が生かせなくなる。

【0026】

本発明は上記課題を解決するためになされたものであり、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコン TFT や CG シリコン TFT で構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することを目的とする。 40

【0027】

【課題を解決するための手段】

本発明の表示装置は、上記課題を解決するために、第 1 の配線と第 2 の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第 2 の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第 1 の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を駆動電流が流れるか流れないかの 2 値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第 1 の配 50

線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、上記第1のコンデンサは上記電源配線と上記第1のアクティブ素子のゲート端子との間に接続されており、上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と上記第1のアクティブ素子のドレイン端子との間、または、上記第1のアクティブ素子のゲート端子と上記第1の配線との間に接続されていることを特徴としている。

10

20

本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、上記第1のコンデンサは上記電源配線と上記第1のアクテ

30

40

50

ィブ素子のゲート端子との間に接続されており、上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と第3の配線との間に接続され、上記第3の配線は、上記電流駆動期間に上記電気光学素子に上記駆動電流を流さない場合には、上記駆動制御可能期間に上記第1の配線と異なる電圧が供給されることにより、上記電気光学素子へ閾値電圧以上の電圧を与えることなく上記第1のアクティブ素子のゲート端子へOFF電圧を印加することを特徴としている。

本発明の参考に係る表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴としている。

本発明の参考に係る表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素と、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して上記画素を駆動制御するドライブ回路とを備えた表示装置において、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。

【0028】

上記の発明によれば、ドライブ回路は、画素の駆動制御可能期間外に1つの定電流源から出力される定電流を用いて、ドライブ回路内部に電気光学素子の駆動電流が流れる回路状態を生成してこれを保持する。ドライブ回路はこの動作を各画素に対して行うが、ドライブ回路は各画素に共通の定電流源を用いるため、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、各画素に対して設定する駆動電流に正確に対応した回路状態を保持することになる。そして、ドライブ回路は、第2の配線の電位状態によって駆動制御可能期間となった画素に対して、保持した回路状態で駆動電流を生成し、第1の配線を介して伝達することにより、画素を駆動制御する。駆動電流が伝達された画素では、この駆動電流が電気光学素子に流れて表示を行う。

【0029】

また、上記のドライブ回路では、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源を用いて第1の配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。

【0030】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

【0031】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴としている。

【0032】

上記の発明によれば、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0033】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えていることを特徴としている。

【0034】

上記の発明によれば、第1のスイッチング素子が導通状態になると、第1のスイッチング素子は画素を第1の配線に接続し、駆動制御可能期間が開始する。この駆動制御可能期間に、第2のアクティブ素子が導通状態となることにより、ドライブ回路から第1のアクティブ素子に駆動電流が伝達され、電気光学素子の電流駆動時に電気光学素子に流す駆動電流を第1のアクティブ素子に生成させるために第1のアクティブ素子に印加する電圧条件が生成される。そして、第2のアクティブ素子が遮断状態となることにより、生成された電圧条件は第1のコンデンサに保持される。さらに、この後に第1のスイッチング素子が遮断状態となることにより、画素は第1の配線から遮断されて駆動制御可能期間が終了し、第1のコンデンサが保持した電圧条件で第1のアクティブ素子から電気光学素子に駆動電流が流れる電流駆動が可能になる。

【0035】

以上により、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができる。

【0036】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、上記第1のアクティブ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記第2のアクティブ素子を介して上記第1のアクティブ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記第1のアクティブ素子の電流出力端子に接続することを特徴としている。

【0037】

上記の発明によれば、第2のアクティブ素子が導通状態にあるときには第3の配線から、第1のスイッチング素子を介さずに第2のアクティブ素子を介して、第1のアクティブ素子による電圧条件の生成に必要な電位が第1のアクティブ素子に伝達される。そして、第1のスイッチング素子が導通状態となることによって、第1の配線は第1のアクティブ素子の電流出力端子に接続される。従って、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティブ素子を介して第1のアクティブ素子に第1のアクティブ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して第1のアクティブ素子の電

10

20

30

40

50

流出力端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができる。

【0038】

さらに本発明の表示装置は、上記課題を解決するために、上記第1のスイッチング素子の導通状態および遮断状態を決める電位を上記第1のスイッチング素子に伝達する第4の配線を備えていることを特徴としている。

【0039】

上記の発明によれば、第2のアクティブ素子の導通状態および遮断状態を決める電位を第2のアクティブ素子に伝達するのに例えば第2の配線を用いるようにし、第4の配線が第1のスイッチング素子の導通状態および遮断状態を決める電位を第1のスイッチング素子に伝達する。従って、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができる。

【0040】

また、上記電圧条件を第1のコンデンサに保持させた後、第1の配線とドライブ回路との間の接続を切り、第1のスイッチング素子を遮断状態とする。

【0041】

その後、第1のアクティブ素子を遮断状態とする場合、第1の配線をOFF電位に接続する。また、第1のアクティブ素子を導通状態のままとする場合、第1の配線とドライブ回路との間をオープン状態のままとする。

その後、第2のアクティブ素子を遮断状態とする。

【0042】

この場合、電気光学素子へ電流を流すことなく第1のアクティブ素子を遮断状態とすることができる。

【0043】

また、第4の配線を備えていることによって、第2のアクティブ素子の状態とは独立に第1のスイッチング素子の導通状態と遮断状態とを切り替えることができるので、電気光学素子の電流駆動を行っている最中に第1のアクティブ素子を遮断状態とするような電位を第2のアクティブ素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御することができる。

【0044】

さらに本発明の参考に係る表示装置は、上記課題を解決するために、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えていることを特徴としている。

【0045】

上記の発明によれば、第1のアクティブ素子から電気光学素子へ駆動電流が流れる経路を、第2のスイッチング素子によって導通および遮断することができるので、電気光学素子が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができる。

【0046】

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、上記電気光学素子に上記駆動電流が流れる電流駆動期

10

20

30

40

50

間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定され、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子のゲート端子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記第1のアクティブ素子のドレイン端子を、上記電気光学素子の閾値電圧以下となる電圧が印加された上記第1の配線に接続することによって、上記電気光学素子を遮断した状態で上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えており、上記第1のアクティブ素子のソース端子は電源配線に接続されており、上記電気光学素子は上記第1のアクティブ素子のドレイン端子側に上記第1のアクティブ素子と直列に直接接続されており、上記第1のコンデンサは上記電源配線と上記第1のアクティブ素子のゲート端子との間に接続されており、上記第2のアクティブ素子は、上記第1のアクティブ素子のゲート端子と上記第1のアクティブ素子のドレイン端子との間、または、上記第1のアクティブ素子のゲート端子と上記第1の配線との間に接続されていることを特徴としている。

10

20

また、本発明の表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を駆動電流が流れるか流れないかの2値レベルで電流駆動するための上記駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成し、上記電気光学素子に上記駆動電流が流れる電流駆動期間

30

間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定されることを特徴としている。

また、本発明の参考に係る表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成することを特徴としている。

40

【0047】

上記の発明によれば、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられるので好ましい。

【0048】

この結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

50

【 0 0 4 9 】

また、本発明の参考に係る表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続したことを特徴としている。

【 0 0 5 0 】

上記の発明によれば、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。

10

【 0 0 5 1 】

従って、電気光学素子の電流駆動用ドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

20

【 0 0 5 2 】

また、本発明の参考に係る表示装置は、上記課題を解決するために、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置したことを特徴としている。

【 0 0 5 3 】

上記の発明によれば、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。

30

【 0 0 5 4 】

従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができる。

40

【 0 0 5 5 】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

【 0 0 5 6 】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した表示装置である。

【 0 0 5 7 】

上記構成によれば、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流

50

を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられて好ましい。

【0058】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

【0059】

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した表示装置である。

10

【0060】

上記構成により、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。

【0061】

また、上記表示装置は、特に、上記第1のスイッチング素子と第2のアクティブ素子との導通状態を制御する配線を異ならせた表示装置である。

【0062】

上記構成により、上記第2のアクティブ素子と第1のスイッチング素子を独立に制御できるので、上記第2のアクティブ素子を非導通状態とした後、上記第1のスイッチング素子を非導通状態とできる。その結果、上記第1のアクティブ素子が所定電流を流している状態でその電位を上記第1のコンデンサへ保持でき、その出力電流値のバラツキを抑制できるので好ましい。

20

【0063】

また、上記表示装置用にドライバ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いることが好ましい。

30

【0064】

上記構成によれば、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。

【0065】

【発明の実施の形態】

以下、種々の実施の形態を挙げて本発明の詳細な説明を行う。

【0066】

本発明に用いられる各スイッチング素子は低温ポリシリコンTFTやCGシリコンTFTなどで構成できるが、以下の実施の形態ではCGシリコンTFTを用いることとする。

40

【0067】

なお、このCGシリコンTFTの構成に関しては、非特許文献5等で発表されているので、ここではその詳細な説明は省略する。

【0068】

また、CGシリコンTFTプロセスに関しては、非特許文献6等で発表されているので、ここではその詳細な説明は省略する。

【0069】

また、以下の実施の形態で用いる電気光学素子である有機EL素子の構成についても、非特許文献7等で発表されているので、ここではその詳細な説明は省略する。

50

【0070】

〔実施の形態1〕

本発明の一実施の形態について、図1ないし図4に基づいて説明すれば以下の通りである。

【0071】

本実施の形態では特に本発明の表示装置が備えるドライブ回路の構成及び駆動方法、画素構成について説明する。

【0072】

図1に、本実施の形態の表示装置の一部を示す。これは該表示装置のドライブ回路の一部と画素の一部とを、それぞれの基本構成として示した図である。

10

【0073】

図1では $m \times n$ のマトリックス状に配置された画素 A_{ij} のうち2つの画素のみ描かれている。しかし、実際の表示装置はこの画素 A_{ij} が縦に m 個、横に n 個配置されている。また、カラー表示装置では、1つの画素が3つのドットから構成され、各々のドットに電気光学素子とその画素回路が配置されるが、図1では説明を簡単にするために、1つの画素が1つのドットから構成された単色表示装置を示す。

【0074】

図1の画素 A_{ij} の回路構成は、全実施の形態で述べる画素構成のうちの第1の画素回路構成である。各画素 A_{ij} はソース配線（第1の配線） S_j とゲート配線（第2の配線） G_i とが交差する領域に設けられ、それぞれ電気光学素子 $EL1$ 、 n 型のスイッチ用TFT（第1のスイッチング素子） $Q1$ 、 n 型の選択用TFT（第2のアクティブ素子） $Q3$ 、 p 型の電流出力用TFT（第1のアクティブ素子） $Q4$ 、およびコンデンサ（第1のコンデンサ） $C1$ とを備えている。

20

【0075】

電気光学素子 $EL1$ はダイオード型の電流駆動型電気光学素子であり、陰極は電源端子 V_{com} に接続されている。電流出力用TFT $Q4$ は、電源配線 V_{ref} と電源端子 V_{com} との間に電気光学素子 $EL1$ と直列に接続されており、コンデンサ $C1$ はそのゲート電圧を保持するように電流出力用TFT $Q4$ に接続されている。そのコンデンサ $C1$ の電圧は選択用TFT $Q3$ により設定される。選択用TFT $Q3$ はゲート端子がゲート配線（第2の配線） G_i に接続され、ソース端子・ドレイン端子は電流出力用TFT $Q4$ のゲート端子と、電流出力用TFT $Q4$ と電気光学素子 $EL1$ との接続点とをつなぐように接続されている。選択用TFT $Q3$ の導通状態および遮断状態はゲート配線 G_i の電位状態で決定される。

30

【0076】

電気光学素子 $EL1$ は陽極側で電流出力用TFT $Q4$ と直列に接続され、スイッチ用TFT $Q1$ はそのソース端子・ドレイン端子が上記接続点とソース配線 S_j とを接続するように配置されている。そして、スイッチ用TFT $Q1$ のゲート端子は制御線 W_i に接続されている。スイッチ用TFT $Q1$ の導通状態および遮断状態は制御線 W_i の電位状態で決定される。

【0077】

画素 A_{ij} は、制御線 W_i の電位状態が高くなってスイッチ用TFT $Q1$ が導通状態となることにより、電流ドライブ回路 P_j によるソース配線 S_j を介した駆動制御が可能な駆動制御可能期間となる。また、制御線 W_i の電位状態がローになってスイッチ用TFT $Q1$ が遮断状態となることにより、電流ドライブ回路 P_j によるソース配線 S_j を介した駆動制御が不可能な駆動制御可能期間外となる。

40

【0078】

次に、ドライブ回路の一部である図1の電流ドライブ回路 P_j の構成について説明する。電流ドライブ回路 P_j は、電気光学素子 $EL1$ を電流駆動するための駆動電流を生成して画素 A_{ij} の駆動制御可能期間にソース配線 S_j を介して画素 A_{ij} に伝達することにより画素 A_{ij} を駆動制御する。

50

【 0 0 7 9 】

電流ドライブ回路 P j は電流源回路 B j を備えている。電流源回路 B j は、n型の T F T Q 6・Q 7・Q 8、n型の電流設定用 T F T Q 9、およびコンデンサ C 2 を備えている。電流出力用 T F T Q 9 は、T F T Q 6 を介してソース配線 S j に接続されているとともに、T F T Q 7 を介して外部の定電流源 I c o n に接続されている。T F T Q 6 のゲート端子は制御配線 D j に接続され、制御配線 D j の電位によって T F T Q 6 の導通状態および遮断状態が決定される。電流設定用 T F T Q 9 のソース端子は G N D に接続されている。T F T Q 7 のゲート端子は制御配線 L j に接続され、制御配線 L j の電位によって T F T Q 7 の導通状態および遮断状態が決定される。

【 0 0 8 0 】

また、コンデンサ C 2 は電流設定用 T F T Q 9 のゲート端子とソース端子との間に接続されており、その端子間電圧が電流設定用 T F T Q 9 のゲート電圧となる。T F T Q 8 は電流設定用 T F T Q 9 のゲート端子を定電流源 I c o n に接続するか否かを決定するスイッチ用素子である。T F T Q 8 のゲート端子は制御配線 R j に接続され、制御配線 R j の電位によって T F T Q 8 の導通状態および遮断状態が決定される。

【 0 0 8 1 】

また、電流ドライブ回路 P j はソース配線 S j を電源配線 V H に接続するか否かを決定する p 型の T F T Q 5 を備えている。T F T Q 5 のゲート端子は制御配線 D j に接続されている。

【 0 0 8 2 】

上記の構成の電流ドライブ回路 P j と同一の構成のドライブ回路が、ソース配線ごとに電流ドライブ回路 P j + 1、P j + 2、... と備えられている。ただし、定電流源 I c o n は、各ドライブ回路に共通に 1 つだけ設けられている。

【 0 0 8 3 】

図 1 のドライブ回路を構成する電流ドライブ回路 P j は、1 つの電流源回路 B j から 1 つの電流ドライブ回路 P j が構成されているので、その出力電流は（外部定電流源 I c o n により設定された電流値を取るか、O F F 電位 V H を取るかの）2 つの状態を持つ。

【 0 0 8 4 】

そして、この電流ドライブ回路 P j はこの O N 状態の電流値でバラツキが最小となるよう電流設定用 T F T Q 9 のゲート幅や長さを設定すればいいので、その出力電流値のバラツキは少なくできる。

【 0 0 8 5 】

この電流ドライブ回路 P j の出力電流レベルが 2 値レベルを取るとき、多階調レベルを得るための駆動方法を図 2 に示す。

【 0 0 8 6 】

即ち、図 2 では、1 つのフレーム期間を 3 つのフィールド期間に分け、各々のフィールド期間の長さを 1 : 2 : 4 の比に設定する。そして各々のフィールド期間の最初に各画素 A i j の電流出力用 T F T Q 4 の設定動作を行う。その結果、1 フレーム期間の間に、各画素 A i j の電気光学素子 E L 1 を流れる電流は 3 回変化可能であり、各々の表示期間の比率が 1 : 2 : 4 となるので、8 つの異なる電荷総量が与えられ、8 階調表示が可能となる。D j および G 1 ~ G 8 の欄の 1、2、3 はそれぞれ、1 ビット目、2 ビット目、および 3 ビット目のデータに対応して駆動されることを示している。

【 0 0 8 7 】

そして、図 2 に示すように、第 3 フィールドの表示状態を設定した後、各電流ドライブ回路 P j の電流値を順番に再設定する。その結果、次のフレームにおいても各電流ドライブ回路 P j から等しい電流値が出力できるようになる。なお、この図 2 のタイミングチャートは、表示装置の画素数 m × n は 8 × 16 の場合に相当する。

【 0 0 8 8 】

図 2 において 1) D j , L j , R j の欄に『 1 』 ~ 『 1 6 』の数字が入っているのは、この各電流ドライブ回路 P j の電流設定動作を行うことを示しており、その時のタイミング

10

20

30

40

50

チャートを図3に示す。

【0089】

この電流設定モードでは、最初に電流ドライブ回路 P_j からソース配線 S_j へ電流が流れ出ないよう、制御配線 D_j をロー電位として、電流出力用TFTでもある電流設定用TFTQ9とソース配線 S_j とを繋ぐn型TFTQ6をOFF状態とする。そして、この電流ドライブ回路 P_j の電流設定用TFTQ9（兼電流出力用TFT）のみに定電流源 I_{con} から電流が流れるよう、この電流ドライブ回路 P_j に対応する制御配線 L_j, R_j のみをハイ状態とし、他の電流ドライブ回路 $P_k(j \neq k)$ に対応する制御配線 L_k, R_k をロー状態とする。

【0090】

このとき、電流ドライブ回路 P_j の電流設定用TFTQ9（兼電流出力用TFT）のソース端子と定電流源 I_{con} を結ぶn型TFTQ7がON状態となり、コンデンサ C_2 と定電流源 I_{con} とを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9（兼電流出力用TFT）へ定電流源 I_{con} から定電流が流れ、その電流値によりコンデンサ C_2 の電圧が設定される。

【0091】

その後、制御配線 R_j をロー状態とすることでn型TFTQ8を非導通状態として、コンデンサ C_2 の電圧を保持し、制御配線 L_j をロー状態とすることで電流ドライブ回路 P_j の電流設定を終了し、次の電流ドライブ回路 P_{j+1} の電流設定を行う。その結果、電流ドライブ回路 P_j の電流出力用TFTQ9（兼電流設定用TFT）の出力は、その電流出力用TFTQ9の特性パラツキに依らず、定電流源 I_{con} により設定された電流値が流れるよう設定される。

【0092】

このようにして、電流ドライブ回路 P_j は、画素 A_{ij} に対して駆動制御可能期間外に定電流源 I_{con} から出力される定電流を用いて、ドライブ回路 P_j 内部に電気光学素子 EL_1 の駆動電流が流れる回路状態を生成して保持し、駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する。そして、画素 A_{ij} は、電気光学素子 EL_1 に駆動電流が流れる電流駆動期間の長さに対応して表示状態が決定される。電気光学素子 EL_1 に駆動電流が流れる電流駆動期間は、一定期間内に設けられた3つの期間の選択的な組み合わせにより長さが決定される。

【0093】

図2で1) D_j, L_j, R_j の欄に『1』が示されているタイミングが図3の時間 $0 \sim T_a$ に相当し、電流ドライブ回路 P_1 に対して上記設定動作を行う時間である。図2で1) D_j, L_j, R_j の欄に『2』が示されているタイミングが図3の時間 $T_a \sim 2T_a$ に相当し、電流ドライブ回路 P_2 に対して上記設定動作を行う時間である。なお、1) D_j, L_j, R_j の欄がブランクのときは、どの電流ドライブ回路 P_j に対しても、上記設定動作を行わない。

【0094】

また、図2において3) G_i, W_i の欄に『1』～『8』の数字が入っているのが、この電流ドライブ回路 P_j を用いて各画素 A_{ij} の電流を設定する動作であり、その時のタイミングチャートを図4に示す。

【0095】

この画素選択動作では、各選択期間の最初にデータ信号 D_j を用いて、ソース配線 S_j を上記電流出力用TFTQ9に繋ぐか（図4の1)2)では『H』状態で示す）、OFF電位 V_H に繋ぐか（図4の1)2)では『L』状態で示す）を設定する。次に制御線 W_i をハイ状態とし、各画素 A_{ij} のスイッチ用TFTQ1をON状態とし、電流出力用TFTQ4からソース配線 S_j へ電流が流れるよう設定する。また、ゲート配線 G_i をハイ状態とし、選択用TFTQ3をON状態とし、電流出力用TFTQ4のゲート端子とソース配線 S_j とを導通させる。

【0096】

10

20

30

40

50

このとき、データ信号 D_j がロー状態であれば、ソース配線 S_j は OFF 電位 V_H に繋がるので、電流出力用 T F T Q 4 のゲート端子の電位は、電流出力用 T F T Q 4 が OFF 状態となるよう設定される。そして、この後、ゲート配線 G_i がロー状態となり、選択用 T F T Q 3 が OFF 状態となり、電流出力用 T F T Q 4 のゲート電位として、この OFF 電位 V_H が保持される。

【 0 0 9 7 】

その後、制御線 W_i がロー状態となって、各画素 A_{ij} のスイッチ用 T F T Q 1 が OFF 状態となり、電流出力用 T F T Q 4 から電気光学素子 $E L 1$ へ電流が流れることができるよう設定される。しかしこの場合、電流出力用 T F T Q 4 のゲート電位が OFF 電位なので、電気光学素子 $E L 1$ に電流が流れない状態が保持される。

10

【 0 0 9 8 】

また、データ信号 D_j がハイ状態であれば、ソース配線 S_j は電流源回路 B_j に繋がるので、電流出力用 T F T Q 4 からソース配線 S_j を通して、電流源回路 B_j へ電流が流れる。このとき、ソース配線 S_j 電位は、電流出力用 T F T Q 4 (兼電流設定用 T F T) の電流値が、電流源回路 B_j の電流値と一致する条件で安定化する。その後、ゲート配線 G_i がロー状態となって、選択用 T F T Q 3 が OFF 状態となれば、電流出力用 T F T Q 4 のゲート端子に付けられたコンデンサ $C 1$ に、この電圧が保持される。

【 0 0 9 9 】

その後、制御線 W_i がロー状態となって、電流出力用 T F T Q 4 から電気光学素子 $E L 1$ へ電流が流れることができるよう設定される。そして、電流源回路 B_j により設定された電流値が電流出力用 T F T Q 4 から電気光学素子 $E L 1$ へ流れる。

20

【 0 1 0 0 】

このように、電流出力用 T F T Q 4 は、電気光学素子 $E L 1$ の電流駆動時に駆動電流を生成して電気光学素子 $E L 1$ に流す。コンデンサ $C 1$ は、駆動制御可能期間にドライブ回路 P_j から伝達された駆動電流を電気光学素子 $E L 1$ の電流駆動時に電流出力用 T F T Q 4 に生成させるために電流出力用 T F T Q 4 に印加する電圧条件を保持する。選択用 T F T Q 3 は、駆動制御可能期間に、導通状態となることによりドライブ回路 P_j から電流出力用 T F T Q 4 に駆動電流を伝達させて電流出力用 T F T Q 4 に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件をコンデンサ $C 1$ に保持させる。スイッチ用 T F T Q 1 は、導通状態となることにより画素 A_{ij} をソース配線 S_j に接続して駆動制御可能期間を開始させ、コンデンサ $C 1$ による上記電圧条件の保持後に遮断状態となることにより画素 A_{ij} をソース配線 S_j から遮断して駆動制御可能期間を終了させて電気光学素子 $E L 1$ の電流駆動を可能にする。

30

【 0 1 0 1 】

なお、上記例では、ドライブ回路 P_j から電流出力用 T F T Q 4 に駆動電流を伝達しているのはスイッチ用 T F T Q 1 および選択用 T F T Q 3 がともに導通している期間であり、選択用 T F T Q 3 がゲート配線 G_i の電位状態によって導通する期間を画素 A_{ij} の駆動制御可能期間と見なすこともできる。

【 0 1 0 2 】

なお、電流源回路 B_j により設定された電流値が電流出力用 T F T Q 4 から電気光学素子 $E L 1$ へ流れるとき、電流出力用 T F T Q 4 の出力端子電位は、電気光学素子 $E L 1$ を流れる電流と、電流出力用 T F T Q 4 を流れる電流とが等しくなるよう上昇する。

40

【 0 1 0 3 】

この制御線 W_i がハイ状態からロー状態になるとき、電流出力用 T F T Q 4 からソース配線 S_j へ流れる電流量は減少していく。しかし、電流ドライブ回路 P_j がソース配線 S_j から流れ出る電流量は一定値を保とうとするので、ソース配線 S_j の電位は低下していく。一方、電流出力用 T F T Q 4 の出力端子電位は上昇する。もし、この制御線 W_i の変化タイミングと前記ゲート配線 G_i の変化タイミングとが同時であっても、スイッチ用 T F T Q 1 と選択用 T F T Q 3 との閾値特性バラツキが小さく、スイッチ用 T F T Q 1 と選択用 T F T Q 3 とが同時に OFF になれば問題ない。

50

【0104】

しかし、スイッチ用TFTQ1と選択用TFTQ3との閾値特性バラツキ条件によっては、スイッチ用TFTQ1がOFFになってから選択用TFTQ3がOFFとなり、電流出力用TFTQ4からコンデンサC1へ電荷が流れてから、コンデンサC1の電位が電流出力用TFTQ4のドレイン端子から切り離される可能性がある。

【0105】

この場合、制御線Wiがロー状態となったあとに電流出力用TFTQ4から電気光学素子EL1へ流れる電流値は、電流源回路Bjにより設定された電流値と一致しない。そこで、本実施の形態で用いる画素回路構成としては、このスイッチ用TFTQ1と選択用TFTQ3とが独立に制御できる構成が望ましい。

10

【0106】

なお、図2の3)Gi, Wiの欄に『1』が示されているタイミングが図4の時間0~Tbに相当し、画素A1jに対して上記選択動作を行う時間である。図2の3)Gi, Wiの欄に『2』が示されているタイミングが図4の時間Tb~2Tbに相当し、画素A2jに対して上記選択動作を行う時間である。なお、3)Gi, Wiの欄がブランクのときは、どの画素Aijに対しても上記選択動作を行わない。

【0107】

このような時間分割階調表示を行う場合も、電気光学素子が電流値に比例した輝度を与えるものであれば、電気光学素子を駆動する画素回路の出力は、電圧出力型より電流出力型の方が好ましい。

20

【0108】

これは、図1の画素回路Aijの電流出力用TFTQ4のゲート端子へ同一の電圧を印加しても、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまうからである。一方、電流出力用TFTQ4へ一定電流を流すよう電流出力用TFTQ4のゲート端子電圧を設定すれば、流れる電流値は所期の電流値なので上記問題は起こらない。

【0109】

特に、電気光学素子に短絡が起きたとき、電圧出力型では画面全体に渡る電源電圧の低下が起こり、表示品位を著しく損なう。しかし、上記電流出力型では所定の電流値しか流れないので、このように極端な表示品位の低下は現れないので好ましい。

30

【0110】

本実施の形態によれば、電流ドライブ回路Pjでは、パネル毎にまたはRGB各色毎に1つの電流ドライブ回路を設けて駆動制御時に画素ごとに電流を切り替えていくような構成とは異なって、上記駆動制御可能期間外に1つの定電流源Iconを用いてソース配線に対応するドライブ回路の駆動電流の設定を行い、そのドライブ回路を用いて画素の電流値を設定しているため、出力電流の周波数が高くなることはない。従って、低温ポリシリコンTFTやCGシリコンTFTなどのTFTを用いて構成することができる。また、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。

【0111】

この結果、電気光学素子EL1の電流駆動用の電流ドライブ回路Pjを、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線Sj間で電流値がばらつくのを防止することができる。

40

【0112】

また、一定期間内に設けられた複数の期間から選択的に組み合わせることにより電流駆動期間の長さを決定して電気光学素子を電流駆動するので、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができる。

【0113】

また、ゲート配線Giは、選択用TFTQ3の導通状態および遮断状態を決める電位を選択用TFTQ3に伝達する。また、制御配線Wiはスイッチ用TFTQ1の導通状態およ

50

び遮断状態を決める電位をスイッチ用TFTQ1に伝達する。従って、コンデンサC1が電圧条件を保持するまでに、生成された電圧が電圧条件からスイッチ用TFTQ1のスイッチングによって変化してしまうという悪影響を回避し、コンデンサC1が電圧条件を保持した後にスイッチ用TFTQ1を遮断状態とすることを確実に行うことができる。

【0114】

また、スイッチ用TFTQ1の状態とは独立に選択用TFTQ3の導通状態と遮断状態とを切り替えることができるので、電気光学素子EL1の電流駆動を行っている最中に選択用TFTQ3を導通状態とし、電流出力用TFTQ4を遮断状態とできるので、電気光学素子EL1の電流駆動期間の長さを制御することができる。

【0115】

また、電流ドライブ回路Pjは、ソース配線Sjとゲート配線Giが交差する領域に、電気光学素子EL1と電流出力用TFTQ4とコンデンサC1とを配置した表示装置の、ソース配線Sjに繋がるドライブ回路であって、電流ドライブ回路Pjを構成する電流源回路Bjが電流設定モードを持ち、前記電流設定モードにおいて電流源回路Bjへ外部から一定電流を与えることで、その電流源回路Bjの出力電流を設定し、その設定された電流値に基づき電流源回路Bjから電流を出力し、上記電流を出力しないときに一定電圧(電位VH)を出力するドライブ回路構成である。

【0116】

特に、上記電流設定モードにおいて外部から与えられた電流に従い電流源回路BjのコンデンサC2の電位が設定され、そのコンデンサC2の電位により電流源回路Bjの出力電流値が設定されるドライブ回路構成である。

【0117】

上記電流源回路Bjでは、電流設定モードにおいて電流設定用TFTの閾値特性・移動度と電流設定用TFTQ9を流れる電流値によりコンデンサC2の電位が決定される。また、コンデンサC2の電位と電流出力用TFTQ9の閾値特性・移動度により電流出力用TFTの出力電流が決まる。

【0118】

そこで、上記電流設定用TFTQ9と電流出力用TFTとを同一のTFTとするか、特性の近似したTFTとすることで、上記電流出力用TFTQ9の閾値特性・移動度の影響がキャンセルされ、低温ポリシリコンTFTやCGシリコンTFTなどのTFT特性バラツキの多い素子を使っても、均一な電流値を得ることができる。

【0119】

この電流源回路Bjは、上記外部から与えられた電流値に対し1対1対応した出力電流を出力するか、全く電流を出力しないかの2値状態を取る。そこで、上記電流源回路Bjを複数用いて1つの電流ドライブ回路Pjを構成し、それら電流源回路Bjの電流出力用TFTの電流出力の有無を独立に制御すれば、複数レベルの出力電流を得ることができる。また、全く電流を出力しないときには、一定電圧VHを出力するようにする。

【0120】

ソース配線Sjとゲート配線Giとが交差する領域に配置した、電気光学素子EL1を流れる電流値を、上記電流ドライブ回路Pjを用いて設定することにより、本発明の課題が解決できる。

【0121】

また、電気光学素子EL1を流れる電流がないときには、一定電圧(OFF電圧)をソース配線Sjへ出力し、電気光学素子EL1へ電流が流れない状態を取らせることができる。

【0122】

このようなドライブ回路の電流ドライブ回路Pjを構成する電流源回路Bjは、ゲート端子にコンデンサC2を配置した電流出力用TFTQ9と、コンデンサC2と定電流源Iconとの間を繋ぐスイッチ用TFTQ8と、電流出力用TFTQ9の出力端子と定電流源Iconとの間を繋ぐスイッチ用TFTQ7と、電流出力用TFTQ9の出力端子とソー

10

20

30

40

50

ソース配線 S_j との間を繋ぐ選択用 $TFTQ6$ とから構成することができる。

【0123】

上記回路構成では、電流設定モードにおいて、選択された電流源回路 B_j のスイッチ用 $TFTQ7$ と $Q8$ とのみを ON 状態（導通状態）として、その電流源回路 B_j の選択用 $TFTQ6$ を OFF 状態（非導通状態）とし、定電流源 I_{con} から電流出力用 $TFTQ9$ とコンデンサ $C2$ へ一定電流を流すことができる。

【0124】

この状態でスイッチ用 $TFTQ8$ を OFF 状態とすることで、コンデンサ $C2$ の電位は、電流出力用 $TFTQ9$ が定電流源 I_{con} により設定された電流を流すよう設定される。その後、スイッチ用 $TFTQ8$ を OFF 状態とし、この電流源回路 B_j の電流設定モードを終了し、次の電流源回路 B_{j+1} の電流設定モードに入る。

10

【0125】

上記回路構成により、前記電流出力用 $TFTQ9$ の閾値特性や移動度がバラツキいていても、定電流源 I_{con} により定められた電流が、電流源回路 B_j より出力されるので好ましい。

【0126】

また、上記電流源回路 B_j を複数個組み合わせて上記電流源回路 P_j を構成することで、1つの電流源回路 P_j より複数の電流レベルを出力できるので好ましい。

【0127】

また、本実施の形態では、上記の通り、電流ドライブ回路 P_j の出力電流レベルは複数レベルを取ることが可能であるが、より多くの階調レベルを得る為の駆動方法は、画素 A_{ij} が画素電流回路 Q_{ij} と電気光学素子 L_{ij} とから構成され、その画素電流回路 Q_{ij} が電流設定モードを持ち、この電流設定モードにおいて前記ドライブ回路の電流ドライブ回路 P_j から画素電流回路 Q_{ij} へ電流値を与えることで、その画素電流回路 Q_{ij} の電流値を設定し、その画素電流設定動作を1フレーム期間に複数回行うことで、その画素 A_{ij} に対応する前記電気光学素子 L_{ij} の階調表示状態を制御する駆動方法である。

20

【0128】

上記駆動方法により、1フレーム期間に複数回、上記画素電流回路 Q_{ij} の出力電流値を切り替えることができるので、上記電気光学素子 L_{ij} に対し電流ドライブ回路 P_j の出力電流値で定められる階調数より、より多くの階調表示を行わせることができる。

30

【0129】

また、本実施の形態の表示装置における画素電流回路 Q_{ij} の好ましい第1の構成は、ソース配線 S_j とゲート配線 G_i とが交差する領域に、電気光学素子 $EL1$ と電流出力用 $TFTQ4$ とコンデンサ $C1$ とを配置し、電流出力用 $TFTQ4$ のゲート端子にコンデンサ $C1$ を配置し、電気光学素子 $EL1$ と直列に電流出力用 $TFTQ4$ を配置し、電流出力用 $TFTQ4$ の出力電流を、電気光学素子 $EL1$ へ導くかソース配線 S_j へ導くかを切り替える為のスイッチ用 $TFTQ1$ を配置し、ソース配線 S_j の電位を、電流出力用 $TFTQ4$ のゲート端子へ導くか否かを切り替える選択用 $TFTQ3$ を配置した構成である。

【0130】

上記構成においては、電気光学素子 $EL1$ はダイオード型の非対称電流特性を持つことが好ましい。

40

【0131】

上記画素回路構成では、スイッチ用 $TFTQ1$ を ON 状態とし、ソース配線 S_j へ電気光学素子 $EL1$ の閾値電圧以下となる電圧を印加することで、電流出力用 $TFTQ4$ の出力電圧を電気光学素子 $EL1$ の閾値電圧以下とし、電気光学素子 $EL1$ を OFF 状態とし、電源配線 V_{ref} より電流出力用 $TFTQ4$ を通して、ソース配線 S_j へ電流を流すことができる。

【0132】

そのとき、選択用 $TFTQ3$ を導通状態とすることで、電流出力用 $TFTQ4$ のゲート電圧を上記電流値が流れるゲート電圧 V_{low} に設定できる。

50

【0133】

但し、上記電圧 V_{low} が電気光学素子 $EL1$ の閾値電圧より大きければ、ソース配線 S_j から電気光学素子 $EL1$ に電流が流れるので、暗輝度が浮いたり、低輝度レベルの階調直線性が狂う等の問題がおこる。しかし、その暗輝度の浮きは差ほど目立たないので表示可能である。

【0134】

また、本実施の形態の表示装置では、ゲート配線 G_i と並行して制御線 W_i が配置され、スイッチ用 $TFTQ1$ のゲート端子と、選択用 $TFTQ3$ のゲート端子とのうち、一方が制御線 W_i に接続され、他方がゲート配線 G_i に接続された構成が好ましい。

【0135】

上記回路構成では、電流出力用 $TFTQ4$ からソース配線 S_j へ一定電流が流れている状態で、スイッチ用 $TFTQ1$ が ON 状態から OFF 状態へ切り替わるときに、ソース配線 S_j へ供給される電流が変化するので、ソース配線 S_j の電位が変化する。また、電流出力用 $TFTQ4$ の出力端子電位も変化する。

【0136】

そこで、スイッチ用 $TFTQ1$ を ON 状態とし、電流出力用 $TFTQ4$ の出力電流をソース配線へ導いている間に、選択用 $TFTQ3$ を OFF 状態とし、上記電位変動が起こる前にコンデンサ $C1$ の電位を確定させ、その後、スイッチ用 $TFTQ1$ を OFF 状態とし、電流出力用 $TFTQ4$ の電流値を安定化させることが好ましい。

【0137】

また、上記回路構成では、選択用 $TFTQ3$ を ON 状態とすることで、コンデンサ $C1$ の電位を OFF 電位として、電流出力用 $TFTQ4$ の出力電流を止めることが可能である。このことにより、各データの表示時間の長さを制御できて好ましい。

【0138】

〔実施の形態2〕

本発明の他の実施の形態について、図5および図6に基づいて説明すれば以下の通りである。なお、前記実施の形態1で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0139】

上記実施の形態1では、ドライブ回路を構成する電流ドライブ回路 P_j から2値電流値を出力する場合の例を示したが、本実施の形態では電流ドライブ回路 P_j から多値電流を出力する場合の例を示す。

【0140】

図5に示すのが、本実施の形態の表示装置における電流ドライブ回路 P_j の構成の応用例である。

【0141】

図5では、1つのソース配線 S_j に対するドライブ回路を構成する電流ドライブ回路 P_j が、3つの電流源回路 $B_{j1} \sim B_{j3}$ から構成されている。各々の電流源回路 B_j は、外部定電流源 I_{con} により設定された電流値を出力するか否かの2つの出力状態を持つ。電流源回路 $B_{j1} \sim B_{j3}$ のそれぞれは、実施の形態1で述べた電流源回路 B_j (図1) と同一構成である。

【0142】

この電流源回路 $B_{j1} \sim B_{j3}$ の電流設定動作は、実施の形態1の電流ドライブ回路 P_j の電流設定動作と同様である。

【0143】

即ち、最初に電流源回路 B_{j1} からソース配線 S_j へ電流が流れないように、制御線 D_{j1} を OFF 状態として、電流出力用 $TFTQ9$ (兼電流設定用 TFT) とソース配線 S_j とを繋ぐ n 型 $TFTQ6$ を OFF 状態とする。

【0144】

そして、定電流源 I_{con} からこの電流源回路 B_{j1} に対応する電流設定用 $TFTQ9$ (

10

20

30

40

50

兼電流出力用TFT)のみに電流が流れるよう、この電流源回路Bj1に対応する制御配線Lj1, Rj1のみをハイ状態とし、他の電流ドライブ回路Pk(j=k)に対応する電流源回路Bk及び、この電流ドライブ回路Pjの他の電流源回路Bj2~Bj3に対応する制御配線Lj1, Rj1をロー状態とする。

【0145】

このとき、電流源回路Bj1の電流設定用TFTQ9(兼電流出力用TFT)のソース端子と定電流源Iconとを結ぶn型TFTQ7がON状態となり、コンデンサC2と定電流源Iconとを結ぶn型TFTQ8もON状態となり、電流設定用TFTQ9(兼電流出力用TFT)へ定電流源Iconから定電流が流れ、その電流値によりコンデンサC2の電圧が設定される。

10

【0146】

その後、制御配線Rj1をロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2の電圧を保持し、制御配線Lj1をロー状態とすることで電流源回路Bj1の電流設定を終了し、次の電流源回路Bj2の電流設定を行う。その結果、制御配線Dj1がハイ状態となったとき、電流出力用TFTQ9(兼電流設定用TFT)の引き込み電流は、その電流出力用TFTQ9の特性バラツキに依らず、定電流源Iconにより設定された電流値が流れるよう設定される。

【0147】

なお、電流源回路Bj2と電流源回路Bj3との電流設定動作も上記電流源回路Bj1と同様なので、ここではその説明は省略する。

20

【0148】

この結果、電流ドライブ回路Pjのデータ信号Dj1~Dj3を(ロー、ロー、ロー)に設定すれば、ソース配線SjがOFF電位VHと導通し、電流ドライブ回路Pjよりソース配線SjへOFF電位VHが出力される。データ信号Dj1~Dj3を(ハイ、ロー、ロー)に設定すれば、電流源回路Bj1のみがソース配線Sjと導通するので、ソース配線Sjより電流ドライブ回路Pjへ設定された電流Iaが引き込まれる。データ信号Dj1~Dj3を(ハイ、ハイ、ロー)に設定すれば、電流源回路Bj1とBj2とがソース配線Sjと導通するので、ソース配線Sjより電流ドライブ回路Pjへ設定された電流Iaの2倍が引き込まれる。データ信号Dj1~Dj3を(ハイ、ハイ、ハイ)に設定すれば、電流源回路Bj1~Bj3がソース配線Sjと導通するので、ソース配線Sjより電流ドライブ回路Pjへ設定された電流Iaの3倍が引き込まれる。

30

【0149】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。

【0150】

次に、図6に本実施の形態の表示装置におけるドライブ回路構成を用いて多値電流を出力する別の例を示す。

【0151】

図6のドライブ回路構成では、各電流ドライブ回路Pjを複数の電流源回路Bjx(x=1, 2, ...)によって構成し、各電流源回路Bjxに異なる電流値を設定する。

【0152】

その異なる電流値を与える為に、電流配線Ic1, Ic2へ異なる電流値を設定する。電流配線Ic1の電流値は定電流源Iconの定電流から電流源回路PB1が生成し、電流配線Ic2の電流値は定電流源Iconの定電流から電流源回路PB2・PB3が生成する。

40

【0153】

電流源回路PB1はp型TFTQ17・Q19、n型TFTQ18・Q20、およびコンデンサC3を備えている。電流源回路PB2・PB3も同一構成である。電流源回路PB1~PB3の出力電流設定動作は上記図5の電流源回路Bj1~Bj3の電流設定動作と同様である。

【0154】

50

即ち、最初の電流源回路PB1の電流設定動作において、電流源回路PB1から電流配線Ic1へ電流が流れないように、制御線PL1をハイ状態として、電流出力用TFTQ17（兼電流設定用TFT）と電流配線Ic1とを繋ぐp型TFTQ19をOFF状態とする。このとき、電流源回路PB1と定電流源Iconとを繋ぐn型TFTQ20がON状態となるので、更に、電流出力用TFTQ17のゲート端子とドレイン端子との間に配置したn型TFTQ18をON状態（制御配線PR1がハイ状態）として、電源VHより電流出力用TFTQ17を通して定電流源Iconへ電流が流れる状態を作る。

【0155】

このとき、電源VHより電流設定用TFTQ17（兼電流出力用TFT）を通して定電流源Iconへ一定電流が流れるよう、電流設定用TFTQ17のゲート端子電圧が設定される。この設定された電流設定用TFTQ17のゲート電圧を、n型TFTQ18をOFF状態（制御配線PR1がロー状態）とすることで、コンデンサC3に保持させる。その後、制御配線PL1をロー状態とすることでn型TFTQ20をOFF状態とし、p型TFTQ19をON状態とする。

10

【0156】

その結果、電流配線Ic1に流れる電流は、定電流源Iconにより設定された電流値となる。そして、次の電流源回路PB2の電流設定を行う。

【0157】

この電流源回路PB2の電流設定動作および次の電流源回路PB3の動作は上記電流源回路PB1の電流設定動作と同様なので、ここではその説明は省略する。このとき、電流配線Ic1には電流源回路PB1が繋がっているだけであるが、電流配線Ic2には電流源回路PB2・PB3が繋がっている。従って、電流配線Ic2を流れる電流値Ibは電流配線Ic1を流れる電流値Iaの2倍に設定される。

20

【0158】

この電流配線Ic1・Ic2の電流値を使って、各電流ドライブ回路Pjを構成する電流源回路Bj1・Bj2の電流設定動作が行われる。

【0159】

なお、この電流設定動作を各電流源Bj1やBj2の各々に着目して見れば、その動作は実施の形態1の電流ドライブ回路Pjの電流設定動作と同様である。

【0160】

即ち、各電流ドライブ回路Pjの電流設定動作は、最初に電流ドライブ回路Pjからソース配線Sjへ電流が流れないように、制御線Dj1～Dj2を総てロー状態とし、この電流ドライブ回路Pjを構成する電流源回路Bj1・Bj2の電流設定用TFTQ9（兼電流出力用TFT）とソース配線Sjを繋ぐn型TFTQ6をOFF状態とする。そして、電流配線Ic1, Ic2からこの電流源回路Bj1に対応する電流設定用TFTQ9（兼電流出力用TFT）のみに電流が流れるよう、この電流源回路Bj1・Bj2に対応する共通制御線LjとRjとをハイ状態として、他の電流源回路Bk1～Bk2（k=j）に対応する共通制御線LkとRkとをロー状態とする。

30

【0161】

このとき、電流源回路Bj1・Bj2の電流設定用TFTQ9（兼電流出力用TFT）のソース端子と電流配線Ic1, Ic2とを結ぶn型TFTQ7がON状態となり、各コンデンサCと電流配線Ic1, Ic2とを結ぶn型TFTQ8もON状態となり、各電流設定用TFTQ9（兼電流出力用TFT）へ電流配線Ic1, Ic2から設定電流が流れ、その電流値により各コンデンサC2の電位が設定される。その後、制御配線Rjをロー状態とすることでn型TFTQ8を非導通状態として、コンデンサC2を用いて、設定された電流設定用TFTQ9のゲート端子電位を保持する。また、制御配線Ljをロー状態とすることで電流ドライブ回路Pjの電流設定を終了し、次の電流ドライブ回路Pj+1の電流設定動作に移る。

40

【0162】

その結果、電流源回路Bj1・Bj2の各電流設定用TFTQ9（兼電流出力用TFT）

50

の引き込み電流は、そのTFT特性バラツキに依らず、その電流配線 I_{c1} 、 I_{c2} により設定された電流値が流れるよう設定される。なおこのとき、電流配線 I_{c2} の電流値は電流配線 I_{c1} の電流値の2倍に設定されているので、電流源回路 B_{j2} の電流値は電流源回路 B_{j1} の電流値の2倍に設定される。

【0163】

そこで図6で、データ信号 $D_{j0} \sim D_{j2}$ を(ロー、ロー、ロー)に設定すると、ソース配線 S_j がOFF電位 V_H と導通するので、電流ドライブ回路 P_j よりソース配線 S_j へOFF電位 V_H が出力される。データ信号 $D_{j0} \sim D_{j2}$ を(ハイ、ハイ、ロー)に設定すると、電流源回路 B_{j1} のみソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 I_a が引き込まれる。データ信号 $D_{j0} \sim D_{j2}$ を(ハイ、ロー、ハイ)に設定すると、電流源回路 B_{j2} がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 $2 \times I_a$ が引き込まれる。データ信号 $D_{j0} \sim D_{j2}$ を(ハイ、ハイ、ハイ)に設定すると、電流源回路 B_{j1} と B_{j2} がソース配線 S_j と導通するので、ソース配線 S_j より電流ドライブ回路 P_j へ設定された電流 $3 \times I_a$ が引き込まれる。

10

【0164】

このようにして、本実施の形態のドライブ回路構成を用いて多値電流出力が実現できる。

【0165】

このように本実施の形態のドライブ回路構成を用いて多階調表示を行わせることが可能であるが、図5の電流ドライブ回路構成で256階調表示を行わせる為には、1つの電流ドライブ回路 P_j が255個の電流源回路 $B_{j1} \sim B_{j255}$ を必要とする。しかし、それだけの数の電流源回路を各ソース配線 S_j 毎に設けると、必要なソースドライバサイズ(幅)が大きくなりすぎて好ましくない。

20

【0166】

一方、図6の電流ドライブ回路構成では、1つの電流ドライブ回路 P_j が8個の電流源回路 $B_{j1} \sim B_{j8}$ から構成されれば256階調表示可能である。しかし、これら8個の電流源回路 $B_{j1} \sim B_{j8}$ から供給される電流値には128倍の開きがあるので、各電流源回路 $B_{j1} \sim B_{j8}$ の電流出力用TFT Q_9 を同一サイズとするのは難しい。

【0167】

そこで、各電流源回路 $B_{j1} \sim B_{j8}$ の電流出力用TFT Q_9 のゲート幅を必要な電流量に比例させて大きくしていくことが考えられるが、この場合、必要なソースドライバサイズ(幅)が大きくなるので好ましくない。

30

【0168】

〔実施の形態3〕

本発明のさらに他の実施の形態について、図7および図8に基づいて説明すれば以下の通りである。なお、前記実施の形態1および2で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0169】

本実施の形態では、上記課題を解決するために、上記多階調表示用の電流ドライブ回路構成と共に用いられる時間分割階調表示方法の説明をする。

40

【0170】

図5や図6の電流ドライブ回路 P_j では、出力できる電流値が4値(OFF電位、 I_a 、 $2 \times I_a$ 、 $3 \times I_a$)なので、図7に示すように時間幅比1:4:16の3フィールドを用いた時分割階調と組み合わせれば、64階調表示が可能である。

【0171】

図7は横軸が時間であり、縦軸が画素 A_{ij} である。図7では説明を簡単にするためにゲート配線が8本の表示装置の例を示している。縦軸に示す $A_{1j} \sim A_{8j}$ はそのゲート配線 $G_1 \sim G_8$ に対応する画素であり、斜め線(1)～(3)で示したタイミングで各ゲート配線 G_i が選択され画素 A_{ij} のデータが設定される。

【0172】

50

この画素 A_{ij} にデータを設定するときの動作は図 2 や図 4 のタイミングチャートで示したものと様なので、ここではその詳細な説明は省略する。

【0173】

上記ゲート配線 G_i の選択タイミングで電流ドライブ回路 P_j より画素 A_{ij} の電流駆動用 T F T の電流値が設定される。この動作は、1 走査時間 t_f でゲート配線 $G_1 \sim G_8$ に対応する画素 $A_{1j} \sim A_{8j}$ のデータ書き換えが終了する。

【0174】

図 7 では、1 つのゲート配線 G_i の選択期間から選択期間までの間、画素 A_{ij} にこの走査期間 t_f で設定された値が表示され続けるので、時分割比 1 : 4 : 16 の表示を行おうとすると、1 フレーム期間は $(1 + 4 + 16) \times t_f = 21 \times t_f$ と長くなる。また、この 1 フレーム期間のうち、実際に走査に使われている時間は $3 \times t_f$ で済むので、1 フレーム期間中にしめる走査時間の割合が小さい。

10

【0175】

そこで、図 1 に示す画素回路 A_{ij} のように、電流出力用 T F T Q 4 のゲート端子に接続されたコンデンサ C_1 と電流出力用 T F T Q 4 の出力端子との間に選択用 T F T Q 3 を配置し、その選択用 T F T Q 3 をスイッチ用 T F T Q 1 とは独立に ON 状態とすれば、電流出力用 T F T Q 4 のゲート電位が電流出力用 T F T Q 4 の出力電位と等しくなり、電流出力用 T F T Q 4 の出力電流をほぼ 0 とすることができる。

【0176】

この電流出力用 T F T Q 4 の出力電流を 0 とする動作（消光動作）のタイミングを、図 8 で斜め破線（4）で示す。このように制御することで、図 8 にそのタイミングを示すように、走査期間 t_g に対する 1 フレーム期間の比率を $6 \times t_g$ と短くできる。なお、この 1 フレーム期間のうち、実際に走査に使われている時間は $3 \times t_g$ と変化しない。

20

【0177】

このように、制御線 W_i をゲート配線 G_i とは独立に走査することで、1 フレーム期間を短くする効果ができるので好ましい。

【0178】

〔実施の形態 4〕

本発明のさらに他の実施の形態について、図 9 ないし図 16 に基づいて説明すれば以下の通りである。なお、前記実施の形態 1 ないし 3 で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

30

【0179】

実施の形態 3 において、図 1 の画素回路構成では、上記消光動作において電流出力用 T F T Q 4 の出力電流を完全に 0 にすることはできない。これは、選択用 T F T Q 3 が ON の状態で、電流出力用 T F T Q 4 のゲート電圧は、電気光学素子 $E L 1$ へ若干の電流が流れる状態で安定するからである。

【0180】

そこで、上記時分割階調表示に適した第 1 の画素回路の別の構成を示す。

【0181】

図 9 に示すのがその画素回路構成 A_{ij} であり、電流出力用 T F T（第 1 のアクティブ素子）Q 4 のゲート端子とソース配線（第 1 の配線） S_j との間に選択用 T F T（第 2 のアクティブ素子）Q 10 が配置され、その選択用 T F T Q 10 のゲート端子はゲート配線（第 2 の配線） G_i に接続されている。すなわち、選択用 T F T Q 10 は、ソース配線 S_j とコンデンサ（第 1 のコンデンサ） C_1 との間に配置されている。電流出力用 T F T Q 4 と電気光学素子 $E L 1$ とは電源配線 V_{ref} と対向電極 V_{com} との間に直列に配置され、電流出力用 T F T Q 4 のゲート端子にはコンデンサ C_1 が配置されている。また、その電流出力用 T F T Q 4 と電気光学素子 $E L 1$ との接続点、すなわち電流出力用 T F T Q 4 の電流出力端子と、ソース配線 S_j との間にはスイッチ用 T F T Q 1（第 1 のスイッチング素子）が配置され、これらスイッチ用 T F T Q 1 のゲート端子は制御配線（第 4 の配線：第 1 のスイッチング素子用） W_i に接続されている。

40

50

【0182】

この画素回路 A_{ij} の電流設定動作及び消去動作を図10に示す。なお、この電流ドライブ回路 P_j は図6の回路構成を想定している。

【0183】

まず、各選択期間の最初に図6のデータ信号 $D_{j0} \sim D_{j2}$ を（ロー、ロー、ロー）として、ソース配線 S_j の電位をOFF電位 V_H に設定する。次にデータ信号 $D_{j0} \sim D_{j2}$ を画素 A_{ij} の表示状態に合わせて（ロー、ロー、ロー）～（ハイ、ハイ、ハイ）の値とし、ソース配線 S_j の電流値を、画素 A_{ij} の電流出力用 $TFTQ_4$ へ設定したい電流値に設定する。そして、制御配線 W_i をハイ状態とし、各画素 A_{ij} の電流出力用 $TFTQ_4$ からソース配線 S_j へ電流が流れるよう設定する。また、ゲート配線 G_i をハイ状態とし、選択用 $TFTQ_{10}$ を導通状態とし、電流出力用 $TFTQ_4$ のゲート端子をソース配線 S_j と導通させる。

10

【0184】

この状態で、電流出力用 $TFTQ_4$ のゲート端子電位は、ソース配線 S_j に電流ドライブ回路 P_j で設定された電流が流れるよう設定される。このソース配線 S_j 電位が電流出力用 $TFTQ_4$ のゲート端子に繋がるコンデンサ C_1 に保持されるよう、ゲート配線 G_i をロー状態とし、電流出力用 $TFTQ_4$ のゲート端子をソース配線 S_j を非導通状態とする。

【0185】

その後、制御配線 W_i をロー状態とし、この設定された電流値が電流出力用 $TFTQ_4$ から電気光学素子へ流れるようにする。

20

【0186】

このことにより、上記スイッチング用 $TFTQ_1$ が導通状態から非導通状態になるときに生じるソース配線 S_j の電位乱れの影響を受けることなく、電流出力用 $TFTQ_4$ に所定電流を流した状態のソース配線 S_j 電位をコンデンサ C_1 に保持することができる。

【0187】

この動作で、各画素 A_{ij} の電気光学素子の電流値は4状態を取るが、図8に示すタイミングチャートと同様、最初の走査期間 t_f では、この電流設定動作に引き続き、電流停止（消光動作）を行う。これは、図10に示すゲート配線 G_i のみがハイ状態となっているタイミングであり、上記電流設定動作でゲート配線 G_i がハイ状態となってから、1単位時間を置いて、各選択期間の最初のデータ信号 $D_{j0} \sim D_{j2}$ が（ロー、ロー、ロー）の期間に、ゲート配線 G_i を再度ハイ状態とする。

30

【0188】

このことにより、電流出力用 $TFTQ_4$ のゲート電位が V_H （電流出力用 $TFTQ_4$ の電流値が充分小さいと見なせる電位）になるので、図8の斜め破線（4）で示す、消去動作が実現できる。このことにより、走査期間 t_g に対して、1フレーム期間は $6 \times t_g$ と短くなる。また、この1フレーム期間のうち、実際に走査に使われている時間は $3 \times t_g$ と変化しない。

【0189】

このように、本実施の形態で用いられる画素回路構成 A_{ij} は1フレーム期間を短くする効果を持つので好ましい。

40

【0190】

特に、電流出力用 $TFTQ_4$ のゲート電圧をソース配線 S_j から設定できるので、その電流出力用 $TFTQ_4$ の電流値を充分小さくできて好ましい。

【0191】

また、図9の画素回路構成では、電流出力用 $TFTQ_4$ のゲート端子電位をソース配線 S_j に電流ドライブ回路 P_j で設定された電流が流れるよう設定した後、ソース配線 S_j と電流ドライブ回路 P_j の間を非導通状態（図6のデータ信号 $D_{j0} \sim D_{j2}$ が（ハイ、ロー、ロー）の状態）とし、スイッチ用 $TFTQ_1$ を遮断状態とし、その後このまま選択用 TFT （第2のアクティブ素子） Q_{10} を遮断状態とすれば、第1のアクティブ素子に上

50

記電流ドライブ回路 P j により設定した電流が流れる。

【 0 1 9 2 】

また、選択用 T F T (第 2 のアクティブ素子) Q 1 0 を遮断状態とする前に、ソース配線 S j を O F F 電位状態 (図 6 のデータ信号 D j 0 ~ D j 2 が (ロー、ロー、ロー) の状態) とすれば、第 1 のアクティブ素子を遮断状態とする電位をコンデンサ C 1 に溜められ、その後第 2 のアクティブ素子を遮断状態とすることで、第 1 のアクティブ素子を遮断状態のままとできる。

【 0 1 9 3 】

この場合、電気光学素子へ電流を流すことなく第 1 のアクティブ素子を遮断状態とすることができる。

10

【 0 1 9 4 】

図 1 や図 9 の画素回路構成では、電流出力用 T F T Q 4 のゲート電圧を変化させて、電流停止動作 (消光動作) を行っている。そのため、消光動作は次の走査の直前に行われる。

【 0 1 9 5 】

そこで、次の走査の直前に消光動作を行った場合と、現在の走査の直後に消光動作を行った場合の比較を、動画偽輪郭の発生状況から調べてみる。

【 0 1 9 6 】

図 8 のタイミングで時間分割階調表示を行ったときの動画偽輪郭の発生状況が図 1 1 である。図 1 1 では、3 階調目を背景に 4 階調目の物体が動作した場合の動画偽輪郭を示すが、その物体を追うように視線が (a) ~ (f) のように動くので、視線の移動と時間分割表示タイミングにより、矢印 (b) ~ (c) のエリアのように (発光期間 3 と 4 が被り) 7 階調目近くの表示になるエリアと、矢印 (d) ~ (e) のエリアのように (発光期間 3 と 4 の間を抜けて) 0 階調目近くの表示なるエリアが発生する。

20

【 0 1 9 7 】

一方、現在の走査の直後に消光動作を行った場合の例を図 1 2 に示す。ここで、現在の走査の直後に消光動作を行うとは、図 1 2 で第 1 フィールドの発光期間 f 1 が時間 0 ~ t g の走査期間の最後の期間に設定されていることを指す。

【 0 1 9 8 】

このように時間分割比が 1 : 4 : 1 6 と低い方から並んでいる場合、図 1 2 と図 1 1 とを比較すると判るように、第 1 フィールドの表示期間を、第 1 フィールドの走査開始直後に設定するより、第 2 フィールドの走査開始直前に設定した方が、動画偽輪郭が見える矢印 (b) ~ (c) のエリアの幅と矢印 (d) ~ (e) のエリアの幅が狭くなり好ましい。

30

【 0 1 9 9 】

また逆に、時間分割比が 1 6 : 4 : 1 と高い方から並んでいる場合は、図 1 1 のように、最少フィールドの表示期間を、そのフィールドの走査開始直後に設定することが好ましい。

【 0 2 0 0 】

また、ドライブ回路構成や画素回路構成、その好ましい駆動方法などの情報を T F T パネル内に、T F T プロセスを用いて書き込んでおくが良い。そして、I C で作られたコントロール回路側でこの情報を読み込み、最適な駆動方法や駆動タイミングを選んで出力することが好ましい。

40

【 0 2 0 1 】

図 1 2 のように現在の走査の直後に消光動作を行う為の画素回路構成として、図 1 3 に示すような画素回路構成がある。図 1 3 では、電流出力用 T F T (第 1 のアクティブ素子) Q 4 と電気光学素子 E L 1 との間にスイッチ用 T F T (第 2 のスイッチング素子) Q 2 のゲート端子配線 (第 4 の配線 : 第 2 のスイッチング素子用) E i を配置し、スイッチ用 T F T Q 1 のゲート端子配線 (第 2 の配線) G i とは独立に制御可能とした点が、図 1 の画素回路構成とは異なる。この場合、制御線 W i は第 1 のスイッチング素子用の第 4 の配線であり、ゲート端子配線 E i とは独立している。

【 0 2 0 2 】

50

その結果、第1フィールドの走査開始直後から第2フィールドの走査開始直前迄の間、スイッチ用TFTQ2をOFF状態として表示をさせない状態が作れる。そして、第2フィールドの走査開始直前から、スイッチ用TFTQ2をON状態とすることで、設定された電流値で表示を行うことができるので好ましい。

【0203】

また、電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFTQ2を配置することで、電気光学素子EL1がダイオード特性を持たなくても、電流出力用TFTQ4の出力をソース配線(第1の配線)Sjへ導けるので好ましい。

【0204】

スイッチ用TFTQ2は、電流出力用TFTQ4から電気光学素子EL1へ駆動電流が流れる経路の導通および遮断を行うので、電気光学素子EL1が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができる。

10

【0205】

また、同様に図14の画素回路構成でも良い。

【0206】

図14は図9の画素回路構成の電流出力用TFTQ4と電気光学素子EL1との間にスイッチ用TFT(第2のスイッチング素子)Q2のゲート端子配線(第4の配線:第2のスイッチング素子用)Eiを配置し、スイッチ用TFTQ2のゲート端子配線Eiをスイッチ用TFTQ1のゲート端子配線(第4の配線:第1のスイッチング素子用)Wiとは独立に制御可能とした構成である。

20

【0207】

図13や図14のように、電流出力用TFTQ4のゲート端子電位と電気光学素子EL1を流れる電流のON/OFF状態とを独立に制御できるメリットは、電流出力用TFTQ4ゲート電位を保持したまま電気光学素子EL1を消光できる点である。このメリットは、特に電流ドライブ回路Pjが2値出力の場合に明確になる。

【0208】

図15に示すのは、そのことを明確にする為の画素回路構成である。

【0209】

図15は図14の画素回路構成のスイッチ用TFTQ2と電気光学素子EL1との間に、スイッチ用TFTQ12と、そのゲート端子に繋がるゲート用TFTQ13とコンデンサC4とを配置した例である。このゲート用TFTQ13はスイッチ用TFTQ12のゲート端子とソース配線Sjとの間に配置され、そのゲート端子には制御線Fiが接続されている。

30

【0210】

そこで、図16の(1)に示すように、最初に電流駆動回路の電流出力用TFTQ4の出力電流を設定し(図16(1)の斜め線のタイミング。この場合、電流出力用TFTQ4の出力電流がON状態となるよう設定する)、その後コンデンサC4の電圧を設定すれば(図16の(2),(4),(5)のタイミング)、1フレーム期間に1回程度電流値設定動作を行うことで、2値電流出力(ON状態とOFF状態)を得ることができる。

【0211】

40

なお、図16の(1)の斜め線のタイミングは直前の第3フレームの表示期間f3と被る。この電流設定動作で表示が若干乱れるが、第3フレームの表示期間f3は充分長いので、その影響は少ない。

【0212】

このような構成は特に、コンデンサC4の代わりにスタティックメモリ(インバータ2個から構成されている)を配置する場合有効である。

【0213】

即ち、スタティックメモリを画素に配置して表示を行う場合、その出力は電圧値なので、周囲温度や電気光学素子の特性バラツキにより、電気光学素子を流れる電流値が変化してしまう問題が残る。しかし、そのスタティックメモリで表示を行うときも、電流ドライブ

50

回路 P_j により画素の電流出力用 T F T Q 4 の出力電流を 1 フレーム期間に 1 回程度、ON 状態に設定してやれば、上記問題は起こらないので好ましい。

【 0 2 1 4 】

本実施の形態では、電流出力用 T F T Q 4 と電気光学素子 E L 1 との間にスイッチ用 T F T Q 2 を設けているので、電気光学素子 E L 1 がダイオード型の非対称電流特性を持っていなくても、表示可能である。

【 0 2 1 5 】

この場合、電源配線 V_{r e f} より電流出力用 T F T Q 4 を通して、ソース配線 S_j へ電流を流すとき、スイッチ用 T F T Q 1 を ON 状態とし、スイッチ用 T F T Q 2 を OFF 状態とする。また、電源配線 V_{r e f} より電流出力用 T F T Q 4 を通して、電気光学素子 E L 1 へ電流を流すとき、スイッチ用 T F T Q 1 を OFF 状態とし、スイッチ用 T F T Q 2 を ON 状態とする。

10

【 0 2 1 6 】

また、上記回路構成では、スイッチ用 T F T Q 1 と Q 2 とが共に OFF 状態となるよう独立に制御できる構成がより好ましい。

【 0 2 1 7 】

このことにより、スイッチ用 T F T Q 1 が OFF 状態の時でも、スイッチ用 T F T Q 2 を OFF 状態とすることができ、電流出力用 T F T Q 4 から電気光学素子 E L 1 へ流れる電流を止めて、各データの表示時間の長さを制御できるので好ましい。

【 0 2 1 8 】

〔実施の形態 5〕

本発明のさらに他の実施の形態について、図 1 7 ないし図 1 9、および、図 2 7 ないし図 3 2 に基づいて説明すれば以下の通りである。なお、前記実施の形態 1 ないし 4 で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

20

【 0 2 1 9 】

本実施の形態では第 2 の画素回路構成の例を示す。図 1 7 に示すのがその画素回路構成 A_{i j} であり、ソース配線（第 1 の配線）S_j に並行してデータ配線（第 3 の配線）T_j が配置されている。そのデータ配線 T_j と電流出力用 T F T Q 4（第 1 のアクティブ素子）のゲート端子との間に選択用 T F T（第 2 のアクティブ素子）Q 1 4 が配置され、その選択用 T F T Q 1 4 のゲート端子はゲート配線（第 2 の配線）G_i に接続されている。すなわち、選択用 T F T Q 1 4 は、データ配線 T_j とコンデンサ（第 1 のコンデンサ）C 1 との間に配置されている。また、電流出力用 T F T Q 4 の電流出力端子とソース配線 S_j との間にはスイッチ用 T F T Q 1（第 1 のスイッチング素子）が配置され、そのスイッチ用 T F T Q 1 のゲート端子はゲート配線 G_i に接続されている。

30

【 0 2 2 0 】

この画素回路構成 A_{i j} の電流設定動作は図 1 8 のタイミングチャートに示すとおりである。

【 0 2 2 1 】

即ち、選択期間の最初に電流ドライブ回路 P_j の制御配線 D_j をロー状態として、制御配線 H_j をロー状態として、データ配線 T_j をソース配線 S_j と切り離し、データ配線 T_j を OFF 電位配線 V_H と導通させる。このとき、ソース配線 S_j は電流ドライブ回路 P_j の電流出力用 T F T Q 9 と導通状態となるので、ソース配線 S_j より電荷が排除され低電圧状態 V_{l o w} となる。次に、ゲート配線 G_i をハイ状態（選択状態）として、制御配線 D_j 及び制御配線 H_j の状態を共にハイ状態にするか、ロー状態とするかを設定する。

40

【 0 2 2 2 】

このとき、制御配線 D_j 及び制御配線 H_j を共にロー状態とすれば、データ配線 T_j の電位は OFF 電位 V_H となる。また、この OFF 電位 V_H が画素回路 A_{i j} の電流出力用 T F T Q 4 のゲート電極に印加されるので、電流出力用 T F T Q 4 は非導通状態となる。また、スイッチ用 T F T Q 1 が導通状態となるので、ソース配線 S_j と電流出力用 T F T Q

50

4 の出力端子との間は導通状態となるが、電流出力用 T F T Q 4 は非導通状態なので、ソース配線 S j の電位は電圧 V l o w のままである。

【 0 2 2 3 】

このとき、電流出力用 T F T Q 4 の出力端子に繋がる電気光学素子の印加電圧 - 電流特性がダイオード型特性を有していれば、電気光学素子に電流が流れない状態を作れる。即ち、図 1 7 の回路構成であれば、電流出力用 T F T Q 4 の出力端子に接続された電気光学素子 E L 1 の陽極に電圧 V l o w が印加される。このとき、ソース配線 S j を対向電極電圧 V c o m 程度の電圧になるよう設定することで、電気光学素子 E L 1 に電流が流れない状態を作れる。

【 0 2 2 4 】

図 1 7 の画素回路構成 A i j で、電流出力用 T F T Q 4 のゲート端子に O F F 電位が印加されれば、ソース配線 S j の電位は G N D 電位程度に設定される。

【 0 2 2 5 】

この後、ゲート配線 G i を非選択状態とし、選択用 T F T Q 1 4 とスイッチ用 T F T Q 1 とを非導通状態とすれば、この電気光学素子 E L 1 に電流が流れない状況が保持される。

【 0 2 2 6 】

また、制御配線 D j 及び制御配線 H j を共にハイ状態とすれば、データ配線 T j はソース配線 S j と導通し等しい電位となる。このとき、データ配線 T j の電位は電位 V H からソース配線 S j の電位 V l o w に向け変化し、電流出力用 T F T Q 4 は導通状態となる。

【 0 2 2 7 】

また、スイッチ用 T F T Q 1 が導通状態となるので、電流出力用 T F T Q 4 からソース配線 S j 等を経由して電流ドライブ回路 P j へ電流が流れる。この電流値が電流ドライブ回路 P j で設定された電流値となるよう、電流出力用 T F T Q 4 のゲート電位が変化し、データ配線 T j とソース配線 S j とは安定する。

【 0 2 2 8 】

このときのソース配線 S j の電位も、電気光学素子 E L 1 に電流が流れない状態となる。

【 0 2 2 9 】

即ち、図 1 7 の回路構成であれば、電流出力用 T F T Q 4 が導通状態になるために、電流出力用 T F T Q 4 のゲート電位は電源電位 V r e f より 2 ~ 3 V 以上ドロップする。一方、電気光学素子がダイオード型特性を有していれば、陽極電圧が 2 ~ 3 V 低下しただけで、電気光学素子に電流が殆ど流れない状態となる。

【 0 2 3 0 】

その後、この電流出力用 T F T Q 4 のゲート端子電位が保持されるよう、データ配線 T j の電位を電流ドライブ回路 P j 及びソース配線 S j から切り離し、ゲート配線 G i の電位を非選択状態とする。

【 0 2 3 1 】

このように図 1 7 の画素回路構成 A i j では、選択用 T F T Q 1 4 とスイッチ用 T F T Q 1 のゲート端子とが共にゲート配線 G i に接続されていても、選択用 T F T Q 1 4 が接続するデータ配線 T j と、スイッチ用 T F T Q 1 が接続するソース配線 S j とを分離することで、スイッチ用 T F T Q 1 が O N 状態から O F F 状態となるときの電位の乱れが、電流出力用 T F T Q 4 のゲート端子電位に影響を与えないよう処理でき好ましい。

【 0 2 3 2 】

また、図 1 7 の電流ドライブ回路 P j の電流出力用 T F T Q 9 は常にソース配線 S j と繋がっているが、図 1 と同様、電流ドライブ回路 P j の電流設定時だけ電流出力用 T F T Q 9 とソース配線 S j との間が非導通状態となるよう、選択用 T F T Q 6 を配置しても良い。

【 0 2 3 3 】

このように、本実施の形態では、データ配線 T j は、電流出力用 T F T Q 4 による電圧条件の生成に必要な電位を、スイッチ用 T F T Q 1 を介さずに、導通状態にある選択用 T F T Q 1 4 を介して電流出力用 T F T Q 4 に伝達するように設けられている。また、スイッ

10

20

30

40

50

チ用 T F T Q 1 は、導通状態となることによって、ソース配線 S j を電流出力用 T F T Q 4 の電流出力端子に、従って電気光学素子 E L 1 の駆動電流の流入側端子（陽極）に接続する。

【 0 2 3 4 】

従って、電気光学素子 E L 1 が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、データ配線 T j から選択用 T F T Q 1 4 を介して電流出力用 T F T Q 4 にこの T F T が遮断状態となるような電位を伝達し、ソース配線 S j からスイッチ用 T F T Q 1 を介して電気光学素子 E L 1 の駆動電流流入側端子（陽極）に、電気光学素子 E L 1 に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子 E L 1 を完全に暗状態とすることができる。

10

【 0 2 3 5 】

図 1 7 の構成によれば、ソース配線 S j とデータ配線 T j とを繋ぎ、スイッチ用 T F T Q 1 と選択用 T F T Q 1 4 とを導通状態とし、電流出力用 T F T Q 4 からスイッチ用 T F T Q 1 を通してソース配線 S j へ所定電流を流すことでコンデンサ C 1 へ保持する電位を生成できる。

【 0 2 3 6 】

また、ソース配線 S j とデータ配線 T j とを分離し、スイッチ用 T F T Q 1 と選択用 T F T Q 1 4 とを導通状態とし、データ配線 T j に所定の電位を印加することで電流出力用 T F T Q 4 を非導通状態とできる。この結果、電流出力用 T F T Q 4 の非導通状態での電流値を充分小さくできるので好ましい。

20

【 0 2 3 7 】

また、電気光学素子がダイオード型ではない場合、図 1 9 の画素回路構成のように、図 1 7 の画素回路構成における電流出力用 T F T Q 4 と電気光学素子 E L 1 との間にスイッチ用 T F T Q 2（第 2 のスイッチング素子）を配置すれば良い。この構成によれば、電気光学素子 E L 1 の特性によらず、電流出力用 T F T Q 4 の出力電流をソース配線 S j へ導けるので、ソース配線 S j とデータ配線 T j との間を導通状態としたとき、電流出力用 T F T Q 4 が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、電流出力用 T F T Q 4 の出力電流のバラツキを抑えられて好ましい。

【 0 2 3 8 】

なお、このスイッチ用 T F T Q 2 のゲート端子は、図 1 9 のように他の配線（第 4 の配線：第 2 のスイッチング素子用）E i へ繋いでも良い。また、図 2 7 に示すように、図 1 7 の画素回路構成において電流出力用 T F T Q 4 と電気光学素子 E L 1 との間にスイッチ用 T F T Q 2（第 2 のスイッチング素子）を配置し、スイッチ用 T F T Q 2 のゲート端子をゲート配線 G i に接続しても良い。また、図 2 7 のように電源配線 V r e f をゲート配線 G i と並行に配置しても良い。また、図 2 8 のように、図 1 9 の画素回路構成において他の配線 E i を制御線（第 4 の配線：第 1 のスイッチング素子用兼第 2 のスイッチング素子用）W i とし、選択用 T F T Q 1 4 のゲート端子をゲート配線 G i に接続し、スイッチ用 T F T Q 1 およびスイッチ用 T F T Q 2 のゲート端子を制御線 W i と接続しても良い。

30

【 0 2 3 9 】

図 1 9 ではこのスイッチ用 T F T Q 2 のゲート端子をゲート配線 G i とは異なる配線 E i に接続することで、図 1 2 に示したような消光動作を行う動作が可能としており、好ましい。

40

【 0 2 4 0 】

また、図 2 8 のようにスイッチ用 T F T Q 1 と選択用 T F T Q 1 4 との導通状態を制御する配線を異ならせることにより、選択用 T F T Q 1 4 とスイッチ用 T F T Q 1 とを独立に制御できるので、選択用 T F T Q 1 4 を非導通状態とした後、スイッチ用 T F T Q 1 を非導通状態とできる。その結果、電流出力用 T F T Q 4 が所定電流を流している状態でその電位をコンデンサ C 1 へ保持でき、その出力電流値のバラツキを抑制できるので好ましい。

【 0 2 4 1 】

50

本実施の形態の表示装置における画素電流回路 Q_{ij} の好ましい第2の構成は、ソース配線 S_j とゲート配線 G_i とが交差する領域に、電気光学素子 E_{L1} と電流出力用 $TFTQ_4$ とコンデンサ C_1 とを配置し、ソース配線 S_j と並行してデータ配線 T_j が配置され、電流出力用 $TFTQ_4$ のゲート端子にコンデンサ C_1 を配置し、電気光学素子 E_{L1} と直列に電流出力用 $TFTQ_4$ を配置し、電流出力用 $TFTQ_4$ の出力電流を、電気光学素子 E_{L1} へ導くかソース配線 S_j へ導くかを切り替える為のスイッチ用 $TFTQ_1$ を配置し、データ配線 S_j の電位を、電流出力用 $TFTQ_4$ のゲート端子へ導くか否かを切り替える選択用 $TFTQ_{14}$ を配置した構成である。

【0242】

上記画素回路構成では、スイッチ用 $TFTQ_1$ をON状態とし、ソース電極 S_j へ電気光学素子 E_{L1} の閾値電圧以下となる電圧を印加し、その電気光学素子 E_{L1} をOFF状態とし、電源配線 V_{ref} より電流出力用 $TFTQ_4$ を通して、ソース配線 S_j へ電流を流すことができる。一方、選択用 $TFTQ_{14}$ をON状態とし、電流出力用 $TFTQ_4$ のゲート端子へデータ配線 T_j の電位を与えることができる。

10

【0243】

そこで、電気光学素子 E_{L1} を暗輝度状態とするとき、ソース配線 S_j から電流を引き出し、ソース電極 S_j へ電気光学素子 E_{L1} の閾値電圧以下となる電圧を印加し、データ配線 T_j へOFF電位を印加すれば、電気光学素子 E_{L1} の輝度を完全に暗状態とできて好ましい。

【0244】

上記構成においても、電気光学素子 E_{L1} はダイオード型の非対称電流特性を持つことが好ましい。

20

【0245】

図29はそのような電気光学素子 E_{L1} を用いた図17の画素回路構成のためのソースドライバ回路の出力端回路 D_j である。

【0246】

図29の出力端回路 D_j は図17の電流ドライブ回路 P_j と画素 A_{ij} との間に位置し、電流ドライブ回路 P_j の出力電流端(ソース配線 S_j の一端)に接続されている端子 I_j を有している。

【0247】

出力端回路 D_j は、データ配線 T_j と、第1の電位配線の電位であるOFF電位 V_H との間にスイッチ用 TFT (第3のスイッチング素子) Q_{30} を配置し、データ配線 T_j にコンデンサ(第2のコンデンサ) C_{10} の一方の端子を接続し、そのコンデンサ C_{10} の他方端子とソース配線 S_j との間にスイッチ用 TFT (第4のスイッチング素子) Q_{32} を配置し、そのコンデンサ C_{10} の他方端子と、第2の電位配線の電位である補償電位 V_X との間にスイッチ用 TFT (第5のスイッチング素子) Q_{31} を配置する。そして、スイッチ用 $TFTQ_{30}$ のゲート端子に制御配線 E_j を、スイッチ用 $TFTQ_{31}$ のゲート端子に制御配線 C_j を、スイッチ用 $TFTQ_{32}$ のゲート端子に制御配線 B_j を接続する。

30

【0248】

この制御配線 E_j 、 C_j 、 B_j によるスイッチ用 $TFTQ_{30}$ 、 Q_{31} 、 Q_{32} のON/OFFタイミングをゲート配線 G_i のON/OFFタイミングと共に示したのが図30である。

40

【0249】

また、このとき図29の各電圧測定ポイント V_a 、 V_b 、 V_c の電位をシミュレーションした結果を図31に示す。なお、図29の電圧測定ポイント V_a の電位はコンデンサ C_{10} の他方端子(スイッチ用 $TFTQ_{31}$ 、 Q_{32} と繋がる方の端子)の電位であり、電圧測定ポイント V_b の電位は電流出力用 $TFTQ_4$ のゲート端子電位であり、電圧測定ポイント V_c の電位は電流出力用 $TFTQ_4$ のドレイン端子電位である。

【0250】

また、図31には、電圧測定ポイント V_a 、 V_b 、 V_c の各電位につき、 TFT の閾値電

50

圧および移動度の設計値の上限/中心値/下限を表1のように組み合わせ、3通りずつシミュレーションした結果を曲線で示してある。この3通りのシミュレーションは、表1に示すように、このようなTFTの特性バラツキにより、電気光学素子EL1に流れる駆動電流となる出力端回路Djの出力電流がIoled(1), Ioled(2), Ioled(3)というように異なることに対応して行われたものである。図31では、出力電流Ioled(1), Ioled(2), Ioled(3)の順に、電圧測定ポイントVaについてはVa(1)Va(2), Va(3)が、電圧測定ポイントVbについてはVb(1), Vb(2), Vb(3)が、電圧測定ポイントVcについてはVc(1), Vc(2), Vc(3)が、それぞれ対応している。

【0251】

【表1】

	Ioled(1)	Ioled(2)	Ioled(3)
閾値電圧	平均値	下限	上限
移動度	平均値	下限	上限

【0252】

以下に、この図29の出力端回路Dj及び画素回路Aijの動作を図29ないし図31を用いて説明する。なお、図31には、ゲート配線Gi、制御配線Cj, Ej, Bjの電位変化もグラフに収まる範囲で示されている。

【0253】

図30の時間0~5t1が選択期間であり、時間t1~5t1の間(図31では時間1.22ms~1.30msの期間)にゲート配線Giがハイ状態となり(時間t1でロー状態からハイ状態に立ち上がり、時間5t1でハイ状態からロー状態に立ち下がる)、スイッチ用TFTQ1, 選択用TFTQ14が導通状態となる。そして、時間t1~2t1の間(図31では時間1.22ms~1.24msの期間)に制御配線Cj, Ejがハイ状態となり(時間t1でロー状態からハイ状態に立ち上がり、時間2t1でハイ状態からロー状態に立ち下がる)スイッチ用TFTQ30, Q31が導通状態となる。

【0254】

この結果、データ配線TjはOFF電位VHとなり、選択用TFTQ14を通して電圧測定ポイントVbの電位(電流出力用TFTQ4のゲート端子電位)もOFF電位VHとなる。また、電圧測定ポイントVaの電位(コンデンサC10の他方端子電位)は補償電位VXとなる。

【0255】

図31ではVH=16V、VX=9Vに設定しており、電圧測定ポイントVbの電位が16V、電圧測定ポイントVaの電位が9Vとなっている。

【0256】

次に、時間3t1~4t1の間(図31では時間1.26ms~1.28msの期間)に制御配線Bjがハイ状態となり(時間3t1でロー状態からハイ状態に立ち上がり、時間4t1でハイ状態からロー状態に立ち下がる)スイッチ用TFTQ32が導通状態となる。

【0257】

この結果、電圧測定ポイントVcの電位(電流出力用TFTQ4のドレイン端子電位)と電圧測定ポイントVaの電位(コンデンサC10の他方端子電位)とは一致する。

【0258】

また、データ配線TjにはコンデンサC1, C10しか繋がっていない状態となるので、このデータ配線Tjの電荷は保持される。本実施の形態ではC1=1pF、C10=10pFとしてコンデンサC10の両端の電位差が余り変化しないよう設定したので、図31に示すように電圧測定ポイントVbの電位と電圧測定ポイントVcの電位との差は、先のOFF電位VHと補償電位VXとの差とほぼ等しい状態を維持する。

【0259】

10

20

30

40

50

この結果、ソースドライバ回路から設定された電流を引き出す状態では、電圧測定ポイントVcの電位は電圧測定ポイントVbの電位より $V_H - V_X$ (図31では $1.6V - 9V = 7V$) 低く設定される。

【0260】

この電圧測定ポイントVcの電位が電気光学素子EL1の陽極に印加されるので、電気光学素子EL1を殆ど電流が流れない状態とすることができる。そして、電気光学素子EL1へ電流が流れることに依る電流出力用TF T Q 4の出力電流のパラツキを抑制できるので好ましい。

【0261】

なお、時間 $1.32ms \sim 1.38ms$ では、ハイ状態とロー状態との切り替わりは制御配線Cj, Ej, Bjのみが時間 $1.22ms \sim 1.28ms$ と同様に繰り返される。

10

【0262】

その結果、図32のシミュレーション結果に示すように、電流出力用TF T Q 4の特性バラツキの影響を抑えた出力電流を得ることができる。図32には、表1の出力電流Ioled(1), Ioled(2), Ioled(3)の値がシミュレーション結果として示されている。

【0263】

なお、図32に示すシミュレーション結果は、 $1.2ms \sim 2.3ms$ の間、電流ドライブ回路Pjから $0.2\mu A$ を流し、その後 $1.1ms$ 毎に電流値を $0.1\mu A$ ずつ増加させ、 $8.9ms \sim 10ms$ の間 $0.9\mu A$ とした後0として、その後再度 $1.1ms$ 毎に電流値を $0.1\mu A$ ずつ増加させた結果である。

20

【0264】

図32で電流値が10%程度ばらつくが、図27の回路構成に比べスイッチ用TF T Q 2を用いない分、ボトムエミッション構成(TFTを形成したガラス基板側から光を取り出す構成)において、画素内の有機ELの面積を多く取れるので好ましい。

【0265】

なお、画素内の有機ELの面積が多いほど、有機ELを形成した部分の単位面積当たり発光輝度を低くできるので、有機ELの劣化を抑え、輝度半減寿命を長くする効果があり好ましい。

【0266】

図29の構成によれば、コンデンサC10へ電荷を貯めることで、ソース配線Sjとデータ配線Tjとの間に電位差を発生できる。その結果、電流出力用TF T Q 4へ所望の電流を流すときのデータ配線Tjの電位を適切に設定できる。その結果、電流出力用TF T Q 4の出力電流のパラツキを抑えられるので好ましい。

30

【0267】

〔実施の形態6〕

本発明のさらに他の実施の形態について、図20および図21に基づいて説明すれば以下の通りである。なお、前記実施の形態1ないし5で述べた構成要素と同一の機能を有する構成要素については同一の符号を付し、その説明を省略する。

【0268】

ところで、電気光学素子として有機ELを用いた場合、有機ELの電流 - 発光輝度特性が時間と共に変化する(輝度が下がる)という問題がある。このような課題解決のための手段としても本発明の画素回路構成を応用できる。

40

【0269】

この場合、図20の画素回路構成Aijに示すように、画素にコンデンサC3と受光用TF T Q 11とから構成される受光素子を追加すればよい。

【0270】

この画素回路構成Aijの動作は、図21に示すように制御配線Wiをハイ状態として、スイッチ用TF T Q 2をOFF状態とし、スイッチ用TF T Q 1をON状態として、選択期間を始める。このとき、ゲート配線Giもハイ状態とし、選択用TF T Q 10をON状態とし、制御配線Eiもハイ状態とし、スイッチ用TF T Q 11もON状態とする。そし

50

て、ソース配線 S_j に電流出力用 $TFTQ_4$ の OFF 電位を印加し、コンデンサ C_3 にその OFF 電位を貯める。

【0271】

次に、制御配線 E_i をロー状態とし、受光用 $TFTQ_{11}$ を OFF 状態とする。

【0272】

その後、電源配線 V_{ref} より電流出力用 $TFTQ_4$ 、スイッチ用 $TFTQ_1$ 、ソース配線 S_j を通して図示しない電流ドライブ回路 P_j に電流を流す。このとき、電流ドライブ回路 P_j の電流駆動用 $TFTQ_9$ は定電流モードなので、ソース配線 S_j に繋がる電流出力用 $TFTQ_4$ のゲート電位は電流出力用 $TFTQ_4$ がその電流を流すよう設定される。

【0273】

この後、ゲート配線 G_i がロー状態となり、選択用 $TFTQ_{10}$ が OFF 状態となる。更に、制御配線 W_i がロー状態となり、スイッチ用 $TFTQ_1$ が OFF 状態となり、スイッチ用 $TFTQ_2$ が ON 状態となり、選択動作が終了する。

【0274】

この後表示期間の間、電気光学素子 EL_1 より発光した光が受光用 $TFTQ_{11}$ に入射する。 S_iTFT は光を受光することで OFF 状態の電流値が変化するので、この受光した光に比例してコンデンサ C_3 の電荷がコンデンサ C_1 へ移動する。

【0275】

その結果、コンデンサ C_1 の電位が OFF 電位 V_H に向け変化する。このとき、電気光学素子 EL_1 より発光した光が多いほど、コンデンサ C_1 の電位が OFF 電位 V_H に向け早く変化する。従って、有機 EL の電流 - 輝度特性が良い初期状態では、コンデンサ C_1 の電位が早く OFF 電位 V_H に向け変化し、表示期間の途中で電流出力用 $TFTQ_4$ が OFF 状態となる。一方、有機 EL の電流 - 輝度特性が悪い経年変化後の状態では、表示期間の最後にやっと電流出力用 $TFTQ_4$ が OFF 状態となる程度になる。

【0276】

従って、初期状態では高輝度 × 短時間発光となり、経年変化後では低輝度 × 長時間発光となり、その表示期間の積分輝度がある程度一定となる。

【0277】

このことにより、有機 EL の特性劣化に依らず均一な表示が得られるので、好ましい。

【0278】

なお、このように発光した光による TFT 素子特性への影響があるので、図 20 の受光用 $TFTQ_{11}$ 以外の $TFTQ_1$ 、 Q_2 、 Q_4 、 Q_{10} には電気光学素子の発光による影響が出ないように、 TFT の上に遮光層を設けると良い。この遮光層としては、 TFT プロセスで標準的に用いられている配線用電極膜などが好ましい。

【0279】

また、ソース配線 S_j やゲート配線 G_i の上にも電気光学素子 EL_1 を形成できるように、それら配線や TFT と電気光学素子 EL_1 との間に平坦化絶縁膜を形成すると良い。

【0280】

このことにより、ソース配線 S_j やゲート配線 G_i や TFT の周辺の上にも電気光学素子が形成できるので、発光面積が大きく取れる。その結果、比較的小さな電圧で駆動しても必要な輝度が取れるので、特性劣化を緩和することができる。

【0281】

また、この平坦化絶縁膜を屈折率の異なる複数の材料で作成することで、乱反射等を起こし、光の取り出し効率を上げることができる。特に、レンズのような形状を形成すると更に良い。

【0282】

また、これら電気光学素子の表面や周辺に熱伝導率の良い膜を形成することで、取り出せない光や熱による温度上昇を平均化できて好ましい。

【0283】

更に、上記のような画素回路構成は、1画素当たり少ない TFT を用いて必要な階調安定

10

20

30

40

50

性が得られるので、1画素当たりに使われるTFTを減らし、TFT不良によるパネル歩留まり率をアップする効果がある。

【0284】

電気光学素子として有機ELを用いる場合、この温度上昇により輝度上昇が見られる。しかし、同時にパネルの消費電流も増えるので、パネルの電源電流をモニタし、その上昇に合わせて電圧降下するような電源回路構成が好ましい。簡単には電源ラインに抵抗のような電流が増えれば電圧ドロップが増える素子を付ける構成である。その他、表示パターン毎に電流量を変ええる構成も好ましい。

【0285】

最後に、図22に画素 A_{ij} の配線構成の概念図を示す。ソース配線 S_j 、ゲート配線 G_i 、および電源配線 V_{ref} に囲まれた領域内にTFT回路領域および透明電極領域が設けられている。

10

【0286】

【発明の効果】

本発明の表示装置は、以上のように、1つの定電流源を備え、上記ドライブ回路は、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御し、各上記画素に対して上記駆動制御可能期間外に上記定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。

20

【0287】

それゆえ、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

【0288】

さらに本発明の表示装置は、以上のように、上記電気光学素子に上記駆動電流が流れる電流駆動期間は、一定期間内に設けられた複数の期間の選択的な組み合わせにより長さが決定される構成である。

【0289】

それゆえ、一定期間において、ドライブ回路から伝達される駆動電流値で定められる階調数よりも多階調で表示を行うことができるという効果を奏する。

30

【0290】

さらに本発明の表示装置は、以上のように、上記画素は、上記電気光学素子の電流駆動時に上記駆動電流を生成して上記電気光学素子に流す第1のアクティブ素子と、上記駆動制御可能期間に上記ドライブ回路から伝達された上記駆動電流を上記電流駆動時に上記第1のアクティブ素子に生成させるために上記第1のアクティブ素子に印加する電圧条件を保持する第1のコンデンサと、上記駆動制御可能期間に、導通状態となることにより上記ドライブ回路から上記第1のアクティブ素子に上記駆動電流を伝達させて上記第1のアクティブ素子に上記電圧条件を生成させ、上記電圧条件の生成後に遮断状態となることにより上記電圧条件を上記第1のコンデンサに保持させる第2のアクティブ素子と、導通状態となることにより上記画素を上記第1の配線に接続して上記駆動制御可能期間を開始させ、上記第1のコンデンサによる上記電圧条件を上記第1のコンデンサに保持させる第1のスイッチング素子とを備えている構成である。

40

【0291】

それゆえ、ドライブ回路から伝達された駆動電流で電気光学素子を駆動することができるという効果を奏する。

【0292】

さらに本発明の表示装置は、以上のように、上記第1のアクティブ素子による上記電圧条件の生成に必要な電位を、上記第1のスイッチング素子を介さずに、導通状態にある上記

50

第2のアクティブ素子を介して上記第1のアクティブ素子に伝達するように設けられた第3の配線を備えており、上記第1のスイッチング素子は、導通状態となることによって、上記第1の配線を上記電気光学素子の上記駆動電流の流入側端子に接続する構成である。

【0293】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の電気光学素子であってこれを暗輝度状態にしたいとき、第3の配線から第2のアクティブ素子を介して第1のアクティブ素子に第1のアクティブ素子が遮断状態となるような電位を伝達し、第1の配線から第1のスイッチング素子を介して電気光学素子の駆動電流流入側端子に、電気光学素子に印加される電圧が閾値電圧以下となるような電位を伝達することにより、電気光学素子を完全に暗状態とすることができるという効果を奏する。

10

【0294】

さらに本発明の表示装置は、以上のように、第1のスイッチング素子の導通状態および遮断状態を決める電位を伝達する第4の配線を備えている構成である。

【0295】

それゆえ、第1のコンデンサが電圧条件を保持するまでに、生成された電圧が電圧条件から第1のスイッチング素子のスイッチングによって変化してしまうという悪影響を回避し、第1のコンデンサが電圧条件を保持した後に第1のスイッチング素子を遮断状態とすることを確実に行うことができるという効果を奏する。

【0296】

また、第4の配線を備えていることによって、電気光学素子の電流駆動を行っている最中に第1のアクティブ素子を遮断状態とするような電位を第2のアクティブ素子または第1のスイッチング素子に伝達することにより、電気光学素子の電流駆動期間の長さを制御することができるという効果を奏する。

20

【0297】

さらに本発明の表示装置は、以上のように、上記第1のアクティブ素子から上記電気光学素子へ上記駆動電流が流れる経路の導通および遮断を行う第2のスイッチング素子を備えている構成である。

【0298】

それゆえ、電気光学素子が閾値電圧を有するダイオード型の素子でなくても容易に電流駆動を行うことができるという効果を奏する。

30

【0299】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に設けられた、電流駆動型の電気光学素子を有する画素を、上記第2の配線の電位状態によって上記画素が駆動制御可能となる駆動制御可能期間に上記第1の配線を介して駆動制御するドライブ回路であって、上記電気光学素子を電流駆動するための駆動電流を生成して上記駆動制御可能期間に上記第1の配線を介して上記画素に伝達することにより上記画素を駆動制御するドライブ回路を備えた表示装置であり、上記ドライブ回路は、各上記画素に対して上記駆動制御可能期間外に1つの定電流源から出力される定電流を用いて上記ドライブ回路内部に上記駆動電流が流れる回路状態を生成して保持し、上記駆動制御可能期間に、保持した上記回路状態で上記駆動電流を生成する構成である。

40

【0300】

それゆえ、上記ドライブ回路の駆動電流を1つの定電流源を用いて設定するので、上記ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果上記ドライブ回路の出力電流のバラツキを抑えられる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

【0301】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記電気光学素子と第1のアクティブ素子と

50

を直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第1の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置し、上記第1のスイッチング素子の制御端子に第4の配線を接続した構成である。

【0302】

それゆえ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。また、第1のスイッチング素子を非導通状態とする前に上記第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

10

【0303】

また、本発明の表示装置は、以上のように、第1の配線と第2の配線とが交差する各領域に電気光学素子を有する表示装置であって、上記第1の配線と並行して第3の配線を配置し、上記電気光学素子と第1のアクティブ素子とを直列に配置し、上記第1のアクティブ素子の制御端子に第1のコンデンサを接続し、上記第3の配線と上記第1のコンデンサとの間に第2のアクティブ素子を配置し、上記第1のアクティブ素子の電流出力端子と上記第1の配線との間に第1のスイッチング素子を配置した構成である。

20

【0304】

それゆえ、第1の配線と第3の配線とを繋ぎ、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第1のアクティブ素子から上記第1のスイッチング素子を通して第1の配線へ所定電流を流すことで上記第1のコンデンサへ保持する電位を生成できる。従って、電気光学素子の電流駆動用のドライブ回路に、1つの定電流源から出力される定電流を用いて上記所定電流を流すようなドライブ回路を用いれば、該ドライブ回路の出力特性をその定電流値でバラツキが少なくなるよう設定できる。その結果、電気光学素子の電流駆動用のドライブ回路を、低温ポリシリコンTFTやCGシリコンTFTで構成することを可能としながら各ソース配線間で電流値がばらつくのを防止することができる表示装置を提供することができるという効果を奏する。

30

【0305】

また、第1の配線と第3の配線とを分離し、第1のスイッチング素子と第2のアクティブ素子とを導通状態とし、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0306】

また、上記表示装置は、特に、上記画素回路構成で、上記電気光学素子と第1のアクティブ素子との間に第2のスイッチング素子を配置した構成である。

40

【0307】

それゆえ、電気光学素子の特性によらず、上記第1のアクティブ素子の出力電流を第1の配線へ導けるので、上記第1の配線と第3の配線との間を導通状態としたとき、第1のアクティブ素子が所望の電流を流すよう、その電流制御端子電位を設定できる。その結果、第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

【0308】

また、第1の配線と第3の配線との間を非導通状態とし、第3の配線へ所定の電圧を印加することで第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるという効果を奏する。

【0309】

50

また、上記表示装置は、特に、上記第2のスイッチング素子の制御端子に第4の配線を接続した構成である。

【0310】

それゆえ、第4の配線の電位状態により、第1のアクティブ素子の導通および遮断とは独立に第2のスイッチング素子を導通および遮断することができるので、第1のアクティブ素子の制御端子電位を保持させたまま、電気光学素子の消光動作を行うことができる。

【0311】

また、上記表示装置は、上記表示装置用にドライバ回路の出力端には、第3の配線に第2のコンデンサを接続し、第3の配線と第1の電位配線との間に第3のスイッチング素子を配置し、上記第2のコンデンサと第1の配線との間に第4のスイッチング素子を配置し、上記第2のコンデンサと第2の電位配線との間に第5のスイッチング素子を配置した構成を用いる。

10

【0312】

それゆえ、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるという効果を奏する。

【0313】

本発明の表示装置の第1の画素回路構成は、第1のアクティブ素子から第1のスイッチング素子を通して第1の配線へ所定電流を流すことで第1のコンデンサへ保持する電位を生成できる。また、第2のアクティブ素子を非導通状態とすることで、上記電位を保持できる。その後、上記第1のスイッチング素子を非導通状態とすることで、上記第1のアクティブ素子から上記電気光学素子へ所定の電流を流すことができる。

20

【0314】

このことにより、上記第1のアクティブ素子が所定電流を流している状態の電位を上記第1のコンデンサで保持できるので、その出力電流値のバラツキを抑制できて好ましい。

【0315】

本発明の表示装置の第2の画素回路構成は、第1の配線と第3の配線とを繋ぎ、所定の電流値を流すことで上記第1のアクティブ素子の電流値を設定できる。また、第1の配線と第3の配線とを分離し、第3の配線に所定の電位を印加することで上記第1のアクティブ素子を非導通状態とできる。この結果、第1のアクティブ素子の非導通状態での電流値を充分小さくできるので好ましい。

30

【0316】

また上記第2の画素回路構成用のソースドライバ出力端回路は、第2のコンデンサへ電荷を貯めることで、第1の配線と第3の配線との間に電位差を発生できる。その結果、上記第1のアクティブ素子(TFT素子)へ所望の電流を流すときの第3配線の電位を適切に設定できる。その結果、上記第1のアクティブ素子の出力電流のバラツキを抑えられるので好ましい。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

40

【図2】図1の回路の動作を示す第1のタイミング図である。

【図3】図1の回路の動作を示す第2のタイミング図である。

【図4】図1の回路の動作を示す第3のタイミング図である。

【図5】本発明の第2の実施の形態に係る表示装置の電流ドライブ回路の等価回路を示す回路図である。

【図6】本発明の第2の実施の形態に係る表示装置の他の電流ドライブ回路の等価回路を示す回路図である。

【図7】本発明の第3の実施の形態に係る表示装置の駆動方法を示す第1のタイミング図である。

50

【図 8】本発明の第 3 の実施の形態に係る表示装置の駆動方法を示す第 2 のタイミング図である。

【図 9】本発明の第 4 の実施の形態に係る表示装置の画素回路の等価回路を示す第 1 の回路図である。

【図 10】図 9 の回路の動作を示すタイミング図である。

【図 11】動画偽輪郭の第 1 の発生状況を示す第 1 の動画偽輪郭図である。

【図 12】動画偽輪郭の第 2 の発生状況を示す第 2 の動画偽輪郭図である。

【図 13】本発明の第 4 の実施の形態に係る表示装置の画素回路の等価回路を示す第 2 の回路図である。

【図 14】本発明の第 4 の実施の形態に係る表示装置の他の画素回路の等価回路を示す第 3 の回路図である。

10

【図 15】本発明の第 4 の実施の形態に係る表示装置の他の画素回路の等価回路を示す第 4 の回路図である。

【図 16】図 15 の走査タイミングを示すタイミング図である。

【図 17】本発明の第 5 の実施の形態に係る表示装置の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図 18】図 17 の回路の動作を示すタイミング図である。

【図 19】本発明の第 5 の実施の形態に係る表示装置の他の電流ドライブ回路及び画素回路の等価回路を示す回路図である。

【図 20】本発明の第 6 の実施の形態に係る表示装置の画素回路の応用例の等価回路を示す回路図である。

20

【図 21】図 20 の回路の動作を示すタイミング図である。

【図 22】画素の配線構成の平面図である。

【図 23】従来の有機 E L による第 1 の画素回路の等価回路を示す回路図である。

【図 24】従来の有機 E L による第 2 の画素回路の等価回路を示す回路図である。

【図 25】従来の有機 E L による第 3 の画素回路の等価回路を示す回路図である。

【図 26】従来の有機 E L による第 4 の画素回路の等価回路を示す回路図である。

【図 27】本発明の第 5 の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。

【図 28】本発明の第 5 の実施の形態に係る表示装置のさらに他の画素回路の等価回路を示す回路図である。

30

【図 29】本発明の第 5 の実施の形態に係る表示装置のソースドライバ回路出力端回路の等価回路を示す回路図である。

【図 30】図 29 の回路の動作を示すタイミング図である。

【図 31】図 29 の回路動作をシミュレーションしたタイミング図である。

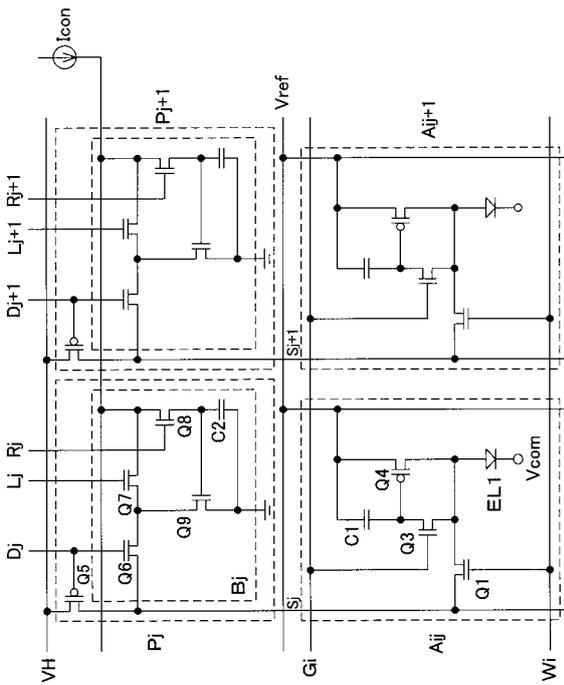
【図 32】図 29 の回路出力電流をシミュレーションした結果である。

【符号の説明】

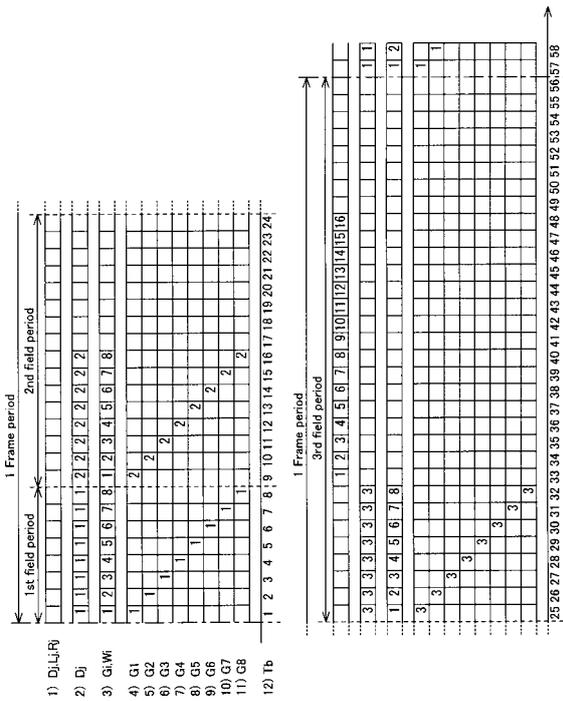
A i j	画素	
P j	電流ドライブ回路	
Q 1	スイッチ用 T F T (第 1 のスイッチング素子)	40
Q 2	スイッチ用 T F T (第 2 のスイッチング素子)	
Q 3	選択用 T F T (第 2 のアクティブ素子)	
Q 4	電流出力用 T F T (第 1 のアクティブ素子)	
Q 1 0	選択用 T F T (第 2 のアクティブ素子)	
Q 1 4	選択用 T F T (第 2 のアクティブ素子)	
C 1	コンデンサ (第 1 のコンデンサ)	
E L 1	電気光学素子	
S j	ソース配線 (第 1 の配線)	
G i	ゲート配線 (第 2 の配線)	
T j	データ配線 (第 3 の配線)	50

- E_i, W_i 制御線 (第4の配線)
- I_{con} 定電流源
- $C10$ コンデンサ (第2のコンデンサ)
- $Q30$ スイッチ用TFT (第3のスイッチング素子)
- $Q31$ スイッチ用TFT (第5のスイッチング素子)
- $Q32$ スイッチ用TFT (第4のスイッチング素子)

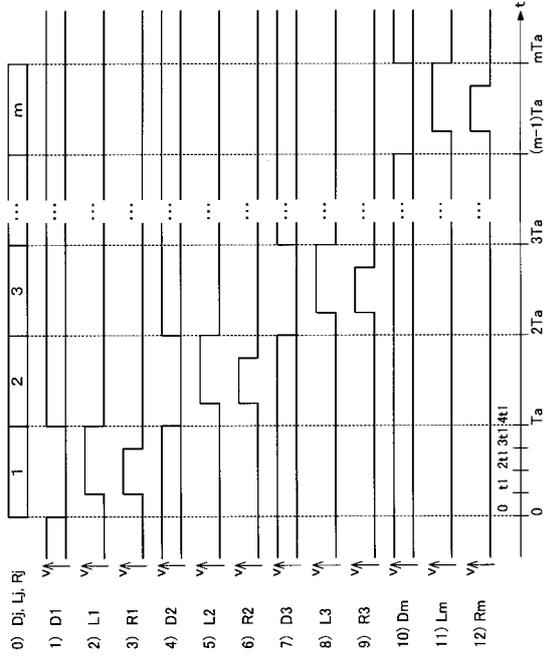
【図1】



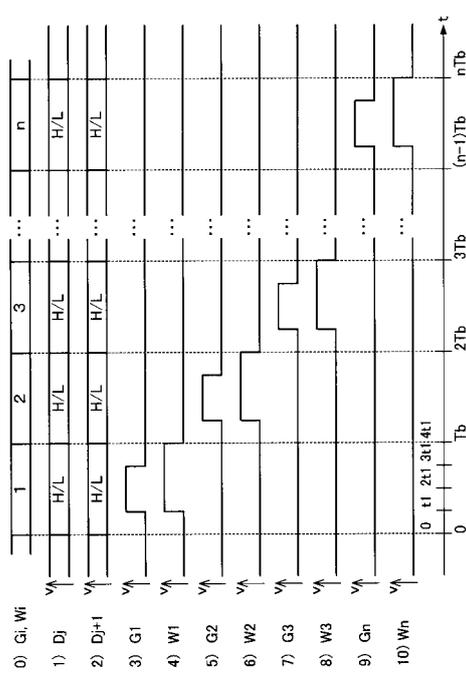
【図2】



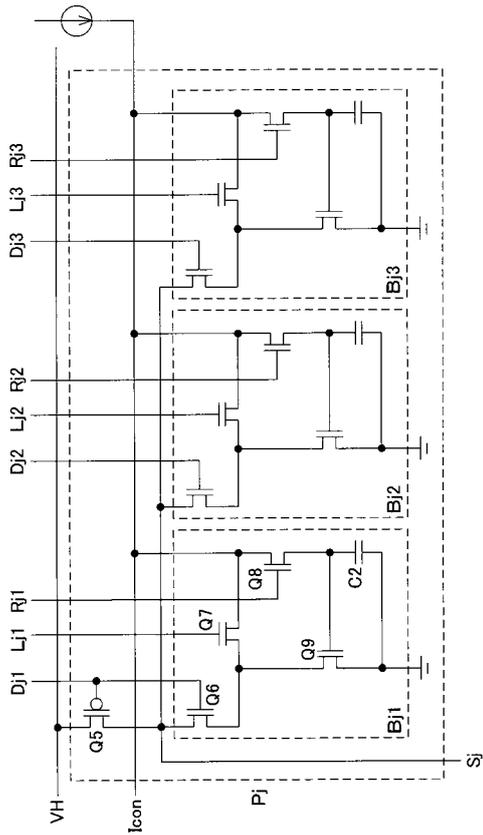
【 図 3 】



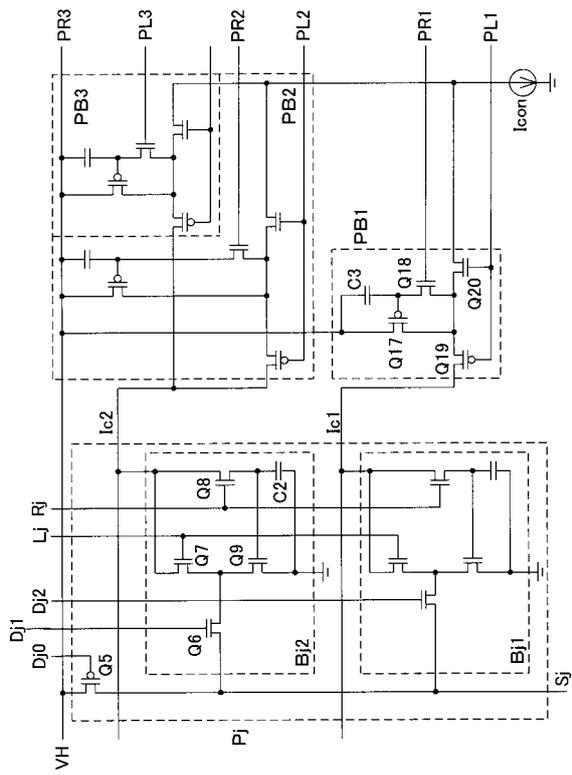
【 図 4 】



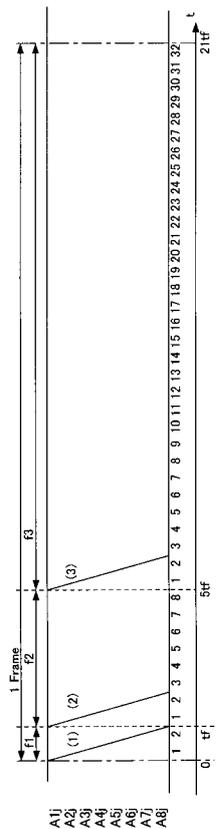
【 図 5 】



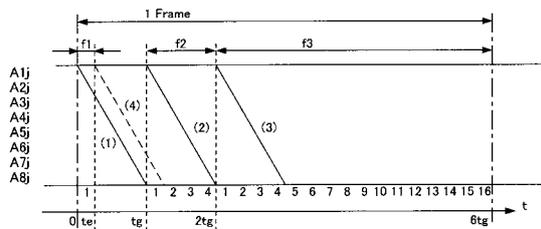
【 図 6 】



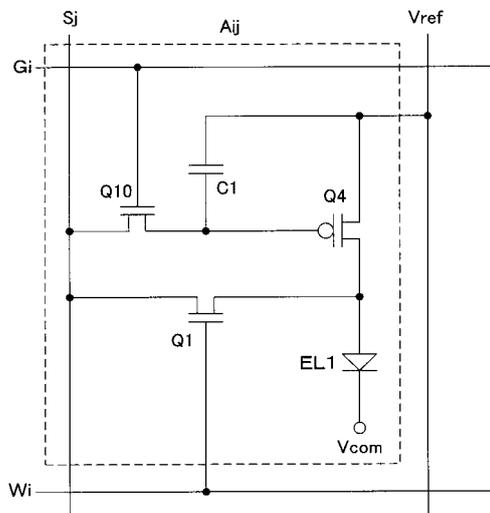
【 図 7 】



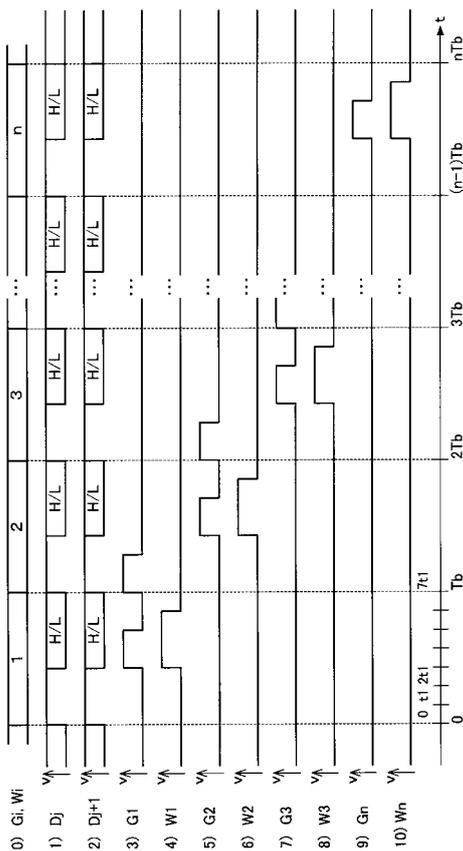
【 図 8 】



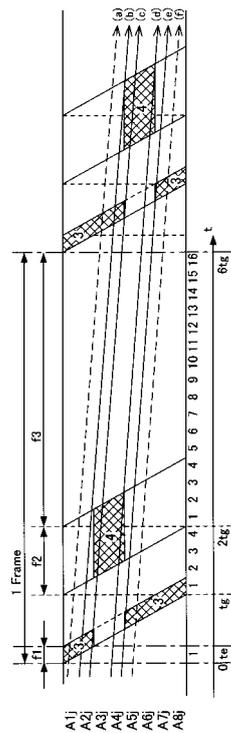
【 図 9 】



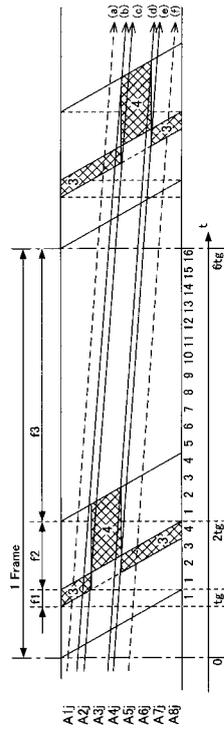
【 図 10 】



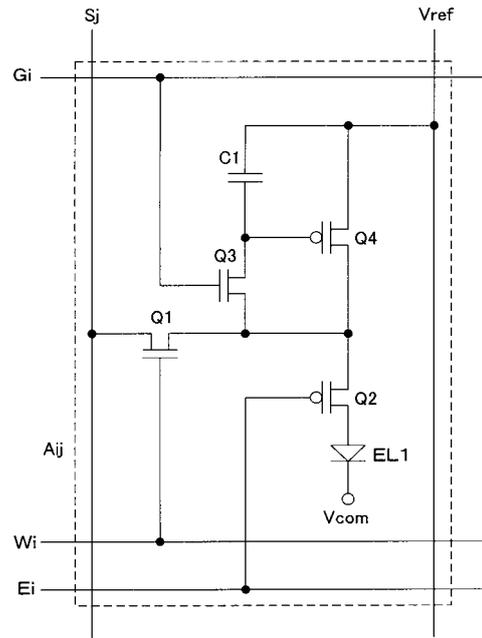
【 図 11 】



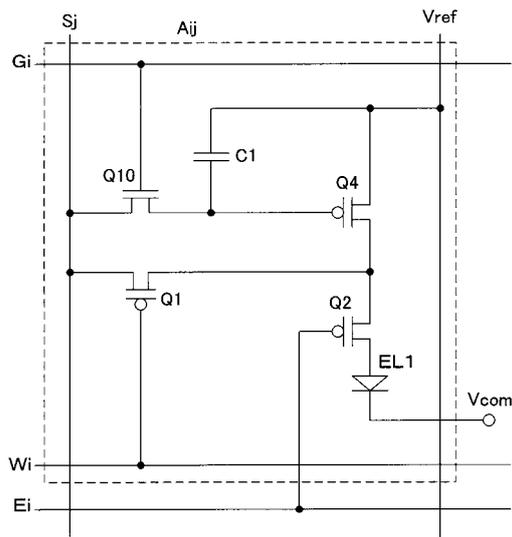
【 図 1 2 】



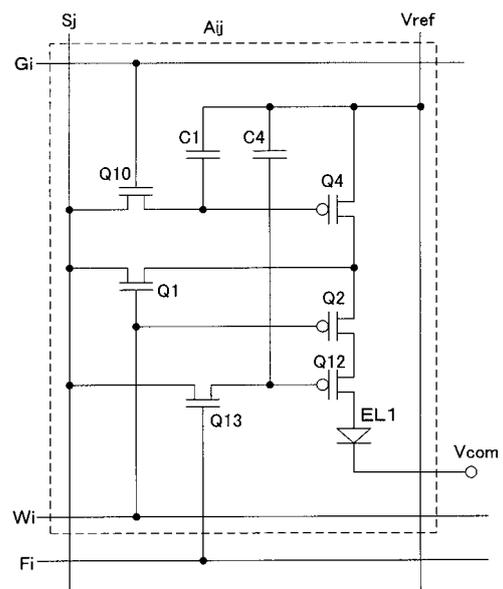
【 図 1 3 】



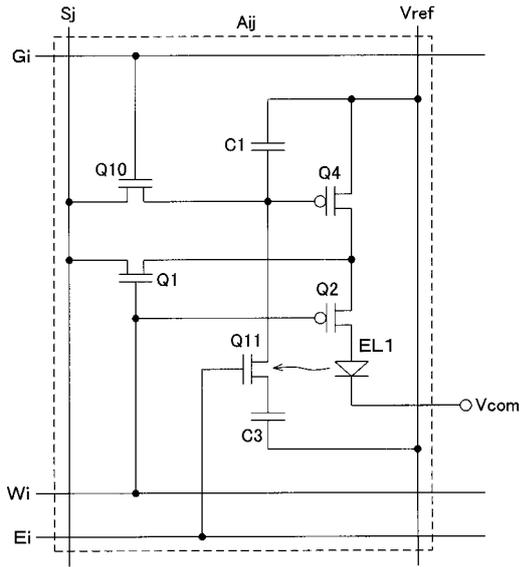
【 図 1 4 】



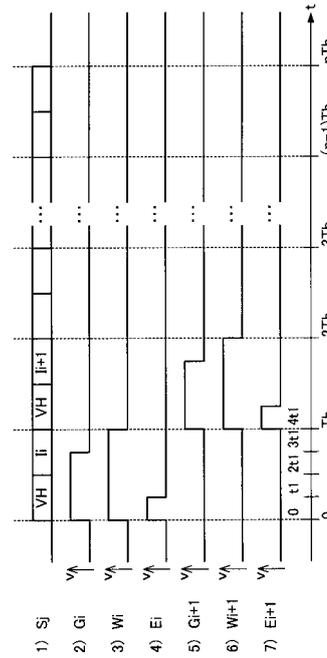
【 図 1 5 】



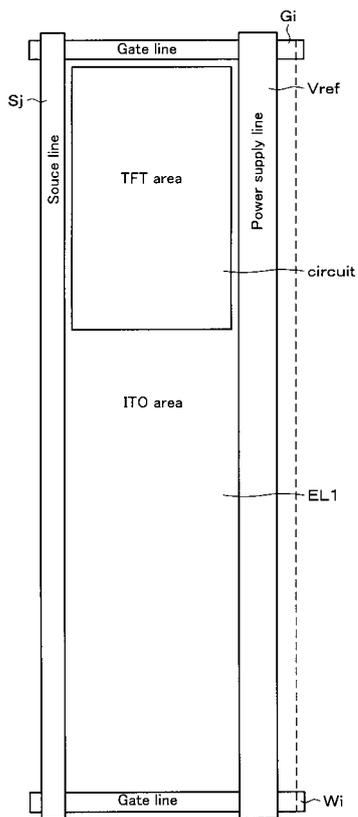
【 20 】



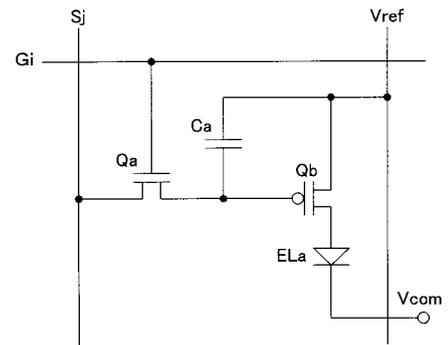
【 21 】



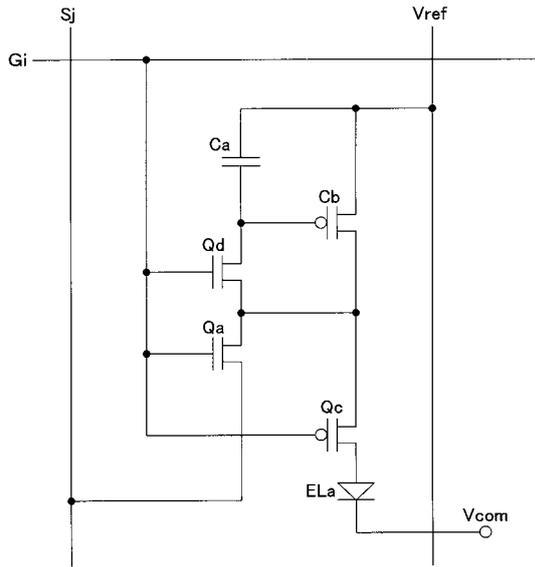
【 22 】



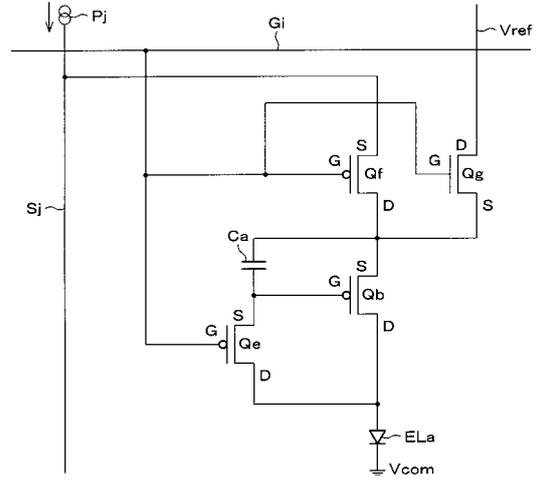
【 23 】



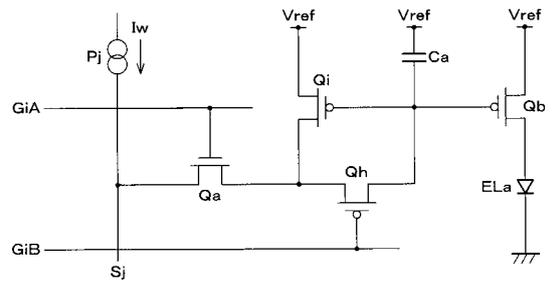
【 2 4 】



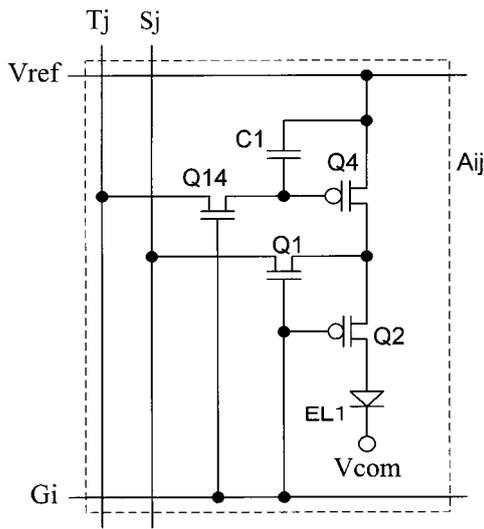
【 2 5 】



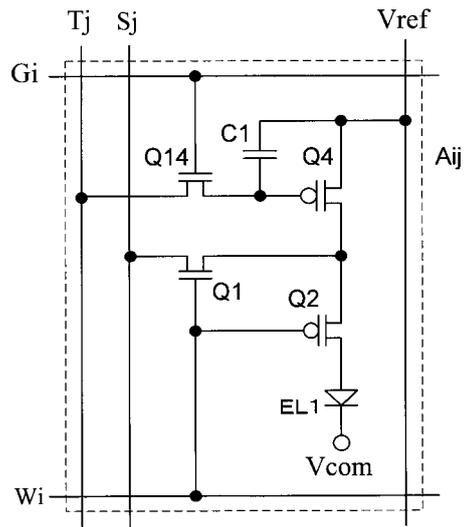
【 2 6 】



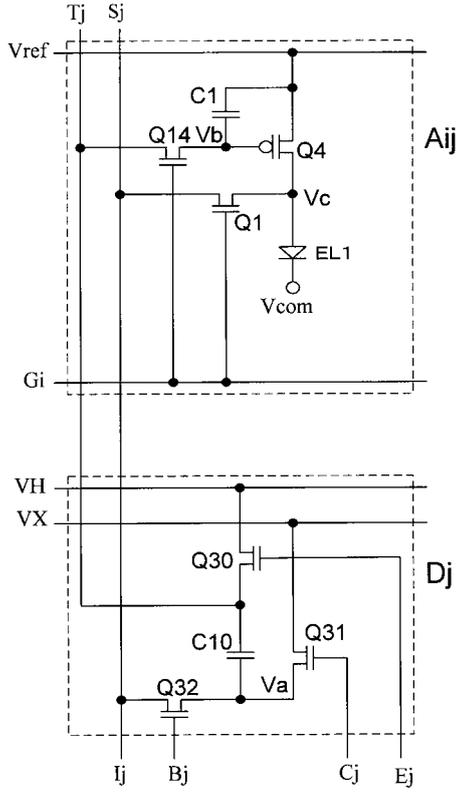
【 2 7 】



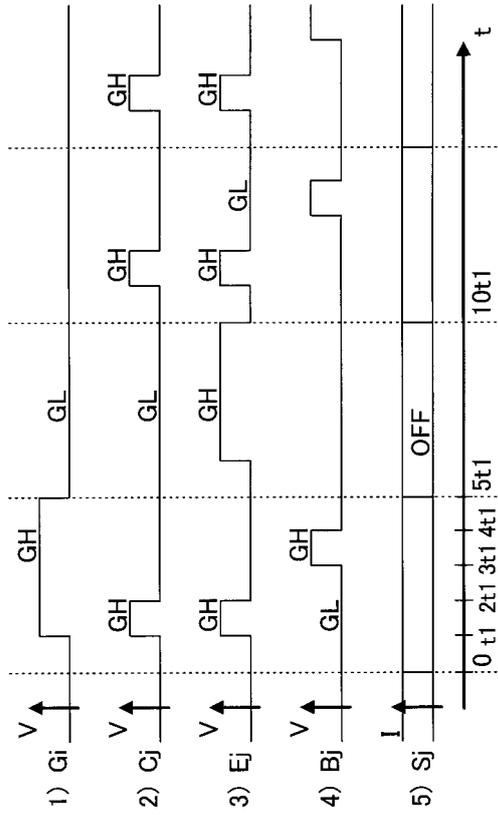
【 2 8 】



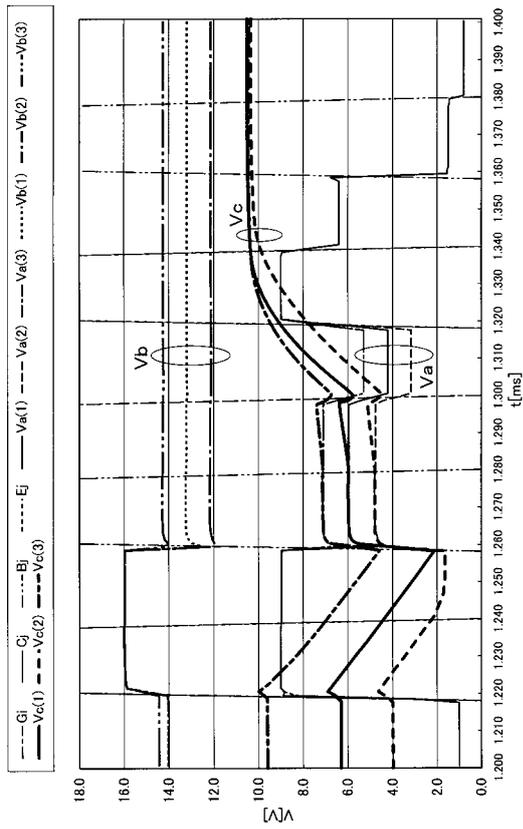
【 29 】



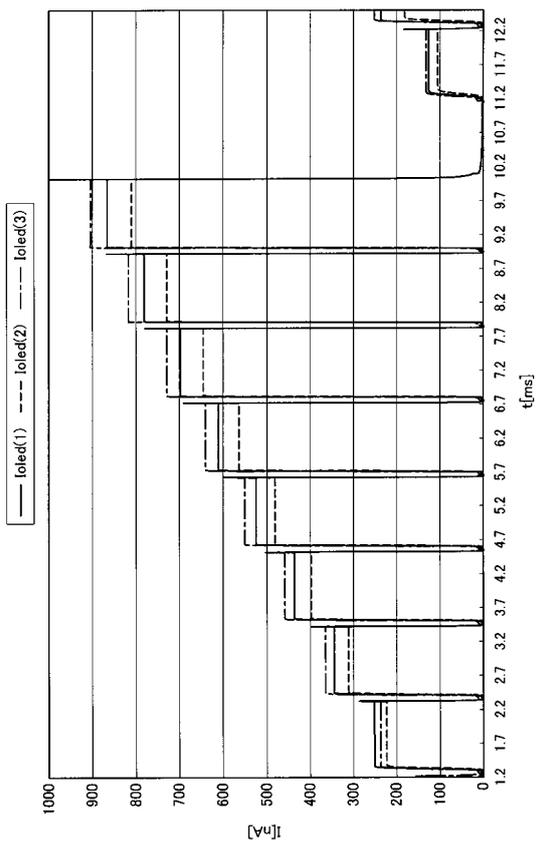
【 30 】



【 31 】



【 32 】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 4 1 A
G 0 9 G 3/20 6 4 1 D
H 0 5 B 33/14 A

審査官 堀部 修平

(56)参考文献 特開2002-221936(JP,A)
国際公開第01/091094(WO,A1)
国際公開第01/091095(WO,A1)
国際公開第02/039420(WO,A1)
特開2002-149125(JP,A)
特開2003-066908(JP,A)
特開2003-177709(JP,A)
国際公開第01/006484(WO,A1)
特開2003-043993(JP,A)
特開2004-021219(JP,A)

(58)調査した分野(Int.Cl., DB名)
G09G 3/00 - 3/38