

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4993544号
(P4993544)

(45) 発行日 平成24年8月8日(2012.8.8)

(24) 登録日 平成24年5月18日(2012.5.18)

(51) Int.Cl.	F I	
G 1 1 C 19/28 (2006.01)	G 1 1 C	19/28 D
G 1 1 C 19/00 (2006.01)	G 1 1 C	19/00 J
G 0 9 G 3/20 (2006.01)	G 1 1 C	19/00 G
G 0 9 G 3/36 (2006.01)	G 0 9 G	3/20 6 2 2 E
	G 0 9 G	3/20 6 2 3 H

請求項の数 7 (全 35 頁) 最終頁に続く

(21) 出願番号	特願2005-97263 (P2005-97263)	(73) 特許権者	000006013
(22) 出願日	平成17年3月30日(2005.3.30)		三菱電機株式会社
(65) 公開番号	特開2006-277860 (P2006-277860A)		東京都千代田区丸の内二丁目7番3号
(43) 公開日	平成18年10月12日(2006.10.12)	(74) 代理人	100088672
審査請求日	平成19年10月17日(2007.10.17)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	飛田 洋一
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		(72) 発明者	村井 博之
			東京都千代田区丸の内二丁目2番3号 三
			菱電機株式会社内
		審査官	堀田 和義

最終頁に続く

(54) 【発明の名称】 シフトレジスタ回路

(57) 【特許請求の範囲】

【請求項1】

入力端子および出力端子と、
互いに位相の異なる第1および第2クロック信号がそれぞれ入力される第1および第2クロック端子と、
第1、第2および第3電圧がそれぞれ供給される第1、第2および第3電圧端子と、
前記出力端子と前記第1クロック端子との間に接続する第1トランジスタと、
前記出力端子を放電する第2トランジスタと、
前記第1トランジスタの制御電極が接続する第1ノードと、
前記第2トランジスタの制御電極が接続する第2ノードと、
前記第2クロック信号に同期して前記第1ノードに前記第1電圧を供給すると共に前記第2ノードに前記第3電圧に対応する電圧を供給し、且つ、前記入力端子の入力信号に基づいて前記第1ノードに前記第2電圧に対応する電圧を供給すると共に前記第2ノードに前記第1電圧を供給する駆動部とを備えるシフトレジスタ回路であって、
前記駆動部は、
前記第1ノードに前記第1電圧を供給するためのトランジスタであって、一方の主電極が前記第1ノードに接続すると共に制御電極が前記第2ノードに接続する第3トランジスタを含み、且つ、当該第3トランジスタが遮断状態になる期間内において、当該第3トランジスタの他方の主電極である第3ノードに前記第1電圧とは異なる所定の電圧が印加されるよう構成されており、

前記駆動部は、さらに、
前記第 3 ノードと前記第 1 クロック端子との間に接続し、制御電極が前記第 1 ノードに
接続する第 4 トランジスタと、

前記第 3 ノードと前記第 1 電圧端子との間に接続し、制御電極が前記第 2 ノードに接続
する第 5 トランジスタとを含む
ことを特徴とするシフトレジスタ回路。

【請求項 2】

入力端子および出力端子と、
互いに位相の異なる第 1 および第 2 クロック信号がそれぞれ入力される第 1 および第 2
クロック端子と、

第 1、第 2 および第 3 電圧がそれぞれ供給される第 1、第 2 および第 3 電圧端子と、
前記出力端子と前記第 1 クロック端子との間に接続する第 1 トランジスタと、
前記出力端子を放電する第 2 トランジスタと、
前記第 1 トランジスタの制御電極が接続する第 1 ノードと、
前記第 2 トランジスタの制御電極が接続する第 2 ノードと、
前記第 2 クロック信号に同期して前記第 1 ノードに前記第 1 電圧を供給すると共に前記
第 2 ノードに前記第 3 電圧に対応する電圧を供給し、且つ、前記入力端子の入力信号に基
づいて前記第 1 ノードに前記第 2 電圧に対応する電圧を供給すると共に前記第 2 ノードに
前記第 1 電圧を供給する駆動部とを備えるシフトレジスタ回路であって、

前記駆動部は、
前記第 1 ノードに前記第 1 電圧を供給するためのトランジスタであって、一方の主電極
が前記第 1 ノードに接続すると共に制御電極が前記第 2 ノードに接続する第 3 トランジス
タを含み、且つ、当該第 3 トランジスタが遮断状態になる期間内において、当該第 3 トラ
ンジスタの他方の主電極である第 3 ノードに前記第 1 電圧とは異なる所定の電圧が印加さ
れるよう構成されており、

前記駆動部は、さらに、
前記第 1 ノードと前記第 1 電圧端子との間に直列に接続し、制御電極が共に前記第 2 ク
ロック信号に同期する信号端子に接続する第 4、第 5 トランジスタを含み、且つ、当該第
4、第 5 トランジスタが遮断状態となる期間内において、当該第 4、第 5 トランジスタ間
の接続ノードである第 4 ノードに前記第 1 電圧とは異なる所定の電圧が印加されるよう構
成されている

ことを特徴とするシフトレジスタ回路。

【請求項 3】

請求項 2 記載のシフトレジスタ回路であって、
前記駆動部は、
所定の第 4 電圧が供給される第 4 電圧端子と、
前記第 4 電圧端子と前記第 4 ノードとの間に接続する第 6 トランジスタを含む
ことを特徴とするシフトレジスタ回路。

【請求項 4】

請求項 3 記載のシフトレジスタ回路であって、
前記第 6 トランジスタの制御電極は、前記第 1 ノードに接続している
ことを特徴とするシフトレジスタ回路。

【請求項 5】

請求項 3 記載のシフトレジスタ回路であって、
前記第 6 トランジスタの制御電極は、前記出力端子に接続している
ことを特徴とするシフトレジスタ回路。

【請求項 6】

請求項 2 記載のシフトレジスタ回路であって、
前記第 4 ノードは、前記出力端子に接続している
ことを特徴とするシフトレジスタ回路。

10

20

30

40

50

【請求項7】

請求項2記載のシフトレジスタ回路であって、
前記第4ノードは、前記第3ノードに接続している
ことを特徴とするシフトレジスタ回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、シフトレジスタ回路に関するものであり、特に、例えば画像表示装置の走査線駆動回路などに使用される、同一導電型の電界効果トランジスタのみにより構成されるシフトレジスタ回路に関するものである。

10

【背景技術】

【0002】

液晶表示装置等の画像表示装置（以下「表示装置」）では、複数の画素が行列状に配列された表示パネルの画素行（画素ライン）ごとにゲート線（走査線）が設けられ、表示信号の1水平期間で一巡する周期でそのゲート線を順次選択して駆動することにより表示画像の更新が行なわれる。そのように画素ラインすなわちゲート線を順次選択して駆動するためのゲート線駆動回路（走査線駆動回路）としては、表示信号の1フレーム期間で一巡するシフト動作を行なうシフトレジスタを用いることができる。

【0003】

ゲート線駆動回路に使用されるシフトレジスタは、表示装置の製造プロセスにおける工程数を少なくするために、同一導電型の電界効果トランジスタのみで構成されることが望ましい。このため、N型またはP型の電界効果トランジスタのみで構成されたシフトレジスタおよびそれを搭載する表示装置が種々提案されている（例えば特許文献1～4）。電界効果トランジスタとしては、MOS（Metal Oxide Semiconductor）トランジスタや薄膜トランジスタ（TFT：Thin Film Transistor）などが用いられる。

20

【0004】

【特許文献1】米国特許5222082号公報

【特許文献2】特開2002-313093号公報

【特許文献3】特開2002-197885号公報

【特許文献4】特開2004-103226号公報

30

【発明の開示】

【発明が解決しようとする課題】

【0005】

従来のシフトレジスタでは、出力段のトランジスタのゲート電極が接続するノード（具体的には、特許文献1のFig.2におけるノードP1およびP2）のリーク電流に起因する問題が存在する。

【0006】

例えば、シフトレジスタの出力端子とその出力信号を規定するクロック端子との間に接続するトランジスタのゲート電極ノード（P1）にリーク電流が生じると、出力端子が放電するときの当該トランジスタのインピーダンスが大きくなり、当該放電に要する時間が長くなる。そのため、出力信号の立ち下り時間が長くなって、上記クロック端子に入力されるクロック信号に追従できなくなる。その結果、表示装置のゲート線駆動回路における出力信号の立ち下り時間が長くなると、複数のゲート線が同時に駆動されて表示が正常に行なわれなくなるという問題が生じる（詳細は後述する）。

40

【0007】

また、シフトレジスタの出力端子と基準電圧端子との間に接続するトランジスタのゲート電極ノード（P2）にリーク電流が生じると、当該トランジスタのON状態（導通状態）におけるインピーダンスが大きくなる。つまり、シフトレジスタの出力インピーダンスが高くなるので、出力端子の電位が不安定になることが懸念される。それにより表示装置のゲート線駆動回路の出力信号が不安定になった場合も、表示が正常に行なわれなくなる

50

という問題が生じる（これも詳細は後述する）。

【0008】

なお、特許文献2のシフトレジスタには、出力端子と電源との間に接続したNMOSトランジスタ（特許文献2のトランジスタT2）のゲート電極ノード（n2）に接続し、当該ノードの電位を固定する反転防止回路（トランジスタT7, T8）が設けられている。上記NMOSトランジスタは、出力ラインをLOWレベルにする期間はOFF状態（遮断状態）を保持する必要がある。反転防止回路は、その出力ラインをLOWレベルにする期間に、上記NMOSトランジスタが出力ラインのレベルの変動によって不要にONするのを防止するためのものであり、上記の問題とは異なる課題を解決するものである。

【0009】

本発明は上記の問題を解決するためになされたものであり、リーク電流に起因する誤動作を防止することが可能なシフトレジスタ回路、並びにそれを搭載する表示装置を提供することを目的とする。

【課題を解決するための手段】

【0010】

本発明の第1の局面としてのシフトレジスタ回路は、入力端子および出力端子と、互いに位相の異なる第1および第2クロック信号がそれぞれ入力される第1および第2クロック端子と、第1、第2および第3電圧がそれぞれ供給される第1、第2および第3電圧端子と、前記出力端子と前記第1クロック端子との間に接続する第1トランジスタと、前記出力端子を放電する第2トランジスタと、前記第1トランジスタの制御電極が接続する第1ノードと、前記第2トランジスタの制御電極が接続する第2ノードと、前記第2クロック信号に同期して前記第1ノードに前記第1電圧を供給すると共に前記第2ノードに前記第3電圧に対応する電圧を供給し、且つ、前記入力端子の入力信号に基づいて前記第1ノードに前記第2電圧に対応する電圧を供給すると共に前記第2ノードに前記第1電圧を供給する駆動部とを備えるシフトレジスタ回路であって、前記駆動部は、前記第1ノードに前記第1電圧を供給するためのトランジスタであって、一方の主電極が前記第1ノードに接続すると共に制御電極が前記第2ノードに接続する第3トランジスタを含み、且つ、当該第3トランジスタが遮断状態になる期間内において、当該第3トランジスタの他方の主電極である第3ノードに前記第1電圧とは異なる所定の電圧が印加されるよう構成されており、前記駆動部は、さらに、前記第3ノードと前記第1クロック端子との間に接続し、制御電極が前記第1ノードに接続する第4トランジスタと、前記第3ノードと前記第1電圧端子との間に接続し、制御電極が前記第2ノードに接続する第5トランジスタとを含むものである。

【0011】

本発明の第2の局面としてのシフトレジスタ回路は、入力端子および出力端子と、互いに位相の異なる第1および第2クロック信号がそれぞれ入力される第1および第2クロック端子と、第1、第2および第3電圧がそれぞれ供給される第1、第2および第3電圧端子と、前記出力端子と前記第1クロック端子との間に接続する第1トランジスタと、前記出力端子を放電する第2トランジスタと、前記第1トランジスタの制御電極が接続する第1ノードと、前記第2トランジスタの制御電極が接続する第2ノードと、前記第2クロック信号に同期して前記第1ノードに前記第1電圧を供給すると共に前記第2ノードに前記第3電圧に対応する電圧を供給し、且つ、前記入力端子の入力信号に基づいて前記第1ノードに前記第2電圧に対応する電圧を供給すると共に前記第2ノードに前記第1電圧を供給する駆動部とを備えるシフトレジスタ回路であって、前記駆動部は、前記第1ノードに前記第1電圧を供給するためのトランジスタであって、一方の主電極が前記第1ノードに接続すると共に制御電極が前記第2ノードに接続する第3トランジスタを含み、且つ、当該第3トランジスタが遮断状態になる期間内において、当該第3トランジスタの他方の主電極である第3ノードに前記第1電圧とは異なる所定の電圧が印加されるよう構成されており、前記駆動部は、さらに、前記第1ノードと前記第1電圧端子との間に直列に接続し、制御電極が共に前記第2クロック信号に同期する信号端子に接続する第4、第5トラン

10

20

30

40

50

ジスタを含み、且つ、当該第 4 , 第 5 トランジスタが遮断状態となる期間内において、当該第 4 , 第 5 トランジスタ間の接続ノードである第 4 ノードに前記第 1 電圧とは異なる所定の電圧が印加されるよう構成されているものである。

【発明の効果】

【 0 0 1 3 】

本発明に係るシフトレジスタ回路によれば、シフトレジスタ回路の第 1 ノードにおけるリーク電流を抑制することができ、第 1 ノード充電時の電圧レベルが低下することが抑制される。その結果、出力端子の活性状態における出力信号が、確実に第 1 クロック信号に追従するようになり動作信頼性が向上する。例えば、シフトレジスタ回路を走査線駆動装置として搭載する表示装置において、誤動作を防止して正常な表示を行うことができる。

10

【発明を実施するための最良の形態】

【 0 0 1 6 】

以下、本発明の実施の形態を図面を参照しながら説明する。なお、説明が重複して冗長になるのを避けるため、各図において同一または相当する機能を有する要素には同一符号を付してある。

【 0 0 1 7 】

< 実施の形態 1 >

図 1 は、本発明の実施の形態 1 に係る表示装置の構成を示す概略ブロック図であり、表示装置の代表例として液晶表示装置 10 の全体構成を示している。

【 0 0 1 8 】

20

液晶表示装置 10 は、液晶アレイ部 20 と、ゲート線駆動回路（走査線駆動回路）30 と、ソースドライバ 40 とを備える。後の説明により明らかになるが、本発明の実施の形態に係るシフトレジスタは、ゲート線駆動回路 30 に搭載される。

【 0 0 1 9 】

液晶アレイ部 20 は、行列状に配設された複数の画素 25 を含む。画素の行（以下「画素ライン」とも称する）の各々にはそれぞれゲート線 $G L 1$, $G L 2$ …（総称「ゲート線 $G L$ 」）が配設され、また、画素の列（以下「画素列」とも称する）の各々にはそれぞれデータ線 $D L 1$, $D L 2$ …（総称「データ線 $D L$ 」）がそれぞれ設けられる。図 1 には、第 1 行の第 1 列および第 2 列の画素 25、並びにこれに対応するゲート線 $G L 1$ およびデータ線 $D L 1$, $D L 2$ が代表的に示されている。

30

【 0 0 2 0 】

各画素 25 は、対応するデータ線 $D L$ と画素ノード $N p$ との間に設けられる画素スイッチ素子 26 と、画素ノード $N p$ および共通電極ノード $N C$ の間に並列に接続されるキャパシタ 27 および液晶表示素子 28 とを有している。画素ノード $N p$ および共通電極ノード $N C$ の間の電圧差に応じて、液晶表示素子 28 中の液晶の配向性が変化し、これにตอบสนองして液晶表示素子 28 の表示輝度が変化する。これにより、データ線 $D L$ および画素スイッチ素子 26 を介して画素ノード $N p$ へ伝達される表示電圧によって、各画素の輝度をコントロールすることが可能となる。即ち、最大輝度に対応する電圧差と最小輝度に対応する電圧差との間の中間的な電圧差を、画素ノード $N p$ と共通電極ノード $N C$ との間に印加することによって、中間的な輝度を得ることが可能となる。従って、上記表示電圧を段階的に設定することにより、階調的な輝度を得ることが可能となる。

40

【 0 0 2 1 】

ゲート線駆動回路 30 は、所定の走査周期に基づき、ゲート線 $G L$ を順に選択して駆動する。画素スイッチ素子 26 のゲート電極は、それぞれ対応するゲート線 $G L$ と接続される。特定のゲート線 $G L$ が選択されている間は、それに接続する各画素において、画素スイッチ素子 26 が導通状態になり画素ノード $N p$ が対応するデータ線 $D L$ と接続される。そして、画素ノード $N p$ へ伝達された表示電圧がキャパシタ 27 によって保持される。一般的に、画素スイッチ素子 26 は、液晶表示素子 28 と同一の絶縁体基板（ガラス基板、樹脂基板等）上に形成される T F T で構成される。

【 0 0 2 2 】

50

ソースドライバ40は、Nビットのデジタル信号である表示信号SIGによって段階的に設定される表示電圧を、データ線DLへ出力するためのものである。ここでは一例として、表示信号SIGは6ビットの信号であり、表示信号ビットD0～D5から構成されるものとする。6ビットの表示信号SIGに基づくと、各画素において、 $2^6 = 64$ 段階の階調表示が可能となる。さらに、R (Red)、G (Green) およびB (Blue) の3つの画素により1つのカラー表示単位を形成すれば、約26万色のカラー表示が可能となる。

【0023】

また、図1に示すように、ソースドライバ40は、シフトレジスタ50と、データラッチ回路52、54と、階調電圧生成回路60と、デコード回路70と、アナログアンプ80とから構成されている。

10

【0024】

表示信号SIGにおいては、各々の画素25の表示輝度に対応する表示信号ビットD0～D5がシリアルに生成される。すなわち、各タイミングにおける表示信号ビットD0～D5は、液晶アレイ部20中のいずれか1つの画素25における表示輝度を示している。

【0025】

シフトレジスタ50は、表示信号SIGの設定が切替わる周期に同期したタイミングで、データラッチ回路52に対して、表示信号ビットD0～D5の取込を指示する。データラッチ回路52は、シリアルに生成される表示信号SIGを順に取り込み、1つの画素ライン分の表示信号SIGを保持する。

20

【0026】

データラッチ回路54に入力されるラッチ信号LTは、データラッチ回路52に1つの画素ライン分の表示信号SIGが取込まれるタイミングで活性化する。データラッチ回路54はそれに応答して、そのときデータラッチ回路52に保持されている1つの画素ライン分の表示信号SIGを取り込む。

【0027】

階調電圧生成回路60は、高電圧VDHおよび低電圧VDLの間に直列に接続された63個の分圧抵抗で構成され、64段階の階調電圧V1～V64をそれぞれ生成する。

【0028】

デコード回路70は、データラッチ回路54に保持されている表示信号SIGをデコードし、当該デコード結果に基づいて各デコード出力ノードNd1, Nd2・・・(総称「デコード出力ノードNd」)に出力する電圧を、階調電圧V1～V64のうちから選択して出力する。

30

【0029】

その結果、デコード出力ノードNdには、データラッチ回路54に保持された1つの画素ライン分の表示信号SIGに対応した表示電圧(階調電圧V1～V64のうちの1つ)が同時に(平行に)出力される。なお、図1においては、第1列目および第2列目のデータ線DL1, DL2に対応するデコード出力ノードNd1, Nd2が代表的に示されている。

【0030】

アナログアンプ80は、デコード回路70からデコード出力ノードNd1, Nd2・・・に出力された各表示電圧に対応したアナログ電圧を、それぞれデータ線DL1, DL2・・・に出力する。

40

【0031】

ソースドライバ40が、所定の走査周期に基づいて、一連の表示信号SIGに対応する表示電圧を1画素ライン分ずつデータ線DLへ繰返し出力し、ゲート線駆動回路30がその走査周期に同期してゲート線GL1, GL2・・・を順に駆動することにより、液晶アレイ部20に表示信号SIGに基づいた画像の表示が成される。

【0032】

なお、図1には、ゲート線駆動回路30およびソースドライバ40が液晶アレイ部20と一体的に形成された液晶表示装置10の構成を例示したが、ゲート線駆動回路30およ

50

びソースドライバ40については、液晶アレイ部20の外部回路として設けることも可能である。

【0033】

以下、本発明に係るゲート線駆動回路の構成の詳細について説明する。図2は、本発明の実施の形態1に係るゲート線駆動回路30の構成を示す図である。このゲート線駆動回路30は、縦続接続した複数のシフトレジスタ回路SR1, SR2, SR3, SR4・・・で構成されるシフトレジスタから成っている(説明の便宜上、縦続接続するシフトレジスタ回路SR1, SR2・・・の各々を「単位シフトレジスタ回路」と称することとし、これらを「単位シフトレジスタ回路SR」と総称する)。各単位シフトレジスタ回路SRは、1つの画素ラインすなわちゲート線GLごとに設けられる。

10

【0034】

また図2に示すクロック発生器31は、各々位相が異なる3相のクロック信号C1, C2, C3をゲート線駆動回路30の単位シフトレジスタ回路SRに入力するものであり、このクロック信号C1, C2, C3は、表示装置の走査周期に同期したタイミングで順番に活性化するように制御されている。

【0035】

各単位シフトレジスタ回路SRは、入力端子IN、出力端子OUT、第1および第2クロック端子A, Bを有している。図2のように、各単位シフトレジスタ回路SRのクロック端子A, Bには、クロック発生器31が出力するクロック信号C1, C2, C3のうち2つが供給される。また、第1段目(第1ステージ)の単位シフトレジスタ回路SR1の入力端子INには、スタートパルスと呼ばれる入力信号が入力され、第2段以降の単位シフトレジスタ回路SRの入力端子INには、その前段の出力端子OUTに出力される出力信号が入力される。各単位シフトレジスタ回路SRの出力信号は、水平(又は垂直)走査パルスとしてゲート線GLへと出力される。

20

【0036】

この構成のゲート線駆動回路30によれば、各単位シフトレジスタ回路SRは、クロック信号C1, C2, C3に同期して、前段から入力される入力信号(前段の出力信号)をシフトさせながら、対応するゲート線GL並びに自身の後段の単位シフトレジスタ回路SRへと出力する(単位シフトレジスタ回路SRの動作の詳細は後述する)。その結果、一連の単位シフトレジスタ回路SRは、所定の走査周期に基づいたタイミングでゲート線GLを順に活性化させる、いわゆるゲート線駆動ユニットとして機能する。

30

【0037】

図3は、本発明の実施の形態1に係る単位シフトレジスタ回路の構成を示す回路図である。なお、各単位シフトレジスタ回路SRの構成は実質的に同様であるので、以下においては1つの単位シフトレジスタ回路SRの構成についてのみ代表的に説明する。また、単位シフトレジスタ回路SRを構成するトランジスタは、全て同一導電型の電界効果トランジスタであり、本実施の形態においては全てN型TFTであるものとする。

【0038】

単位シフトレジスタ回路SRは、入力端子IN、出力端子OUT、第1クロック端子A、第2クロック端子B、第1電圧が供給される第1電圧端子としての基準電圧端子、所定の第2電圧が供給される第2電圧端子としての第1電源端子s1、並びに、所定の第3電圧が供給される第3電圧端子としての第2電源端子s2を有している。本実施の形態では説明の都合上、シフトレジスタ側の電圧を基準と考え、図3のように、基準電圧端子がグラウンドGND(0Vレベル)に接続し、第1電源端子s1および第2電源端子s2が共に電源VDDに接続する例を示す(即ち本実施の形態では、第1電圧は0V、第2および第3電圧は電源VDDの電圧である)。但し、実使用では画素側の電圧が基準とされ、例えば図3の第1電源端子s1および第2電源端子s2には17V、基準電源端子には-12V等が供給される(即ちこの実使用の例では、第1電圧は-12V、第2および第3電圧は電源17Vである)。つまり、本実施の形態においては、単位シフトレジスタ回路SRは、対応するゲート線GLの電圧レベルを、選択時に電源VDDの電圧にし、非選択時

40

50

に 0 V にするように動作するものとして説明されるが、実使用においては対応するゲート線 G L の電圧レベルを選択時に正電圧（例えば 1.7 V）、非選択時に負電圧（例えば - 1.2 V）にするように動作する。

【 0 0 3 9 】

この単位シフトレジスタ回路 S R の出力段は、出力端子 O U T と第 1 クロック端子 A との間に接続するトランジスタ T 1（第 1 トランジスタ）および、当該出力端子 O U T とグラウンド G N D（基準電圧端子）との間に接続するトランジスタ T 2（第 2 トランジスタ）により構成されている。図 3 の如く、トランジスタ T 1 のゲート（制御電極）はノード N 1（第 1 ノード）に接続し、トランジスタ T 2 のゲートはノード N 2（第 2 ノード）に接続する。またノード N 1 と第 1 電源端子 s 1（電源 V D D）との間には、トランジスタ T 3 が接続し、当該ノード N 1 とグラウンド G N D との間には、直列接続したトランジスタ T 4，T 7 が接続する。

10

【 0 0 4 0 】

このトランジスタ T 4，T 7 は、ノード N 1 に基準電圧（グラウンド G N D の電圧）を供給するためのトランジスタである。図 3 のように、トランジスタ T 4 の一方の主電極であるドレインはノード N 1 に接続し、他方の主電極であるソースはトランジスタ T 7 に接続している。トランジスタ T 7 は、ノード N 3 とグラウンド G N D との間に接続する。トランジスタ T 4，T 7 のゲートは共にノード N 2 に接続する。ここで、トランジスタ T 4 のソースのノード（ここではトランジスタ T 4，T 7 間の接続ノード）をノード N 3 と定義する。

20

【 0 0 4 1 】

また、この単位シフトレジスタ回路 S R は、第 3 電源端子 s 3 を有しており、当該第 3 電源端子 s 3 とノード N 3 との間にトランジスタ T 8 が接続している。本実施の形態において、第 3 電源端子 s 3 は所定の電源 V D M が接続され、トランジスタ T 8 のゲートはノード N 1 に接続する。即ち、トランジスタ T 8 は、ノード N 1 の電圧レベルが高くなる時に O N となり、第 3 電源端子 s 3 の電圧（電源 V D M の出力電圧）をノード N 3 に印加するよう動作する。

【 0 0 4 2 】

ノード N 2 と第 2 電源端子 s 2（電源 V D D）の間にはトランジスタ T 5 が接続し、ノード N 2 とグラウンド G N D（基準電圧端子）の間にはトランジスタ T 6 が接続する。また入力端子 I N がトランジスタ T 3，T 6 のゲートに接続し、第 2 クロック端子 B がトランジスタ T 5 のゲートに接続する。以上により、本実施の形態に係る単位シフトレジスタ回路 S R が構成される。

30

【 0 0 4 3 】

なお、上記した特許文献 1，2 を参照すれば明らかであるが、従来の単位シフトレジスタ回路は、ノード N 1 と基準電圧端子（グラウンド G N D）の間は、1 つのトランジスタが接続するのみである（例えば特許文献 1 の Fig.2 に示されるトランジスタ 19 参照）。言い換えれば、従来の単位シフトレジスタ回路の構成は、図 3 に示す回路からトランジスタ T 7，T 8 を無くし、トランジスタ T 4 のソース（ノード N 3）をグラウンド G N D に直接接続したものである。

40

【 0 0 4 4 】

本実施の形態において、トランジスタ T 3 ~ T 8 は、この単位シフトレジスタ回路 S R を駆動する駆動部を構成する。この駆動部は、第 2 クロック端子 B に入力されるクロック信号に同期して、ノード N 1 に基準電圧端子（グラウンド G N D）の電圧を供給すると共にノード N 2 に第 2 電源端子 s 2（電源 V D D）の電圧を供給し、また、入力端子 I N の入力信号に基づいてノード N 1 に第 1 電源端子 s 1（電源 V D D）の電圧を供給すると共にノード N 2 に基準電圧端子（グラウンド G N D）の電圧を供給するように動作するものである。以下、この駆動部を含む本実施の形態に係る単位シフトレジスタ回路 S R の具体的な動作を説明する。

【 0 0 4 5 】

50

図4は、実施の形態1に係る単位シフトレジスタ回路の通常動作を説明するためのタイミング図である。ここでは、単位シフトレジスタ回路SRの第1クロック端子Aにクロック信号C1が入力され、第2クロック端子Bにクロック信号C3が入力されるものとして説明を行う（例えば図2における、単位シフトレジスタ回路SR1, SR4などがこれに該当する）。また以下では、電源VDDおよび電源VDMが出力する電圧レベル（以下、単に「レベル」）を、それぞれ「VDD」（ $VDD > 0$ ）、「VDM」（ $VDM > 0$ ）と称して説明する。

【0046】

図4に示すように、時刻 t_0 でクロック信号C3（第2クロック端子B）のレベルが0VからVDDになると、トランジスタT5がON（導通状態）になる。この時点では入力端子INは0VのためトランジスタT6はOFF（遮断状態）であるので、ノードN2は充電されて $VDD - V_{th}$ のレベルになる（ V_{th} ：トランジスタのしきい値電圧）。それに伴って、トランジスタT4, T7が共にONになり、ノードN1, N3は0Vになる。ノードN1が0Vになるのに伴いトランジスタT1, T8はOFFになる。

10

【0047】

このように、駆動部がノードN1に電源VDDの電圧を供給し、ノードN2にグラウンドGNDの電圧をそれぞれ供給すると、トランジスタT1がOFF、トランジスタT2がONの状態になるので、ゲート線GLは低インピーダンスの非活性状態（非選択状態）になる。

【0048】

20

次いで時刻 t_1 でクロック信号C3が0Vに戻ると、トランジスタT5はOFFになるが、トランジスタT6はOFFのままであるので、ノードN2のレベルは $VDD - V_{th}$ で保持される。

【0049】

時刻 t_2 で、入力端子INに入力信号が入力され、当該入力端子INのレベルがVDDになると、トランジスタT3, T6がONとなる。それによりノードN2は放電され0Vになり、トランジスタT2, T4, T7はOFFとなる。トランジスタT3がONしているので、今度はノードN1が充電され $VDD - V_{th}$ のレベルになる。それにより、トランジスタT1がONになる（通常、 $VDD - V_{th}$ であるので、 $VDD - V_{th} > V_{th}$ である）。

30

【0050】

このように、駆動部が、ノードN1にグラウンドGNDの電圧を供給し、ノードN2に電源VDDの電圧を供給すると、トランジスタT1がON、トランジスタT2がOFFの状態になる。但し、この時点では、クロック信号C1（第1クロック端子A）は0Vであるので出力端子OUTは0Vから変位しない。即ち、この時点でもゲート線GLは低インピーダンスの非活性状態である。

【0051】

本実施の形態では、このときトランジスタT8もONになり、ノードN3に電源VDMの電圧が供給される。電圧レベルVDMは、トランジスタT8が非飽和領域で動作する程度のレベルであると仮定する。その場合、ノードN3のレベルはVDMになる（VDMがトランジスタT8が飽和領域で動作するレベルの場合は、ノードN3は $VDD - 2 \times V_{th}$ のレベルとなる）。

40

【0052】

時刻 t_3 で入力端子INが0Vに戻ると、トランジスタT3, T6はOFFになるが、トランジスタT4, T7もOFFであるので、（リーク電流を無視できれば）ノードN1のレベルは $VDD - V_{th}$ のまま保持される。

【0053】

そして時刻 t_4 で、第1クロック端子Aのクロック信号C1が0VからVDDになると、トランジスタT1のゲート・チャネル間容量による容量結合により、ノードN1のレベルはクロック信号C1の上昇に伴って上昇し、 $2 \times VDD - V_{th}$ のレベルにまで昇圧さ

50

れる。このクロック信号C1の上昇過程でも、トランジスタT1のゲート・ソース間電圧は $V_{DD} - V_{th}$ であり、当該トランジスタT1は低インピーダンスである。従って、出力ノードOUTはクロック信号C1の上昇とほぼ同時に充電される。つまり、クロック信号C1の立ち上がりには追従して出力端子OUTの出力信号が立ち上がり、ゲート線GLが活性化された選択状態になる。なお、このときのトランジスタT1のゲート・ソース間電圧は、当該トランジスタT1を非飽和領域で動作させる条件を満たしているため、トランジスタT1においてしきい値電圧(V_{th})分の電圧降下は生じず、出力端子OUTはクロック信号C1と同レベル(V_{DD})になる。

【0054】

ノードN1は、(リーク電流を無視できれば)クロック信号C1のレベルが0Vに戻る時刻 t_5 まで、 $2 \times V_{DD} - V_{th}$ のレベルを保持する。よってクロック信号C1のレベルが下降する過程でもトランジスタT1は低インピーダンスであり、出力端子OUTのレベルはクロック信号C1の下降に追従して0Vになる。このときノードN1のレベルは $2 \times V_{DD} - V_{th}$ から V_{DD} だけ下降し、 $V_{DD} - V_{th}$ になる。よってトランジスタT1はONを維持し、ゲート線GLは低インピーダンスの非活性状態になる。

【0055】

時刻 t_6 から以降は、上記の動作を繰り返す。但し、ゲート線駆動回路30は、1フレーム期間で一巡する周期で、ゲート線GLを1本ずつ順に活性化するよう動作があるため、1つの単位シフトレジスタ回路SRには、1フレーム期間に1度だけ入力信号が入力される。上の説明は入力端子INに入力信号が入力される時の動作であったが、入力信号が入力されない期間も、第1クロック端子Aおよび第2クロック端子Bにはそれぞれクロック信号C1, C2は一定周期で入力され続ける。そのためノードN2は、クロック信号C3によりトランジスタT5がONする度に繰返し充電されて $V_{DD} - V_{th}$ のレベルを保持し、それによってノードN1は0Vに保持される。つまり、入力信号が入力されない間は、出力段のトランジスタT1はOFF、トランジスタT2はONの状態が保たれ、対応するゲート線GLは低インピーダンスの非活性状態に維持される。

【0056】

以上説明した動作をまとめると、単位シフトレジスタ回路SRにおいては、入力端子INに信号が入力されない間は、ノードN2が $V_{DD} - V_{th}$ のレベルに保たれることで、出力端子OUT(ゲート線GL)は低インピーダンスの0Vに維持される。入力端子INに信号が入力されると、ノードN2が0Vになると共に、ノードN1が $V_{DD} - V_{th}$ に充電される。次いで第1クロック端子Aにクロック信号C1が入力されると、ノードN1が $2 \times V_{DD} - V_{th}$ に昇圧され、出力端子OUTが V_{DD} になりゲート線GLが活性化される(このためノードN1は「昇圧ノード」と称されることもある)。その後第2クロック端子Bにクロック信号C3が入力すると、再びノードN2は $V_{DD} - V_{th}$ にリセットされ、ノードN1も0Vにリセットされて元の状態に戻る(このためノードN2は「リセットノード」と称されることもある)。

【0057】

そのように動作する複数の単位シフトレジスタ回路SRを図2のように縦続接続し、ゲート線駆動回路30を構成すると、第1段目の単位シフトレジスタ回路SR1の入力端子INに入力された入力信号は、図5に示すタイミング図のように、クロック信号C1, C2, C3に同期したタイミングでシフトされながら、単位シフトレジスタ回路SR2, SR3・・・と順番に伝達される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL1, GL2, GL3・・・を順に駆動することができる。

【0058】

なお、図4に実線で示している電圧波形はノードN1のリーク電流が無い、理想的な場合の波形を示している。ノードN1のリーク電流が生じる場合、ノードN1および出力端子OUTの電圧波形は図4の破線のようになる。即ち、トランジスタT3がOFFになる時刻 t_3 以降、ノードN1のレベルが時間とともに低下するようになる。そのため、クロック信号C1のレベルが下降する時刻 t_5 では、トランジスタT1のインピーダンスが高

10

20

30

40

50

くなり、出力端子OUTの下降がクロック信号C1の下降に追随しなくなる。つまり、出力端子OUTのレベルがVDDから0Vに遷移するのに時間が掛かるようになり、出力信号すなわちゲート線GLの駆動信号の立ち下がり時間が長くなってしまふ。

【0059】

図4の最下段に示しているように、時刻 t_6 には次段の単位シフトレジスタ回路SRの出力端子OUTが活性化される。よって、出力信号の立ち下がり時間が長くなると隣接する複数のゲート線GLが同時に選択され、表示が正常に行なわれなくなる。先の述べたように、従来の単位シフトレジスタ回路は、ノードN1とグラウンドGNDとの間には1つのトランジスタが接続するのみであり、そのトランジスタにリーク電流が生じるとその問題が引き起こされていた。

10

【0060】

それに対し本実施の形態では、図3の如くノードN1とグラウンドGNDとの間にはトランジスタT4とトランジスタT7の二つが直列に接続しており、なお且つ、両者間のノードN3には電源VDMに接続するトランジスタT8が接続している。トランジスタT4、T7のゲートは共にノードN2に接続しているので、トランジスタT4、T7は、同じタイミングでON/OFFが切替わる。またトランジスタT8のゲートは、ノードN1に接続しているので、ノードN1のレベルが高いとき（即ちトランジスタT4、T7がOFFのとき）にONとなる。

【0061】

従って、上で説明したように図4の時刻 t_2 でトランジスタT4、T7がOFFすると共にノードN1のレベルが $VDD - V_{th}$ になると、トランジスタT8がONして、ノードN3のレベルはVDMになる。このときのトランジスタT4に着目すると、そのゲート（ノードN2）は0V、ドレイン（ノードN1）は $VDD - V_{th}$ 、ソース（ノードN3）はVDM（ $> 0V$ ）であるので、当該トランジスタT4のゲートはソースに対して負にバイアスされている（以下、この状態を「負バイアス状態」と称する）。このトランジスタT4の負バイアス状態は、ノードN1が0Vにリセットされる時まで（図4の時刻 t_6 まで）続く。結果としてトランジスタT4は、ノードN1が充電されている期間（時刻 $t_2 \sim t_6$ ）、負バイアス状態になることとなる。

20

【0062】

図6は、一般的なN型トランジスタのゲート・ソース間電圧（ V_{GS} ）とドレイン・ソース間電流（ I_{DS} ）の関係を示すグラフである。図6において縦軸（ I_{DS} ）は対数目盛で表している。N型トランジスタは $V_{GS} = 0$ のときはOFF状態であるが、図6から分かるように、 $V_{GS} = 0$ のときにはリーク電流 I_{OFF1} が生じる。特に、表示装置で用いられるアモルファス型TFTにおける $V_{GS} = 0$ のときのリーク電流 I_{OFF1} は比較的大きく、さらにそれは画像表示のためのバックライトの影響を受けて通常よりも一桁以上増大する傾向にある。

30

【0063】

従来の単位シフトレジスタ回路の場合、ノードN1とグラウンドGNDとの間に接続する唯一のトランジスタのソースはグラウンドGNDのレベルであるので、OFF状態のゲート・ソース間電圧は0Vであった。従って、従来の単位シフトレジスタ回路では、当該トランジスタに生じるリーク電流 I_{OFF1} によって、上述の問題が引き起こされていた。

40

【0064】

それに対し、本実施の形態に係る単位シフトレジスタ回路SRのトランジスタT4は、OFF状態の間、負バイアス状態（ $V_{GS} < 0$ ）になる。N型トランジスタにおいて $V_{GS} < 0$ にすると、図6のように、そのときのリーク電流 I_{OFF2} は、 $V_{GS} = 0$ のときのリーク電流 I_{OFF1} の1/1000程度になる。

【0065】

従って本実施の形態に係る単位シフトレジスタ回路SRによれば、トランジスタT4のリーク電流（即ちノードN1のリーク電流）が低減されるので、充電時のノードN1のレベルの低下は抑制される。よって、出力端子OUTがクロック信号C1のレベルの遷移に

50

追従できなくなるという問題を回避できる。また、出力端子OUTの出力信号の立ち下がり時間（ゲート線の放電時間）が従来のゲート線駆動回路よりも短くなるので、ゲート線GLの駆動動作におけるタイミングマージンを大きくとることができ、動作信頼性が向上する。従って、当該単位シフトレジスタ回路SRにより構成されたゲート線駆動回路を表示装置に搭載すれば、誤動作を防止でき正常な表示が行われる。

【0066】

なお図3においては、第3電源端子s3に電源VDMを接続した構成を示したが、第3電源端子s3を第1電源端子s1と同じく電源VDDに接続させるようにしてもよい。その場合、必要な電源の数を少なくすることができるという利点がある。但し、TFTの種類によっては、図6の破線で示すような $I_{DS} - V_{GS}$ 特性を示すものがあるので、第3電源端子s3のレベルをVDD程の高いレベルにすると、トランジスタT4のリーク電流の低減効果が小さくなる場合もあるので注意が必要である。

10

【0067】

また第3電源端子s3に接続させる電源VDMとしては、電源VDDの出力を降圧させたものを電圧VDMとして出力する電源回路を用いてもよい。図7および図8にその例を示す。

【0068】

図7は、電源VDDの出力電圧を、ダイオード接続したトランジスタがn個直列接続して成るトランジスタ群DT1と容量素子CAとで分圧することにより、電圧VDMを生成させる電源回路である。電源VDDに接続したトランジスタ群DT1と、グラウンドGNDに接続した容量素子CAとの接続ノードを電圧VDMの出力端子としている。

20

【0069】

トランジスタ群DT1の各々には、しきい値電圧 V_{th} の電圧降下が生じるので、VDMの出力端子には $V_{DM} = V_{DD} - n \times V_{th}$ が得られる。容量素子CAは、瞬時的な負荷電流に対してVDMのレベルを安定させるよう機能する。また図3の回路構成では、電源VDMに直流電流は殆ど流れないので、この図7の回路からゲート線駆動回路30を構成する全ての単位シフトレジスタ回路に電圧VDMを供給することが可能である。

【0070】

また図8は、電源VDDの出力電圧を降圧して電圧VDMを生成する電源回路の他の例である。電源VDDとグラウンドGNDとの間には、ダイオード接続された3個のトランジスタが直列接続して成るトランジスタ群DT2と高抵抗素子R1とが、直列に接続される。高抵抗素子R1とトランジスタ群DT2との接続ノードN10は、トランジスタTR1のゲートに接続する。当該トランジスタTR1のドレインは電源VDDに接続し、ソースは容量素子CAを介してグラウンドGNDに接続する。そして、トランジスタTR1と容量素子CAとの接続ノードを電圧VDMの出力端子とする。

30

【0071】

図8において、ノードN10の電圧はほぼ $3 \times V_{th}$ となるので、電圧VDMの出力端子には、それからさらにトランジスタTR1のしきい値電圧分が降下した $V_{DM} = 2 \times V_{th}$ が出力される。この式から分かるように、電圧VDMは電源VDDのレベル変動に依存しない。従って、より安定した電圧VDMが生成される効果が得られる。またこの回路でも、図7の回路と同様に、ゲート線駆動回路30を構成する全ての単位シフトレジスタ回路に電圧VDMを供給することが可能である。

40

【0072】

なお、本実施の形態では第1電源端子s1および第2電源端子s2に、同じ電源VDDが接続される構成を示したが、本発明の適用は当該構成に限定されるものではなく、それらに互いに異なる電源が接続するものであってもよい。即ち、第2電源端子s2に接続する電源は、トランジスタT2, T4, T7をONできる程度の電圧を出力する電源であれば、電源VDDでなくてもよい。またこのことは、以下の実施の形態についても同様である。

【0073】

50

< 実施の形態 2 >

図 9 は、実施の形態 2 に係る単位シフトレジスタ回路の構成を示す回路図である。実施の形態 1 では、ノード N 3 に電圧 V D M を印加するためのトランジスタ T 8 のゲートをノード N 1 に接続させていたが、実施の形態 2 ではそれを出力端子 O U T に接続させる。つまり、トランジスタ T 8 は出力端子 O U T のレベルが V D D になるときに O N するように動作する。

【 0 0 7 4 】

従って本実施の形態においては、図 4 のタイミング図における時刻 $t_4 \sim t_5$ の間だけ、ノード N 3 にトランジスタ T 8 を介して V D M が印加される。但し、時刻 $t_5 \sim t_6$ の間はノード N 3 はフローティングになるので、その間も V D M のレベルに維持される。つまり本実施の形態では、時刻 $t_4 \sim t_6$ の間、トランジスタ T 4 が負バイアス状態になり、ノード N 1 のリーク電流が抑制される。

【 0 0 7 5 】

ノード N 1 のリーク電流を防ぐべき期間は、ノード N 1 が充電された状態でトランジスタ T 3 が O F F になる時刻 t_4 から第 1 クロック端子 A のクロック信号 C 1 が立ち下がる時刻 t_5 までの期間であるが、当該リーク電流は、特にノード N 1 のレベルが $2 \times V D D - V t h$ にまで上昇する時刻 $t_4 \sim t_5$ 間に生じやすい。従って、本実施の形態のように時刻 $t_4 \sim t_6$ の間だけトランジスタ T 4 が負バイアス状態になる構成にしても、実施の形態 1 とほぼ同程度にノード N 1 のリーク電流を抑制する効果が得られる。

【 0 0 7 6 】

さらに本実施の形態では、実施の形態 1 よりもノード N 1 に接続されるトランジスタの数が少なくなるので、当該ノード N 1 の寄生容量が低減する。従って、第 1 クロック端子 A のクロック信号によるノード N 1 の昇圧がより効率的に成されるという効果が得られる。

【 0 0 7 7 】

なお、本実施の形態においても、電圧レベル V D M の生成手段として図 7 あるいは図 8 に示した回路を用いることが可能である。

【 0 0 7 8 】

< 実施の形態 3 >

図 10 は、実施の形態 3 に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態では、トランジスタ T 1 のゲートとノード N 1 との接続がトランジスタ T 9 を介して成される。トランジスタ T 9 のゲートは、第 4 電源端子 s 4 に接続する。本実施の形態では、第 4 電源端子 s 4 を、第 1 電源端子 s 1 および第 2 電源端子 s 2 と同様に、電源 V D D に接続させている。ここで、トランジスタ T 1 のゲートとトランジスタ T 9 との接続ノードをノード N 4 と定義する。

【 0 0 7 9 】

本実施の形態の単位シフトレジスタ回路 S R では、入力端子 I N に入力信号が入力されると、ノード N 1 と共にノード N 4 も V D D - V t h のレベルに充電される。その後、第 1 クロック端子 A に入力されるクロック信号 C 1 が 0 V から V D D に遷移すると、ノード N 4 は、トランジスタ T 1 のゲート・チャンネル間容量による容量結合によって $2 \times V D D - V t h$ に昇圧される。しかしノード N 1 は、トランジスタ T 9 のソースフォロワ動作によって定まる電圧レベルに設定される。図 10 においては、トランジスタ T 9 のゲート電圧レベルは V D D であるので、ノード N 1 は V D D - V t h から変化しない。

【 0 0 8 0 】

つまり本実施の形態では、図 3 のタイミング図の時刻 $t_4 \sim t_5$ の期間に、ノード N 4 は $2 \times V D D - V t h$ に昇圧されるが、ノード N 1 は V D D - V t h に保たれる。従って、時刻 $t_4 \sim t_5$ の期間におけるトランジスタ T 4 のドレイン・ソース間電圧は、実施の形態 1 に比較して小さくなり、当該期間におけるトランジスタ T 4 のリーク電流がさらに小さくなるという効果が得られる。

【 0 0 8 1 】

10

20

30

40

50

なお、本実施の形態においては、電源の個数の増加を避けるため、トランジスタT9のゲートすなわち第4電源端子s4を、第1電源端子s1および第2電源端子s2と同様に電源VDDに接続させたが、本発明はこの構成に限られるものではない。第4電源端子s4に接続する電源としては、トランジスタT9のソースフォロア動作により、ノードN1のレベルをノードN3のレベル(VDM)に近い値に設定できるものであれば他の電源であってもよく、その場合も上記と同様の効果を得ることができる。

【0082】

<実施の形態4>

図11は、実施の形態4に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態は、実施の形態2と実施の形態3とを組み合わせたものである。即ち、トランジスタT8のゲートを出力端子OUTに接続させ、且つ、トランジスタT1のゲートとノードN1との間に、ゲートが第4電源端子s4に接続するトランジスタT9を設けている。なお、本実施の形態においても、第4電源端子s4は電源VDDに接続させている。

10

【0083】

実施の形態3では、図10の如くノードN1にはトランジスタが4つ接続することになるため、当該ノードN1の寄生容量の増加が懸念される。しかし本実施の形態においては、実施の形態2の適用によりトランジスタT8はノードN1に接続しないので、その問題は抑制される。また、実施の形態3と同様に、ノードN4が $2 \times VDD - V_{th}$ に昇圧されたときでも、ノードN1は $VDD - V_{th}$ を維持するので、そのときのトランジスタT4のドレイン・ソース間電圧は小さくなりリーク電流を抑制できるという効果が得られる。

20

【0084】

<実施の形態5>

図12は、実施の形態5に係る単位シフトレジスタ回路の構成を示す回路図である。当該単位シフトレジスタ回路の構成は、実施の形態4(図11)とほぼ同じであるが、トランジスタT8が接続する第3電源端子s3に、第1電源端子s1および第4電源端子s4と同様に電源VDDを接続させている点で異なっている。

【0085】

トランジスタT9のゲートが接続する第4電源端子s4には電源VDDが接続しているので、実施の形態4と同様に、ノードN4が $2 \times VDD - V_{th}$ に昇圧されたときでも、ノードN1は $VDD - V_{th}$ を維持する。また第3電源端子s3には電源VDDが接続しているので、そのときのノードN3のレベルも $VDD - V_{th}$ となる。つまり、トランジスタT4のドレイン・ソース間電圧はほぼ0Vになり、当該トランジスタT4のドレイン・ソース間にリーク電流は流れない。よって結果的に、ノードN4すなわちトランジスタT1のゲート電圧レベルの低下を抑制できるという効果が得られる。

30

【0086】

なお、本実施の形態においては、電源の個数の増加を避け、第3電源端子s3および第4電源端子s4に共に電源VDDを接続させたが、ノードN1のレベルをノードN3のレベルをほぼ同じ値に設定できるものであれば他の電源であってもよい。

【0087】

<実施の形態6>

以上の説明においては、図2のようにゲート線駆動回路30のシフトレジスタ回路SRを3相のクロック信号C1, C2, C3を用いて動作させる構成を示したが、2相クロック信号を使用しても動作させることも可能である。図13はその場合におけるゲート線駆動回路30の構成を示す図である。

40

【0088】

この場合も、ゲート線駆動回路30は、縦続接続した複数の単位シフトレジスタ回路SRにより構成される。但し、クロック発生器31は、互いに逆相の2相クロックであるクロック信号C11, C12を出力するものである。それぞれの単位シフトレジスタ回路SRの第1クロック端子Aには、隣接する単位シフトレジスタ回路SR間に、互いに逆相のクロック信号が入力されるよう、そのクロック信号C11, C12の片方が入力される。

50

また、各単位シフトレジスタ回路SRの第2クロック端子Bには、その次段の単位シフトレジスタ回路SRの出力信号が入力される。

【0089】

図14は、ゲート線駆動回路30を2相クロックC11, C12を用いて動作させた場合のタイミング図である。第1段目の単位シフトレジスタ回路SR1の入力端子INに入力された入力信号は、クロック信号C11, C12に同期したタイミングでシフトされながら、単位シフトレジスタ回路SR2, SR3・・・と順番に伝達される。それによって、ゲート線駆動回路30は、所定の走査周期でゲート線GL1, GL2, GL3・・・を順に駆動することができる。

【0090】

但し、図13の構成では、各単位シフトレジスタ回路SRの第2クロック端子Bに入力されるクロック信号は、その次段の単位シフトレジスタ回路SRの出力信号であるので、当該次段の単位シフトレジスタ回路SRが少なくとも一度動作した後でなければリセットノード(図3におけるノードN2)はVDD-Vthのレベルにリセットされず、図14に示したような通常動作にはならない。従って、通常動作に先立って、ダミーの入力信号を単位シフトレジスタ回路SRの第1段目から最終段まで伝達させるダミー動作を行わせる必要がある。あるいは、リセットノードと電源VDDとの間にリセット用のトランジスタを別途設け、通常動作前に予め当該リセットノードを充電するリセット動作を行なってもよい。但し、その場合はリセット用の信号ラインが別途必要になる。

【0091】

ここで、図13のように構成されたゲート線駆動回路30を構成する単位シフトレジスタ回路SRにおけるリーク電流の問題を説明する。説明の簡単のため、図13の各単位シフトレジスタ回路SRは実施の形態1(図3)の回路構成を有していると仮定する。

【0092】

図14の最下段に、図13のゲート線駆動回路30の単位シフトレジスタ回路SR1のノードN2における電圧波形を示す。上記のように、各単位シフトレジスタ回路SRの第2クロック端子Bに入るクロック信号は、その次段の出力信号であるので、ノードN2は1フレーム期間に1回だけ充電されることになる。つまりノードN2は1フレーム期間の間(約16ms)フローティングになり、その間充電された電荷を保持しておく必要がある。よってノードN2にリーク電流が生じていると、充電されたノードN2のレベルを1フレーム期間の間保持できなくなってしまう。その場合、ゲート線GLの非選択時におけるトランジスタT2のインピーダンスすなわちゲート線駆動回路30の出力インピーダンスが高くなり、表示が不安定になるという問題が生じる。

【0093】

そこで実施の形態6では、ノードN2に生じるリーク電流を抑制できる単位シフトレジスタ回路SRを提案する。

【0094】

図15は、実施の形態6に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態では、トランジスタT6とグラウンドGND(基準電圧端子)との接続はトランジスタT10を介して成される。即ち、ノードN2とグラウンドGNDとの間に、トランジスタT6, T10が直列に接続している。トランジスタT10のゲートは、トランジスタT6のゲートと同様に入力端子INに接続する。トランジスタT6とトランジスタT10との接続点をノードN5と定義する。

【0095】

さらに、本実施の形態では、当該ノードN5と第5電源端子s5との間にトランジスタT11が接続する。第5電源端子s5には電源VDMが接続され、トランジスタT11のゲートはノードN2に接続する。

【0096】

なお、上記した特許文献1, 2を参照すれば明らかであるが、従来の単位シフトレジスタ回路は、ノードN2と基準電圧端子(グラウンドGND)との間は、1つのトランジ

10

20

30

40

50

スタが接続するのみである（例えば特許文献 1 の Fig.2 に示されるトランジスタ 21）。言い換えれば、従来の単位シフトレジスタ回路の構成は、図 15 に示す回路からトランジスタ T10, T11 を無くし、トランジスタ T6 のソースをグラウンド GND に直接接続したものである。

【0097】

それに対し、本実施の形態では図 15 の如く、ノード N2 とグラウンド GND との間にはトランジスタ T6 とトランジスタ T10 の二つが直列に接続しており、なお且つ、両者間のノード N5 には、電源 VDM に接続するトランジスタ T11 が接続している。トランジスタ T6, T10 のゲートは共に入力端子 IN に接続しているので、トランジスタ T6 とトランジスタ T10 とは、同じように ON/OFF が切替わる。またトランジスタ T11 は、ゲートがノード N2 に接続しているので、ノード N2 のレベルが高いとき（即ちトランジスタ T6, T10 が OFF のとき）に ON となる。

10

【0098】

よって、単位シフトレジスタ回路 SR の第 2 クロック端子 B に、クロック信号（次段の出力信号）が入力され、ノード N2 が $V_{DD} - V_{th}$ になるとトランジスタ T11 が ON し、ノード N5 に電源 VDM の電圧が供給される。入力端子 IN に入力信号が入力されるまでトランジスタ T6, T10 は OFF であるため、ノード N5 のレベルは VDM になる。このときのトランジスタ T6 に着目すると、そのゲート（入力端子 IN）は 0V、ドレイン（ノード N2）は $V_{DD} - V_{th}$ 、ソース（ノード N5）は VDM ($> 0V$) である。即ち、当該トランジスタ T6 は負バイアス状態になる。この状態は、入力端子 IN の入力信号に基づいて、ノード N2 が 0V に設定されるまでの間続く。

20

【0099】

このように、本実施の形態に係る単位シフトレジスタ回路 SR によれば、ノード N2 が充電されている間、トランジスタ T6 は負バイアス状態になる。その間は、実施の形態 1 のトランジスタ T4 と同様の理論（図 6 参照）により、トランジスタ T6 のリーク電流は抑制される。よって、充電されたノード N2 のレベルを長時間保持することが可能になる。従って、図 13 に示した構成のゲート線駆動回路 30 のように、1 フレーム期間もの長い間、単位シフトレジスタ回路 SR のリセットノード（ノード N2）のレベルを維持する必要がある場合に有効である。即ち、ゲート線 GL の非選択状態にゲート線駆動回路 30 の出力インピーダンスが上昇し表示が不安定になるという問題を防止できる。

30

【0100】

なお、本実施の形態においても、電圧レベル VDM の生成手段として図 7 あるいは図 8 に示した回路を用いることが可能である。

【0101】

また、第 5 電源端子 s5 に、第 2 電源端子 s2 と同じ電源 VDD を接続させてもよい。その場合、ノード N2 が $V_{DD} - V_{th}$ に充電されている間、ノード N5 も $V_{DD} - V_{th}$ に充電されるようになる。つまり、そのときのトランジスタ T6 のドレイン・ソース間の電圧はほぼ 0V になるので、当該トランジスタ T6 にはリーク電流が流れない。従って、ノード N2 すなわちトランジスタ T2 のゲートの電圧レベルの低下が抑制されるという効果が得られる。また、電源 VDM を電源 VDD にすることにより必要な電源の数を少なくできるという利点がある。

40

【0102】

なお、以上の説明においては、図 13 に示した構成のゲート線駆動回路を前提としたが、図 2 のように接続した構成でも通常動作を行うことは可能であり、ノード N2 のリーク電流を抑制することが可能である。そのことは以降の実施の形態に係る単位シフトレジスタ回路 SR についても同様である。但し、図 2 の構成の場合には、第 2 クロック端子 B にはクロック信号 C1 ~ C3 の何れかが入力されるためノード N2 はその周期で充電され、1 フレーム期間もの長い間フローティングにはならないので、図 13 の構成の場合ほどノード N2 のリーク電流は大きな問題にはならない。

【0103】

50

<実施の形態7>

図16は、実施の形態7に係る単位シフトレジスタ回路の構成を示す回路図である。実施の形態6(図15)では、トランジスタT11のゲートをノードN2に接続させていたが、実施の形態7では、それを第1クロック端子Aに接続させる。つまり、トランジスタT11は第1クロック端子AのレベルがVDDになるときにONするように動作する。

【0104】

図15の回路構成では、トランジスタT6に僅かなリーク電流が生じてノードN2のレベルが低下してしまうと、それに伴ってトランジスタT11のインピーダンスが大きくなるのでノードN5のレベルも低下してしまう。その結果、本発明の効果が低減してトランジスタT6のリーク電流が増大することが懸念される。

10

【0105】

それに対し、図16の回路構成図では、トランジスタT11のゲートには1フレーム期間よりも短い周期のクロック信号(図13のクロック信号C11, C12の何れか)が入力される。ノードN5は当該クロック信号の周期で確実に充電されるので、当該ノードN5のレベルはVDMに維持され、本発明の効果が低減するのを防止できる。

【0106】

また図13の各単位シフトレジスタ回路SRにおける第1クロック端子Aには、隣接する単位シフトレジスタ回路SR間に互いに逆相のクロック信号が入力され、且つ、入力端子INには前段の(即ち隣接する)単位シフトレジスタ回路SRの出力信号が入力されるので、入力端子INとトランジスタT11のゲート(第1クロック端子A)とが同時に活性化されることはない。従って、トランジスタT10, T11が同時にONになることは無く、トランジスタT10, T11を通して電源VDMからグラウンドGNDへと流れる貫通電流は防止されている。

20

【0107】

また本実施の形態でも、第5電源端子s5に、第2電源端子s2と同じ電源VDDを接続させてもよい。その場合、ノードN2がVDD - Vthに充電されている間、ノードN5もVDD - Vthに充電されるようになる。トランジスタT6のソースドレイン間の電圧はほぼ0Vになるので、リーク電流が流れなくなる。また、必要な電源の数を少なくできるという利点もある。

【0108】

<実施の形態8>

実施の形態6, 7では、単位シフトレジスタ回路SRのノードN2におけるリーク電流の問題の対策として、トランジスタT6のリーク電流を抑制する構成を示した。それに対し、本実施の形態では同問題を解決するために、リーク電流によるノードN2のレベル変動を補償することができる単位シフトレジスタ回路を提案する。

30

【0109】

図17は、実施の形態8に係る単位シフトレジスタ回路の構成を示す回路図である。同図に示すように、当該単位シフトレジスタ回路SRは、第6電源端子s6とノードN2との間に接続するトランジスタT13と、トランジスタT13のゲート(ノードN6と定義する)とノードN2との間に接続するトランジスタT12と、ノードN6と第1クロック端子Aとの間に接続する容量素子CBとから成る補償回路を有している。トランジスタT12のゲートは第7電源端子s7に接続する。本実施の形態では、第1電源端子s1、第2電源端子s2、第6電源端子s6および第7電源端子s7は、全て電源VDDに接続させている。

40

【0110】

この補償回路は、ノードN2に第6電源端子s6(電源VDD)の電圧を供給してノードN2を充電する回路である。即ち、トランジスタT6のリーク電流よりも大きい電流を、第6電源端子s6(電源VDD)からトランジスタT13を通してノードN2に供給することによって、リーク電流により低下したノードN2のレベルを補償するものである。

【0111】

50

通常動作時において、第2クロック端子Bにクロック信号(次段の出力信号)が入力されるとノードN2が $V_{DD} - V_{th}$ に充電される。このときトランジスタT12はONであるので、ノードN6も $V_{DD} - V_{th}$ に充電される。第2クロック端子Bが0Vになった後、第1クロック端子Aのクロック信号(C11あるいはC12)が0Vから V_{DD} になると、ノードN6は容量素子CBによる容量結合によってほぼ $2 \times V_{DD} - V_{th}$ に昇圧される。

【0112】

このときトランジスタT12のドレインはノードN6、ソースはノードN2であるので、トランジスタT12のゲート・ソース間の電圧は V_{th} (しきい値電圧)程度である。よって、トランジスタT12はほぼOFF状態の高インピーダンスであり、当該トランジスタT12には殆ど電流は流れない。よって、第1クロック端子Aのレベルが V_{DD} の間、ノードN6のレベルは $2 \times V_{DD} - V_{th}$ に維持される。またその間は、トランジスタT13がONになるのでノードN2のレベルは V_{DD} に上昇する。

10

【0113】

図13の構成では、第2クロック端子Bが0Vの状態は約1フレーム期間の長さだけ続くが、その状態の間も第1クロック端子Aには繰返しクロック信号が入力される。よって、第2クロック端子Bが0Vの期間、トランジスタT13が繰返しONになってノードN2を充電するので、ノードN2にリーク電流が生じたとしても、ノードN2のレベルは補償されほぼ V_{DD} のレベルに保持される。即ち、出力端子OUTは低インピーダンスの0Vを維持することができる。

20

【0114】

そして入力信号により入力端子INのレベルが V_{DD} となると、トランジスタT6がONしてノードN2が0Vに設定される。するとトランジスタT12のゲート・ソース間の電圧は V_{DD} になるのでトランジスタT12はONし、ノードN6は低インピーダンスの0Vとなる。よってノードN2が0Vに設定されている期間は、第1クロック端子Aのレベルが V_{DD} になってもノードN6のレベルは殆ど上昇せず、トランジスタT13はOFFのまま電流を流さない。つまり、ゲート線GLの選択時にノードN2のレベルが不要に上昇してトランジスタT2がONしてしまうことは無い。なお且つ、トランジスタT13およびトランジスタT6を介して電源 V_{DD} からグラウンドGNDへ流れる貫通電流も防止されている。

30

【0115】

このように、本実施の形態に係る単位シフトレジスタ回路SRは、ノードN2が充電されてトランジスタT2がONする期間内に、当該ONの状態が維持される電圧(ここでは V_{DD})を当該ノードN2に印加して充電する補償回路を備えるので、トランジスタT6にリーク電流が生じて、ノードN2のレベルは補償される。従って、ゲート線GLの非選択時におけるトランジスタT2のインピーダンスの上昇が抑えられる。従って、当該単位シフトレジスタ回路SRにより構成されたゲート線駆動回路を表示装置に搭載すれば、誤動作を防止でき正常な表示が行われる。

【0116】

なお図17においては、トランジスタT12のゲートすなわち第7電源端子s7を電源 V_{DD} に接続した。その場合、上述の通りノードN2およびノードN6の充電直後におけるトランジスタT12のゲート・ソース間の電圧は V_{th} になりトランジスタT12をほぼOFF状態にできる。このときトランジスタT12を完全にOFFするようにしたければ、第7電源端子s7の電圧レベルを、例えば $V_{DD} - V_{th}$ あるいは $V_{DD} - 2 \times V_{th}$ など、 V_{DD} よりも低くすればよい。

40

【0117】

例えば第7電源端子s7のレベルを $V_{DD} - V_{th}$ に設定すると、ノードN6の昇圧時のソース(ノードN2)電圧は $V_{DD} - V_{th}$ であるから、トランジスタT12のゲート・ソース間電圧は0Vになり、完全にOFFになる。

【0118】

50

また例えば、第7電源端子s7のレベルを $V_{DD} - 2 \times V_{th}$ に設定すると、ノードN6の昇圧時においてトランジスタT12のゲート・ソース間電圧は $-V_{th}$ になり、ゲートがソースに対し逆方向にバイアスされるので完全にOFFになる。この場合、第1クロック端子Aのクロック信号により昇圧される前のノードN6のレベルは $V_{DD} - 3 \times V_{th}$ であるが、昇圧された際には $2 \times V_{DD} - 3 \times V_{th}$ となる。つまりトランジスタT13のゲート・ソース間電圧は $(2 \times V_{DD} - 3 \times V_{th}) - (V_{DD} - V_{th}) = V_{DD} - 2 \times V_{th}$ である。通常、 $V_{DD} - 2 \times V_{th}$ であるので、トランジスタT13をONさせるには充分である。

【0119】

図18, 図19は、第7電源端子s7に接続させる電源回路の例である。まず図18は、電圧レベル $V_{DD} - V_{th}$ を生成する電源回路であり、電源 V_{DD} の出力をダイオード接続したトランジスタDT3と高抵抗素子R2とで分圧して出力するものである。なお、容量素子CAはその出力電圧レベルを安定させるためのものである。トランジスタDT3には、そのしきい値電圧 V_{th} 分の電圧降下が生じるので、この電源回路の出力電圧レベルとして $V_{DD} - V_{th}$ が得られる。

10

【0120】

一方、図19は電圧レベル $V_{DD} - 2 \times V_{th}$ を生成する電源回路の例であり、電源 V_{DD} の出力を、ダイオード接続した2つのトランジスタから成るトランジスタ群DT4と高抵抗素子R3とで分圧して出力するものである。トランジスタ群DT4を構成する2つのトランジスタには、それぞれしきい値電圧 V_{th} 分の電圧降下が生じるので、この電源回路の出力電圧レベルとして $V_{DD} - 2 \times V_{th}$ が得られる。図19においても、容量素子CAはその出力電圧レベルを安定させるためのものである。

20

【0121】

また、本実施の形態に実施の形態6および7を組み合わせれば、トランジスタT6のリーク電流を抑制でき、なお且つ、トランジスタT6にリーク電流が生じてもそれに対する補償が成されるので、当該トランジスタT6のリーク電流の対策としてさらに高い効果が得られる。

【0122】

<実施の形態9>

図20は実施の形態9に係る単位シフトレジスタ回路の構成を示す回路図である。同図の如く本実施の形態では、実施の形態8の図19における容量素子CBとして、ドレインとソースとを接続したトランジスタT14による容量素子を設ける。このようにMOSトランジスタを用いて構成された容量素子は、「MOS容量素子」あるいは「チャンネル容量素子」と呼ばれている。

30

【0123】

図19の容量素子CBとして、トランジスタT14を用いたMOS容量素子を使用した場合、ノードN6が0Vのとき当該トランジスタT14はOFF状態であり、ソース・ドレイン間にチャンネルが形成されないため、ノードN6と第1クロック端子Aとの間に容量が接続していないのと等価になる。よって、ノードN2, N6が0Vのときに、第1クロック端子Aが0Vから V_{DD} に変化しても、ノードN6のレベルは確実に0Vの状態を保つようになる。つまり、ゲート線GLの選択時にトランジスタT13を確実にOFFにすることができ、ノードN2のレベルが不要に上昇することが防止できる。つまり、ゲート線GLの選択時にトランジスタT2がONしてしまうのを、より確実に防止することができる。

40

【0124】

<実施の形態10>

図21は、本発明の実施の形態10に係る単位シフトレジスタ回路の構成を示す回路図である。当該単位シフトレジスタ回路SRは、図3の回路構成に対し、トランジスタT5, T6に代えてトランジスタT15~T19を使用したものである。即ち本実施の形態に係る単位シフトレジスタ回路SRの駆動部は、トランジスタT3, T4, T7, T8, T

50

15 ~ T19により構成される。

【0125】

トランジスタT15, T16は、第2電源端子s2(電源VDD)と基準電源端子(グラウンドGND)との間に直列に接続し、両者間の接続ノードはノードN2に接続している。トランジスタT15はダイオード接続されており負荷として機能する。またトランジスタT16のゲートはノードN1に接続する。

【0126】

トランジスタT17, T18は、ノードN1と基準電圧端子(グラウンドGND)との間に直列に接続し、それらのゲートは共に第2クロック端子B(第2クロック端子Bのクロック信号に同期する信号端子であれば他の端子でもよい)に接続する。両者間の接続ノードをノードN7と定義する。トランジスタT19は当該ノードN7と第8電源端子s8との間に接続し、そのゲートはノードN1に接続する。また本実施の形態では、第8電源端子s8は電源VDMに接続する。

10

【0127】

本実施の形態における単位シフトレジスタ回路SRの駆動部は、上で示した実施の形態とは回路構成が異なるが、その動作はほぼ同様である。即ち本実施の形態に係る駆動部も、第2クロック端子Bに入力されるクロック信号に同期して、ノードN1に基準電圧端子(グラウンドGND)の電圧を供給すると共にノードN2に第2電源端子s2(電源VDD)の電圧を供給し、また、入力端子INの入力信号に基づいてノードN1に第1電源端子s1(電源VDD)の電圧を供給すると共にノードN2に基準電圧端子(グラウンドGND)の電圧を供給するように動作する。以下、その動作について説明する。

20

【0128】

図22は、実施の形態10に係る単位シフトレジスタ回路の動作を説明するためのタイミング図である。ここでも図4での説明と同様に、単位シフトレジスタ回路SRの第1クロック端子Aにクロック信号C1が入力され、第2クロック端子Bにクロック信号C3が入力されるものとして説明を行う。

【0129】

図22に示すように、時刻 t_0 でクロック信号C3(第2クロック端子B)のレベルが0VからVDDになると、トランジスタT17, T18がONしてノードN1のレベルが下がる。するとトランジスタT16がOFFするためノードN2はVDD - Vthのレベルになり、それによりトランジスタT4, T7がONしてノードN1は0Vになる。このときノードN3, N7はノードN1と共に0Vになる。その結果、トランジスタT1がOFF、トランジスタT2がONの状態になるので出力端子OUTは0Vとなり、ゲート線GLは低インピーダンスの非活性状態(非選択状態)になる。

30

【0130】

次いで時刻 t_1 でクロック信号C3が0Vに戻るとトランジスタT17, T18はOFFになるが、トランジスタT4, T7はON、トランジスタT16はOFFのままなので、ノードN1は0V、ノードN2はVDD - Vthのレベルから変わらない。

【0131】

そして時刻 t_2 で、入力端子INに入力信号が入力され、当該入力端子INのレベルがVDDになると、トランジスタT3がONとなりノードN1のレベルが上昇する。するとトランジスタT16がONしてノードN2は0Vになり、それによりトランジスタT2, T4, T7はOFFするのでノードN1はVDD - Vthのレベルになる。

40

【0132】

本実施の形態では、このときトランジスタT8, T19がONになりノードN3, N7のそれぞれに電源VDMの電圧が供給され、ノードN3, N7のレベルはVDMになる。即ち、トランジスタT4, T7は共に逆バイアス状態になる。

【0133】

そして時刻 t_3 で入力端子INが0Vに戻ると、トランジスタT3はOFFになるが、トランジスタT4, T7, T17, T18もOFFであるので、ノードN1はフローティ

50

ングになる。このときトランジスタ T_4 、 T_7 は共に逆バイアス状態であるのでノード N_1 にリーク電流は殆ど生じず、ノード N_1 のレベルは確実に $V_{DD} - V_{th}$ のまま保持される。

【0134】

そして時刻 t_4 で、第1クロック端子Aのクロック信号 C_1 が $0V$ から V_{DD} になると、トランジスタ T_1 のゲート・チャネル間容量による容量結合により、当該ゲートのレベルはクロック信号 C_1 の上昇に伴って上昇し、ノード N_1 は $2 \times V_{DD} - V_{th}$ のレベルにまで昇圧される。出力端子 OUT はクロック信号 C_1 の立ち上がりには追従して V_{DD} のレベルになり、それによりゲート線 GL が活性化される。

【0135】

時刻 t_5 でクロック信号 C_1 が $0V$ になる。ノード N_1 のリーク電流は殆ど生じていないため、このときまでノード N_1 のレベルは $2 \times V_{DD} - V_{th}$ に保たれており、出力端子 OUT のレベルはクロック信号 C_1 に追従して下降し $0V$ になる。

【0136】

時刻 t_6 以降は上記の動作を繰り返す。但し、ゲート線駆動回路30は、1フレーム期間で一巡する周期で、ゲート線 GL を1個ずつ順に活性化するよう動作するので、1つの単位シフトレジスタ回路 SR には、1フレーム期間に1度だけ入力信号が入力される。入力信号が入力されない期間（即ちゲート線 GL の非選択時）も第1クロック端子Aおよび第2クロック端子Bにそれぞれクロック信号 C_1 、 C_3 が入力される。その間、トランジスタ T_4 、 T_7 は ON 、トランジスタ T_{16} は OFF であるので、ノード N_1 は $0V$ に、ノード N_2 は $V_{DD} - V_{th}$ に保たれる。従って、ゲート線 GL の非選択時には、トランジスタ T_1 が OFF 、トランジスタ T_2 が ON の状態が保持される。

【0137】

例えば、実施の形態1～5に示した単位シフトレジスタ回路 SR では、入力信号が入力されない期間において第2クロック端子Bが $0V$ になるときにノード N_2 がフローティングとなるため、ノード N_2 にリーク電流が生じるとノード N_2 は $V_{DD} - V_{th}$ のレベルを保持できなくなるという問題が生じる。先に述べたように、特に複数の単位シフトレジスタ回路 SR を図13のように接続して使用する場合、ノード N_2 がフローティングになる期間が1フレーム期間になるので、それは大きな問題となる。そこで本願においても、実施の形態6～9において、その問題を解決できる単位シフトレジスタ回路 SR を提案した。

【0138】

それに対し、本実施の形態の単位シフトレジスタ回路 SR においては、一旦ノード N_1 が $0V$ 、ノード N_2 が $V_{DD} - V_{th}$ に設定されると、次に入力端子 IN が V_{DD} になるまでの間、トランジスタ T_4 、 T_7 が ON 、トランジスタ T_{16} が OFF に保たれるので、ノード N_2 はフローティングになること無く $V_{DD} - V_{th}$ のレベルに保持される。言い換えれば、トランジスタ T_3 、 T_4 、 T_7 、 T_5 、 T_{16} がフリップフロップ回路のように機能し、ノード N_1 が $0V$ 、ノード N_2 が $V_{DD} - V_{th}$ の状態をラッチされた状態になる。従って本実施の形態では、ノード N_2 のリーク電流による上記問題が生じないという利点がある。但し、入力端子 IN に入力信号が入力されノード N_2 が $0V$ に設定される間（図22の時刻 $t_2 \sim t_6$ ）には、トランジスタ T_{15} 、 T_{16} を通して電源 V_{DD} からグラウンド GND への貫通電流が流れるので、実施の形態1～9に比較して消費電力が大きくなる。

【0139】

また上で説明したように本実施の形態の単位シフトレジスタ回路 SR の駆動部は、ノード N_1 のレベルが $V_{DD} - V_{th}$ になる期間（トランジスタ T_4 、 T_7 、 T_{17} 、 T_{18} が OFF の期間、本実施の形態では図22の時刻 $t_2 \sim t_6$ ）に、トランジスタ T_8 、 T_{19} が ON して、ノード N_3 、 N_7 のそれぞれに電源 V_{DD} の電圧が印加されるよう構成されている。つまりその間は、ノード N_1 とグラウンド GND との間に介在するトランジスタ T_4 、 T_{17} は逆バイアス状態になるので、ノード N_1 のリーク電流は低減される。

10

20

30

40

50

【 0 1 4 0 】

従って本実施の形態によれば、充電時のノードN1のレベルの低下は抑制される。よって、実施の形態1と同様に、出力端子OUTがクロック信号C1のレベルの遷移に追従できなくなるといった問題を回避できる。また、出力端子OUTの出力信号の立ち下がり時間（ゲート線の放電時間）が従来のゲート線駆動回路よりも短くなるので、ゲート線GLの駆動動作におけるタイミングマージンを大きくとることができるようになるという効果も得られる。

【 0 1 4 1 】

なお図21においては、第3電源端子s3および第8電源端子s8に電源VDMを接続した構成を示したが、第1電源端子s1と同じく電源VDDに接続させるようにしてもよい。その場合、必要な電源の数を少なくすることができるという利点がある。但し、TFTの種類によっては、図6の破線で示すような $I_{DS} - V_{GS}$ 特性を示すものがあるので、第3電源端子s3および第8電源端子s8のレベルをVDD程の高いレベルにすると、トランジスタT4, T17のリーク電流の低減効果が小さくなる場合もあるので注意が必要である。

【 0 1 4 2 】

また、本実施の形態では、ノードN3に電源VDMの電圧を印加するための回路（第3電源端子s3およびトランジスタT8）と、ノードN7に電源VDMの電圧を印加するための回路（第8電源端子s8およびトランジスタT19）とをそれぞれ個別に設けたが、図23のようにノードN3とノードN7とを共通にすれば、それらに電源VDMの電圧を印加する回路は1つのみでよくなり、回路規模が縮小される。図23では、トランジスタT8が第3電源端子s3の電圧をノードN3, N7の両方に供給する。トランジスタT8がONになる期間（ノードN1が $VDD - V_{th}$ になる期間）はトランジスタT4, T7, T17, T18は全てOFFであるので、上記と同様の動作が可能である。

【 0 1 4 3 】

< 実施の形態11 >

図24は、実施の形態11に係る単位シフトレジスタ回路の構成を示す回路図である。実施の形態10では、ノードN3, N7に電圧VDMを印加するためのトランジスタT8, T19のゲートをノードN1に接続させていたが、実施の形態11ではそれらを出力端子OUTに接続させる。つまり、トランジスタT8, T19は出力端子OUTのレベルがVDDになるときにONするように動作する。

【 0 1 4 4 】

よって、本実施の形態においては、図22のタイミング図における時刻 $t_4 \sim t_5$ の間だけ、ノードN3, N7に電圧VDMが印加される。但し、時刻 $t_5 \sim t_6$ の間はノードN3, N7はフローティングになり、その間もVDMのレベルに維持される。つまり本実施の形態では、時刻 $t_4 \sim t_6$ の間、トランジスタT4, T17が負バイアス状態になり、ノードN1のリーク電流が抑制される。

【 0 1 4 5 】

従って、本実施の形態によれば、上記の実施の形態2の効果が得られる。即ち、実施の形態1とほぼ同程度にノードN1のリーク電流を抑制する効果が得られる。また、実施の形態10よりもノードN1に接続されるトランジスタの数が少なくなるので、当該ノードN1の寄生容量が低減し、第1クロック端子Aのクロック信号によるノードN1の昇圧がより効率的に成されるという効果が得られる。

【 0 1 4 6 】

また図示は省略するが、本実施の形態においても、ノードN3とノードN7とを共通にしてもよい。その場合、ノードN3, N7に電源VDMの電圧を印加する回路は1つのみでよくなり、回路規模を縮小することができる。

【 0 1 4 7 】

< 実施の形態12 >

図25は、実施の形態10に係る単位シフトレジスタ回路の構成を示す回路図である。

本実施の形態では、実施の形態 10 の単位シフトレジスタ回路 SR に実施の形態 3 の技術を適用する。即ち、本実施の形態に係る単位シフトレジスタ回路 SR は、図 21 の回路のトランジスタ T1 のゲート（ノード N4）とノード N1 との接続が、トランジスタ T9 を介して成されるよう構成したものである。トランジスタ T9 のゲートが接続する第 4 電源端子 s4 は、第 1 電源端子 s1 および第 2 電源端子 s2 と同様に、電源 VDD に接続している。

【0148】

この単位シフトレジスタ回路 SR では、トランジスタ T1 のゲート（ノード N4）が、 $2 \times VDD - V_{th}$ のレベルに昇圧される期間（図 22 の時刻 $t_4 \sim t_5$ ）においても、ノード N1 はトランジスタ T9 のソースフォロワ動作によって定まる電圧レベルに設定される。図 25 においては、トランジスタ T9 のゲート電圧レベルは VDD であるので、ノード N1 は VDD - V_{th} から変化しない。従って、時刻 $t_4 \sim t_5$ の期間におけるトランジスタ T4 のドレイン・ソース間電圧（ノード N1, N3 間電圧）およびトランジスタ T17 のドレイン・ソース間電圧（ノード N1, N7 間電圧）は、実施の形態 10 に比較して小さくなり、当該期間におけるトランジスタ T4 のリーク電流がさらに小さくなるという効果が得られる。

10

【0149】

なお、本実施の形態においては、トランジスタ T9 のゲートすなわち第 4 電源端子 s4 を、第 1 電源端子 s1 および第 2 電源端子 s2 と同様に電源 VDD に接続させたが、トランジスタ T9 のソースフォロワ動作により、ノード N1 のレベルをノード N3, N7 のレベル（VDM）に近い値に設定できるものであれば他の電源であってもよく、その場合も上記と同様の効果を得ることができる。

20

【0150】

<実施の形態 13>

図 26 は、実施の形態 13 に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態は、実施の形態 11 と実施の形態 12 とを組み合わせたものである。即ち、トランジスタ T8, T19 のゲートを出力端子 OUT に接続させ、且つ、トランジスタ T1 のゲートとノード N1 との間に、ゲートが第 4 電源端子 s4 に接続するトランジスタ T9 を設けている。本実施の形態においても、第 4 電源端子 s4 は電源 VDD に接続させている。

30

【0151】

上記の実施の形態 12 では、図 25 に示したようにノード N1 にはトランジスタが 7 つ接続することになるため、当該ノード N1 の寄生容量の増加が懸念される。しかし本実施の形態においては、実施の形態 11 の適用によりトランジスタ T8, T19 がノード N1 に接続しないので、その問題は抑制される。また、実施の形態 12 と同様に、ノード N4 が $2 \times VDD - V_{th}$ に昇圧されたときでも、ノード N1 は VDD - V_{th} を維持するので、そのときのトランジスタ T4, T19 のドレイン・ソース間電圧は小さくなりリーク電流を抑制できるという効果が得られる。

【0152】

<実施の形態 14>

図 27 は、実施の形態 14 に係る単位シフトレジスタ回路の構成を示す回路図である。当該単位シフトレジスタ回路の構成は、実施の形態 13（図 26）の回路に実施の形態 5 を適用し、第 3 電源端子 s3 および第 8 電源端子 s8 に、第 1 電源端子 s1 および第 4 電源端子 s4 と同様に電源 VDD を接続させる。

40

【0153】

トランジスタ T9 のゲートが接続する第 4 電源端子 s4 には電源 VDD が接続しているので、実施の形態 13 と同様に、ノード N4 が $2 \times VDD - V_{th}$ に昇圧されたときでも、ノード N1 は VDD - V_{th} を維持する。また第 3 電源端子 s3 および第 8 電源端子 s8 には電源 VDD が接続しているので、そのときのノード N3 のレベルも VDD - V_{th} となる。つまり、トランジスタ T4 およびトランジスタ T17 のドレイン・ソース間電圧

50

は共にほぼ0Vになり、当該トランジスタT4, T17のドレイン・ソース間にリーク電流は流れない。よって結果的に、ノードN4すなわちトランジスタT1のゲート電圧レベルの低下を抑制できるという効果が得られる。

【0154】

なお、本実施の形態においては、電源の個数の増加を避け、第3電源端子s3、第4電源端子s4並びに第8電源端子s8に電源VDDを接続させたが、ノードN1の昇圧時にノードN1, N4, N7のレベルをほぼ同じ値に設定できるものであれば他の電源であってもよい。

【0155】

<実施の形態15>

例えば実施の形態1の単位シフトレジスタ回路SRでは、図3に示したように、第3電源端子s3に接続する電源VDMおよびトランジスタT7, T8を用いて、トランジスタT4を負バイアス状態にすることで、ノードN1のリーク電流を抑制する構成を示した。本実施の形態ではそれらを用いることなく、トランジスタT4を負バイアス状態にすることが可能な単位シフトレジスタ回路SRを提案する。

【0156】

図28は、実施の形態15に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態では、トランジスタT4のソースであるノードN3を出力端子OUTに接続させる。上述の通り、この回路においては、図3に示した第3電源端子s3(電源VDM)およびトランジスタT7, T8は不要である。

【0157】

図3から分かるように、トランジスタT2およびトランジスタT7は、共にソースがグラウンドGNDに接続し、ゲートがノードN2に接続しているので、両者はほぼ同じタイミングでON/OFFが切替わるよう動作する。従って、図28のように、ノードN3とグラウンドGNDとの間に(トランジスタT7に代えて)トランジスタT2を接続させても、図3の回路と同様の通常動作を行うことが可能である。

【0158】

但し、図28の単位シフトレジスタ回路SRでは、ノードN3が出力端子OUTに接続しているので、出力端子OUTのレベルがVDDのときにノードN3のレベルもVDDになる。即ち本実施の形態では、図4のタイミング図の時刻 $t_4 \sim t_5$ の間にノードN3のレベルがVDDになるように動作する。従って、当該期間はトランジスタT4が負バイアス状態になり、ノードN1のリーク電流が抑制される。

【0159】

図4のタイミング図を参照し、ノードN1のリーク電流を防ぐべき期間は、ノードN1が充電された状態でトランジスタT3がOFFになる時刻 t_4 から第1クロック端子Aのクロック信号C1が立ち下がる時刻 t_5 までの期間であるが、当該リーク電流は、特にノードN1のレベルが $2 \times VDD - V_{th}$ にまで上昇する時刻 $t_4 \sim t_5$ の間に生じやすい。従って、本実施の形態のように時刻 $t_4 \sim t_5$ の間だけトランジスタT4が負バイアス状態になる構成であっても、実施の形態1とほぼ同程度にノードN1のリーク電流を抑制する効果が得られる。

【0160】

また本実施の形態では、実施の形態1と比較して、必要なトランジスタおよび電源の数を少なくできるので、回路規模を縮小化できる。また、ノードN1に接続されるトランジスタの数も少なくなるので、当該ノードN1の寄生容量が低減し、第1クロック端子Aのクロック信号によるノードN1の昇圧がより効率的に成されるという効果も得られる。

【0161】

<実施の形態16>

図29は、本発明の実施の形態16に係る単位シフトレジスタ回路の構成を示す回路図である。本実施の形態では、実施の形態10の単位シフトレジスタ回路SRに実施の形態15の技術を適用する。

10

20

30

40

50

【 0 1 6 2 】

本実施の形態では、ノードN3（トランジスタT4のソース）およびノードN7（トランジスタT17, T18間の接続ノード）を共に出力端子OUTに接続させる。本実施の形態においては、図21に示した第3電源端子s3および第8電源端子s8（電源VDM）、トランジスタT7, T8, T19は不要である。

【 0 1 6 3 】

ノードN3とグラウンドGNDとの間に（トランジスタT7に代えて）トランジスタT2を接続させても、動作上の問題が無いことは実施の形態15で説明したとおりである。

【 0 1 6 4 】

一方、図22に示した単位シフトレジスタ回路SRの通常動作におけるトランジスタT2, T17, T18の振る舞いに着目すると、トランジスタT17, T18がONするときにはトランジスタT2もONになり、且つ、トランジスタT2がOFFして出力端子OUTのレベルがVDDになるときはトランジスタT17, T18はOFFしているため、ノードN17を出力端子OUTに接続させても動作上の問題は生じない。

10

【 0 1 6 5 】

なお、当該通常動作では、第2クロック端子Bのクロック信号に基づいてノードN1を0Vに設定する必要があるため、トランジスタT18を省略することはできない。ノードN1とグラウンドGND間にはトランジスタT2も接続してはいるが、実施の形態10で説明したように当該トランジスタT2は、ノードN1のレベルが下がりトランジスタT16がONして、ノードN2のレベルが上昇することによりはじめてONするので、実質的にトランジスタT2を通してノードN1を放電させることはできないからである。

20

【 0 1 6 6 】

図29の単位シフトレジスタ回路SRでは、ノードN3, N7が出力端子OUTに接続しているので、出力端子OUTのレベルがVDDのときにノードN3, N7のレベルもVDDになる。即ち本実施の形態では、図4のタイミング図の時刻 $t_4 \sim t_5$ の期間にノードN3, N7のレベルがVDDになるように動作する。従って、当該期間はトランジスタT4, T17が負バイアス状態になり、ノードN1のリーク電流が抑制される。

【 0 1 6 7 】

図22のタイミング図を参照し、ノードN1のリーク電流を防ぐべき期間は、ノードN1が充電された状態でトランジスタT3がOFFになる時刻 t_4 から第1クロック端子Aのクロック信号C1が立ち下がる時刻 t_5 までの期間であるが、当該リーク電流は、特にノードN1のレベルが $2 \times V_{th}$ にまで上昇する時刻 $t_4 \sim t_5$ 間に生じやすい。従って、本実施の形態のように時刻 $t_4 \sim t_5$ の間だけトランジスタT4, T17が負バイアス状態になる構成であっても、実施の形態15とほぼ同程度にノードN1のリーク電流を抑制する効果が得られる。

30

【 0 1 6 8 】

また本実施の形態では、実施の形態10と比較して、必要なトランジスタおよび電源の数を少なくできるので、回路規模を縮小化できる。また、ノードN1に接続されるトランジスタの数も少なくなるので、当該ノードN1の寄生容量が低減し、第1クロック端子Aのクロック信号によるノードN1の昇圧がより効率的に成されるという効果も得られる。

40

【 0 1 6 9 】

< 実施の形態17 >

表示装置においては、例えばゲート線GLとデータ線DLとの間の寄生容量による結合によるデータ線DLからのノイズなどが、ゲート線GLの非選択時の単位シフトレジスタ回路SRの出力端子OUTに加わる可能性がある。

【 0 1 7 0 】

例えば実施の形態15の単位シフトレジスタ回路SR（図28）において、ゲート線GLの非選択時にはノードN2のレベルは $V_{DD} - V_{th}$ であるので、トランジスタT4はONしている。そのとき出力端子OUTにゲート線GLからのノイズが加わると、当該ノイズはトランジスタT4を通してノードN1に伝達される。それによりトランジスタT1

50

がONしてしまうと、非選択時にも関わらず対応するゲート線GLが活性化され、表示が正常に行われなくなるという誤動作の問題が懸念される。

【0171】

図30は、実施の形態17に係る単位シフトレジスタ回路の構成を示す回路図である。同図の如く、当該単位シフトレジスタ回路においては、ノードN3は出力端子OUTに接続しない。

【0172】

ノードN3と第1クロック端子Aとの間にトランジスタT21が接続し、ノードN3とグラウンドGND(基準電圧端子)との間にトランジスタT22が接続する。即ち、トランジスタT21, T22の組とトランジスタT1, T2の組とは互いに並列接続している。当該トランジスタT21のゲートは、トランジスタT1のゲートと同じくノードN1に接続し、当該トランジスタT22のゲートはトランジスタT2と同じくノードN2に接続する。それらを除いては、図28と同様の構成である。

10

【0173】

トランジスタT21, T22は、それぞれトランジスタT1, T2と同じ動作を行うため、ノードN3のレベルと出力端子OUTのレベルとは全く同じように遷移する。結果として、この図30の単位シフトレジスタ回路SRは、実施の形態15の単位シフトレジスタ回路と同じ動作を行うこととなる。即ち本実施の形態においても、図4のタイミング図の時刻 $t_4 \sim t_5$ の期間にトランジスタT4が負バイアス状態になり、ノードN1のリーク電流が抑制される。

20

【0174】

但し本実施の形態においては、実施の形態15と異なり出力端子OUTとノードN3との間は分離されている。従って、出力端子OUTにゲート線GLからのノイズが加わっても、それがノードN1に伝達されることが防止され、上記の誤動作の問題を回避することができる。

【0175】

<実施の形態18>

本実施の形態では、実施の形態16の単位シフトレジスタ回路SR(図29)に実施の形態17の技術を適用する。

【0176】

図31は、実施の形態18に係る単位シフトレジスタ回路の構成を示す回路図である。同図の如く、当該単位シフトレジスタ回路においては、ノードN3と出力端子OUTとは接続しない。

30

【0177】

実施の形態17と同様に、ノードN3と第1クロック端子Aとの間に、ゲートがノードN1に接続するトランジスタT21が接続し、ノードN3とグラウンドGND(基準電圧端子)との間に、ゲートがノードN2に接続するトランジスタT22が接続する。それらを除いては、図29と同様の構成である。

【0178】

トランジスタT21, T22は、それぞれトランジスタT1, T2と同じ動作を行うため、ノードN3のレベルと出力端子OUTのレベルとは全く同じように遷移する。結果として、この図31の単位シフトレジスタ回路SRは、実施の形態16の単位シフトレジスタ回路と同じ動作を行うこととなる。即ち本実施の形態においても、図4のタイミング図の時刻 $t_4 \sim t_5$ の期間にトランジスタT4, T17が負バイアス状態になり、ノードN1のリーク電流が抑制される。

40

【0179】

但し本実施の形態においては、実施の形態16と異なり出力端子OUTとノードN3との間は分離されているので、出力端子OUTにゲート線GLからのノイズが加わることによる上記の誤動作の問題を回避することができる。

【図面の簡単な説明】

50

【 0 1 8 0 】

【図 1】本発明の実施の形態に係る表示装置の構成を示す概略ブロック図である。

【図 2】実施の形態 1 に係る表示装置のゲート線駆動回路の構成を示すブロック図である。

【図 3】実施の形態 1 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 4】実施の形態 1 に係る単位シフトレジスタ回路の動作を説明するためのタイミング図である。

【図 5】実施の形態 1 に係る表示装置のゲート線駆動回路 30 の動作を示すタイミング図である。

【図 6】実施の形態 1 の効果を説明するための図である。

10

【図 7】実施の形態 1 において第 3 電源端子 s 3 に接続する電源回路の一例を示す図である。

【図 8】実施の形態 1 において第 3 電源端子 s 3 に接続する電源回路の一例を示す図である。

【図 9】実施の形態 2 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 10】実施の形態 3 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 11】実施の形態 4 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 12】実施の形態 5 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 13】実施の形態 6 に係る表示装置のゲート線駆動回路の構成を示すブロック図である。

20

【図 14】実施の形態 6 に係る表示装置のゲート線駆動回路の動作を説明するためのタイミング図である。

【図 15】実施の形態 6 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 16】実施の形態 7 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 17】実施の形態 8 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 18】実施の形態 8 において第 7 電源端子に接続する電源回路の一例を示す図である。

【図 19】実施の形態 8 において第 7 電源端子に接続する電源回路の一例を示す図である。

【図 20】実施の形態 9 に係る単位シフトレジスタ回路の構成を示す回路図である。

30

【図 21】実施の形態 10 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 22】実施の形態 10 に係る単位シフトレジスタ回路の動作を説明するためのタイミング図である。

【図 23】実施の形態 10 の変形例である単位シフトレジスタ回路の回路図である。

【図 24】実施の形態 11 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 25】実施の形態 12 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 26】実施の形態 13 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 27】実施の形態 14 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 28】実施の形態 15 に係る単位シフトレジスタ回路の構成を示す回路図である。

【図 29】実施の形態 16 に係る単位シフトレジスタ回路の構成を示す回路図である。

40

【図 30】実施の形態 17 に係る単位シフトレジスタ回路の構成を示す回路図である。

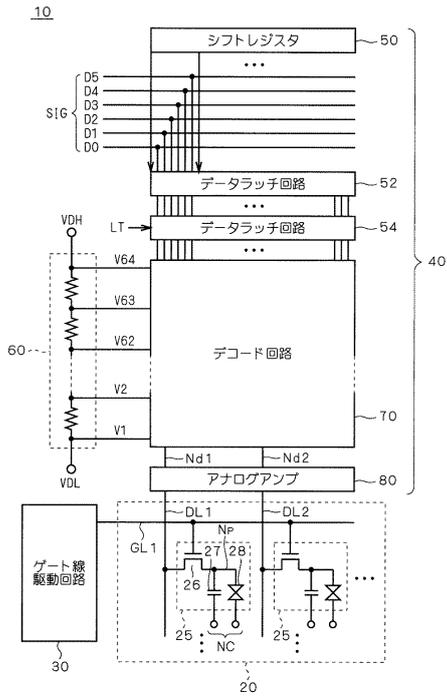
【図 31】実施の形態 18 に係る単位シフトレジスタ回路の構成を示す回路図である。

【符号の説明】

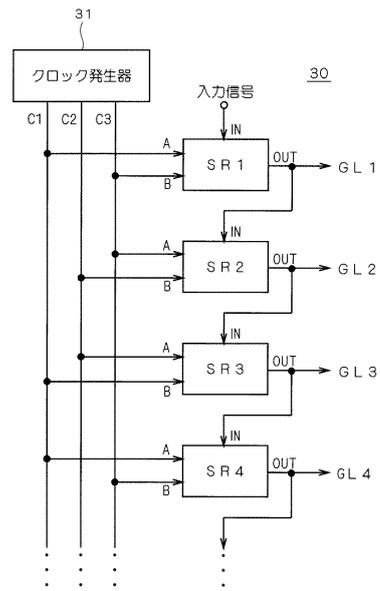
【 0 1 8 1 】

30 ゲート線駆動回路、SR 単位シフトレジスタ回路、GL ゲート線、T1 ~ T21 トランジスタ、N1 ~ N7 ノード、A 第 1 クロック端子、B 第 2 クロック端子、IN 入力端子、OUT 出力端子、GND グラウンド、VDD, VDM 電源、s1 ~ s8 電源端子、CB 容量素子。

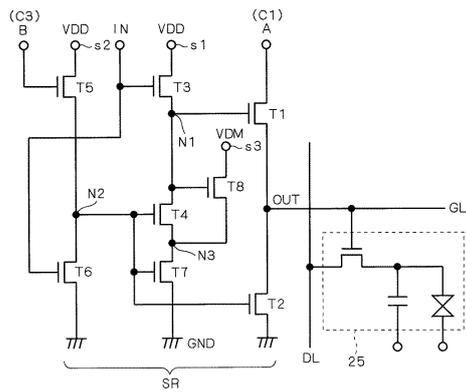
【図1】



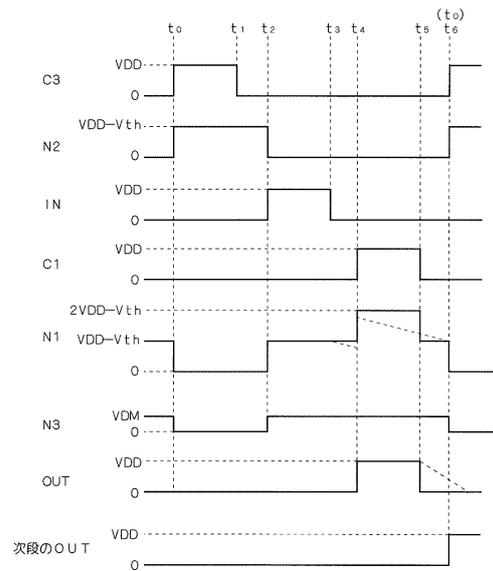
【図2】



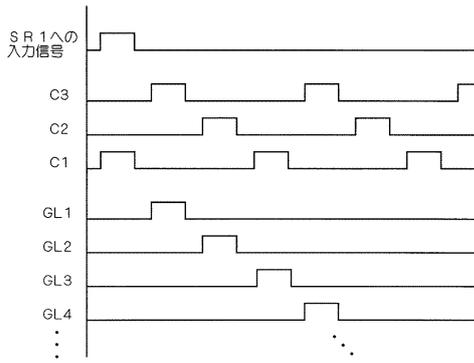
【図3】



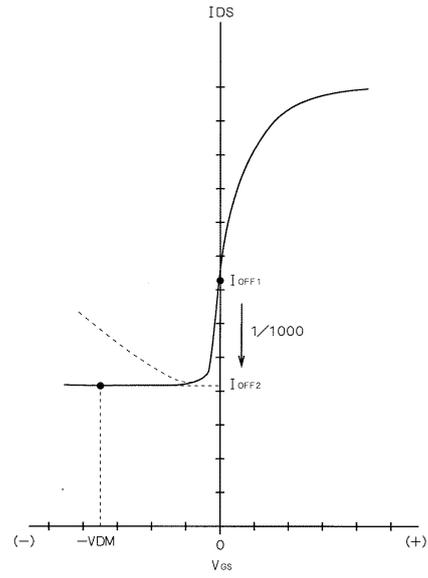
【図4】



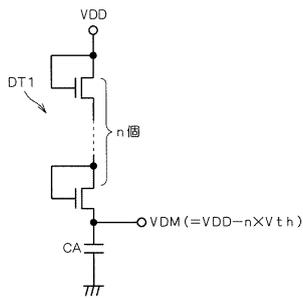
【図5】



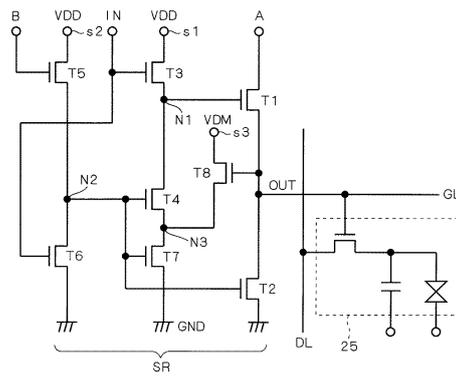
【図6】



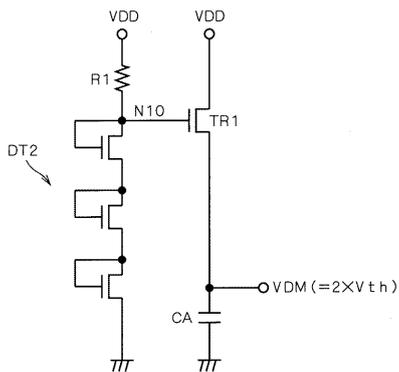
【図7】



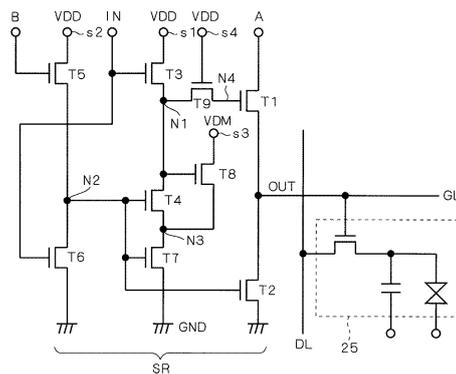
【図9】



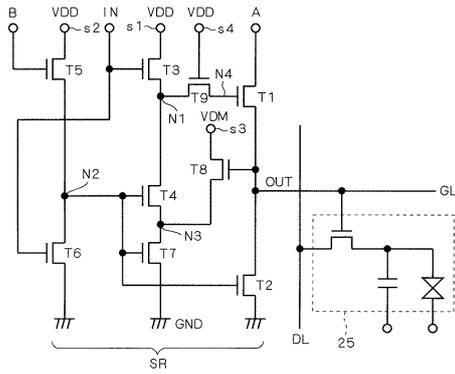
【図8】



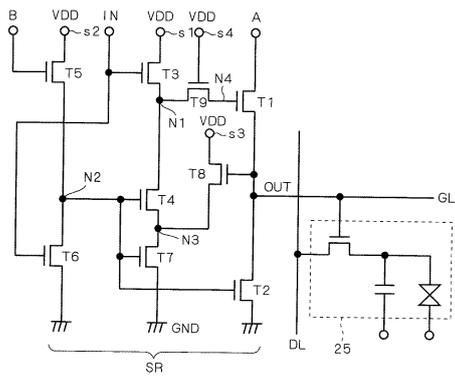
【図10】



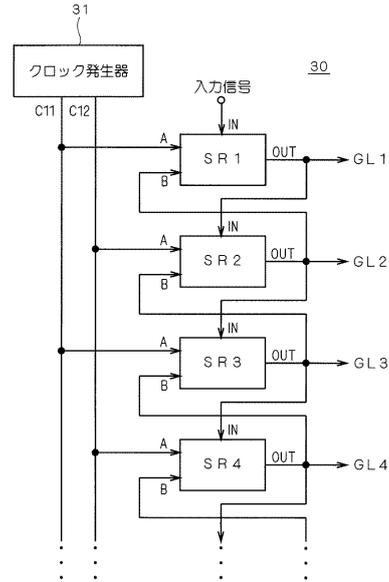
【図11】



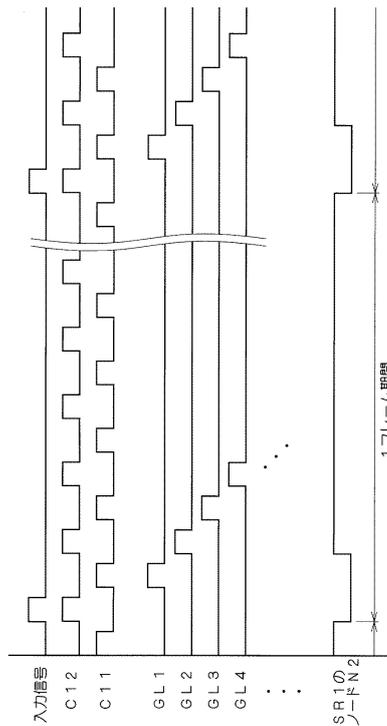
【図12】



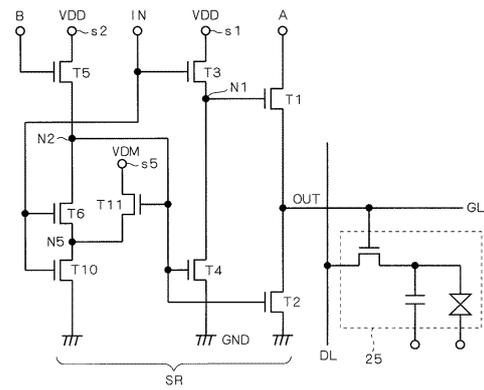
【図13】



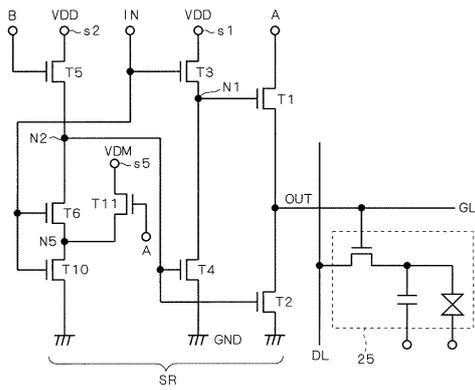
【図14】



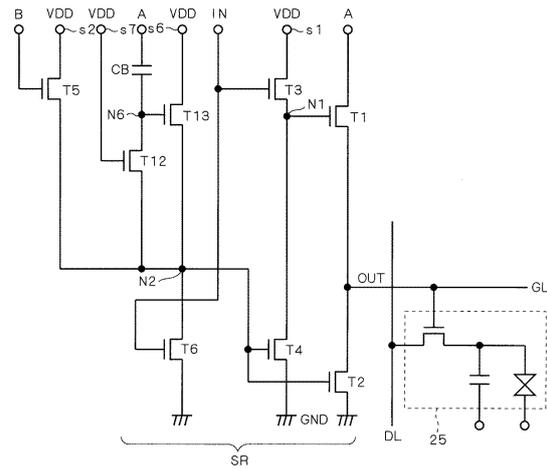
【図15】



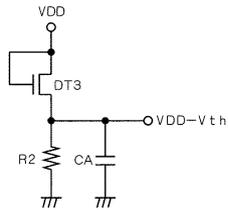
【図 16】



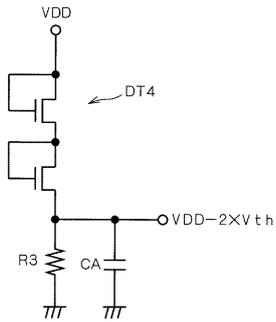
【図 17】



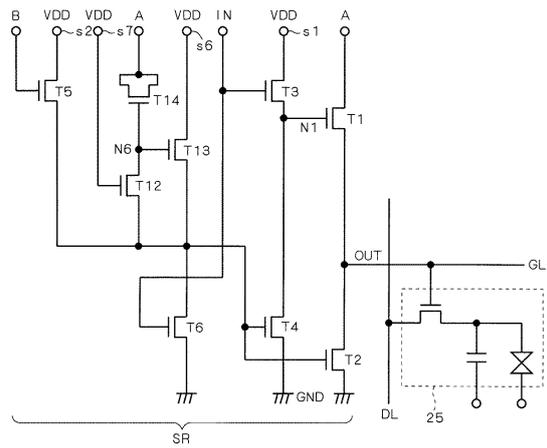
【図 18】



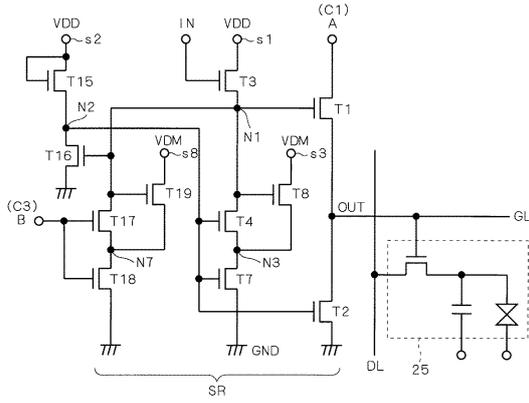
【図 19】



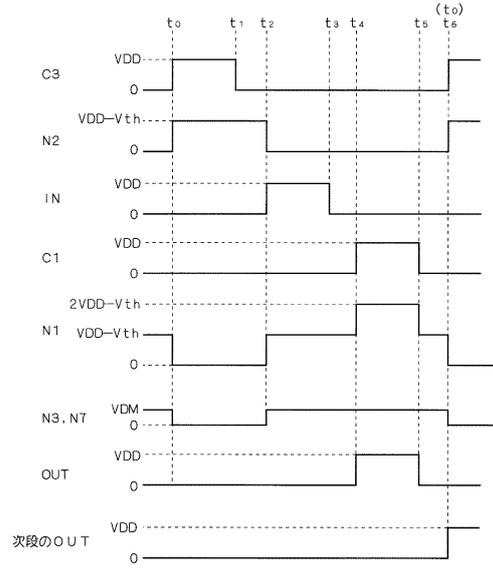
【図 20】



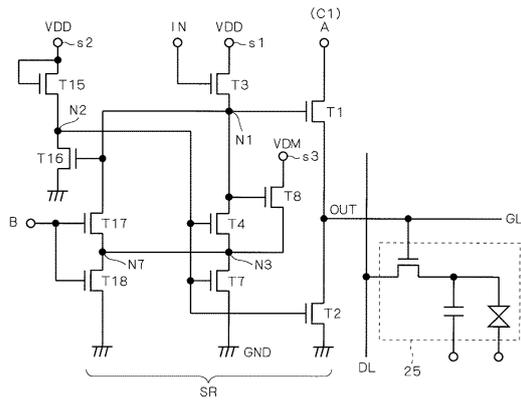
【図 2 1】



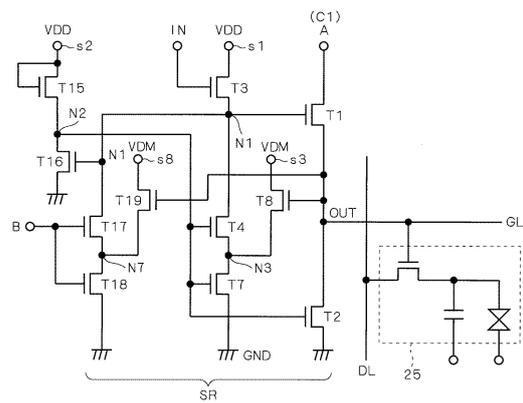
【図 2 2】



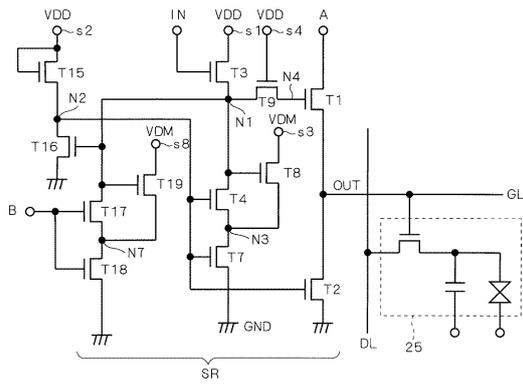
【図 2 3】



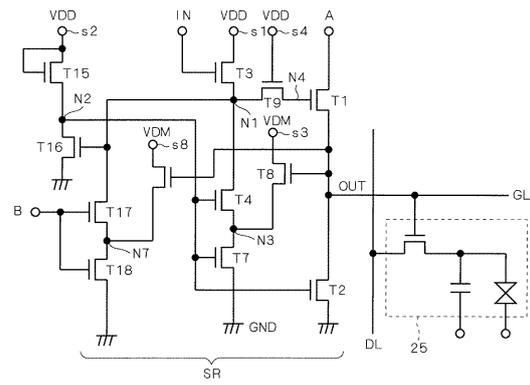
【図 2 4】



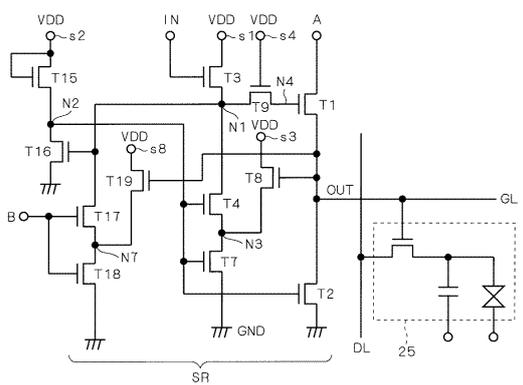
【図 25】



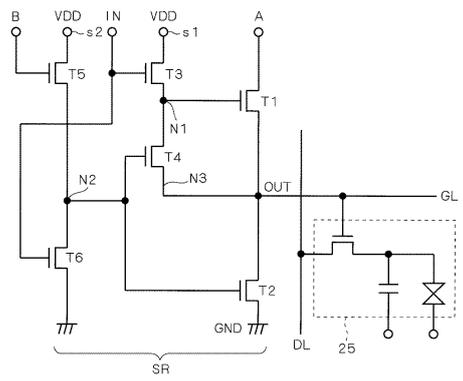
【図 26】



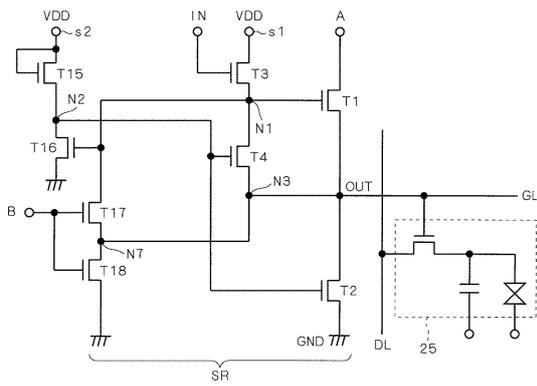
【図 27】



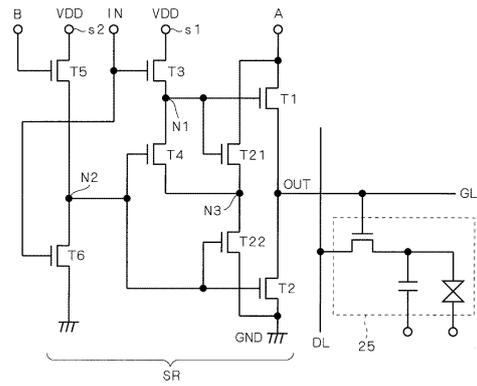
【図 28】



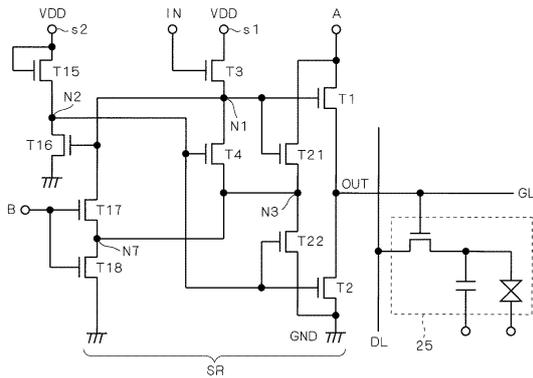
【図 29】



【図 30】



【図 31】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 7 0 F
G 0 9 G 3/36

(56)参考文献 特開2000-155550(JP,A)
特開平10-112645(JP,A)

(58)調査した分野(Int.Cl., DB名)
G 1 1 C 1 9 / 2 8