



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2022-0030438
(43) 공개일자 2022년03월11일

(51) 국제특허분류(Int. Cl.)
G06F 1/16 (2006.01) G09F 9/30 (2006.01)
H05K 9/00 (2018.01)

(52) CPC특허분류
G06F 1/1684 (2013.01)
G06F 1/1616 (2013.01)

(21) 출원번호 10-2020-0110619
(22) 출원일자 2020년08월31일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자
키시모토, 히로츠구
경기도 화성시 동탄반석로 207, 210동 1304호 (반송동, 동탄시범한빛마을 삼부르네상스)

구다솜
경상남도 창원시 의창구 금강로 371 (소계동,)
1층
(뒷면에 계속)

(74) 대리인
특허법인 고려

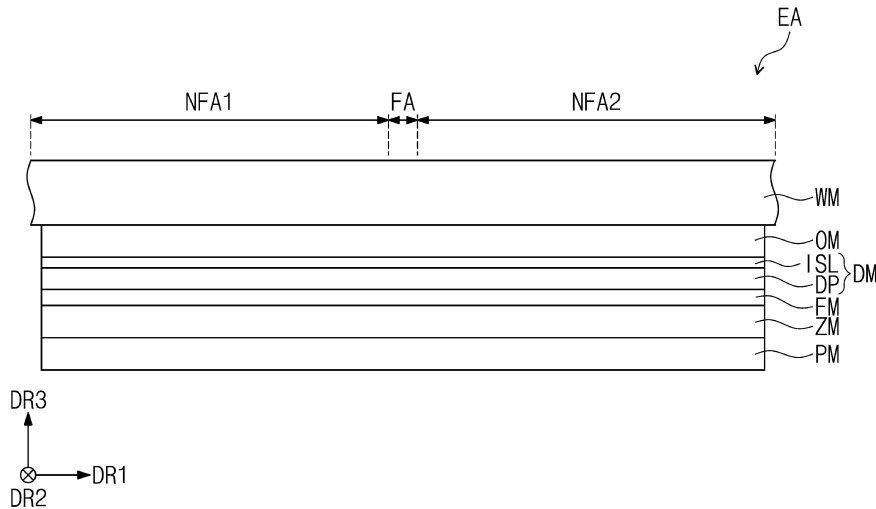
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 전자 장치 및 이의 제조 방법

(57) 요약

본 발명의 일 실시 예에 따른 전자 장치는 윈도우, 윈도우 하측에 배치된 표시 패널, 표시 패널 하측에 배치되는 디지털타이저를 포함하고, 디지털타이저는 제1 면 및 제1 면과 대향하는 제2 면을 포함하는 베이스층, 제1 면에 상에 배치되는 제1 감지코일, 제2 면에 상에 배치되는 제2 감지코일, 제1 감지 코일 상에 배치되는 제1 점착층 및 제2 감지 코일 상에 배치되는 제2 점착층을 포함하고, 제1 점착층 및 제2 점착층은 2차 경화성이다. 이에 따라, 풀딩 특성 및 시인성 특성이 향상된 전자 장치를 제공할 수 있다.

대표도 - 도2a



(52) CPC특허분류

G06F 1/1652 (2013.01)

G06F 1/1656 (2013.01)

G09F 9/301 (2013.01)

H05K 9/0075 (2019.01)

G06F 2203/04102 (2013.01)

(72) 발명자

전용찬

충청남도 천안시 서북구 3공단6로 85-27 (차암동 ,
e편한세상스마일시티) 103동 301호

황현빈

경기도 수원시 영통구 영통로154번길 51-16, 308동
601호 (망포동, 센트럴하이츠아파트)

명세서

청구범위

청구항 1

윈도우, 상기 윈도우 하측에 배치된 표시 패널 및 상기 표시 패널 하측에 배치된 디지털타이저를 포함하고, 상기 디지털타이저는,
제1 면 및 상기 제1 면과 대향하는 제2 면을 포함하는 베이스층;
상기 제1 면에 상에 배치되는 제1 감지코일;
상기 제2 면에 상에 배치되는 제2 감지코일;
상기 제1 감지 코일 상에 배치되는 제1 점착층; 및
상기 제2 감지 코일 상에 배치되는 제2 점착층; 을 포함하고,
상기 제1 점착층 및 상기 제2 점착층은 2차 경화성인 전자 장치.

청구항 2

제1항에 있어서,
상기 제1 점착층은 상기 제1 감지코일의 상부 면을 전면적으로 커버하고,
상기 제2 점착층은 상기 제2 감지코일의 상부 면을 전면적으로 커버하는 전자 장치.

청구항 3

제1 항에 있어서,
상기 제2 점착층 하에 배치되고, 금속을 포함하는 차폐층을 더 포함하는 전자 장치.

청구항 4

제3 항에 있어서,
상기 차폐층은,
퍼멀로이(permalloy), 인바(invar), 및 스테인레스 스틸 중 어느 하나를 포함하는 전자 장치.

청구항 5

제4항에 있어서,
상기 차폐층 상에 배치되는 자성 시트를 더 포함하고,
상기 자성 시트는 자성 금속 분말(MMP, magnetic metal powder)을 포함하는 전자 장치.

청구항 6

제1항에 있어서,

상기 제1 점착층 상에 배치되는 제1 서브 점착층을 더 포함하고,
상기 제1 서브 점착층은 상기 제1 점착층보다 낮은 저장탄성율을 가지는 전자 장치.

청구항 7

제6 항에 있어서,
상기 제1 서브 점착층은 -20°C 에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율(Storage Modulus)을 가지는 전자 장치.

청구항 8

제1항에 있어서,
상기 제2 점착층 하에 배치되는 제2 서브 점착층을 더 포함하고,
상기 제2 서브 점착층은 상기 제2 점착층보다 낮은 저장탄성율을 가지는 전자 장치.

청구항 9

제8 항에 있어서,
상기 제2 서브 점착층은 -20°C 에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율(Storage Modulus)을 가지는 전자 장치.

청구항 10

제1 항에 있어서,
상기 제2 점착층 하에 배치되는 쿠션층을 더 포함하는 전자 장치.

청구항 11

제1 항에 있어서,
상기 제1 점착층 상에 배치되는 차광층을 더 포함하고,
상기 차광층은 투과율이 50% 이하인 전자 장치.

청구항 12

제11 항에 있어서,
상기 차광층은 바인더에 분산된 안료 입자들을 포함하고,
상기 바인더는 폴리에틸렌테레프탈레이트(polyethyleneterephthalate) 또는 폴리이미드(polyimide)인 전자 장치.

청구항 13

제1 항에 있어서,

상기 제1 점착층 및 상기 제2 점착층은 산 성분을 포함하지 않는 것인 전자 장치.

청구항 14

제1 항에 있어서,

상기 제1 감지 코일 및 상기 제2 감지 코일은 상부 면에 형성된 도금층을 더 포함하는 전자 장치.

청구항 15

제1 항에 있어서,

일 방향으로 연장된 가상의 폴딩 축을 기준으로 폴딩되는 폴딩 영역, 상기 폴딩 영역의 일 측으로 연장된 제1 비폴딩 영역, 및 상기 폴딩 영역의 타측으로 연장된 제2 비폴딩 영역을 포함하는 전자 장치.

청구항 16

디지털타이저를 제조하는 단계 및 상기 디지털타이저 상에 표시 패널을 배치하는 단계를 포함하는 전자 장치의 제조 방법에 있어서,

상기 디지털타이저를 제조하는 단계는

베이스층의 제1 면 상에 제1 감지 코일을 형성하는 단계;

상기 베이스층의 제1 면과 대향하는 제2 면 상에 제2 감지 코일을 형성하는 단계;

상기 제1 감지 코일 상에 반경화 상태의 제1 점착층을 배치하는 단계;

상기 제2 감지 코일 상에 반경화 상태의 제2 점착층을 배치하는 단계;

상기 제1 점착층 및 제2 점착층의 평탄도를 증가시키는 단계; 및

상기 제1 점착층 및 제2 점착층에 광을 제공하여 완전 경화하는 단계;를 포함하는 전자 장치의 제조 방법.

청구항 17

제16 항에 있어서,

상기 제1 점착층 및 제2 점착층의 평탄도가 증가하는 단계는 상기 제1 점착층 및 상기 제2 점착층에 열을 제공하는 단계인 전자 장치의 제조 방법.

청구항 18

제16 항에 있어서,

상기 제1 점착층은 상기 제1 감지코일의 상부 면을 전면적으로 커버하고,

상기 제2 점착층은 상기 제2 감지코일의 상부 면을 전면적으로 커버하는 전자 장치의 제조 방법.

청구항 19

제16 항에 있어서,

상기 제1 점착층 상에 제1 서브 점착층을 형성하는 단계를 더 포함하는 전자 장치의 제조 방법.

청구항 20

제19 항에 있어서,

상기 제2 점착층 상에 제2 서브 점착층을 형성하는 단계를 더 포함하는 전자 장치의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 전자 장치 및 이의 제조 방법에 관한 것이다. 보다 상세하게는, 신뢰성이 향상된 전자 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0003] 정보화 사회에서 전자 장치는 시각정보 전달매체로서 그 중요성이 대두되고 있다. 현재 알려져 있는 전자 장치에 포함된 전자 장치는, 액정 전자 장치(liquid crystal display: LCD), 플라즈마 전자 장치(plasma display panel: PDP), 유기 전계 발광 전자 장치(organic light emitting display: OLED), 전계 효과 전자 장치(field effect display: FED), 전기 영동 전자 장치(electrophoretic display: EPD) 등이 있다.

[0004] 전자 장치는 전기적 신호를 인가 받아 활성화된다. 전자 장치는 영상을 표시하는 표시 패널 외부로부터 인가되는 입력을 감지하는 감지 센서를 포함한다.

[0005] 전자 장치는 전기적 신호에 의해 활성화 되도록 다양한 전극 패턴들을 포함할 수 있다. 전극 패턴들이 활성화된 영역은 정보가 표시되거나 외부로부터 인가되는 신호에 반응한다.

발명의 내용

해결하려는 과제

[0007] 본 발명은 외부 입력을 감지하는 감지 센서의 신뢰성이 향상된 전자 장치를 제공하는데 그 목적이 있다.

[0008] 또한, 본 발명은 시인성 및 폴딩 특성이 개선된 전자 장치를 제조할 수 있는 방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0010] 일 실시예에서, 윈도우, 상기 윈도우 하측에 배치된 표시 패널 및 상기 표시 패널 하측에 배치된 디지털타이저를 포함하고, 상기 디지털타이저는, 제1 면 및 상기 제1 면과 대향하는 제2 면을 포함하는 베이스층, 상기 제1 면에 상에 배치되는 제1 감지코일, 상기 제2 면에 상에 배치되는 제2 감지코일, 상기 제1 감지 코일 상에 배치되는 제1 점착층 및 상기 제2 감지 코일 상에 배치되는 제2 점착층을 포함하고, 상기 제1 점착층 및 상기 제2 점착층은 2차 경화성인 전자 장치를 제공한다.

[0011] 상기 제1 점착층은 상기 제1 감지코일의 상부 면을 전면적으로 커버하고, 상기 제2 점착층은 상기 제2 감지코일의 상부 면을 전면적으로 커버할 수 있다.

[0012] 일 실시예의 전자 장치는 상기 제2 점착층 하에 배치되고, 금속을 포함하는 차폐층을 더 포함할 수 있다.

[0013] 상기 차폐층은, 퍼멀로이(permalloy), 인바(invar), 및 스테인레스 스틸 중 어느 하나를 포함할 수 있다.

[0014] 일 실시예의 전자 장치는 상기 차폐층 상에 배치되는 자성 시트를 더 포함하고, 상기 자성 시트는 자성 금속 분

말(MMP, magnetic metal powder)을 포함할 수 있다.

- [0015] 일 실시예의 전자 장치는 상기 제1 점착층 상에 배치되는 제1 서브 점착층을 더 포함하고, 상기 제1 서브 점착층은 상기 제1 점착층보다 낮은 저장탄성율을 가질 수 있다.
- [0016] 상기 제1 서브 점착층은 -20℃에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율(Storage Modulus)을 가질 수 있다.
- [0017] 일 실시예의 전자 장치는 상기 제2 점착층 하에 배치되는 제2 서브 점착층을 더 포함하고, 상기 제2 서브 점착층은 상기 제2 점착층보다 낮은 저장탄성율을 가질 수 있다.
- [0018] 상기 제2 서브 점착층은 -20℃에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율(Storage Modulus)을 가질 수 있다.
- [0019] 일 실시예의 전자 장치는 상기 제2 점착층 하에 배치되는 쿠션층을 더 포함할 수 있다.
- [0020] 일 실시예의 전자 장치는 상기 제1 점착층 상에 배치되는 차광층을 더 포함하고, 상기 차광층은 투과율이 50% 이하일 수 있다.
- [0021] 상기 차광층은 바인더에 분산된 안료 입자들을 포함하고, 상기 바인더는 폴리에틸렌테레프탈레이트(polyethyleneterephthalate) 또는 폴리이미드(polyimide)일 수 있다.
- [0022] 상기 제1 점착층 및 상기 제2 점착층은 산 성분을 포함하지 않는 것일 수 있다.
- [0023] 상기 제1 감지 코일 및 상기 제2 감지 코일은 상부 면에 형성된 도금층을 더 포함할 수 있다.
- [0024] 일 실시예의 전자 장치는 일 방향으로 연장된 가상의 폴딩 축을 기준으로 폴딩되는 폴딩 영역, 상기 폴딩 영역의 일 측으로 연장된 제1 비폴딩 영역, 및 상기 폴딩 영역의 타측으로 연장된 제2 비폴딩 영역을 포함할 수 있다.
- [0025] 일 실시예에서, 디지털타이저를 제조하는 단계 및 상기 디지털타이저 상에 표시 패널을 배치하는 단계를 포함하는 전자 장치의 제조 방법에 있어서, 상기 디지털타이저를 제조하는 단계는 베이스층의 제1 면 상에 제1 감지 코일을 형성하는 단계, 상기 베이스층의 제1 면과 대향하는 제2 면 상에 제2 감지 코일을 형성하는 단계, 상기 제1 감지 코일 상에 반경화 상태의 제1 점착층을 배치하는 단계, 상기 제2 감지 코일 상에 반경화 상태의 제2 점착층을 배치하는 단계, 상기 제1 점착층 및 제2 점착층의 평탄도를 증가시키는 단계 및 상기 제1 점착층 및 제2 점착층에 광을 제공하여 완전 경화하는 단계를 포함하는 전자 장치의 제조 방법을 제공한다.
- [0026] 상기 제1 점착층 및 제2 점착층의 평탄도가 증가하는 단계는 상기 제1 점착층 및 상기 제2 점착층에 열을 제공하는 단계일 수 있다.
- [0027] 상기 제1 점착층은 상기 제1 감지코일의 상부 면을 전면적으로 커버하고, 상기 제2 점착층은 상기 제2 감지코일의 상부 면을 전면적으로 커버하는 것일 수 있다.
- [0028] 일 실시예의 전자 장치의 제조 방법은 상기 제1 점착층 상에 제1 서브 점착층을 형성하는 단계를 더 포함할 수 있다.
- [0029] 일 실시예의 전자 장치의 제조 방법은상기 제2 점착층 상에 제2 서브 점착층을 형성하는 단계를 더 포함할 수 있다.

발명의 효과

- [0031] 본 발명의 실시 예에 따르면, 폴딩되는 전자 장치에 디지털타이저 적용이 가능하여 펜 등을 통한 입력 감지가 가능하면서도, 전자 장치의 폴딩 신뢰성이 향상될 수 있다.

도면의 간단한 설명

- [0033] 도 1a은 본 발명의 일 실시예에 따른 전자 장치의 펼쳐진 상태의 사시도이다.
- 도 1b는 본 발명의 일 실시예에 따른 전자 장치의 사시도이다.
- 도 1c는 본 발명의 일 실시예에 따른 전자 장치의 폴딩된 상태의 평면도이다.

- 도 1d는 본 발명의 일 실시예에 따른 전자 장치의 사시도이다.
- 도 2a는 본 발명의 일 실시예에 따른 전자 장치의 단면도이다.
- 도 2b는 본 발명의 일 실시예에 따른 전자 장치의 단면도이다.
- 도 2c는 본 발명의 일 실시예에 따른 전자 장치의 단면도이다.
- 도 3a는 본 발명의 일 실시예에 따른 표시 패널의 평면도이다.
- 도 3b는 본 발명의 일 실시예에 따른 화소의 등가 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 입력 감지 패널의 평면도이다.
- 도 5는 본 발명의 일 실시예에 따른 디지털타이저의 평면도이다.
- 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 디지털타이저의 단면도이다.
- 도 7 내지 도 12는 본 발명의 일 실시예에 따른 디지털타이저의 단면도이다.
- 도 13a 내지 도 13e는 본 발명의 일 실시예에 따른 디지털타이저의 제조 방법을 순차적으로 나타낸 단면도들이다.

발명을 실시하기 위한 구체적인 내용

- [0034] 본 명세서에서, 어떤 구성요소(또는 영역, 층, 부분 등)가 다른 구성요소 "상에 있다", "연결 된다", 또는 "결합 된다"고 언급되는 경우에 그것은 다른 구성요소 상에 직접 배치/연결/결합될 수 있거나 또는 그들 사이에 제 3의 구성요소가 배치될 수도 있다는 것을 의미한다.
- [0035] 동일한 도면부호는 동일한 구성요소를 지칭한다. 또한, 도면들에 있어서, 구성요소들의 두께, 비율, 및 치수는 기술적 내용의 효과적인 설명을 위해 과장된 것이다.
- [0036] "및/또는"은 연관된 구성들이 정의할 수 있는 하나 이상의 조합을 모두 포함한다.
- [0037] 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0038] 또한, "아래에", "하측에", "위에", "상측에" 등의 용어는 도면에 도시된 구성들의 연관관계를 설명하기 위해 사용된다. 상기 용어들은 상대적인 개념으로, 도면에 표시된 방향을 기준으로 설명된다.
- [0039] 다르게 정의되지 않는 한, 본 명세서에서 사용된 모든 용어 (기술 용어 및 과학 용어 포함)는 본 발명이 속하는 기술 분야의 당업자에 의해 일반적으로 이해되는 것과 동일한 의미를 갖는다. 또한, 일반적으로 사용되는 사전에서 정의된 용어와 같은 용어는 관련 기술의 맥락에서 의미와 일치하는 의미를 갖는 것으로 해석되어야 하고, 이상적인 또는 지나치게 형식적인 의미로 해석되지 않는 한, 명시적으로 여기에서 정의된다.
- [0040] "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다.
- [0041] 본 명세서에서 "B의 구성이 A의 구성 상에 직접 배치된다"는 것은 A의 구성과 B의 구성 사이에 별도의 접착층 및 접착부재가 배치되지 않는 것을 의미한다.
- [0042] 이하, 도면을 참조하여 본 발명의 실시예들을 설명한다.
- [0043] 도 1a은 본 발명의 일 실시예에 따른 전자 장치의 펼쳐진 상태의 사시도이다. 도 1b는 본 발명의 일 실시예에 따른 전자 장치의 사시도이다. 도 1c는 본 발명의 일 실시예에 따른 전자 장치의 폴딩된 상태의 평면도이다. 도 1d는 본 발명의 일 실시예에 따른 전자 장치의 사시도이다.
- [0044] 도 1a를 참조하면, 전자 장치(EA)는 전기적 신호에 따라 활성화되는 장치일 수 있다. 전자 장치(EA)는 다양한 실시예들을 포함할 수 있다. 예를 들어, 전자 장치(EA)는 태블릿, 노트북, 컴퓨터, 스마트 텔레비전 등을 포함할 수 있다. 본 실시예에서, 전자 장치(EA)는 스마트 폰으로 예시적으로 도시되었다.

- [0045] 전자 장치(EA)는 제1 방향(DR1) 및 제2 방향(DR2) 각각에 평행한 제1 표시면(FS)으로 제3 방향(DR3)을 향해 영상(IM)을 표시할 수 있다. 영상(IM)이 표시되는 제1 표시면(FS)은 전자 장치(EA)의 전면(front surface)과 대응될 수 있다. 영상(IM)은 동적인 영상은 물론 정지 영상을 포함할 수 있다. 도 1a에서 영상(IM)의 일 예로 인터넷 검색 창 및 시계 창이 도시되었다
- [0046] 본 실시예에서는 영상(IM)이 표시되는 방향을 기준으로 각 구성들의 전면(또는 상면)과 배면(또는 하면)이 정의된다. 전면과 배면은 제3 방향(DR3)에서 서로 대향(opposing)되고, 전면과 배면 각각의 법선 방향은 제3 방향(DR3)과 평행할 수 있다.
- [0047] 제3 방향(DR3)에서의 전면과 배면 사이의 이격 거리는, 전자 장치(EA)의 제3 방향(DR3)에서의 두께/높이와 대응될 수 있다. 한편, 제1 내지 제3 방향들(DR1, DR2, DR3)이 지시하는 방향은 상대적인 개념으로서 다른 방향으로 변환될 수 있다.
- [0048] 전자 장치(EA)는 외부에서 인가되는 외부 입력을 감지할 수 있다. 외부 입력은 전자 장치(EA)의 외부에서 제공되는 다양한 형태의 입력들을 포함할 수 있다.
- [0049] 예를 들어, 외부 입력은 사용자의 손 등 신체의 일부에 의한 접촉은 물론 전자 장치(EA)와 근접하거나, 소정의 거리로 인접하여 인가되는 외부 입력(예를 들어, 호버링)을 포함할 수 있다. 또한, 힘, 압력, 온도, 광 등 다양한 형태를 가질 수 있다.
- [0050] 도 1a는 사용자의 펜(SP)을 통한 외부 입력을 예시적으로 도시하였다. 도시되지 않았으나, 펜(SP)은 전자 장치(EA) 내부 또는 외부에 장착 및 탈착 될 수 있으며, 전자 장치(EA)는 펜(SP)의 장착 및 탈착에 대응되는 신호를 제공하고 수신 받을 수 있다.
- [0051] 본 실시예에 따른 전자 장치(EA)는 제1 표시면(FS) 및 제2 표시면(RS)을 포함할 수 있다. 제1 표시면(FS)은 제1 액티브 영역(F-AA), 제1 주변 영역(F-NAA), 및 전자 모듈 영역(EMA)을 포함할 수 있다. 제2 표시면(RS)은 제1 표시면(FS)의 적어도 일부와 대향하는 면으로 정의될 수 있다.
- [0052] 제1 액티브 영역(F-AA)은 전기적 신호에 따라 활성화되는 영역일 수 있다. 제1 액티브 영역(F-AA)은 영상(IM)이 표시되고, 다양한 형태의 외부 입력을 감지할 수 있는 영역이다. 제1 주변 영역(F-NAA)은 제1 액티브 영역(F-AA)에 인접한다. 제1 주변 영역(F-NAA)은 소정의 킬러를 가질 수 있다. 제1 주변 영역(F-NAA)은 제1 액티브 영역(F-AA)을 에워쌀 수 있다. 이에 따라, 제1 액티브 영역(F-AA)의 형상은 실질적으로 제1 주변 영역(F-NAA)에 의해 정의될 수 있다. 다만, 이는 예시적으로 도시한 것이고, 제1 주변 영역(F-NAA)은 제1 액티브 영역(F-AA)의 일 측에만 인접하여 배치될 수도 있고, 생략될 수도 있다. 본 발명의 일 실시예에 따른 전자 장치는 다양한 실시예들을 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0053] 전자 모듈 영역(EMA)은 다양한 전자 모듈들이 배치될 수 있다. 예를 들어, 전자 모듈은 카메라, 스피커, 광 감지 센서, 및 열 감지 센서 중 적어도 어느 하나를 포함할 수 있다. 전자 모듈 영역(EMA)은 표시면들(FS, RS)을 통해 수신되는 외부 피사체를 감지하거나 표시면들(FS, RS)을 통해 음성 등의 소리 신호를 외부에 제공할 수 있다. 전자 모듈은 복수의 구성들을 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0054] 전자 모듈 영역(EMA)은 제1 액티브 영역(F-AA) 및 제1 주변 영역(F-NAA)에 에워 싸일 수 있다. 다만, 이에 한정되는 것은 아니며, 전자 모듈 영역(EMA)은 제1 액티브 영역(F-AA) 내에 배치될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0055] 본 실시예에 따른 전자 장치(EA)는 적어도 하나의 폴딩 영역(FA) 및 폴딩 영역(FA)으로부터 연장된 복수의 비폴딩 영역들(NFA1, NFA2)을 포함할 수 있다. 비폴딩 영역들(NFA1, NFA2)은 폴딩 영역(FA)을 사이에 두고 서로 이격되어 배치될 수 있다.
- [0056] 도 1b를 참조하면, 일 실시예에 따른 전자 장치(EA)는 제2 방향(DR2)으로 연장된 가상의 제1 폴딩 축(AX1)을 포함한다. 제1 폴딩 축(AX1)은 제1 표시면(FS) 상에서 제2 방향(DR2)을 따라 연장될 수 있다. 본 실시예에서 비폴딩 영역들(NFA1, NFA2)은 폴딩 영역(FA)을 사이에 두고 폴딩 영역(FA)으로부터 연장될 수 있다. 예를 들어, 제1 비폴딩 영역(NFA1)은 제1 방향(DR1)을 따라 폴딩 영역(FA)의 일 측을 따라 연장되고, 제2 비폴딩 영역(NFA2)은 제1 방향(DR1)을 따라 폴딩 영역(FA)의 타 측을 따라 연장될 수 있다.
- [0057] 전자 장치(EA)는 제1 폴딩 축(AX1)을 기준으로 폴딩되어 제1 표시면(FS) 중 제1 비폴딩 영역(NFA1)과 중첩하는 일 영역 및 제2 비폴딩 영역(NFA2)과 중첩하는 타 영역이 마주하는 인 폴딩(in-folding) 상태로 변형될 수

있다.

- [0058] 도 1c를 참조하면, 일 실시예에 따른 전자 장치(EA)는 인 폴딩 된 상태에서 제2 표시면(RS)이 사용자에게 시인될 수 있다. 이때, 제2 표시면(RS)은 영상을 표시하는 제2 액티브 영역(R-AA)을 포함할 수 있다. 제2 액티브 영역(R-AA)은 전기적 신호에 따라 활성화되는 영역일 수 있다. 제2 액티브 영역(R-AA)은 영상이 표시되고, 다양한 형태의 외부 입력을 감지할 수 있는 영역이다.
- [0059] 제2 주변 영역(R-NAA)은 제2 액티브 영역(R-AA)에 인접한다. 제2 주변 영역(R-NAA)은 소정의 컬러를 가질 수 있다. 제2 주변 영역(R-NAA)은 제2 액티브 영역(R-AA)을 에워쌀 수 있다. 또한, 도시되지 않았으나, 제2 표시면(RS)에도 다양한 구성들을 포함하는 전자 모듈이 배치되는 전자 모듈 영역을 더 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0060] 도 1d를 참조하면, 일 실시예에 따른 전자 장치(EA)는 제2 방향(DR2)으로 연장된 가상의 제2 폴딩 축(Ax2)을 포함한다. 제2 폴딩 축(Ax2)은 제2 표시면(RS) 상에서 제2 방향(DR2)을 따라 연장될 수 있다.
- [0061] 전자 장치(EA)는 제2 폴딩 축(Ax2)을 기준으로 폴딩되어 제2 표시면(RS) 중 제1 비폴딩 영역(NFA1)과 중첩하는 일 영역 및 제2 비폴딩 영역(NFA2)과 중첩하는 타 영역이 마주하는 아웃 폴딩(out-folding) 상태로 변형될 수 있다.
- [0062] 다만, 이에 한정되는 것은 아니며, 복수개의 폴딩 축들을 기준으로 폴딩되어 제1 표시면(FS) 및 제2 표시면(RS) 각각의 일부가 마주하도록 폴딩될 수 있으며, 폴딩 축의 개수 및 이에 따른 비폴딩 영역의 개수는 어느 하나에 한정되지 않는다.
- [0063] 도 2a는 본 발명의 일 실시예에 따른 전자 장치(EA)의 단면도이다. 도 2b는 본 발명의 일 실시예에 따른 전자 장치(EA-1)의 단면도이다. 도 2c는 본 발명의 일 실시예에 따른 전자 장치(EA-2)의 단면도이다.
- [0064] 도 2a를 참조하면, 본 실시예에 따른 전자 장치(EA)는 윈도우(WM), 광학 부재(OM), 표시 모듈(DM), 하부 필름(FM), 디지털타이저(ZM), 및 보호 부재(PM)를 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 광학 부재(OM), 및/또는 하부 필름(FM)은 생략될 수 있다.
- [0065] 윈도우(WM)는 표시 모듈(DM)의 상에 배치된다. 윈도우(WM)는 전자 장치(EA)의 표시면들(FS, RS)을 제공하고, 표시 모듈(DM)을 보호한다. 윈도우(WM)는 광 투과율이 높은 물질을 포함할 수 있다. 예를 들어, 윈도우(WM)는 유리 기판, 사파이어 기판, 또는 플라스틱 필름을 포함할 수 있다. 윈도우(WM)는 다층 또는 단층구조를 가질 수 있다. 예를 들어, 윈도우(WM)는 접착제로 결합된 복수 개의 플라스틱 필름의 적층 구조를 가지거나, 접착제로 결합된 유리 기판과 플라스틱 필름의 적층 구조를 가질 수도 있다.
- [0066] 윈도우(WM) 중 표시 모듈(DM)로부터 생성된 광이 투과되는 일 영역은 제1 표시면(FS)의 제1 액티브 영역(F-AA)으로 정의될 수 있으며, 윈도우(WM)의 베젤 영역은 제1 주변 영역(F-NAA)으로 정의될 수 있다. 또한, 윈도우(WM) 중 표시 모듈(DM)로부터 생성된 광이 투과되는 타 영역은 제2 표시면(RS)의 제2 액티브 영역(R-AA)으로 정의될 수 있으며, 윈도우(WM)의 베젤 영역은 제2 주변 영역(R-NAA)으로 정의될 수 있다.
- [0067] 도시되지 않았으나, 윈도우(WM) 상에는 윈도우(WM)를 보호하는 기능층들을 더 포함할 수 있다. 예를 들어, 기능층들은 지문 방지층, 및 충격 흡수층 중 적어도 어느 하나를 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0068] 광학 부재(OM)는 윈도우(WM)의 하부에 배치된다. 광학 부재(OM)는 표시 모듈(DM)에 입사되는 광에 대한 표시 모듈(DM)의 외광 반사율을 감소시킬 수 있다. 예를 들어, 광학 부재(OM)는 반사 방지 필름, 편광 필름, 컬러 필터, 및 그레이 필터 중 적어도 어느 하나를 포함할 수 있다.
- [0069] 표시 모듈(DM)은 출력 장치로의 기능을 할 수 있다. 예를 들어, 표시 모듈(DM)은 액티브 영역들(F-AA, R-AA)에 영상을 표시하고 사용자는 영상을 통해 정보를 습득할 수 있다. 또한, 표시 모듈(DM)은 액티브 영역들(F-AA, R-AA)에 인가되는 외부 입력을 감지하는 입력 장치로서 기능할 수 있다. 일 실시예에 따른 표시 모듈(DM)은 표시 패널(DP) 및 입력 감지 패널(ISL)을 포함할 수 있다.
- [0070] 하부 필름(FM)은 표시 모듈(DM)의 하부에 배치된다. 하부 필름(FM)은 전자 장치(EA)가 폴딩될 때, 표시 모듈(DM)에 가해지는 스트레스를 저감시킬 수 있다. 또한, 하부 필름(FM)은 외부의 습기가 표시 모듈(DM)에 침투하는 것을 방지하고, 외부 충격을 흡수할 수 있다.
- [0071] 하부 필름(FM)은 플라스틱 필름을 기저층으로써 포함할 수 있다. 하부 필름(FM)은 폴리에테르술폰(PES,

polyethersulfone), 폴리아크릴레이트(polyacrylate), 폴리에테르이미드(PEI, polyether imide), 폴리에틸렌나프탈레이트(PEN, polyethylenenaphthalate), 폴리에틸렌테레프탈레이트(PET, polyethyleneterephthalate), 폴리페닐렌설파이드(PPS, polyphenylene sulfide), 폴리아릴레이트(polyarylate), 폴리이미드(PI, polyimide), 폴리카보네이트(PC, polycarbonate), 폴리아릴렌에테르술포(poly(arylene ethersulfone)) 및 이들의 조합으로 이루어진 그룹에서 선택된 어느 하나를 포함하는 플라스틱 필름을 포함할 수 있다.

- [0072] 하부 필름(FM)을 구성하는 물질은 플라스틱 수지들에 제한되지 않고, 유/무기 복합재료를 포함할 수 있다. 하부 필름(FM)은 다공성 유기층 및 유기층의 기공들에 충전된 무기물을 포함할 수 있다.
- [0073] 하부 필름(FM)은 플라스틱 필름에 형성된 기능층을 더 포함할 수 있다. 상기 기능층은 수지층을 포함할 수 있다. 상기 기능층은 코팅 방식에 의해 형성될 수 있다.
- [0074] 디지털라이저(ZM)는 표시 모듈(DM)의 하부에 배치된다. 디지털라이저(ZM)는 외부 입력 중 펜(SP, 도 1a 참조)에 의해 전달된 신호를 감지할 수 있다. 디지털라이저(ZM)에 관한 설명은 후술한다.
- [0075] 보호 부재(PM)는 표시 모듈(DM) 하부에 배치된다. 보호 부재(PM)는 표시 모듈(DM)을 보호하는 적어도 하나의 기능층들을 포함할 수 있다. 기능층은 예를 들어, 방열층, 차광층, 또는 쿠션층일 수 있다. 차광층 및 쿠션층은 후술하는 디지털라이저(DM) 내부에 포함되는 차광층 및 쿠션층 각각과 동일한 기능을 수행하는 것일 수 있다.
- [0076] 방열층은 표시 모듈(DM)에서 발생하는 열을 효과적으로 방열할 수 있다. 방열층은 방열 특성이 좋은 흑연(graphite), 구리(Cu), 및 알루미늄(Al) 중 적어도 어느 하나를 포함할 수 있으며, 이에 한정되는 것은 아니다. 방열층은 방열 특성을 향상시킬 뿐만 아니라, 전자파 차폐 또는 전자파흡수 특성을 가질 수 있다.
- [0077] 다만, 이에 한정되는 것은 아니며, 차광층, 방열층, 및 쿠션층 중 적어도 어느 하나는 생략될 수도 있고, 복수의 층들이 단일의 층으로 제공될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0078] 본 실시예에 따른 전자 장치(EA)는 제3 방향(DR3)을 따라 보호 부재(PM), 디지털라이저(ZM), 하부 필름(FM), 표시 모듈(DM), 광학 부재(OM), 및 윈도우(WM)가 순차적으로 적층된 구조를 가질 수 있다.
- [0079] 도시되지 않았으나, 전자 장치(EA)에 포함된 구성들 간의 결합은, 구성들 사이에 배치된 접착층에 의해 결합될 수 있다. 이하, 본 발명에서 설명될 접착층은 광학투명접착필름(OCA, Optically Clear Adhesive film), 광학투명접착수지(OCR, Optically Clear Resin) 또는 감압접착필름(PSA, Pressure Sensitive Adhesive film)일 수 있다. 또한, 접착층은 광경화 접착물질 또는 열경화 접착물질을 포함하고, 그 재료는 특별히 제한되지 않는다. 단, 디지털라이저(ZM)의 상, 하부에는 별도의 접착층이 배치되지 않을 수 있으며, 디지털라이저(ZM) 내부에 포함되는 접착층에 대해서는 후술하는 바에 따른다.
- [0080] 도 2b 및 도 2c의 전자 장치(EA-1, EA-2)에 포함된 구성들은 도 2a에서 설명한 구성들과 동일한 구성일 수 있으며, 적층 순서에 따른 차이만을 설명한다.
- [0081] 도 2b를 참조하면, 본 실시예에 따른 전자 장치(EA-1)는 제3 방향(DR3)을 따라 디지털라이저(ZM-1), 보호 부재(PM-1), 하부 필름(FM-1), 표시 모듈(DM-1), 광학 부재(OM-1), 및 윈도우(WM-1)가 순차적으로 적층된 구조를 가질 수 있다.
- [0082] 도 2c를 참조하면, 본 실시예에 따른 전자 장치(EA-2)는 제3 방향(DR3)을 따라 보호 부재(PM-2), 하부 필름(FM-2), 디지털라이저(ZM-2), 표시 모듈(DM-2), 광학 부재(OM-2), 및 윈도우(WM-2)가 순차적으로 적층된 구조를 가질 수 있다.
- [0083] 도 3a는 본 발명의 일 실시예에 따른 표시 패널(DP)의 평면도이다. 도 3b는 본 발명의 일 실시예에 따른 화소(PX)의 등가 회로도이다. 도 4는 본 발명의 일 실시예에 따른 입력 감지 패널(ISL)의 평면도이다. 도 1a 내지 도 2c와 동일한 구성에 대해 동일한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0084] 도 3a를 참조하면, 표시 패널(DP)은 복수의 화소들(PX), 복수의 신호 라인들(GL, DL, PL, ECL), 및 복수의 표시 패드들(PDD)을 포함할 수 있다.
- [0085] 표시 패널(DP)의 표시 영역(DA)은 영상(IM)이 표시되는 영역이고, 비표시 영역(NDA)은 구동 회로나 구동 라인 등이 배치된 영역일 수 있다. 표시 영역(DA)은 전자 장치(EA)의 액티브 영역들(F-AA, R-AA)의 적어도 일부와 중첩할 수 있다. 또한, 비표시 영역(NDA)은 전자 장치(EA)의 주변 영역들(F-NAA, R-NAA)과 중첩할 수 있다.
- [0086] 복수의 신호 라인들(GL, DL, PL, ECL)은 화소들(PX)에 연결되어 화소들(PX)에 전기적 신호들을 전달한다. 표시

패널(DP)에 포함되는 신호 라인들 중 스캔 라인(GL), 데이터 라인(DL), 전원 라인(PL), 및 발광제어 라인(ECL)을 예시적으로 도시하였다. 다만, 이는 예시적으로 도시한 것이고, 신호 라인들(GL, DL, PL, ECL)은 초기화 전압 라인을 더 포함할 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0087] 화소들(PX)은 제1 방향(DR1) 및 제2 방향(DR2)을 따라 서로 이격되어 배열되어 평면상에서 매트릭스(matrix) 형상을 가질 수 있다.
- [0088] 도 3b를 참조하면, 복수의 화소들 중 하나의 화소(PX)의 신호 회로도를 확대하여 예시적으로 도시하였다. 도 3b에는 i번째 스캔 라인(GL_i) 및 i번째 발광제어 라인(ECL_i)에 연결된 화소(PX)를 예시적으로 도시하였다.
- [0089] 화소(PX)는 발광 소자(EE) 및 화소 회로(CC)를 포함할 수 있다. 화소 회로(CC)는 복수의 트랜지스터들(T1-T7) 및 커패시터(CP)를 포함할 수 있다. 복수의 트랜지스터들(T1-T7)은 LTPS(Low Temperature Polycrystalline Silicon) 공정 또는 LTPO(Low Temperature Polycrystalline Oxide) 공정을 통해 형성될 수 있다.
- [0090] 화소 회로(CC)는 데이터 신호에 대응하여 발광 소자(EE)에 흐르는 전류량을 제어한다. 발광 소자(EE)는 화소 회로(CC)로부터 제공되는 전류량에 대응하여 소정의 휘도로 발광할 수 있다. 이를 위하여, 제1 전원(ELVDD)의 레벨은 제2 전원(ELVSS)의 레벨보다 높게 설정될 수 있다. 발광 소자(EE)는 유기발광소자 또는 양자점 발광소자를 포함할 수 있다.
- [0091] 복수의 트랜지스터들(T1-T7) 각각은 입력 전극(또는, 소스 전극), 출력 전극(또는, 드레인 전극), 및 제어 전극(또는, 게이트 전극)을 포함할 수 있다. 본 명세서 내에서 편의상 입력 전극 및 출력 전극 중 어느 하나는 제1 전극으로 지칭되고, 다른 하나는 제2 전극으로 지칭될 수 있다.
- [0092] 제1 트랜지스터(T1)의 제1 전극은 제5 트랜지스터(T5)를 경유하여 제1 전원(ELVDD)에 접속되고, 제1 트랜지스터(T1)의 제2 전극은 제6 트랜지스터(T6)를 경유하여 발광 소자(EE)의 애노드 전극에 접속된다. 제1 트랜지스터(T1)는 본 명세서 내에서 구동 트랜지스터로 지칭될 수 있다.
- [0093] 제1 트랜지스터(T1)는 제1 트랜지스터(T1)의 제어 전극에 인가되는 전압에 대응하여 발광 소자(EE)에 흐르는 전류량을 제어한다.
- [0094] 제2 트랜지스터(T2)는 데이터 라인(DL)과 제1 트랜지스터(T1)의 제1 전극 사이에 접속된다. 그리고, 제2 트랜지스터(T2)의 제어 전극은 i번째 스캔 라인(GL_i)에 접속된다. 제2 트랜지스터(T2)는 i번째 스캔 라인(GL_i)으로 i번째 스캔 신호가 제공될 때 턴-온되어 데이터 라인(DL)과 제1 트랜지스터(T1)의 제1 전극을 전기적으로 접속시킨다.
- [0095] 제3 트랜지스터(T3)는 제1 트랜지스터(T1)의 제2 전극과 제1 트랜지스터(T1)의 제어 전극 사이에 접속된다. 제3 트랜지스터(T3)의 제어 전극은 i번째 스캔 라인(GL_i)에 접속된다. 제3 트랜지스터(T3)는 i번째 스캔 라인(GL_i)으로 i번째 스캔 신호가 제공될 때 턴-온되어 제1 트랜지스터(T1)의 제2 전극과 제1 트랜지스터(T1)의 제어 전극을 전기적으로 접속시킨다. 따라서, 제3 트랜지스터(T3)가 턴-온될 때 제1 트랜지스터(T1)는 다이오드 형태로 접속된다.
- [0096] 제4 트랜지스터(T4)는 노드(ND)와 초기화 전원생성부(미도시) 사이에 접속된다. 그리고, 제4 트랜지스터(T4)의 제어 전극은 i-1번째 스캔 라인(GL_{i-1})에 접속된다. 제4 트랜지스터(T4)는 i-1번째 스캔 라인(GL_{i-1})으로 i-1번째 스캔 신호가 제공될 때 턴-온되어 노드(ND)로 초기화전압(V_{int})을 제공한다.
- [0097] 제5 트랜지스터(T5)는 전원 라인(PL)과 제1 트랜지스터(T1)의 제1 전극 사이에 접속된다. 제5 트랜지스터(T5)의 제어 전극은 i번째 발광제어 라인(ECL_i)에 접속된다.
- [0098] 제6 트랜지스터(T6)는 제1 트랜지스터(T1)의 제2 전극과 발광 소자(EE)의 애노드전극 사이에 접속된다. 그리고, 제6 트랜지스터(T6)의 제어 전극은 i번째 발광제어 라인(ECL_i)에 접속된다.
- [0099] 제7 트랜지스터(T7)는 초기화 전원생성부(미도시)와 발광 소자(EE)의 애노드전극 사이에 접속된다. 그리고, 제7 트랜지스터(T7)의 제어 전극은 i+1번째 스캔 라인(GL_{i+1})에 접속된다. 이와 같은 제7 트랜지스터(T7)는 i+1번째 스캔 라인(GL_{i+1})으로 i+1번째 스캔 신호가 제공될 때 턴-온되어 초기화전압(V_{int})을 발광 소자(EE)의 애노드전극으로 제공한다.
- [0100] 제7 트랜지스터(T7)는 화소(PX)의 블랙 표현 능력을 향상시킬 수 있다. 구체적으로, 제7 트랜지스터(T7)가 턴-온되면 발광 소자(EE)의 기생 커패시터(미도시)가 방전된다. 그러면, 블랙 휘도 구현 시 제1 트랜지스터(T1)로부터의 누설전류에 의하여 발광 소자(EE)가 발광하지 않게 되고, 이에 따라 블랙 표현 능력이 향상될 수 있다.

- [0101] 추가적으로, 도 3b에서는 제7 트랜지스터(T7)의 제어 전극이 $i+1$ 번째 스캔 라인(GL_{i+1})에 접속되는 것으로 도시되었지만, 본 발명이 이에 한정되지는 않는다. 본 발명의 다른 실시예에서, 제7 트랜지스터(T7)의 제어 전극은 i 번째 스캔 라인(GL_i) 또는 $i-1$ 번째 스캔 라인(GL_{i-1})에 접속될 수 있다.
- [0102] 커패시터(CP)는 전원 라인(PL)과 노드(ND) 사이에 배치된다. 커패시터(CP)는 데이터 신호에 대응되는 전압을 저장한다. 커패시터(CP)에 저장된 전압에 따라 제5 트랜지스터(T5) 및 제6 트랜지스터(T6)가 턴-온 될 때 제1 트랜지스터(T1)에 흐르는 전류량이 결정될 수 있다.
- [0103] 본 발명에서 화소(PX)의 등가 회로는 도 3b에 도시된 등가 회로로 한정되지 않는다. 본 발명의 다른 실시예에서 화소(PX)는 발광 소자(EE)를 발광시키기 위한 다양한 형태로 구현될 수 있다. 도 3b에서는 PMOS를 기준으로 도시하였으나, 이에 제한되지 않는다. 본 발명의 다른 실시예에서 화소 회로(CC)는 NMOS로 구성될 수 있다. 본 발명의 또 다른 실시예에서 화소 회로(CC)는 NMOS와 PMOS의 조합에 의해 구성될 수 있다.
- [0104] 다시, 도 3a를 참조하면, 전원 패턴(VDD)은 비표시 영역(NDA)에 배치된다. 본 실시예에서, 전원 패턴(VDD)은 복수의 전원 라인들(PL)과 접속된다. 이에 따라, 표시 패널(DP)은 전원 패턴(VDD)을 포함함으로써, 복수의 화소들(PX)에 동일한 제1 전원 신호를 제공할 수 있다.
- [0105] 표시 패드들(PDD)은 제1 패드(D1) 및 제2 패드(D2)를 포함할 수 있다. 제1 패드(D1)는 복수로 구비되어 데이터 라인들(DL)에 각각 연결될 수 있다. 제2 패드(D2)는 전원 패턴(VDD)에 연결되어 전원 라인(PL)과 전기적으로 연결될 수 있다. 표시 패널(DP)은 표시 패드들(PDD)을 통해 외부로부터 제공된 전기적 신호들을 화소들(PX)에 제공할 수 있다. 한편, 표시 패드들(PDD)은 제1 패드(D1) 및 제2 패드(D2) 외에 다른 전기적 신호들을 수신하기 위한 패드들을 더 포함할 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0106] 도 4를 참조하면, 입력 감지 패널(ISL)은 표시 패널(DP) 상에 배치될 수 있다. 입력 감지 패널(ISL)은 별도의 접착층을 통해 표시 패널(DP)과 결합될 수 있다. 다만, 이에 한정되는 것은 아니며, 입력 감지 패널(ISL)은 연속 공정에 의해 표시 패널(DP) 상에 직접 형성될 수 있으며, 어느 하나의 실시예로 한정되지 않는다.
- [0107] 입력 감지 패널(ISL)은 제1 감지 전극(TE1), 제2 감지 전극(TE2), 복수의 트레이스 라인들(TL1, TL2, TL3), 복수의 감지 패드들(TP1, TP2, TP3)을 포함할 수 있다. 입력 감지 패널(ISL)은 감지 영역(SA) 및 비감지 영역(NSA)이 정의될 수 있다. 비감지 영역(NSA)은 감지 영역(SA)을 에워쌀 수 있다. 감지 영역(SA)은 외부에서 인가되는 입력을 감지하는 센싱 영역(sensing area)일 수 있다. 감지 영역(SA)은 표시 패널(DP)의 표시 영역(DA)과 중첩할 수 있다.
- [0108] 입력 감지 패널(ISL)은 자기 정전 용량식(self-capacitance type) 및 상호 정전 용량식(mutual capacitance type) 중 어느 한 방식에 의해 외부 입력을 감지할 수 있다. 제1 감지 전극(TE1), 제2 감지 전극(TE2)은 방식에 부합하게 다양하게 변형되어 배치 및 연결될 수 있다.
- [0109] 제1 감지 전극(TE1)은 제1 감지 패턴들(SP1) 및 제1 브릿지 패턴들(BP1)을 포함할 수 있다. 제1 감지 전극(TE1)은 제1 방향(DR1)을 따라 연장되고, 제2 방향(DR2)을 따라 배열될 수 있다. 제1 감지 패턴들(SP1)은 제1 방향(DR1)을 따라 이격되어 배열될 수 있다. 적어도 하나의 제1 브릿지 패턴(BP1)은 서로 인접한 두 개의 제1 감지 패턴들(SP1) 사이에 배치될 수 있다.
- [0110] 제2 감지 전극(TE2)은 제2 감지 패턴들(SP2) 및 제2 브릿지 패턴들(BP2)을 포함할 수 있다. 제2 감지 전극(TE2)은 제2 방향(DR2)을 따라 연장되고, 제1 방향(DR1)을 따라 배열될 수 있다. 제2 감지 패턴들(SP2)은 제2 방향(DR2)을 따라 이격되어 배열될 수 있다. 적어도 하나의 제2 브릿지 패턴(BP2)은 서로 인접한 두 개의 제2 감지 패턴들(SP2) 사이에 배치될 수 있다.
- [0111] 트레이스 라인들(TL1, TL2, TL3)은 비감지 영역(NSA)에 배치된다. 트레이스 라인들(TL1, TL2, TL3)은 제1 트레이스 라인(TL1), 제2 트레이스 라인(TL2), 및 제3 트레이스 라인(TL3)을 포함할 수 있다.
- [0112] 제1 트레이스 라인(TL1)은 제1 감지 전극(TE1)의 일 단에 연결된다. 제2 트레이스 라인(TL2)은 제2 감지 전극(TE2)의 일 단에 연결된다. 제3 트레이스 라인(TL3)은 제2 감지 전극(TE2)의 타 단에 각각 연결된다. 제2 감지 전극(TE2)의 타 단은 제2 감지 전극(TE2)의 일 단과 대향되는 부분일 수 있다.
- [0113] 본 발명에 따르면, 제2 감지 전극(TE2)은 제2 트레이스 라인(TL2) 및 제3 트레이스 라인(TL3)에 연결될 수 있다. 이에 따라, 제1 감지 전극(TE1)에 비해 상대적으로 긴 길이를 가진 제2 감지 전극(TE2)에 대하여 영역에 따른 감도를 균일하게 유지시킬 수 있다. 한편, 이는 예시적으로 도시한 것이고, 제3 트레이스 라인(TL3)은 생

략될 수도 있으며, 어느 하나의 실시예로 한정되지 않는다.

- [0114] 감지 패드들(TP1, TP2, TP3)은 비감지 영역(NSA)에 배치된다. 감지 패드들(TP1, TP2, TP3)은 제1 감지 패드(TP1), 제2 감지 패드(TP2), 및 제3 감지 패드(TP3)를 포함할 수 있다. 제1 감지 패드(TP1)는 제1 트레이스 라인(TL1)에 연결되어 제1 감지 전극(TE1)과 전기적으로 연결된다. 제2 감지 패드(TP2)는 제2 트레이스 라인(TL2)에 연결되고, 제3 감지 패드(TP3)는 제3 트레이스 라인(TL3)에 연결된다. 따라서, 제2 감지 패드(TP2) 및 제3 감지 패드(TP3)는 대응되는 제2 감지 전극(TE2)과 전기적으로 연결된다.
- [0115] 도 5은 본 발명의 일 실시예에 따른 디지털타이저(ZM)의 평면도이다. 도 6a 및 도 6b는 본 발명의 일 실시예에 따른 디지털타이저(ZM)의 평면도이다. 도 6a 및 도 6b는 도 5의 I-I'를 따라 절단한 단면도이다. 도 6a 및 도 6b를 참조하여 디지털타이저(ZM)의 기본 구조에 대해 설명한다. 도 1a 내지 도 4와 동일한 구성에 대해 동일한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0116] 본 발명에 따른 디지털타이저(ZM)는 전자기 공명(EMR, ElectroMagnetic Resonance)방식으로 외부 입력을 감지할 수 있다. 전자기 공명(EMR) 방식은, 펜(SP, 도 1) 내부에 구성된 공진회로에서 자계를 발생시키고, 진동하는 자계는 디지털타이저(ZM)에 포함된 복수의 코일들에 신호를 유도하고, 코일들에 유도된 신호를 통해 펜(SP, 도 1)의 위치를 검출할 수 있다.
- [0117] 도 5를 참조하면, 디지털타이저(ZM)는 베이스층(PI), 디지털타이저 센서들(CF1, CF2, RF1, RF2), 및 복수의 디지털타이저 패드들(TC1, TC2)을 포함할 수 있다.
- [0118] 디지털타이저(ZM1)는 베이스층(PI) 상에 배치되는 복수의 디지털타이저 센서들(RF1, RF2, CF1, CF2)을 포함할 수 있다. 베이스층(PI)은 디지털타이저 센서들(CF1, CF2, RF1, RF2)이 배치되는 기저층일 수 있다. 베이스층(PI)은 유기물을 포함할 수 있다. 예를 들어, 베이스층(PI)은 폴리이미드(PI, Polyimide)를 포함할 수 있다.
- [0119] 제1 디지털타이저 센서들(RF1, RF2) 각각은 복수의 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3)을 포함하고, 제2 디지털타이저 센서들(CF1, CF2) 각각은 복수의 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3)을 포함한다. 복수의 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 및 복수의 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 각각은 금속을 포함할 수 있다. 일 실시예에서, 복수의 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 및 복수의 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 각각은 구리(Cu)를 포함할 수 있다.
- [0120] 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3)은 제2 방향(DR2)으로 연장될 수 있다. 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3)은 제1 방향(DR1)을 따라 서로 이격되어 배열될 수 있다.
- [0121] 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3)은 제1 방향(DR1)으로 연장될 수 있다. 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3)은 제2 방향(DR2)을 따라 서로 이격되어 배열될 수 있다.
- [0122] 제1 디지털타이저 센서들(RF1, RF2)은 전자기 공명 방식의 디지털타이저(ZM)의 입력 코일들에 대응하고, 제2 디지털타이저 센서들(CF1, CF2)은 전자기 공명 방식의 디지털타이저(ZM)의 출력 코일들에 대응된다.
- [0123] 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 및 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3)은 베이스층(PI) 내에서 서로 절연되어 배치될 수 있다. 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 각각은 대응하는 제1 디지털타이저 패드들(TC1)에 연결되고, 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 각각은 대응하는 제2 디지털타이저 패드들(TC2)에 연결된다.
- [0124] 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 각각은, 서로 다른 구간에서 활성화되는 스캔 신호들을 수신한다. 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 각각은 대응하는 스캔 신호에 응답하여 자기장을 발생시킨다.
- [0125] 펜(SP, 도 1a 참조)이 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3)에 인접하면, 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3)로부터 유도된 자기장이 펜(SP)의 공진회로와 공진한다. 펜(SP)은 공진 주파수를 발생시킨다. 여기서, 펜(SP)은 인덕터와 커패시터를 포함하는 LC 공진회로를 구비한 펜(SP)일 수 있다.
- [0126] 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3)은 입력수단의 공진 주파수에 따른 감지 신호들을 제2 디지털타이저 패드들(TC2)로 출력한다.
- [0127] 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 중 제2 코일(RF2-2)과, 제2 감지 코일들(CF1-1,

CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 중 제2 코일(CF2-2)이 교차하는 영역 중 중심부를 입력지점(PP)으로 가정한다.

- [0128] 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-2, RF2-3) 중 제2 코일(RF2-2)로부터 출력된 감지 신호는 나머지 제1 감지 코일들(RF1-1, RF1-2, RF1-3, RF2-1, RF2-3)로부터 출력된 감지 신호들보다 높은 레벨을 갖는다.
- [0129] 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 중 제2 코일(CF2-2)로부터 출력된 감지 신호는 나머지 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-3)로부터 출력된 감지 신호들 보다 높은 레벨을 갖는다.
- [0130] 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 중 제1 코일(CF2-1) 및 제3 코일(CF2-3)으로부터 출력된 감지 신호들은, 제2 코일(CF2-2)로부터 출력된 감지 신호보다 낮고, 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-2, CF2-3) 중 제1 코일(CF2-1) 및 제3 코일(CF2-3)으로부터 출력된 감지 신호들은, 나머지 제2 감지 코일들(CF1-1, CF1-2, CF1-3)로부터 출력된 감지 신호들 보다 높은 레벨을 갖는다.
- [0131] 레벨이 높은 제2 코일(CF2-2)로부터 출력된 감지 신호가 검출된 시간 및 상기 제2 코일(CF2-2)의 제2 감지 코일들(CF1-1, CF1-2, CF1-3, CF2-1, CF2-3)에 대한 상대적 위치에 근거하여, 펜(SP)에 의한 입력지점(PP)의 2차원 좌표 정보를 산출할 수 있다.
- [0132] 도 6a를 참조하면, 일 실시예에서 디지털타이저(ZM1-1)는 단면상에서 순차적으로 적층된 제1 점착층(AD1), 제1 감지코일(RF1-1, RF1-2, RF1-3), 베이스층(PI), 제2 감지코일(CF1-1, CF1-2, CF1-3), 및 제2 점착층(AD2)을 포함한다.
- [0133] 일 실시예에 따른 베이스층(PI)은 제1 면(PI-U, 전면) 및 제1 면(PI-U)과 대향하는 제2 면(PI-B, 배면)을 포함한다. 제1 면(PI-U)은 제2 면(PI-B)에 비해 상대적으로 표시 모듈(DM)과 인접하게 배치될 수 있다. 제1 면(PI-U, 전면) 상에는 제1 감지코일(RF1-1, RF1-2, RF1-3)이 배치될 수 있고, 제2 면(PI-B) 상에는 제2 감지코일(CF1-1, CF1-2, CF1-3)이 배치될 수 있다.
- [0134] 본 명세서에서, 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)이 베이스층(PI)와 접하는 면을 하면으로 명명하고, 하면을 제외한 나머지 면을 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)의 상부면으로 명명한다.
- [0135] 일 실시예에서, 제1 점착층(AD1)은 제1 면(PI-U) 상에 배치되고, 제2 점착층(AD2)은 제2 면(PI-B) 하에 배치된다. 디지털타이저(ZM1-1)는 제1 면(PI-U) 및 제2 면(PI-B) 상에 배치되는 제1 점착층(AD1) 및 제2 점착층(AD2)를 통해 전자 장치(EA)의 다른 구성과 점착될 수 있다.
- [0136] 제1 점착층(AD1)은 제1 감지코일(RF1-1, RF1-2, RF1-3) 상에 배치되며, 제1 감지코일(RF1-1, RF1-2, RF1-3)의 상부 면을 전면적으로 커버할 수 있다. 제2 점착층(AD2)은 제2 감지코일(CF1-1, CF1-2, CF1-3) 상에 배치되며, 제2 감지코일(CF1-1, CF1-2, CF1-3)의 상부 면을 전면적으로 커버할 수 있다.
- [0137] 제1 점착층(AD1)은 제1 면(PI-U)과 접하는 면보다 제1 면(PI-U)과 접하는 면과 대향하는 면의 표면 거칠기가 작을 수 있다. 제2 점착층(AD2)은 제2 면(PI-B)과 접하는 면보다 제2 면(PI-B)과 접하는 면과 대향하는 면의 표면 거칠기가 작을 수 있다. 즉, 제1 점착층(AD1) 및 제2 점착층(AD2)은 베이스층(PI)과 접하는 면과 대향하는 면의 평평도가 클 수 있다. 이에 따라 일 실시예에 따른 전자 장치(EA)는 디지털타이저(ZM1-1)와 디지털타이저(ZM1-1) 상부에 배치되는 구성 사이에 별도의 상부 커버층이나 점착층을 포함하지 않을 수 있다. 또한, 일 실시예에 따른 전자 장치(EA)는 디지털타이저(ZM1-1)와 디지털타이저(ZM1-1) 하부에 배치되는 구성 사이에 별도의 하부 커버층이나 점착층을 포함하지 않을 수 있다.
- [0138] 제1 점착층(AD1) 및 제2 점착층(AD2)은 2차 경화성 점착층일 수 있다. 본 발명에서 2차 경화성 점착층이란, 두 번의 경화에 의해 완전 경화가 이루어져 점착력을 가지는 점착층을 의미한다. 구체적으로 1차 경화에 의해 점착층의 약 50% 정도가 경화되며, 2차 경화에 의해 약 100%의 경화가 이루어진 점착층을 의미한다. 제1 점착층(AD1) 및 제2 점착층(AD2)은 동일한 점착 조성물이 2차 경화되어 형성된 층일 수 있다.
- [0139] 일 실시예에 따른 제1 점착층(AD1) 및 제2 점착층(AD2)은 수지 조성물, 및 경화제를 포함하는 점착 조성물을 함유한다. 제1 점착층(AD1) 및 제2 점착층(AD2)은 보다 상세하게 점착 조성물이 경화되어 형성된 층일 수 있다.
- [0140] 일 실시예에 따른 수지 조성물은 (메타)아크릴레이트 및 2차 개시제를 포함한다. 한편, 본 명세서에서 (메트)아

크릴레이트는 아크릴레이트 또는 메타크릴레이트를 나타내는 것이다. 일 실시예의 수지 조성물에 포함되는 (메타)아크릴레이트의 종류는 특별히 제한되지 않으며, 예를 들어, 메틸 아크릴레이트, 에틸 아크릴레이트, 프로필 아크릴레이트 및 부틸 아크릴레이트, 2-에틸헥실 아크릴레이트, 2-에틸헨틸 아크릴레이트, 2-에틸헥틸 아크릴레이트, 2-에틸노닐 아크릴레이트, 2-프로필헥실 아크릴레이트 및 2-프로필옥틸 동일 수 있다.

- [0141] 일 실시예의 수지 조성물에 포함되는 2차 개시제는 1차 경화에서 분해되지 않고, 2차 경화가 진행 가능한 개시제일 수 있다. 2차 개시제의 종류는 1차 경화에서 분해되지 않는 물질이라면 특별히 제한되지 않으며, 예를 들어, 광경화성 물질의 광중합을 개시하는 상기 광개시제일 수 있다. 광개시제는 예를 들어, 벤조페논, 비스-아실 포스핀옥사이드, 페닐포스핀옥사이드, 모노아크릴포스핀, 알파-하이드록시케톤, 알파-아미노케톤, (오-에톡시카르복실)옥심, 아세토페논, 페닐 글리옥실릭, 벤질디메틸-케탈, 미힐러케톤, 이미다졸, 메틸리디네트리스디메틸 아닐린, 아이도늄, 설포니움 티모네이트, 설포니움포스포네이트, 메탈로센, 올리고머릭 알파-하이드로케톤, 티오크산톤, 벤조일-설파이드, 아미노벤조에이트 및 히드록시시클로 헥실페닐케톤 중 적어도 하나일 수 있다.
- [0142] 한편, 제1 점착층(AD1) 및 제2 점착층(AD2)은 필요에 따라 일반적으로 첨가되는 첨가제를 더 함유할 수 있다. 첨가제의 예로는 광중합제, 중합금지제, 레벨링제, 계면활성제, 밀착성부여제, 가스제, 자외 선흡수제, 산화방지제, 저장안정제, 대전방지제, 무기충전제, 안료, 염료 등을 들 수 있지만 이들에 한정되지 않는다.
- [0143] 일 실시예에서, 제1 점착층(AD1) 및 제2 점착층(AD2)은 산 성분을 포함하지 않을 수 있다. 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)과 직접 접하는 제1 점착층(AD1) 및 제2 점착층(AD2)이 산 성분을 포함하지 않는 경우, 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)이 부식되는 것을 방지할 수 있다.
- [0144] 제1 점착층(AD1) 및 제2 점착층(AD2)은 각각 10 μm 이상 50 μm 이하의 두께를 가질 수 있다. 제1 점착층(AD1) 및 제2 점착층(AD2)의 두께가 10 μm 미만인 경우 접착력이 저하될 수 있다. 또한, 제1 점착층(AD1) 및 제2 점착층(AD2)의 두께가 50 μm 초과인 경우 전체 전자 장치(EA)의 두께가 두꺼워 풀딩 신뢰성이 낮아질 수 있다.
- [0145] 제1 점착층(AD1) 및 제2 점착층(AD2)은 각각 -20°C 에서 0.5 MPa 이상 5 MPa 이하의 저장탄성율(Storage Modulus)을 가질 수 있다. 제1 점착층(AD1) 및 제2 점착층(AD2)이 상기 범위의 저장탄성율(Storage Modulus)을 가질 때 전자 장치(EA)의 풀딩 신뢰성을 확보할 수 있다.
- [0146] 도 6b를 참조하면, 디지털라이저(ZM1-2)는 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3) 상부면에 형성된 도금층(CL)을 더 포함할 수 있다. 도금층(CL)을 포함하는 경우, 제1 점착층(AD1) 및 제2 점착층(AD2)이 산 성분을 포함하더라도 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)이 부식되는 것을 방지할 수 있다. 도금층(CL)은 제1 감지코일(RF1-1, RF1-2, RF1-3) 및 제2 감지코일(CF1-1, CF1-2, CF1-3)의 부식을 방지할 수 있는 재료를 포함할 수 있으며, 예를 들어, Sn, Ag, Au, Ni 또는 이들의 합금에서 선택되는 어느 하나를 포함할 수 있다.
- [0147] 도 7 내지 도 12는 디지털라이저의 단면을 간략하게 도시한 것이다. 도 1a 내지 도 6b와 동일한 구성에 대해 동일한 참조 부호를 사용하며, 중복된 설명은 생략한다.
- [0148] 도 7 내지 도 12를 참조하면, 일 실시예에 따른 디지털라이저는 차폐층(MP), 자성 시트(MMP), 쿠션층(CSL), 차광층(BPI), 제1 서브 점착층(MAD1), 및 제2 서브 점착층(MAD2) 중 어느 하나를 더 포함할 수 있다. 다만, 이에 제한되는 것은 아니며, 차폐층(MP), 자성 시트(MMP), 쿠션층(CSL), 차광층(BPI), 제1 서브 점착층(MAD1), 및 제2 서브 점착층(MAD2) 중 어느 하나를 생략하거나 더 포함할 수 있다.
- [0149] 도 7을 참조하면, 일 실시예에 따른 디지털라이저(ZM2)는 차폐층(MP)을 더 포함할 수 있다. 차폐층(MP)은 제2 점착층(AD2) 하에 배치될 수 있다. 차폐층(MP)은 디지털라이저(ZM2)를 형성하는 공정 시 베이스 기판으로 사용되는 기저층의 일부일 수 있다.
- [0150] 일 실시예에서, 차폐층(MP)은 금속을 포함할 수 있다. 예를 들어, 차폐층(MP)은 니켈(Ni)과 철(Fe)의 합금인 퍼멀로이(permalloy) 또는 인바(invar), 및 스테인레스 스틸 중 적어도 어느 하나를 포함할 수 있다.
- [0151] 도 8을 참조하면, 일 실시예에 따른 디지털라이저(ZM3)는 자성 시트(MMP)를 더 포함할 수 있다. 자성 시트(MMP)는 제2 점착층(AD2) 하에 배치될 수 있다. 자성 시트(MMP)는 차폐층(MP) 상에 배치될 수 있다. 일 실시예에서 자성 시트(MMP)는 자성 금속 분말(MMP, magnetic metal powder)을 포함하는 층일 수 있다.
- [0152] 차폐층(MP) 및 자성 시트(MMP)는 디지털라이저(ZM2, ZM3)의 하부에 배치된 구성들과 디지털라이저(ZM2, ZM3)간의 전

기적 간섭을 방지할 수 있다. 이에 따라, 신뢰성이 향상된 전자 장치를 제공할 수 있다.

- [0153] 도 9를 참조하면, 일 실시예의 디지털라이저(ZM4)는 쿠션층(CSL)을 더 포함할 수 있다. 쿠션층(CSL)은 제2 점착층(AD2) 하에 배치될 수 있다. 쿠션층(CSL)은 차폐층(MP) 상에 배치될 수 있다. 쿠션층(CSL)은 합성수지 발포 폼(form)일 수 있다. 쿠션층(CSL)은 매트릭스 및 복수의 공극들을 포함할 수 있다. 쿠션층(CSL)은 탄성을 가지며 다공성 구조를 가질 수 있다.
- [0154] 매트릭스는 유연한 물질을 포함할 수 있다. 매트릭스는 합성 수지를 포함한다. 예를 들어, 매트릭스는 아크릴로 나이트릴 부타디엔 스티렌 공중합체(Acrylonitrile butadiene styrene copolymer, ABS), 폴리우레탄(Polyurethane, PU), 폴리에틸렌(Polyethylene, PE), 에틸렌 비닐 아세테이트(Ethylene Vinyl Acetate, EVA), 및 폴리염화비닐(Polyvinyl chloride, PVC) 중 적어도 어느 하나를 포함할 수 있다.
- [0155] 복수의 공극들은 쿠션층(CSL)에 인가되는 충격을 용이하게 흡수한다. 복수의 공극들은 쿠션층(CSL)이 다공성 구조를 가짐에 따라 정의될 수 있다.
- [0156] 도 10을 참조하면, 디지털라이저(ZM5)는 차광층(BPI)을 더 포함할 수 있다. 차광층(BPI)은 제1 점착제(AD1) 상에 배치될 수 있다. 차광층(BPI)은 액티브 영역들(F-AA, R-AA, 도 1a)을 통해 표시 모듈(DM)에 배치되는 구성들이 윈도우(WM)로 비치는 문제를 개선하는 역할을 할 수 있다. 차광층(BPI)은 투과율이 50% 이하일 수 있으며, 이를 위해 바인더 및 이에 분산된 복수의 안료 입자들을 포함할 수 있다. 안료 입자들은 카본 블랙 등을 포함할 수 있다. 차광층(BPI)을 구성하는 바인더의 종류는 특별히 제한되지 않으나, 예를 들어, 폴리에틸렌테레프탈레이트(polyethyleneterephthalate) 또는 폴리이미드(polyimide)일 수 있다. 일 실시예에 따른 전자 장치(EA)는 차광층을 포함하는 디지털라이저(ZM5)를 포함함으로써, 광 차폐성 향상 효과를 가질 수 있다.
- [0157] 도 11 및 도 12를 참조하면, 본 실시예에 따른 디지털라이저(ZM6, ZM7)는 제1 서브 점착층(MAD1)을 더 포함할 수 있다. 제1 서브 점착층(MAD1)은 모듈러스 제어용 점착층일 수 있다. 제1 서브 점착층(MAD1)은 제1 점착층(AD1) 상에 배치되어 제1 점착층(AD1) 보다 낮은 저장탄성율을 가질 수 있다. 구체적으로 제1 서브 점착층(MAD1)은 -20℃에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율을 가질 수 있다.
- [0158] 일 실시예에 따른 전자 장치(EA)는 저장탄성율이 낮은 제1 서브 점착층(MAD1)을 포함하는 디지털라이저(ZM6, ZM7)를 포함함으로써, 폴딩 특성이 개선될 수 있다.
- [0159] 디지털라이저(ZM6, ZM7)가 제1 서브 점착층(MAD1)을 더 포함할 때, 제1 서브 점착층(MAD1)과 상기 제1 점착층(AD1)의 두께의 합은 10 μ m 이상 50 μ m 이하일 수 있다.
- [0160] 도 12를 참조하면, 또한, 본 실시예에 따른 디지털라이저(ZM7)는 제2 서브 점착층(MAD2)을 더 포함할 수 있다. 제2 서브 점착층(MAD2)은 모듈러스 제어용 점착층일 수 있다. 제2 서브 점착층(MAD2)은 제2 점착층(AD2) 하에 배치되어 제2 점착층(AD2) 보다 낮은 저장탄성율을 가질 수 있다. 구체적으로 제2 서브 점착층(MAD2)은 -20℃에서 0.01 MPa 이상 1 MPa 이하의 저장탄성율을 가질 수 있다.
- [0161] 일 실시예에 따른 전자 장치(EA)는 저장탄성율이 낮은 제2 서브 점착층(MAD2)을 포함하는 디지털라이저(ZM7)를 포함함으로써, 폴딩 특성이 개선될 수 있다.
- [0162] 디지털라이저(ZM7)가 제2 서브 점착층(MAD2)을 더 포함할 때, 제2 서브 점착층(MAD2)과 상기 제2 점착층(AD2)의 두께의 합은 10 μ m 이상 50 μ m 이하일 수 있다.
- [0163] 도 13a 내지 도 13e는 본 발명의 일 실시예에 따른 전자 장치에 포함되는 디지털라이저의 제조방법을 간략하게 도시한 단면도들이다. 도 1a 내지 도 12와 동일/유사한 구성에 대해 동일/유사한 참조 부호를 사용하며, 중복된 설명은 생략한다. 이하, 도 13a 내지 도 13e를 참조하여, 본 발명의 일 실시예에 따른 전자 장치 제조 방법을 설명한다.
- [0164] 일 실시예에 따른 전자 장치 제조 방법은 디지털라이저를 제조하는 단계 및 상기 디지털라이저 상에 표시 패널을 배치하는 단계를 포함한다.
- [0165] 도 13a 및 도 13b를 참조하면, 디지털라이저를 제조하는 단계는 베이스층(PI)의 제1 면 상에 제1 감지코일(RF1)을 형성하는 단계 및 제1 면과 대향하는 제2 면에 제2 감지코일(CF1)을 형성하는 단계를 포함한다.
- [0166] 도 13c를 참조하면, 디지털라이저를 제조하는 단계는 제1 감지코일(RF1) 상에 반경화 상태의 제1 점착층(AD1)을 배치하는 단계 및 제2 감지코일(CF1) 상에 반경화 상태의 제2 점착층(AD2)을 배치하는 단계를 포함한다. 제1 점착층(AD1)은 제1 감지코일(RF1)의 상부 면을 전면적으로 커버하고, 제2 점착층(AD2)은 제2 감지코일(CF1)의 상

부 면을 전면적으로 커버하도록 배치될 수 있다.

- [0167] 다만, 제1 점착층(AD1), 및 제2 점착층(AD2)를 배치하는 순서는 제한되지 않으며, 예를 들어, 롤러를 이용하여 라미네이션 방식으로 제1 점착층(AD1), 및 제2 점착층(AD2)을 동시에 적층할 수 있다. 반경화 상태의 제1 점착층(AD1) 및 반경화 상태의 제2 점착층(AD2)은 약 50% 정도의 경화가 이루어진 것으로 미세한 점착력을 가지는 상태일 수 있고, 이후 자외선과 같은 광을 조사하여 완전히 경화되는 타입일 수 있다.
- [0168] 도 13d를 참조하면, 디지털이저를 제조하는 단계는 제1 점착층(AD1), 및 제2 점착층(AD2)의 평탄도가 증가하는 단계를 포함할 수 있다. 제1 점착층(AD1), 및 제2 점착층(AD2)의 평탄도를 증가시키는 단계는 제1 점착층(AD1), 및 제2 점착층(AD2)에 열을 제공하는 단계일 수 있다. 구체적으로 120℃ 내지 170℃의 열을 가할 수 있다.
- [0169] 제1 점착층(AD1), 및 제2 점착층(AD2)은 복수의 감지코일들(RF1, CF1)에 의해 감지코일들(RF1, CF1)와 접하는 면과 대향하는 표면에 단차가 발생할 수 있다. 이때, 제1 점착층(AD1), 및 제2 점착층(AD2)에 열(heat)이 제공되면 제1 점착층(AD1), 및 제2 점착층(AD2)에서 열용융(Hot-melt)이 발생할 수 있고, 이에 따라 제1 점착층(AD1), 및 제2 점착층(AD2)의 표면에 발생한 단차가 사라지고 제1 점착층(AD1), 및 제2 점착층(AD2)의 표면이 평탄해지게 된다.
- [0170] 도 13e를 참조하면, 디지털이저를 제조하는 단계는 제1 점착층(AD1), 및 제2 점착층(AD2)에 광(UV)을 제공하는 단계를 포함할 수 있다. 제1 점착층(AD1), 및 제2 점착층(AD2)은 2차 개시제를 포함하고, 2차 개시제는 제공되는 광(UV)을 흡수하여 2차 경화가 진행되며, 이에 따라 평탄해진 제1 점착층(AD1), 및 제2 점착층(AD2)은 완전 경화되고, 평탄한 면이 고정되게 된다.
- [0171] 도시하지 않았으나, 디지털이저를 제조하는 단계는 제1 점착층(AD1) 상에 제1 서브 점착층을 형성하는 단계를 더 포함할 수 있다. 또한, 제2 점착층(AD2) 하에 제2 서브 점착층을 형성하는 단계를 더 포함할 수 있다.
- [0172] 이하, 구체적인 실시예 및 비교예의 디지털이저를 전자 장치에 적용한 경우의 특성값을 통해 본 발명을 보다 구체적으로 설명한다. 하기 실시예는 본 발명의 이해를 돕기 위한 예시에 불과하며, 본 발명의 범위가 이에 한정되는 것은 아니다.
- [0173] (전자 장치 특성 비교)
- [0174] 하기 표 1에서는 실시예 및 비교예의 디지털이저를 전자 장치에 적용한 경우 표면 폴딩 특성 및 시인성 특성을 측정하여 나타내었다. 실시예들 및 비교예들에 따른 전자 장치는 디지털이저를 제외한 모든 구성이 동일하다. 실시예들 및 비교예들의 디지털이저 구성은 하기 표와 같다. 실시예 4는 폴리이미드에 카본 블랙이 분산된 차광층을 포함하며, 실시예 5는 폴리에틸렌테레프탈레이트에 카본 블랙이 분산된 차광층을 포함한다.
- [0175] 비교예 1 및 3에서 사용된 일반 점착층은 1번의 경화로 완전 경화가 이루어진 점착층을 의미한다.
- [0176] 폴딩 특성은 전자 장치의 불량률이 발생하는 폴딩 횟수를 측정하였으며, 시인성 특성은 디지털이저의 제1 점착층 상에 배선 비침의 발생 여부를 평가하였다. 고온, 다습 신뢰성은 온도 60℃ 및 습도 90%의 환경에서 디지털이저의 감지코일에 부식이 발생하지 않을 때까지의 시간을 측정하였다.

표 1

[0177]

	실시예 1	실시예 2	실시예 3	실시예 4
상부 커버층	X	X	X	X
하부 커버층	X	X	X	X
차광층	X	X	0	0
감지코일 도금(Au) 처리	X	X	X	X
제1 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층
제1 서브 점착층	X	X	X	X
제2 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층
제2 서브 점착층	X	X	X	X
차폐층	0	0	0	0
자성 시트 또는 쿠션층 유무	X	자성 시트	쿠션층	X
폴딩 특성	200K 이상 폴딩 후 OK	200K 이상 폴딩 후 OK	200K 이상 폴딩 후 OK	200K 폴딩 후 OK

시인성 특성	배선 비침 X	배선 비침 X	배선 비침 X	배선 비침 X
고온, 다습 신뢰성	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X

표 2

	실시예 5	실시예 6	실시예 7
상부 커버층	X	X	X
하부 커버층	X	X	X
차광층	X	X	X
감지코일 도금(Au)처리	X	X	X
제1 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층
제1 서브 점착층	X	0	0
제1 서브 점착층의 저장 탄성률	-	0.1MPa	0.1MPa
제2 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층
제2 서브 점착층	X	X	0
제2 서브 점착층의 저장 탄성률	-	-	0.1MPa
차폐층	0	0	0
자성 시트 또는 쿠션층 유무	X	X	X
폴딩 특성	200K 이상 폴딩 후 OK	300K 이상 폴딩 후 OK	300K 이상 폴딩 후 OK
시인성 특성	배선 비침 X	배선 비침 X	배선 비침 X
고온, 다습 신뢰성	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X

표 3

	실시예 8	실시예 9	실시예 10	실시예 11
상부 커버층	X	X	X	X
하부 커버층	X	X	X	X
차광층	X	X	0	0
감지코일 도금(Au)처리	0	0	0	0
제1 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층
제1 서브 점착층	X	X	X	X
제2 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층
제2 서브 점착층	X	X	X	X
차폐층	0	0	0	0
자성 시트 또는 쿠션층 유무	X	자성 시트	쿠션층	X
폴딩 특성	200K 이상 폴딩 후 OK	200K 이상 폴딩 후 OK	200K 이상 폴딩 후 OK	200K 폴딩 후 OK
시인성 특성	배선 비침 X	배선 비침 X	배선 비침 X	배선 비침 X
고온, 다습 신뢰성	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X

표 4

	실시예 12	실시예 13	실시예 14	실시예 15
상부 커버층	X	X	X	X
하부 커버층	X	X	X	X
차광층	X	X	X	X
감지코일 도금(Au)처리	0	0	0	X
제1 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층	2차 경화성 점착층
제1 서브 점착층	X	0	0	X

제1 서브 점착층의 저장 탄성율	-	0.1MPa	0.1MPa	-
제2 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	산성분 free 2차 경화성 점착층	2차 경화성 점착층
제2 서브 점착층	X	X	0	X
제2 서브 점착층의 저장 탄성율	-	-	0.1MPa	-
차폐층	0	0	0	0
자성 시트 또는 쿠션층 유무	X	X	X	X
폴딩 특성	200K 이상 폴딩 후 OK	300K 이상 폴딩 후 OK	300K 이상 폴딩 후 OK	200K 이상 폴딩 후 OK
시인성 특성	배선 비침 X	배선 비침 X	배선 비침 X	배선 비침 X
고온, 다습 신뢰성	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 0

표 5

[0181]

	비교예 1	비교예 2	비교예 3
상부 커버층	0	0	X
하부 커버층	0	0	X
차광층	X	X	X
감지코일 도금(Au) 처리	X	X	X
제1 점착층	일반 점착층	2차 경화성 점착층	일반 점착층
제1 서브 점착층	X	X	X
제2 점착층	일반 점착층	2차 경화성 점착층	일반 점착층
제2 서브 점착층	X	X	X
차폐층	0	0	0
자성 시트 또는 쿠션층 유무	X	X	X
폴딩 특성	1K 폴딩 후 OK	1K 폴딩 후 OK	100K 폴딩 후 OK
시인성 특성	배선 비침 X	배선 비침 X	배선 비침 0
고온, 다습 신뢰성	500시간 내 부식발생 X	500시간 내 부식발생 X	500시간 내 부식발생 0

[0182]

상기 표 1 내지 표 5의 결과를 참조하면, 일 실시예에 따른 전자 장치는 2차 경화성인 제1 점착층 및 제2 점착층을 포함하는 디지털IZER를 포함하여 별도의 커버층을 배치하지 않아도 폴딩 특성 및 시인성 특성이 개선된 전자 장치를 제공할 수 있다. 나아가, 제1 점착층 및 제2 점착층 상에 저장탄성율이 제어된 제1 서브 점착층 및/또는 제2 서브 점착층을 배치함에 따라 폴딩 특성이 더욱 개선된 전자 장치를 제공할 수 있다.

[0183]

또한, 한 결과, 일 실시예에 따른 전자 장치는 산 성분이 없는 2차 경화성인 점착층을 포함하거나, 또는 감지코일을 도금함으로써 우수한 신뢰성을 제공할 수 있음을 확인할 수 있다.

[0184]

이상에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자 또는 해당 기술 분야에 통상의 지식을 갖는 자라면, 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

[0185]

따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허청구범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0187]

- EA: 전자 장치
- DP: 표시 패널
- ISL: 입력 감지 패널
- ZM: 디지털IZER
- RF: 제1 감지 코일
- CF: 제2 감지 코일

PI: 베이스층

AD1: 제1 점착층

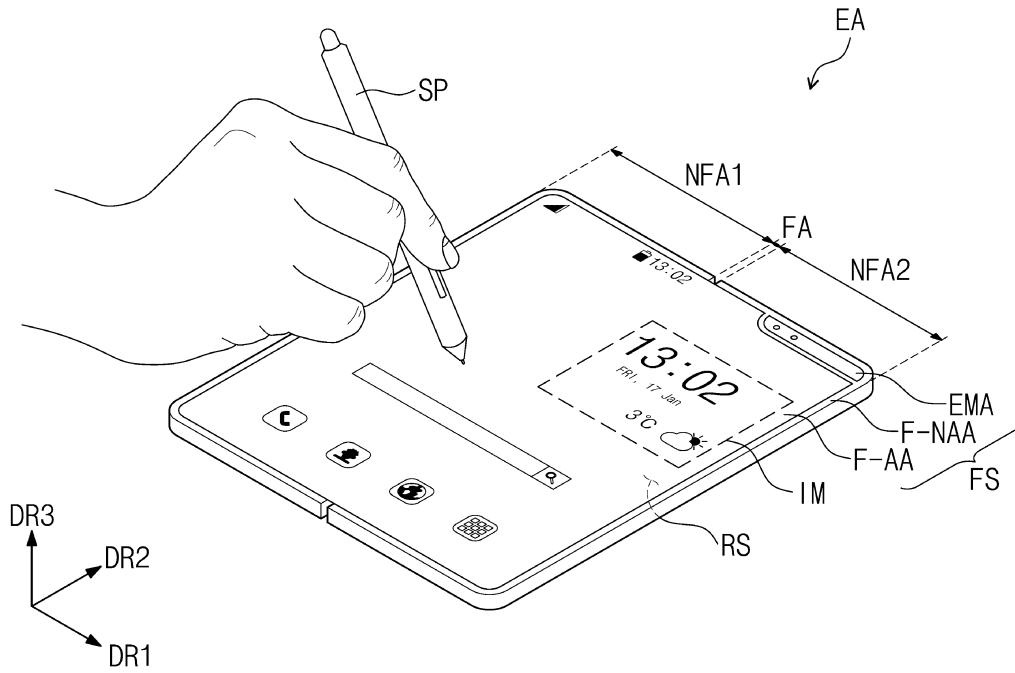
AD2: 제2 점착층

MAD1: 제1 서브 점착층

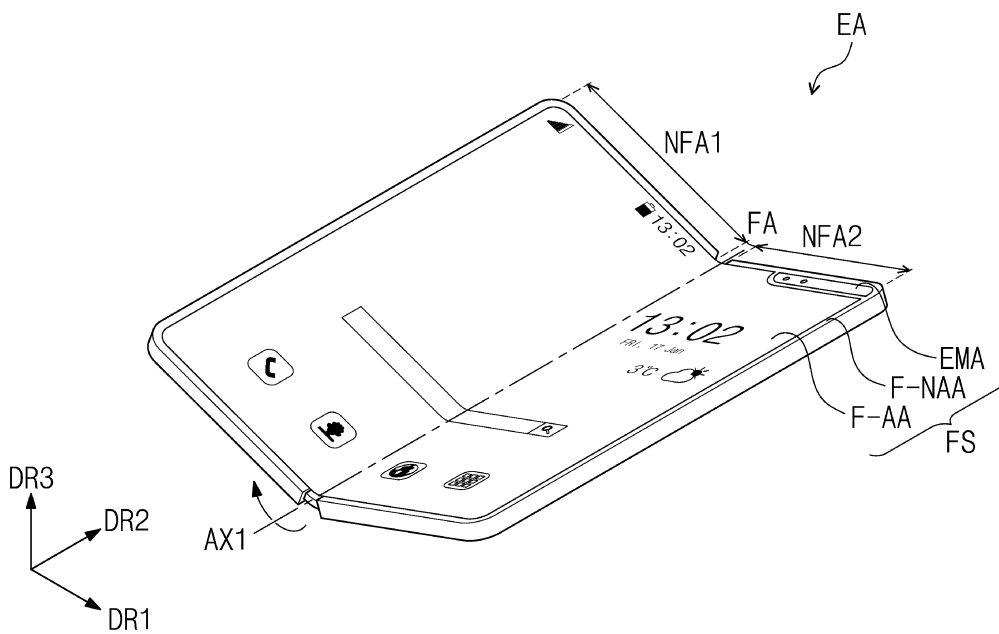
MAD2: 제2 서브 점착층

도면

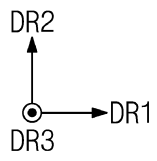
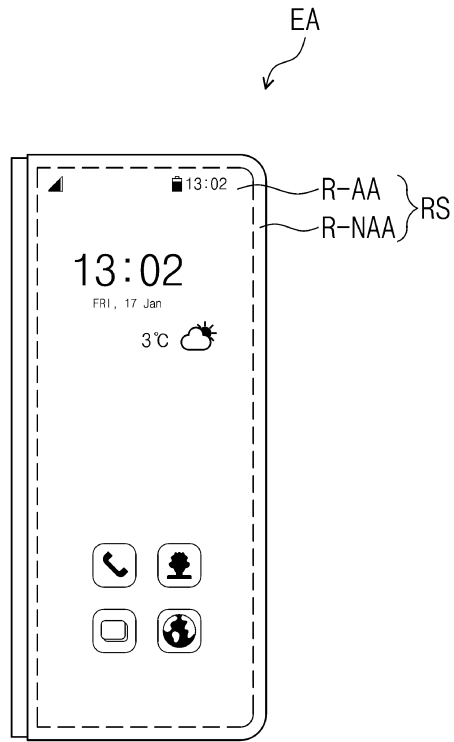
도면1a



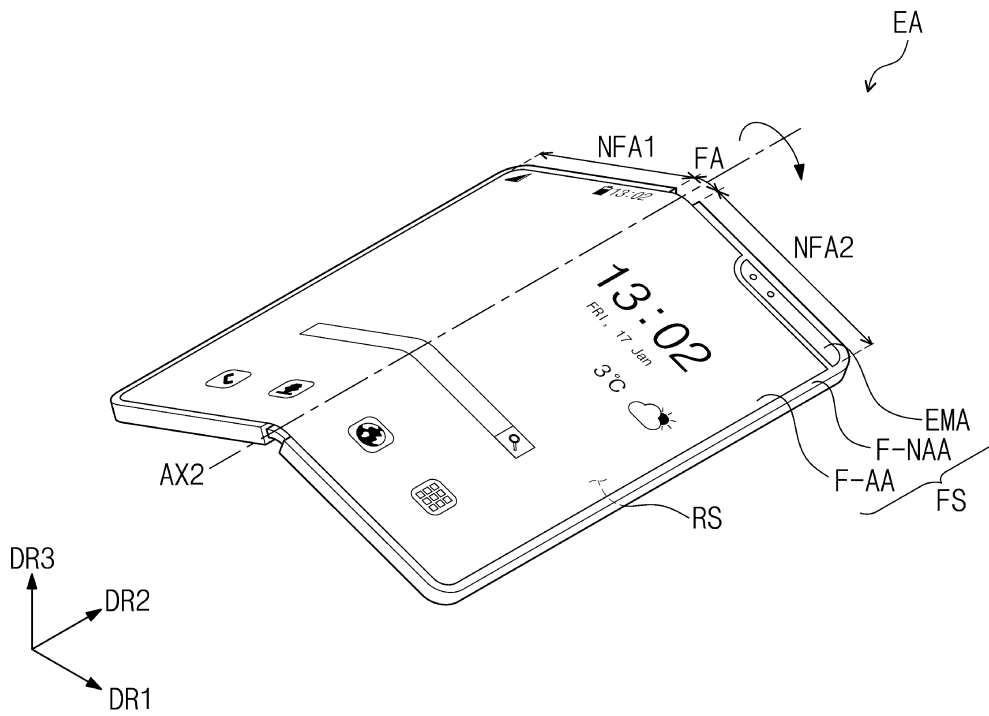
도면1b



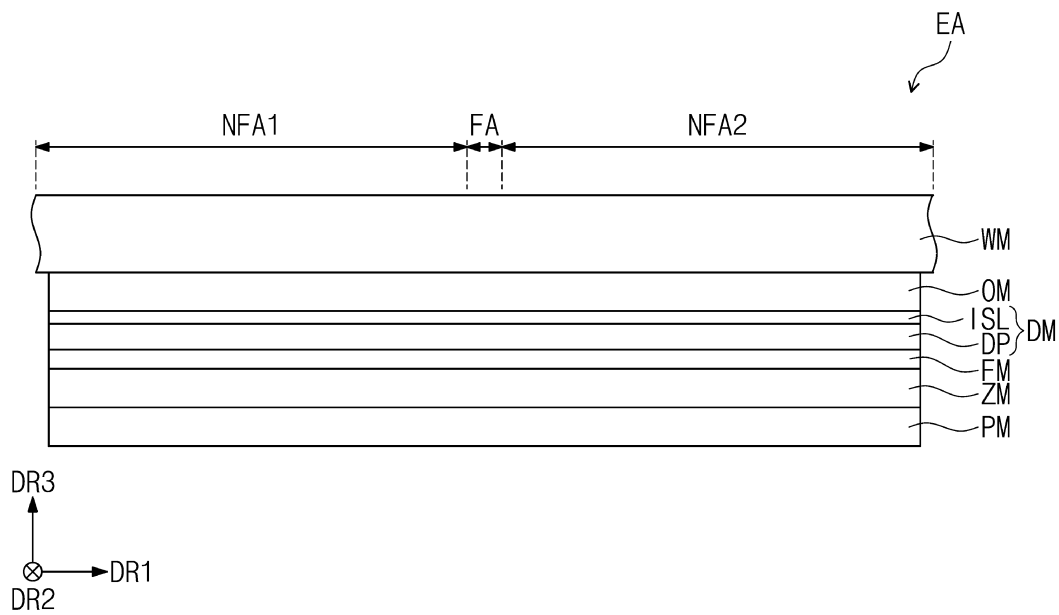
도면1c



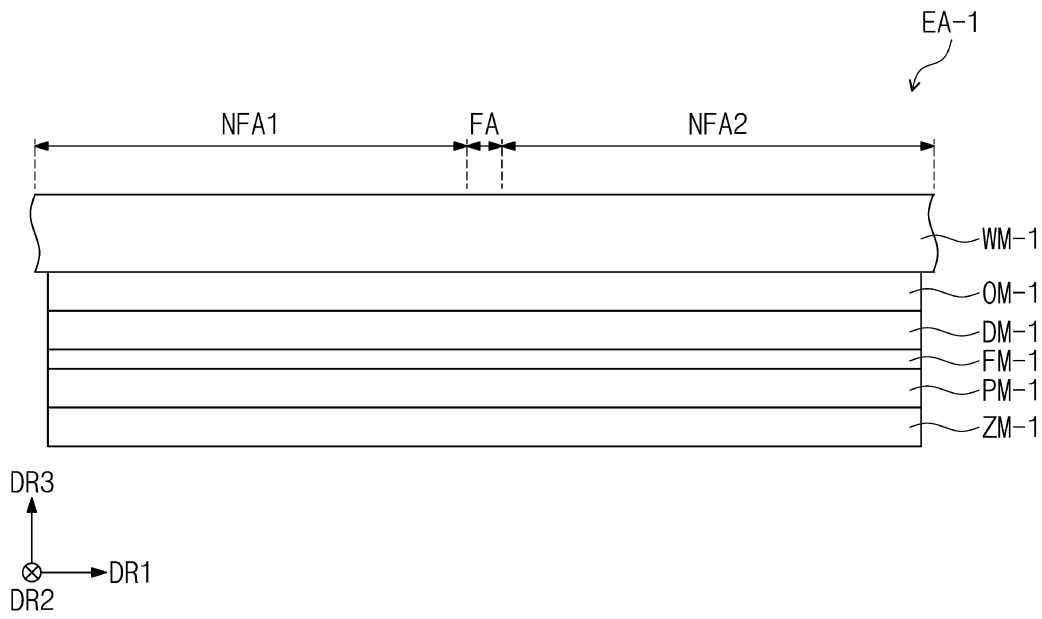
도면1d



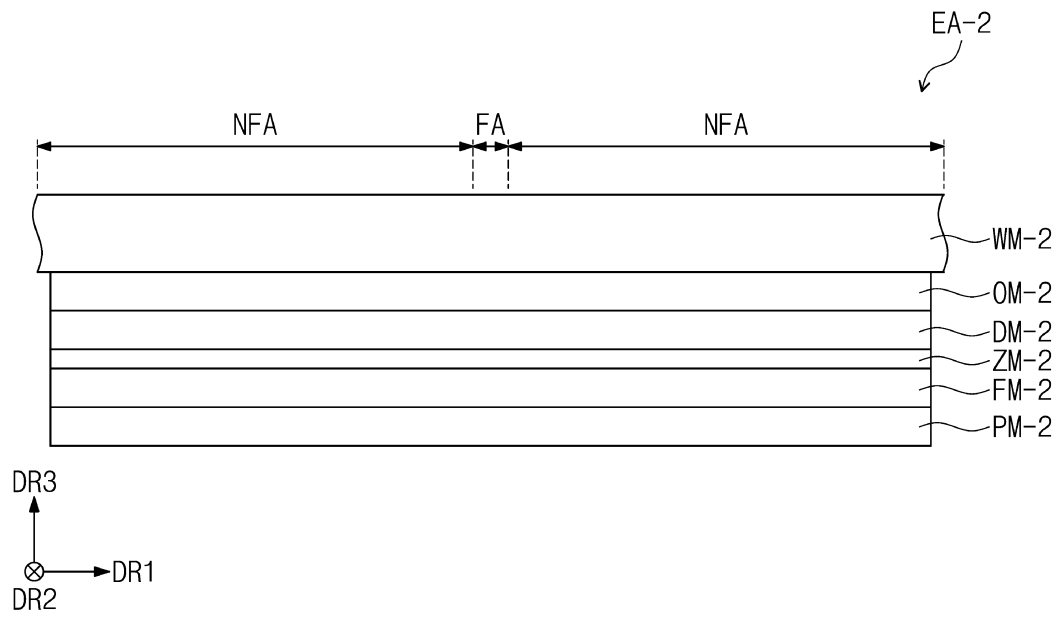
도면2a



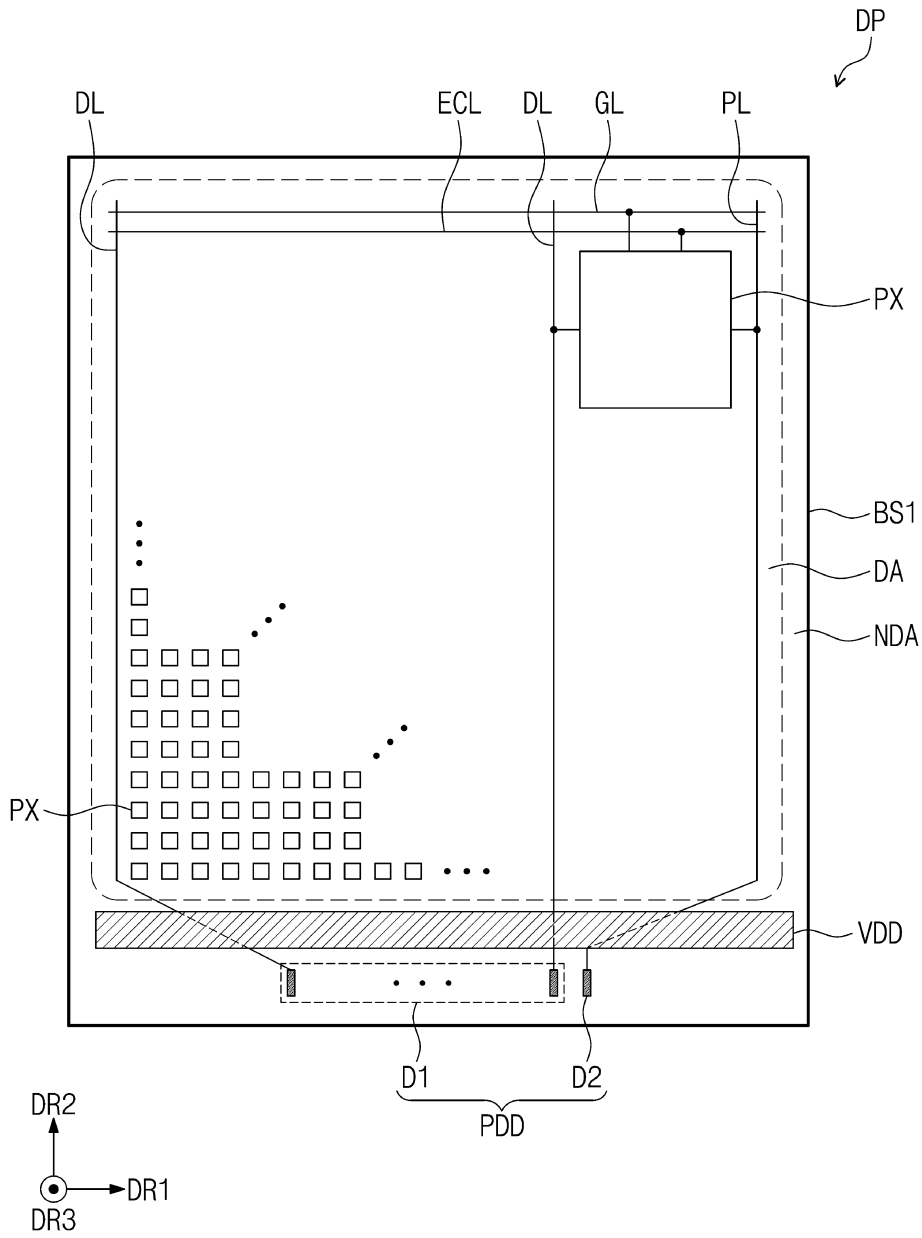
도면2b



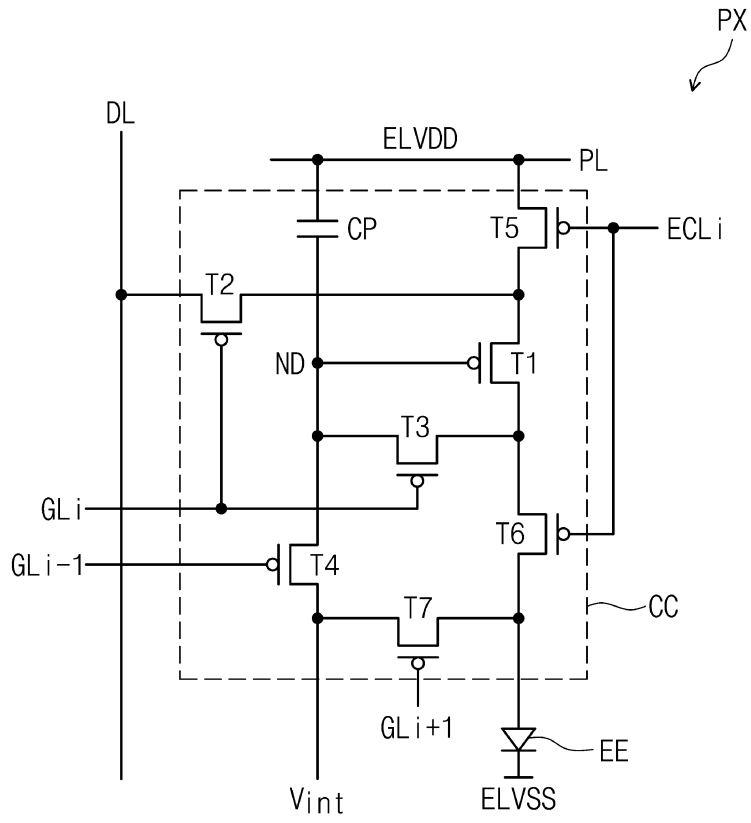
도면2c



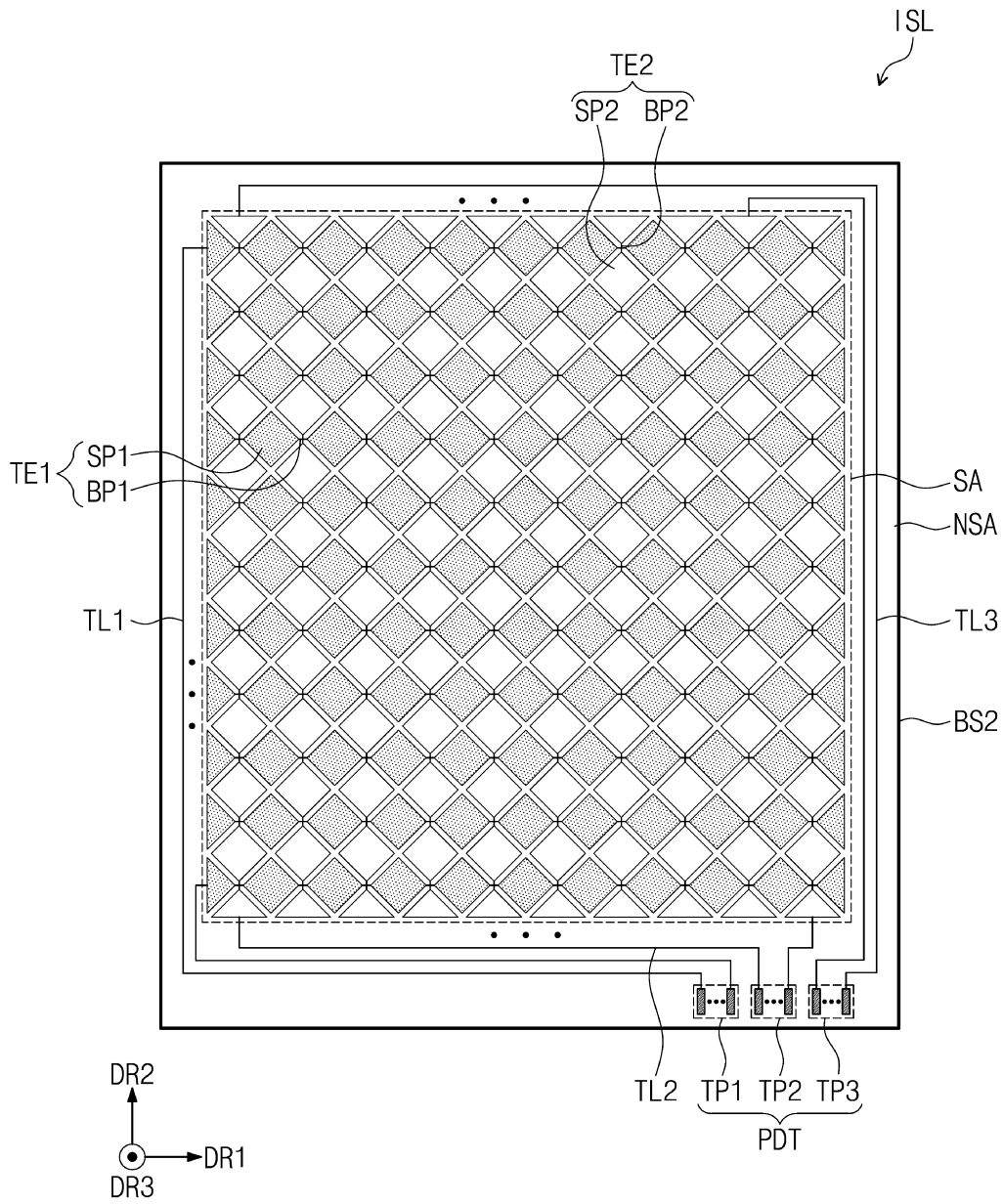
도면3a



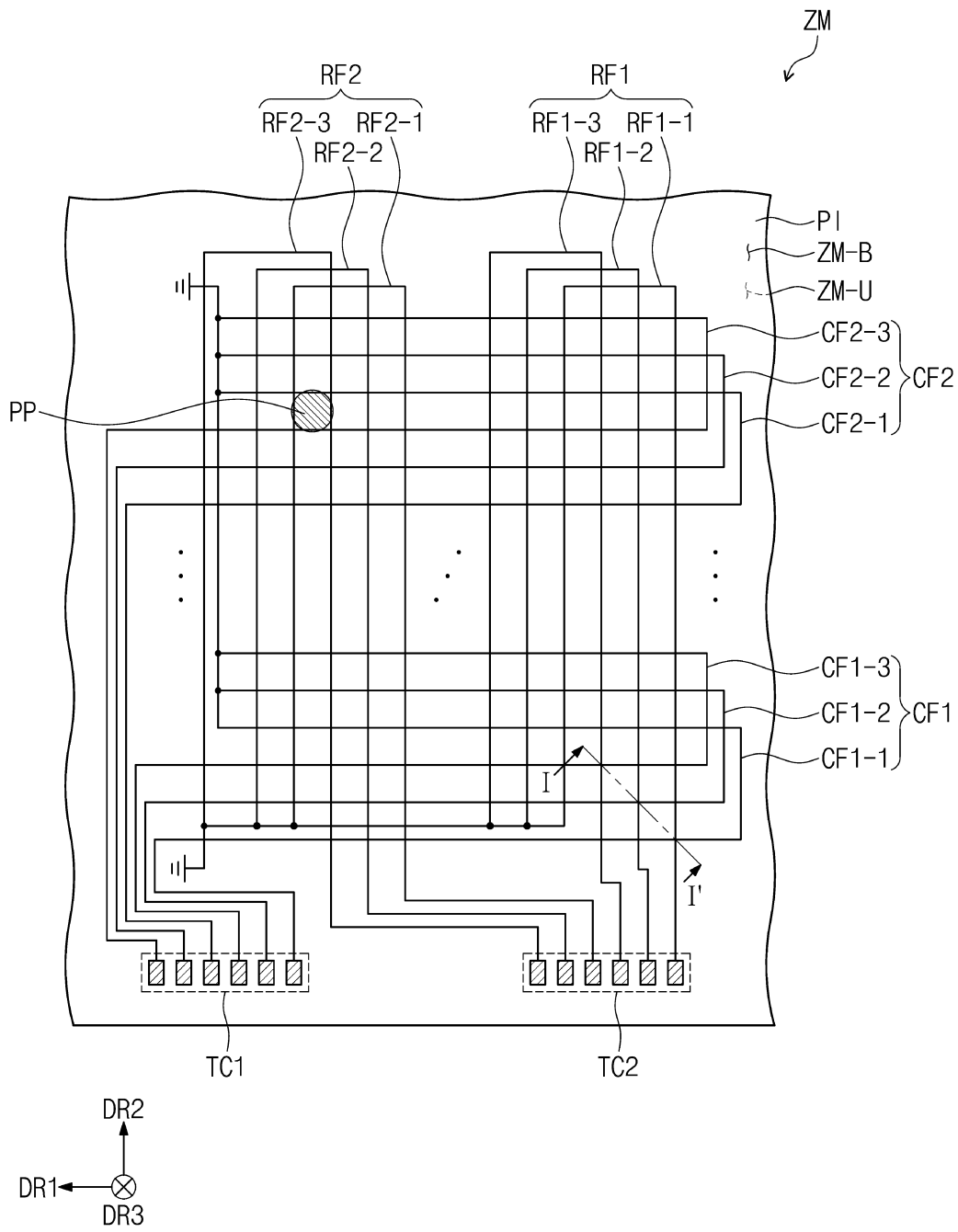
도면3b



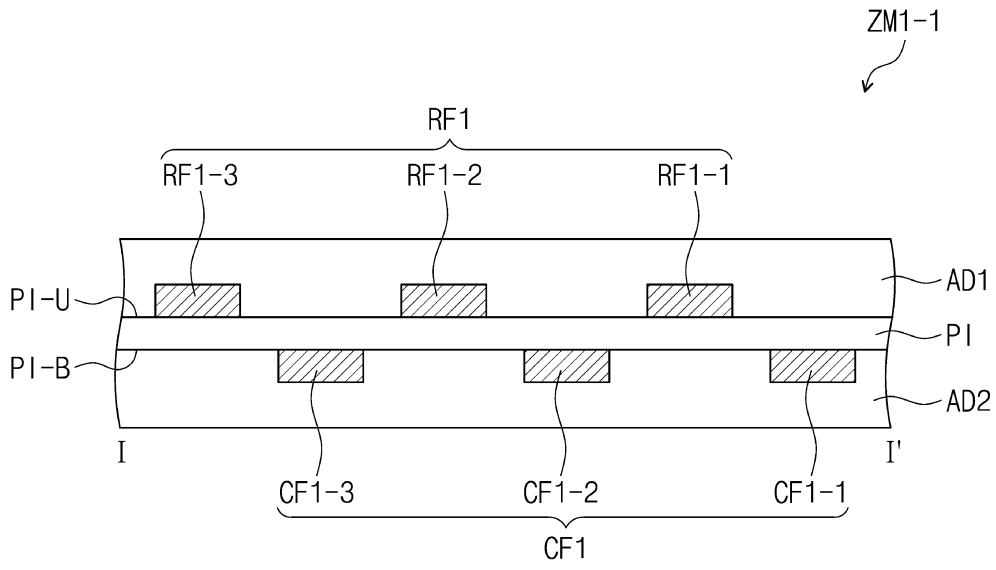
도면4



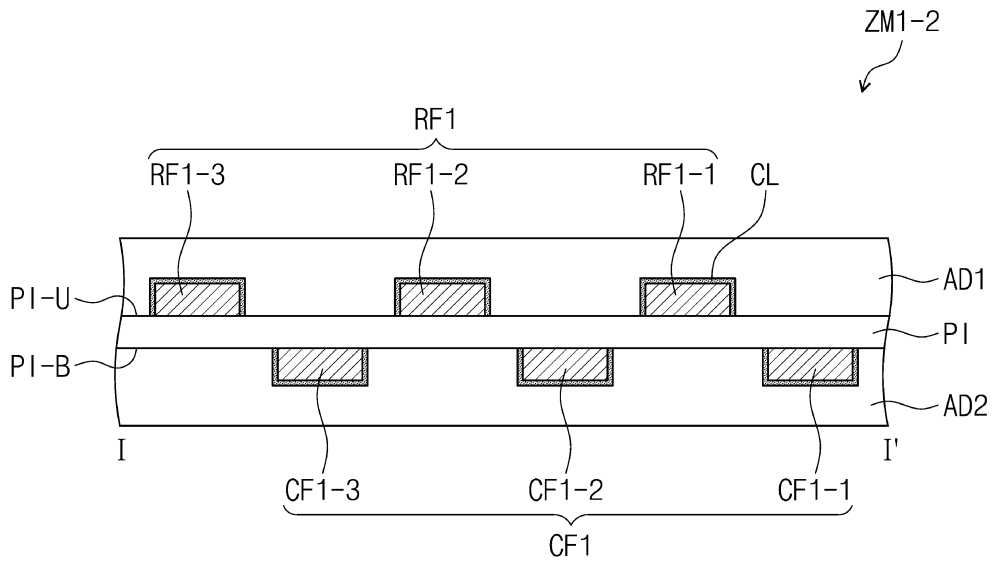
도면5



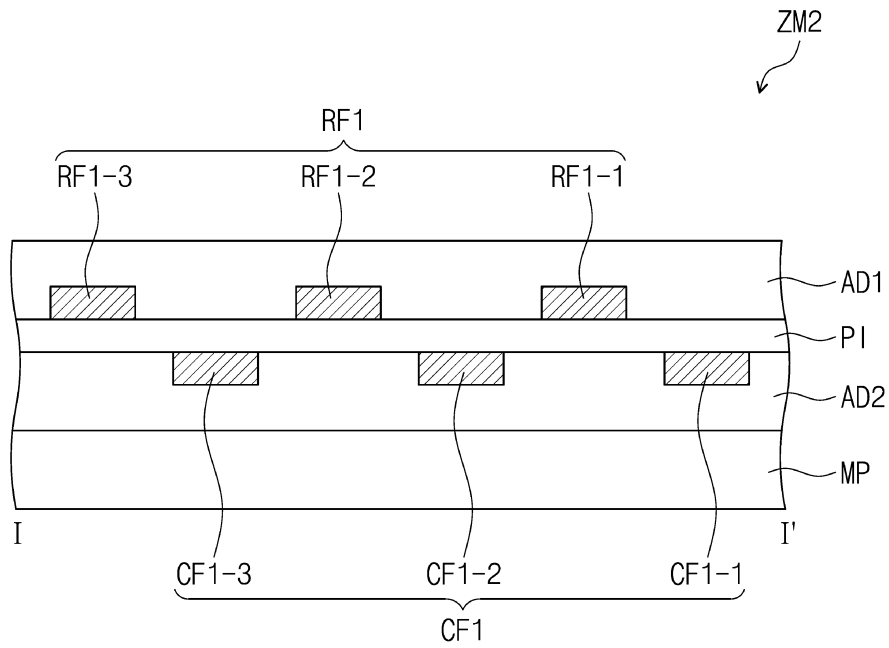
도면6a



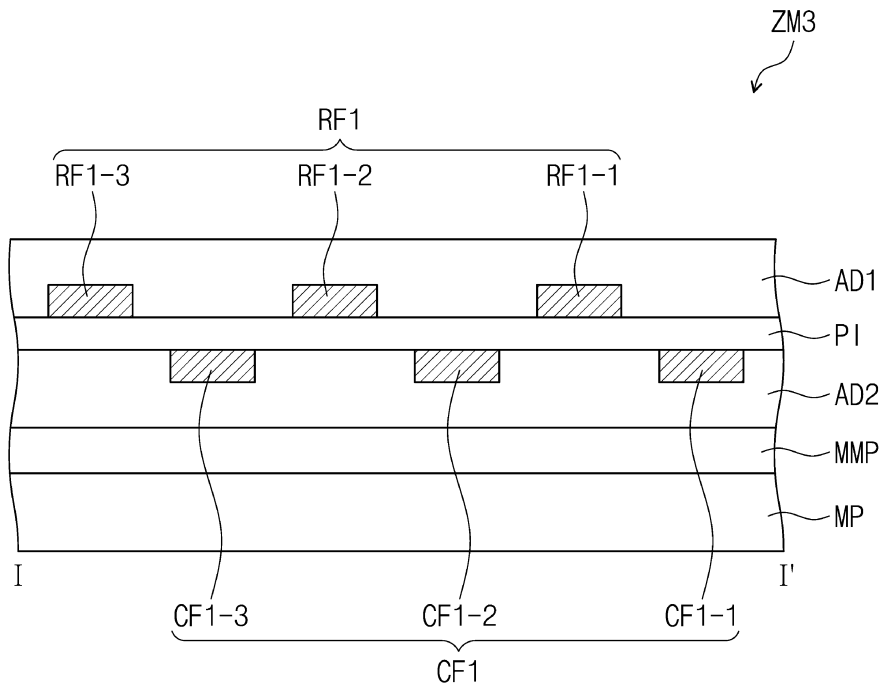
도면6b



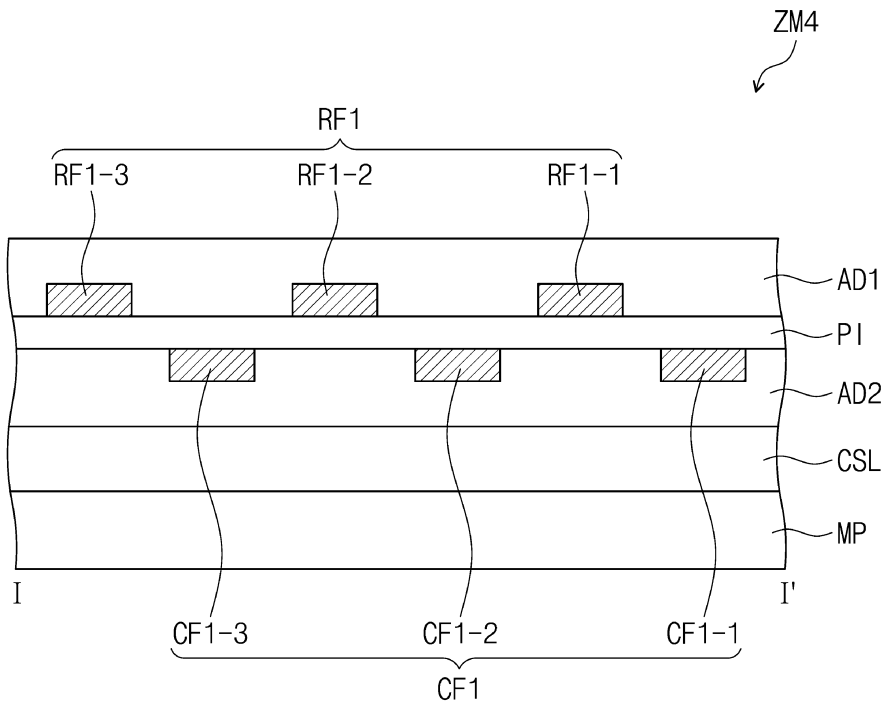
도면7



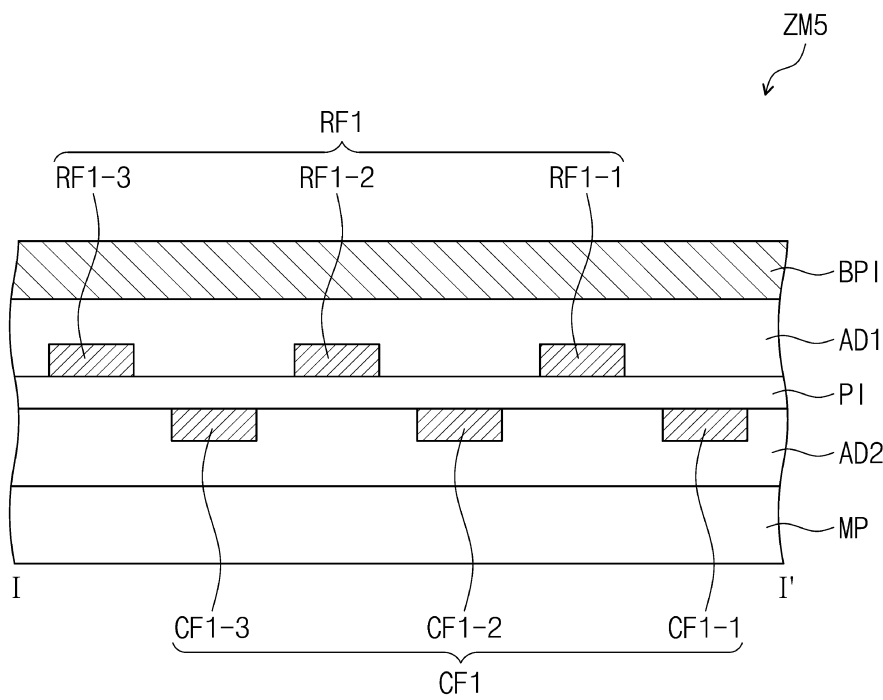
도면8



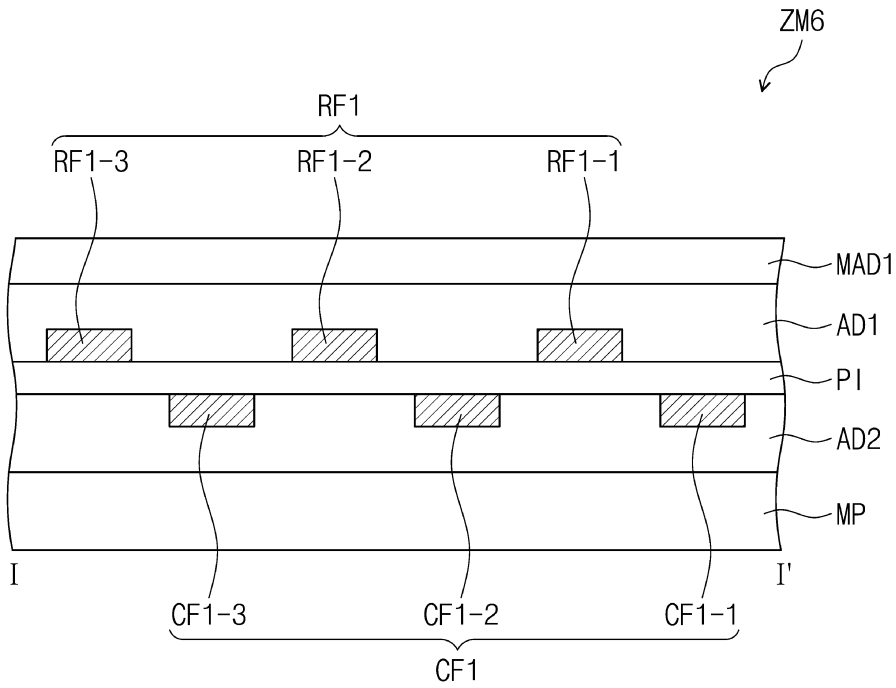
도면9



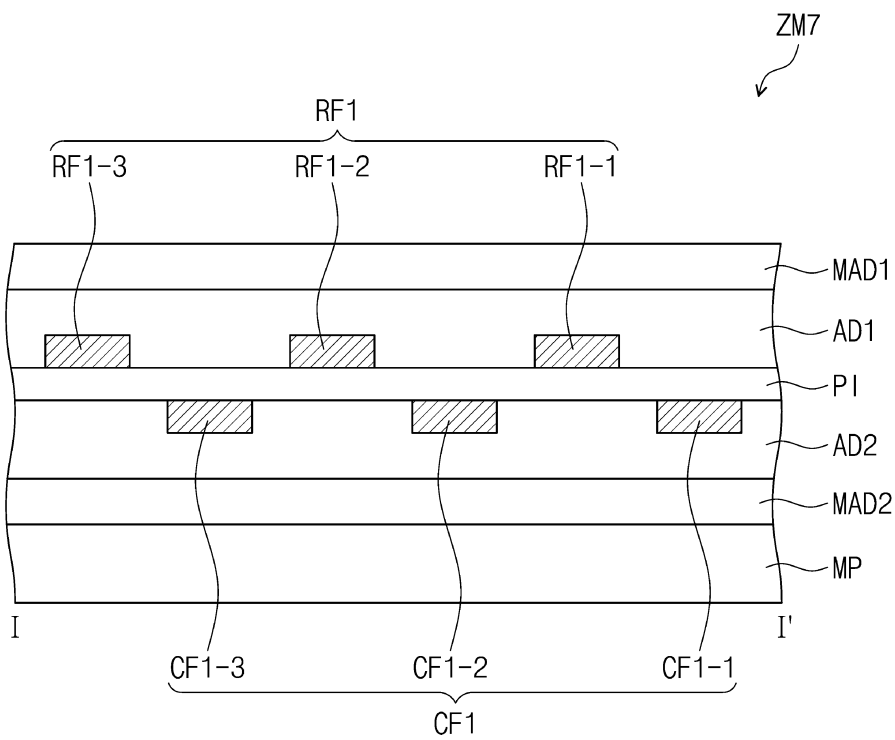
도면10



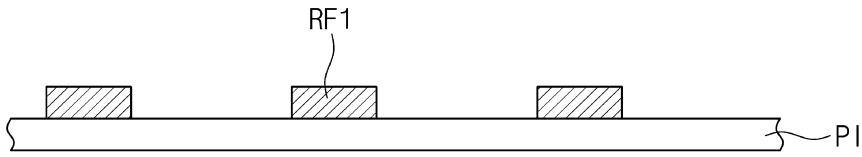
도면11



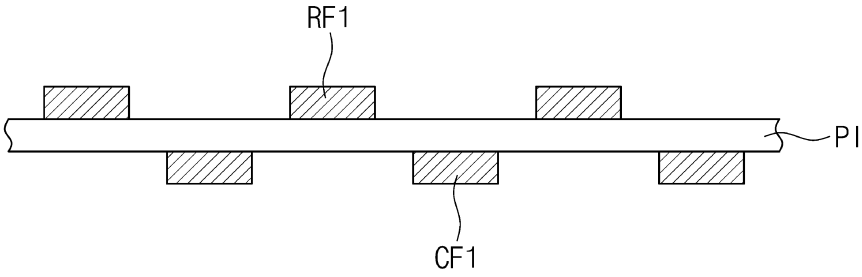
도면12



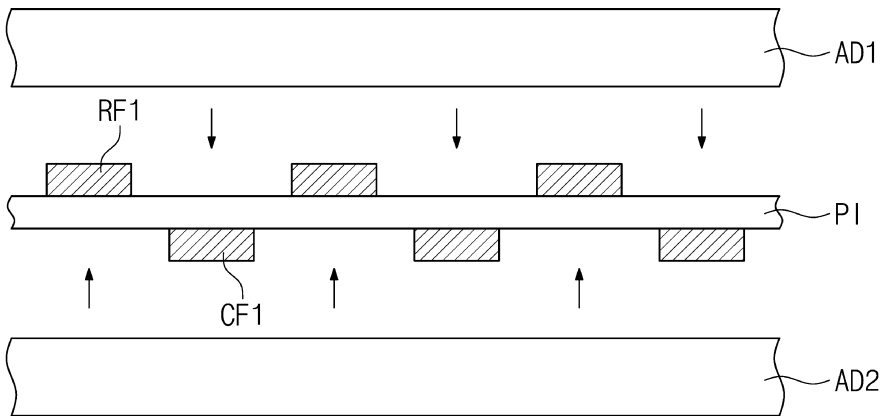
도면13a



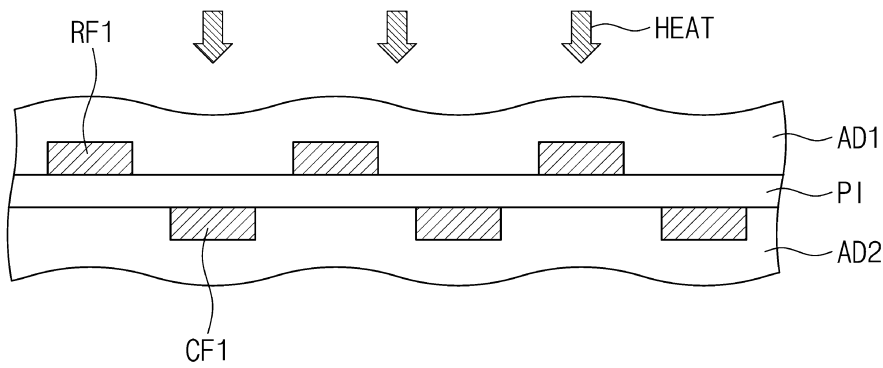
도면13b



도면13c



도면13d



도면13e

