



(12)发明专利申请

(10)申请公布号 CN 111403340 A

(43)申请公布日 2020.07.10

(21)申请号 201910004633.2

(22)申请日 2019.01.03

(71)申请人 中芯国际集成电路制造(上海)有限公司

地址 201203 上海市浦东新区张江路18号

申请人 中芯国际集成电路制造(北京)有限公司

(72)发明人 张城龙 徐志贤

(74)专利代理机构 上海德禾翰通律师事务所  
31319

代理人 侯莉

(51)Int.Cl.

H01L 21/8234(2006.01)

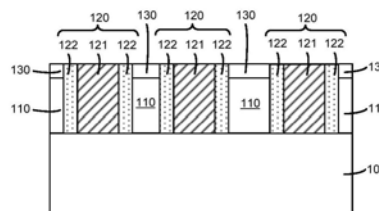
权利要求书2页 说明书6页 附图3页

(54)发明名称

半导体器件的形成方法

(57)摘要

本发明公开了一种半导体器件的形成方法,包括:提供多个鳍部和多个栅极结构,栅极结构对应形成于鳍部顶部,至少有两个栅极结构顶部的高度不同;在相邻栅极结构之间形成层间介质层;刻蚀各栅极结构两侧的部分层间介质层,使余下的层间介质层的顶部平齐;除去部分栅极结构,使余下的栅极结构的顶部与余下的层间介质层的顶部平齐;和再刻蚀部分栅极结构,以在栅极结构的顶部形成凹槽,各凹槽的深度相等。先刻蚀层间介质层,使余下的层间介质层具有目标高度,且顶部平齐,最终得到余下的栅极结构的顶部也是平齐的。



1. 一种半导体器件的形成方法,其特征在于,包括,  
提供多个鳍部和多个栅极结构,所述栅极结构对应形成于所述鳍部顶部,至少有两个所述栅极结构顶部的高度不同;  
在相邻所述栅极结构之间形成层间介质层;  
刻蚀各所述栅极结构两侧的部分所述层间介质层,使余下的所述层间介质层的顶部平齐;  
除去部分所述栅极结构,使余下的所述栅极结构的顶部与余下的所述层间介质层的顶部平齐;和  
再刻蚀部分所述栅极结构,以在所述栅极结构的顶部形成凹槽,各所述凹槽的深度相等。
2. 根据权利要求1所述的半导体器件的形成方法,其特征在于,刻蚀各所述栅极结构两侧的部分所述层间介质层的工艺包括通过调节刻蚀温度来控制刻蚀速率的刻蚀工艺。
3. 根据权利要求2所述的半导体器件的形成方法,其特征在于,还包括提供实时监测余下所述层间介质层顶部高度的测量单元,通过所述测量单元的数据,提高余下所述层间介质层顶部较高位置的刻蚀温度,增大对所述较高位置的刻蚀速率,直至余下的所述层间介质层的顶部平齐。
4. 根据权利要求3所述的半导体器件的形成方法,其特征在于,通过所述测量单元的数据,降低余下所述层间介质层顶部较低位置的刻蚀温度,减小对所述较低位置的刻蚀速率,直至余下的所述层间介质层的顶部平齐。
5. 根据权利要求3所述的半导体器件的形成方法,其特征在于,直至余下的所述层间介质层的顶部平齐后,还包括以相同的刻蚀工艺对所述层间介质层进行刻蚀,以降低所述层间介质层的高度,使得余下的所述层间介质层的顶部平齐。
6. 根据权利要求1所述的半导体器件的形成方法,其特征在于,在余下的所述层间介质层的顶部平齐后,除去部分所述栅极结构前,还包括:  
形成覆盖所述栅极结构和余下所述层间介质层的牺牲层;和  
除去所述牺牲层和部分所述栅极结构,暴露所述层间介质层,使余下的所述栅极结构的顶部和余下的所述层间介质层的顶部平齐。
7. 根据权利要求6所述的半导体器件的形成方法,其特征在于,除去所述牺牲层和部分所述栅极结构的工艺方法包括:化学机械平坦化工艺、刻蚀工艺、或者所述化学机械平坦化工艺和所述刻蚀工艺的结合。
8. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述化学机械平坦化工艺对所述牺牲层和所述栅极结构的研磨速率比为 $\alpha$ , $0.8 \leq \alpha \leq 1.5$ 。
9. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述刻蚀工艺对所述牺牲层和所述栅极结构的刻蚀速率比为 $\beta$ , $0.8 \leq \beta \leq 1.5$ 。
10. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述化学机械平坦化工艺对所述牺牲层和所述层间介质层的研磨速率比为 $\gamma$ , $\gamma \geq 3$ 。
11. 根据权利要求7所述的半导体器件的形成方法,其特征在于,所述刻蚀工艺对所述牺牲层和所述层间介质层的刻蚀速率比为 $\mu$ , $\mu \geq 3$ 。
12. 根据权利要求1所述的半导体器件的形成方法,其特征在于,形成所述凹槽的深度

尺寸为 $d$ ,  $40\text{nm} \leq d \leq 200\text{nm}$ 。

13. 根据权利要求12所述的半导体器件的形成方法, 其特征在于, 形成所述凹槽后, 还包括在所述凹槽内形成介电层。

14. 根据权利要求13所述的半导体器件的形成方法, 其特征在于, 在所述凹槽内形成所述介电层的工艺包括:

形成填充所述凹槽和覆盖所述层间介质层的介电材料层; 和

对所述介电材料层进行研磨或刻蚀, 直至暴露所述层间介质层, 保留位于所述凹槽内的介电材料层, 即所述介电层, 各个所述凹槽中的所述介电层的厚度相等。

## 半导体器件的形成方法

### 技术领域

[0001] 本发明涉及半导体制造领域,特别涉及一种半导体器件的形成方法。

### 背景技术

[0002] 随着半导体领域技术的发展,栅极结构的尺寸不断减小,而且同时栅极的材料从传统的多晶硅转变为目前广泛应用的金属材料。一般的,金属栅极的周围一般还同时形成有高k介电层和功函数层等材料,以保证金属栅极的功能顺利实现。

[0003] 在形成金属栅极结构时,多个金属栅极结构的顶部表面一般是不平齐的,且金属栅极结构之间形成的层间介质层的顶部也是不平齐的。后续处理金属栅极时,很难将各个金属栅极的高度保持一致,导致后续器件的电学性能降低。

[0004] 因此,亟须一种能够使得最终金属栅极顶部平齐以提高器件电学性能的半导体器件的形成方法。

### 发明内容

[0005] 本发明实施例公开的半导体器件的形成方法,先除去部分材料均一的层间介质层,使得余下的层间介质层的顶部平齐,然后在处理金属栅极结构,最终使得金属栅极结构的顶部平齐。

[0006] 本发明公开了一种半导体器件的形成方法,包括:提供多个鳍部和多个栅极结构,栅极结构对应形成于鳍部顶部,至少有两个栅极结构顶部的高度不同;在相邻栅极结构之间形成层间介质层;刻蚀各栅极结构两侧的部分层间介质层,使余下的层间介质层的顶部平齐;除去部分栅极结构,使余下的栅极结构的顶部与余下的层间介质层的顶部平齐;和再刻蚀部分栅极结构,以在栅极结构的顶部形成凹槽,各凹槽的深度相等。

[0007] 根据本发明的一个方面,刻蚀各栅极结构两侧的部分层间介质层的工艺包括通过调节刻蚀温度来控制刻蚀速率的刻蚀工艺。

[0008] 根据本发明的一个方面,还包括提供实时监测余下层间介质层顶部高度的测量单元,通过测量单元的数据,提高余下层间介质层顶部较高位置的刻蚀温度,增大对较高位置的刻蚀速率,直至余下的层间介质层的顶部平齐。

[0009] 根据本发明的一个方面,通过测量单元的数据,降低余下层间介质层顶部较低位置的刻蚀温度,减小对较低位置的刻蚀速率,直至余下的层间介质层的顶部平齐。

[0010] 根据本发明的一个方面,直至余下的层间介质层的顶部平齐后,还包括以相同的刻蚀工艺对层间介质层进行刻蚀,以降低层间介质层的高度,使得余下的层间介质层的顶部平齐。

[0011] 根据本发明的一个方面,在余下的层间介质层的顶部平齐后,除去部分栅极结构前,还包括:形成覆盖栅极结构和余下层间介质层的牺牲层;和除去牺牲层和部分栅极结构,暴露层间介质层,使余下的栅极结构的顶部和余下的层间介质层的顶部平齐。

[0012] 根据本发明的一个方面,除去牺牲层和部分栅极结构的工艺方法包括:化学机械

平坦化工艺、刻蚀工艺、或者化学机械平坦化工艺和刻蚀工艺的结合。

[0013] 根据本发明的一个方面,化学机械平坦化工艺对牺牲层和栅极结构的研磨速率比为 $\alpha$ , $0.8 \leq \alpha \leq 1.5$ 。

[0014] 根据本发明的一个方面,刻蚀工艺对牺牲层和栅极结构的刻蚀速率比为 $\beta$ , $0.8 \leq \beta \leq 1.5$ 。

[0015] 根据本发明的一个方面,化学机械平坦化工艺对牺牲层和层间介质层的研磨速率比为 $\gamma$ , $\gamma \geq 3$ 。

[0016] 根据本发明的一个方面,刻蚀工艺对牺牲层和层间介质层的刻蚀速率比为 $\mu$ , $\mu \geq 3$ 。

[0017] 根据本发明的一个方面,形成凹槽的深度尺寸为 $d$ , $40\text{nm} \leq d \leq 200\text{nm}$ 。

[0018] 根据本发明的一个方面,形成凹槽后,还包括在凹槽内形成介电层。

[0019] 根据本发明的一个方面,在凹槽内形成介电层的工艺包括:形成填充凹槽和覆盖层间介质层的介电材料层;和对介电材料层进行研磨或刻蚀,直至暴露层间介质层,保留位于凹槽内的介电材料层,即介电层,各个凹槽中的介电层的厚度相等。

[0020] 与现有的技术方案相比,本发明的技术方案具备以下优点:

[0021] 本发明的技术方案中,首先,刻蚀各栅极结构两侧的部分层间介质层,使余下的层间介质层的顶部平齐。由于层间介质层的材料均一,所以容易形成余下顶部高度一致的层间介质层。同时,余下层间介质层顶部平齐后,为后续降低栅极结构提供了一个高度基准,这一高度基准即为最终栅极结构的高度,能够保证最终栅极结构的顶部平齐。其次,除去部分栅极结构,使余下的栅极结构的顶部与余下的层间介质层的顶部平齐。由于前边余下的层间介质层的顶部是平齐的,则余下栅极结构的顶部是平齐的,而且栅极结构的高度尺寸也会更准确。另外,再刻蚀部分栅极结构,以在栅极结构的顶部形成凹槽,各凹槽的深度相等。由于前一步余下栅极结构的顶部平齐,所以刻蚀形成深度较小的凹槽后,凹槽底部的栅极结构顶部也是基本平齐,最终形成在凹槽中的介电层厚度也会基本一致,提高了半导体器件的电学性能。

[0022] 进一步的,刻蚀各栅极结构两侧的部分层间介质层的工艺包括通过调节刻蚀温度来控制刻蚀速率的刻蚀工艺。通过调节温度来控制刻蚀工艺的方法比较便利和有效。通过升高和降低不同位置点的刻蚀温度,分别提高和降低刻蚀速率,能够保证最终余下的层间介质层的顶部平齐。

## 附图说明

[0023] 图1-图6是根据本发明一个实施例的半导体器件形成过程的结构示意图。

## 具体实施方式

[0024] 如前所述,现有的技术在调整栅极结构的高度时存在余下栅极结构顶部表面不平整的问题。

[0025] 经研究发现,造成上述问题的原因为:栅极的材料和高 $k$ 介电层或者功函数层的材料不相同,因此后续直接刻蚀栅极结构后,刻蚀工艺对栅极和对高 $k$ 介电层或者功函数层的刻蚀速率不同,造成最终栅极结构顶部不平整。

[0026] 为了解决该问题,本发明提供了一种半导体器件的形成方法,刻蚀栅极结构之前先刻蚀材料均一的层间介质层,使余下的层间介质层具有一定的高度,这一高度也即最终余下的栅极结构的高度,从而保证余下栅极结构顶部平齐,提高了半导体器件的性能。

[0027] 现在将参照附图来详细描述本发明的各种示例性实施例。应理解,除非另外具体说明,否则在这些实施例中阐述的部件和步骤的相对布置、数字表达式和数值不应被理解为对本发明范围的限制。

[0028] 此外,应当理解,为了便于描述,附图中所示出的各个部件的尺寸并不必然按照实际的比例关系绘制,例如某些层的厚度或宽度可以相对于其他层有所夸大。

[0029] 以下对示例性实施例的描述仅仅是说明性的,在任何意义上都不作为对本发明及其应用或使用的任何限制。

[0030] 对于相关领域普通技术人员已知的技术、方法和装置可能不作详细讨论,但在适用这些技术、方法和装置情况下,这些技术、方法和装置应当被视为本说明书的一部分。

[0031] 应注意,相似的标号和字母在下面的附图中表示类似项,因此,一旦某一项在一个附图中被定义或说明,则在随后的附图的说明中将不需要对其进行进一步讨论。

[0032] 请参考图1,鳍部100顶部上方形成有多个栅极结构120,相邻栅极结构120之间形成有层间介质层110。

[0033] 鳍部100是位于半导体衬底(未示出)上的凸起。鳍部100的材料为以下所提到的材料中的至少一种:多晶硅、绝缘体上硅(SOI)、绝缘体上层叠硅(SSOI)、绝缘体上层叠锗化硅(S-SiGeOI)及绝缘体上锗化硅(SiGeOI)等。在本发明实施例中,鳍部100的材料为多晶硅。且鳍部100内还可以包含有其他结构,如:金属插塞、金属连接层、介电层等结构,或者还包含有这些结构组成的其他半导体器件,在这里并不做具体限制。

[0034] 栅极结构120用于控制电路的导通和停止导通。由于半导体器件制造工艺的影响,此时多个栅极结构120顶部高度不一致。具体的,在本发明实施例中,至少有两个栅极结构120顶部的高度不同。由于栅极结构120的顶部高度不一致,如果不进行处理,会降低半导体器件的性能。

[0035] 栅极结构120包括栅极121和栅介质层122。栅极121可以为多晶硅栅极或者金属栅极,在这里并不做具体限制。具体的,在本发明实施例中,栅极121为金属栅极,栅极121的材料为金属钨。在本发明的其他实施例中,栅极121还包括有金属铝、金属铜等。

[0036] 在本发明的其他实施例中,栅介质层122中还包括有高k介电层和功函数层等。而高k介电层和功函数层的材料为目前半导体工艺中的常规材料。如,高k介电层的材料包括 $\text{HfO}_2$ 、 $\text{TiO}_2$ 、 $\text{TaO}_2$ 等。明显的,栅介质层122的材料和栅极121的材料不相同。

[0037] 需要说明的是,在本发明的其他实施例中,栅极结构120的两侧还可以包括形成有栅极侧墙,以保护栅极结构120,在这里并不做具体限制。

[0038] 层间介质层110用于隔离相邻的栅极结构120,起到绝缘的作用。如前所述,由于初始栅极结构120的顶部高度不一致,所以形成的层间介质层110的顶部也会不平整。如图1所示,部分栅极结构120的顶部暴露出来,还有部分栅极结构120被层间介质层110完全覆盖。

[0039] 在本发明实施例中,层间介质层110的材料为 $\text{SiO}_2$ 。

[0040] 请参考图2,刻蚀各栅极结构120两侧的部分层间介质层110。

[0041] 刻蚀各栅极结构120两侧的部分层间介质层110是为后续调整栅极结构120的高度

提供一个高度基准。如前所述,由于后续栅极结构120的高度需要保持一致,因此刻蚀部分层间介质层110后,余下的层间介质层110的高度要保持一致,也即各部位的这一高度基准是相同的。明显的,在本发明实施例中,余下层间介质层110的高度一致,从而也能够使最终余下的栅极结构120的顶部高度一致。

[0042] 在刻蚀层间介质层110之前,由于各栅极结构120两侧层间介质层110顶部不平齐,在同样的刻蚀条件下,很难保证各个位置最终余下的层间介质层110顶部的高度一致。因此,本发明实施例采用通过调节刻蚀温度来控制不同部位刻蚀速率的工艺方法。

[0043] 本发明实施例还提供了用于实时监测余下层间介质层110高度的测量单元(未示出)。测量单元能够提供层间介质层110的高度数据,进而调节不同部位的刻蚀温度来控制不同部位的刻蚀速率。具体的,在本发明实施例中,根据测量单元测得的余下层间介质层110的高度数据,提高余下层间介质层110顶部较高位置的刻蚀温度,增大对该较高位置层间介质层110的刻蚀速率,而使较低位置的刻蚀温度及刻蚀速率保持不变,直至余下的层间介质层110的顶部平齐。一般的,与降低工艺温度相比,提高工艺温度会更快速和便捷,因此本发明实施例的工艺条件会更容易被控制。

[0044] 同时,在本发明实施例中,上述刻蚀过程是经过多次刻蚀完成的。即,刻蚀开始时,不同部位的层间介质层110高度差较大,则高度差较大位置的刻蚀温度的差值也会比较大,当不同位置余下的层间介质层110的顶部高度接近时,刻蚀温度也应该比较接近。则在工艺过程中需要不断调整工艺参数进行刻蚀,整个刻蚀过程可以通过多次刻蚀来完成。

[0045] 在本发明的另一个实施例中,根据测量单元测得的余下层间介质层110的高度数据,降低余下层间介质层110顶部较低位置的刻蚀温度,减小对该较低位置层间介质层110的刻蚀速率,而使较高位置的刻蚀速率以及刻蚀温度保持不变,直至余下的层间介质层110的顶部平齐。

[0046] 在本发明的又一个实施例中,根据测量单元测得的余下层间介质层110的高度数据,提高余下层间介质层110顶部较高位置刻蚀温度的同时,也降低余下层间介质层110顶部较低位置的刻蚀温度,直至各位置余下层间介质层110的顶部平齐。

[0047] 这里需要说明的是,在本发明的其他实施例中,当刻蚀直至余下层间介质层110顶部平齐时,层间介质层110高度仍然没有达到预期的高度值,此时还可以继续以相同的刻蚀温度以及刻蚀速率对层间介质层110进行刻蚀,直至层间介质层110高度达到目标值。明显的,此时最终层间介质层110的顶部也是平齐的。

[0048] 在本发明实施例中,刻蚀部分层间介质层110的工艺为干法刻蚀工艺。干法刻蚀更容易控制刻蚀条件。

[0049] 请参考图3,形成牺牲层130。

[0050] 刻蚀部分层间介质层110后,栅极结构120凸出在余下层间介质层110的上方,因此,形成牺牲层130是为了降低栅极结构120的高度,使最终栅极结构120的顶部平齐。形成牺牲层130后,在降低栅极结构120的高度时,即不影响之前余下层间介质层110的高度,也不会因为工艺条件而破坏栅极结构120。

[0051] 在本发明实施例中,牺牲层130覆盖栅极结构120和余下的层间介质层110。牺牲层130的材料为Si或者结构较疏松的SiO<sub>2</sub>。

[0052] 请参考图4a-图4c,除去牺牲层130和部分栅极结构120。

[0053] 除去牺牲层130和部分栅极结构120是为了形成高度一致的栅极结构120。

[0054] 除去牺牲层130和部分栅极结构120的工艺包括化学机械平坦化工艺、刻蚀工艺、或者化学机械平坦化工艺和刻蚀工艺的结合。具体的,在本发明实施例中,除去牺牲层130和部分栅极结构120时采用化学机械平坦化工艺和刻蚀工艺相结合的手段。

[0055] 如图4a所示,先除去部分牺牲层130,暴露顶部表面最高的栅极结构120。然后在进一步刻蚀或者研磨,直至暴露所有栅极结构120的顶部,如图4b所示。然后再进行刻蚀或者研磨,暴露余下的层间介质层110,最终使得余下的栅极结构120的顶部和余下层间介质层110的顶部平齐,如图4c所示。

[0056] 明显的,在本发明实施例中,由于余下层间介质层110的顶部平齐,因此,余下的栅极结构120顶部也是平齐的,因此最终余下的栅极结构120的高度是一致的。

[0057] 本发明实施例为了保证牺牲层130和栅极结构120能够几乎同步被去除,化学机械平坦化工艺对牺牲层130和对层间介质层110的研磨速率比较接近,或者刻蚀工艺对牺牲层130和对层间介质层110的刻蚀速率比较接近。化学机械平坦化工艺对牺牲层130和层间介质层110具有一定的研磨速率比 $\alpha$ ,  $0.8 \leq \alpha \leq 1.5$ 。具体的,在本发明实施例中, $\alpha = 1$ 。在本发明的另一个实施例中, $\alpha = 1.2$ 。或者刻蚀工艺对牺牲层130和层间介质层110具有一定的刻蚀选择比 $\beta$ ,  $0.8 \leq \beta \leq 1.5$ 。具体的,在本发明实施例中, $\beta = 1$ 。在本发明的另一个实施例中, $\beta = 1.2$ 。

[0058] 同样的,为了保证暴露层间介质层110后,将刻蚀工艺或者研磨工艺停止在层间介质层110上,在本发明实施例中化学机械平坦化工艺对牺牲层130和对层间介质层110具有一定的研磨速率比 $\gamma$ ,  $\gamma \geq 3$ 。具体的,在本发明实施例中, $\gamma = 5$ 。在本发明的另一个实施例中, $\gamma = 10$ 。或者刻蚀工艺对牺牲层130和对层间介质层110具有一定的刻蚀速率比 $\mu$ ,  $\mu \geq 3$ 。具体的,在本发明实施例中, $\mu = 5$ 。在本发明的另一个实施例中, $\mu = 10$ 。

[0059] 请参考图5,刻蚀部分栅极结构120,以形成凹槽140。

[0060] 形成凹槽140是为了在凹槽内部形成介电层。凹槽140形成于栅极结构120的顶部。

[0061] 凹槽140的深度尺寸为 $d$ ,  $40\text{nm} \leq d \leq 200\text{nm}$ 。具体的在本发明实施例中, $d = 50\text{nm}$ 。在本发明的另一个实施例中, $d = 100\text{nm}$ 。在本发明的又一个实施例中, $d = 150\text{nm}$ 。且在本发明实施例中,各凹槽140的深度 $d$ 是相等的。

[0062] 形成凹槽140的工艺为刻蚀工艺。明显的,由于凹槽140的深度比较小,因此刻蚀过程中,能够始终保证凹槽140底部表面是基本平齐的,因此最终形成的介电层厚度是相等的,同时栅极结构120的高度是一致的,提高了半导体器件的性能。

[0063] 现有技术中,为了最终得到具有相同高度的栅极结构和相等厚度的介电层,采用刻蚀工艺先直接刻蚀栅极结构,直至栅极结构达到目标的高度,然后再去除部分层间介质层。但是由于栅极结构中栅极和栅介质层的材料不同,两者被刻蚀的速率也不相同,最终的栅极结构中,栅极的高度较高,而栅介质层的高度较低。同时,由于初始的栅极结构顶部高度不相等,那么最终形成的栅极结构中栅极顶部的高度也不相等,最终形成的介电层厚度也不相等,降低了半导体器件的电学性能。

[0064] 而本发明实施例先刻蚀材料均一的层间介质层110,使层间介质层110的高度先达到目标栅极结构120的高度,且余下层间介质层110的顶部表面平齐。然后再处理栅极结构120,使栅极结构120的顶部与余下层间介质层110的顶部平齐。后续再形成深度较小的凹槽



140,余下的栅极结构120的顶部仍然基本平齐,在凹槽140内形成的介电层的厚度也基本相等,后续在介质层中形成的连接孔、金属插塞或者金属连接结构的结构一致且尺寸规整,提高了半导体器件的电学性能。

[0065] 请参考图6,在凹槽内形成介电层150。

[0066] 一般的,相邻栅极结构120上部位置的距离略小于相邻栅极结构120下部之间的距离。如果不对栅极结构120的上部进行处理,器件工作后,栅极结构120的上部容易发生电击穿现象。因此,形成介电层150使相邻栅极结构120实际顶部之间的距离增大,避免栅极结构120上部发生电击穿现象。

[0067] 形成栅极结构120的工艺步骤包括:先形成填充在凹槽内且覆盖层间介质层110的介电材料层(未示出),然后对介电材料层进行研磨或者刻蚀,直至暴露层间介质层110,仅保留位于凹槽内的介电材料层,即介电层150。明显的,各介电层150的厚度相等。

[0068] 综上所述,本发明的实施例公开的半导体器件的形成方法先刻蚀层间介质层,使余下的层间介质层的高度作为后续栅极结构的高度基准,从而保证最终栅极结构的高度一致且其顶部平齐,最终形成各介电层的厚度也一致,提高了半导体器件的性能。

[0069] 至此,已经详细描述了本发明。为了避免遮蔽本发明的构思,没有描述本领域所公知的一些细节。本领域技术人员根据上面的描述,完全可以明白如何实施这里公开的技术方案。

[0070] 虽然已经通过示例对本发明的一些特定实施例进行了详细说明,但是本领域的技术人员应该理解,以上示例仅是为了进行说明,而不是为了限制本发明的范围。本领域的技术人员应该理解,可在不脱离本发明的范围和精神的情况下,对以上实施例进行修改。本发明的范围由所附权利要求来限定。

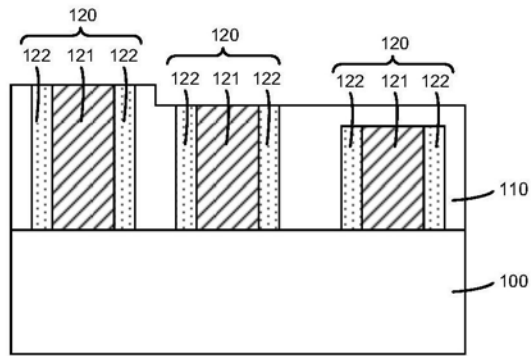


图1

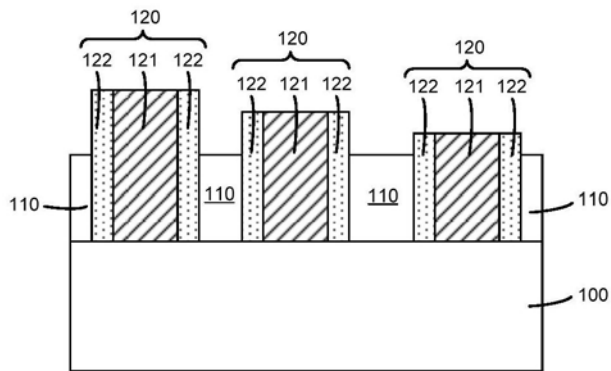


图2

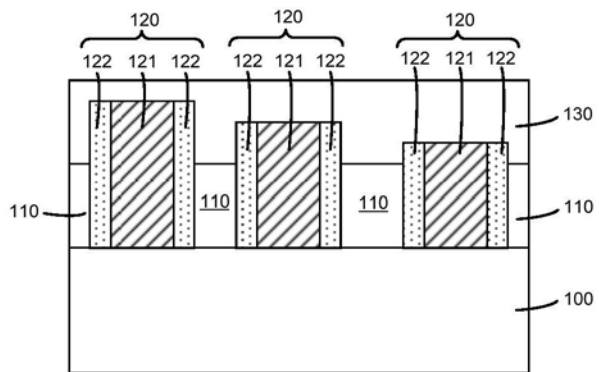


图3

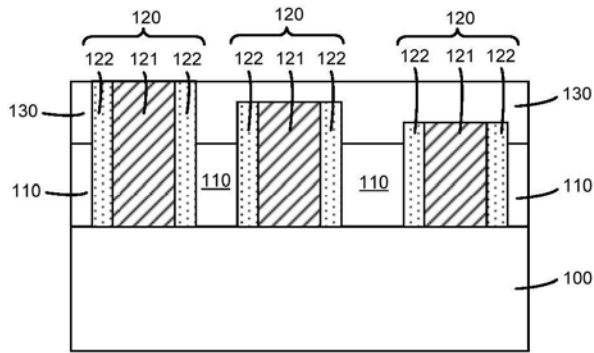


图4a

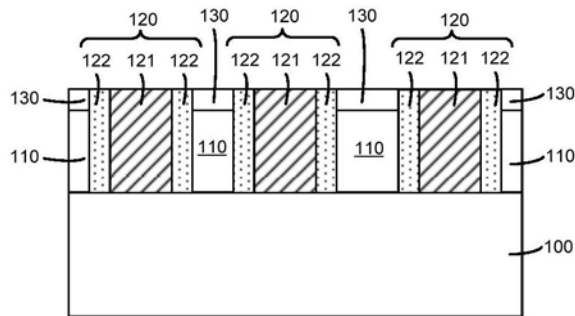


图4b

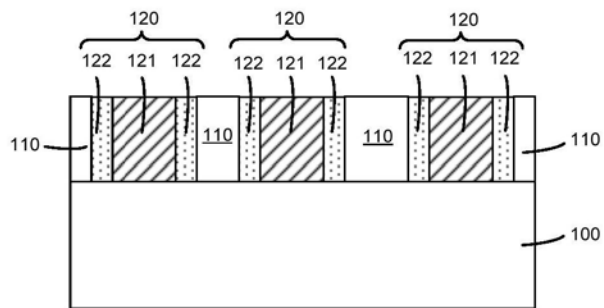


图4c

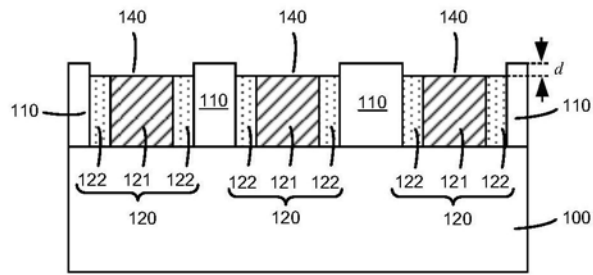


图5

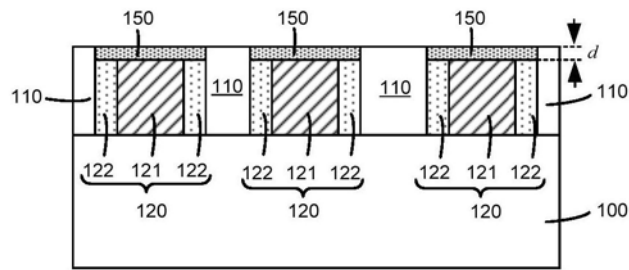


图6