

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5549659号  
(P5549659)

(45) 発行日 平成26年7月16日 (2014. 7. 16)

(24) 登録日 平成26年5月30日 (2014. 5. 30)

(51) Int. Cl.	F I				
<b>HO2M 3/28 (2006.01)</b>	HO2M	3/28			C
<b>HO3K 17/08 (2006.01)</b>	HO2M	3/28			Q
<b>HO3K 17/567 (2006.01)</b>	HO3K	17/08			D
<b>HO3K 3/30 (2006.01)</b>	HO3K	17/56			D
	HO3K	3/30			A

請求項の数 8 (全 17 頁)

(21) 出願番号 特願2011-237678 (P2011-237678)  
 (22) 出願日 平成23年10月28日 (2011. 10. 28)  
 (65) 公開番号 特開2013-99037 (P2013-99037A)  
 (43) 公開日 平成25年5月20日 (2013. 5. 20)  
 審査請求日 平成25年6月11日 (2013. 6. 11)

(73) 特許権者 000006231  
 株式会社村田製作所  
 京都府長岡京市東神足1丁目10番1号  
 (74) 代理人 110000970  
 特許業務法人 楓国際特許事務所  
 (72) 発明者 細谷 達也  
 京都府長岡京市東神足1丁目10番1号  
 株式会社村田製作所内  
 (72) 発明者 山口 直毅  
 京都府長岡京市東神足1丁目10番1号  
 株式会社村田製作所内  
 審査官 安食 泰秀

最終頁に続く

(54) 【発明の名称】 スイッチング電源装置

(57) 【特許請求の範囲】

【請求項1】

入力電源電圧が入力される電源電圧入力部と、  
 直流電圧が出力される直流電圧出力部と、  
 1次巻線および2次巻線を備えたトランスと、  
前記1次巻線に対して直列に接続される、漏れインダクタンスを含む共振インダクタおよび共振キャパシタと、

前記1次巻線に直列接続されて、オンにより前記電源電圧入力部の電圧を前記1次巻線に印加するローサイドスイッチング素子と、

前記ローサイドスイッチング素子とはグラウンドレベルの異なるハイサイドスイッチング素子と、

前記ローサイドスイッチング素子を制御するローサイドスイッチング制御部と、前記ハイサイドスイッチング素子を制御するハイサイドスイッチング制御部と、を有するスイッチング制御回路と、

を備えたスイッチング電源装置において、

第1の共振周波数を有する第1の共振回路を前記共振インダクタおよび前記共振キャパシタで構成し、前記第1の共振周波数よりも低い第2の共振周波数を有する第2の共振回路を前記1次巻線の励磁インダクタンスと前記共振インダクタおよび前記共振キャパシタで構成し、

前記ローサイドスイッチング制御部は、前記トランスの巻線電圧極性の反転を検出する

10

20

巻線電圧極性反転検出回路と、前記ローサイドスイッチング素子へ駆動電圧信号を出力している期間に前記巻線電圧極性反転検出回路が前記トランスの巻線電圧極性の反転を検出したときに前記ローサイドスイッチング素子をターンオフさせるローサイドターンオフ回路と、前記巻線電圧極性の反転から前記ローサイドスイッチング素子をターンオフさせるまでの遅延時間を決定するローサイドターンオフ遅延回路と、を備え、

前記ハイサイドスイッチング制御部は、前記トランスの巻線電圧極性の反転から前記ハイサイドスイッチング素子をターンオンさせるまでの時間を遅延させるハイサイドターンオン遅延回路を備え、

前記電源電圧入力部の電圧が低下した場合または前記直流電圧出力部に接続される負荷が重負荷となった場合においても、前記ローサイドターンオフ遅延回路の遅延時間は、前記ハイサイドターンオン遅延回路の遅延時間よりも短く設定され、前記スイッチング制御回路により生成されるスイッチング周波数が前記第2の共振周波数よりも低くなることを防止し、前記スイッチング周波数は前記第2共振周波数以上での動作を維持する、スイッチング電源装置。

10

【請求項2】

前記トランスはローサイド駆動巻線を備え、

前記巻線電圧極性反転検出回路は、前記ローサイド駆動巻線の電圧を検出して、前記トランスの巻線電圧極性の反転を検出する、請求項1に記載のスイッチング電源装置。

【請求項3】

前記巻線電圧極性反転検出回路は、前記ローサイド駆動巻線の電圧と所定の基準電圧との比較によって、前記トランスの巻線電圧極性の反転を検出する、請求項2に記載のスイッチング電源装置。

20

【請求項4】

前記ローサイドスイッチング制御部は、前記ローサイドスイッチング素子を駆動するパルスが発生してから、所定の期間、前記巻線電圧極性の反転の検出を行わないブランキング時間を設定するブランキング制御手段を備えた、請求項1～3のいずれかに記載のスイッチング電源装置。

【請求項5】

前記トランスはハイサイド駆動巻線を備え、

前記ハイサイドスイッチング制御部は、前記ハイサイド駆動巻線に発生する電圧を前記ハイサイドスイッチング素子の制御端子へ供給する、請求項1～4のいずれかに記載のスイッチング電源装置。

30

【請求項6】

前記ハイサイドターンオン遅延回路は、前記ハイサイドスイッチング素子の制御端子に直列接続されたインピーダンス回路と前記ハイサイドスイッチング素子の制御端子に存在する入力容量とで構成された、請求項5に記載のスイッチング電源装置。

【請求項7】

前記インピーダンス回路は、電流の方向に応じてインピーダンスが異なる、請求項6に記載のスイッチング電源装置。

【請求項8】

前記スイッチング制御回路は、前記ローサイドスイッチング素子を駆動する信号を発生させる制御部と前記ハイサイドスイッチング素子を駆動する信号を発生させる制御部とを備えた集積回路により構成される、請求項1～7のいずれかに記載のスイッチング電源装置。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、スイッチング電源装置に関し、特に電力変換動作に共振現象を利用する共振型スイッチング電源装置に関する発明である。

【背景技術】

50

## 【0002】

特許文献1, 2には、電力変換動作に共振現象を利用する共振型スイッチング電源装置が開示されている。

## 【0003】

電力変換動作に共振現象を利用する、電流共振形コンバータ方式のスイッチング電源装置においては、出力電圧を制御するために、例えば、スイッチング周波数を変化させる。また、このようなスイッチング電源装置においては、共振インダクタ $L_r$ と共振キャパシタ $C_r$ とで第1のLC共振回路が構成され、1次巻線の励磁インダクタ $L_m$ 、共振インダクタ $L_r$ および共振キャパシタ $C_r$ で第2のLC共振回路が構成される。

## 【0004】

スイッチング周波数を $f_s$ 、第1のLC共振回路の共振周波数を $f_r$ 、第2のLC共振回路の共振周波数を $f_m$ で表すと、通常の動作では、 $f_m < f_r < f_s$ の関係を保つ。そして、軽負荷時ではスイッチング周波数 $f_s$ が上昇して出力電力が小さくなり、重負荷では、スイッチング周波数 $f_s$ が低下して出力電力が大きくなる。上記周波数の大小関係であれば、トランスの1次巻線に流れる電流は、1次巻線に加えられる電圧よりも位相が遅れる「電流遅れ位相」で動作する。

## 【0005】

しかし、負荷が重くなるにつれてスイッチング周波数 $f_s$ は低下し、 $f_s < f_m < f_r$ となると、共振条件が外れた状態（「共振外れ」）になる。すなわち、このようにスイッチング周波数 $f_s$ が共振周波数より低い関係は、1次側回路からトランスが容量性のインピーダンスに見える状態であり、トランスの1次巻線に加わる電圧波形の位相より電流波形の位相が進むことになる。この場合に、ローサイドのスイッチング素子とハイサイドのスイッチング素子が同時にオンする（いわゆるアーム短絡状態になる）期間が生じて、その二つのスイッチング素子に過大な電流が流れ、大きな損失を発生させてしまうという課題がある。

## 【0006】

具体的には、電圧波形の位相より電流波形の位相が進む、前述の状態であると、ローサイドのスイッチング素子がターンオフした後にデッドタイムを挟んでハイサイドのスイッチング素子がターンオンするが、ローサイドのスイッチング素子に流れる電流の極性が既に反転している（ローサイドのスイッチング素子のボディダイオードを流れている）状態で、ハイサイドのスイッチング素子がターンオンすると、ボディダイオードの逆回復特性による遮断の遅れにより、ローサイドのスイッチング素子のボディダイオードが導通している状態でハイサイドのスイッチング素子が導通してしまい、前記アーム短絡が生じる。

## 【0007】

また、電圧波形の位相より電流波形の位相が進んでいる状態ではZVS（ゼロ電圧スイッチング、ソフトスイッチング）ができないので、スイッチング損失が増大する、という問題も生じる。

## 【0008】

前記「共振外れ」を防止したスイッチング電源装置は特許文献1, 2に示されている。特許文献1, 2のスイッチング電源装置では、トランスに流れる電流またはスイッチング素子に流れる電流を検出して、その電流値と所定値との比較によってスイッチング素子を制御することで前記「共振外れ」を防止している。

## 【先行技術文献】

## 【特許文献】

## 【0009】

【特許文献1】特開平9 - 308243号公報

【特許文献2】特開平11 - 332232号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0010】

特許文献 1, 2 に示されているスイッチング電源装置においては、トランスに流れる電流またはスイッチング素子に流れる電流を常に監視する必要があるため、回路構成上、損失が増加するだけでなく、電源装置が大型化するという、解決すべき課題があった。

【 0 0 1 1 】

因みに、 $f_s < f_m$ にならないように、予めスイッチング周波数  $f_s$  を高めに設定しておく対処方法もあるが、入力電圧が低く且つ出力電力が大きい場合やトランスや電子部品の個体ばらつきなどが大きい場合には対応ができなくなる。

【 0 0 1 2 】

本発明は、上記課題を解決して、大型化することなく、アーム短絡および損失増大の問題を解消したスイッチング電源装置を提供することを目的としている。

10

【課題を解決するための手段】

【 0 0 1 3 】

( 1 ) 本発明のスイッチング電源装置は、  
 入力電源電圧が入力される電源電圧入力部と、  
 直流電圧が出力される直流電圧出力部と、  
 1 次巻線 (  $n_p$  ) および 2 次巻線 (  $n_s$  ) を備えたトランス (  $T$  ) と、  
前記 1 次巻線に対して直列に接続される、漏れインダクタンスを含む共振インダクタ (  $L_r$  ) および共振キャパシタ (  $C_r$  ) と、

前記 1 次巻線 (  $n_p$  ) に直列接続されて、オンにより前記電源電圧入力部の電圧を前記 1 次巻線 (  $n_p$  ) に印加するローサイドスイッチング素子 (  $Q_1$  ) と、

20

前記ローサイドスイッチング素子とはグラウンドレベルの異なるハイサイドスイッチング素子 (  $Q_2$  ) と、

前記ローサイドスイッチング素子 (  $Q_1$  ) を制御するローサイドスイッチング制御部と、  
 前記ハイサイドスイッチング素子 (  $Q_2$  ) を制御するハイサイドスイッチング制御部と、  
 を有するスイッチング制御回路と、

を備えたスイッチング電源装置において、

第 1 の共振周波数を有する第 1 の共振回路を前記共振インダクタ (  $L_r$  ) および前記共振キャパシタ (  $C_r$  ) で構成し、前記第 1 の共振周波数よりも低い第 2 の共振周波数を有する第 2 の共振回路を前記 1 次巻線の励磁インダクタンス (  $L_m$  ) と前記共振インダクタ (  $L_r$  ) および前記共振キャパシタ (  $C_r$  ) で構成し、

30

前記ローサイドスイッチング制御部は、前記トランス (  $T$  ) の巻線電圧極性の反転を検出する巻線電圧極性反転検出回路と、前記ローサイドスイッチング素子 (  $Q_2$  ) へ駆動電圧信号を出力している期間に前記巻線電圧極性反転検出回路が前記トランス (  $T$  ) の巻線電圧極性の反転を検出したときに前記ローサイドスイッチング素子 (  $Q_1$  ) をターンオフさせるローサイドターンオフ回路と、前記巻線電圧極性の反転から前記ローサイドスイッチング素子をターンオフさせるまでの遅延時間を決定するローサイドターンオフ遅延回路と、を備え、

前記ハイサイドスイッチング制御部は、前記トランス (  $T$  ) の巻線電圧極性の反転から前記ハイサイドスイッチング素子 (  $Q_2$  ) をターンオンさせるまでの時間 (  $t_{d2}$  ) を遅延させるハイサイドターンオン遅延回路を備え、

40

前記電源電圧入力部の電圧が低下した場合または前記直流電圧出力部に接続される負荷が重負荷となった場合においても、前記ローサイドターンオフ遅延回路の遅延時間 (  $t_{d1}$  ) は、前記ハイサイドターンオン遅延回路の遅延時間 (  $t_{d2}$  ) よりも短く設定され、前記スイッチング制御回路により生成されるスイッチング周波数  $f_s$  が前記第 2 の共振周波数  $f_m$  よりも低くなることを防止し、前記スイッチング周波数は前記第 2 共振周波数以上での動作を維持する、ことを特徴とする。

【 0 0 1 4 】

( 2 ) 前記トランス (  $T$  ) はローサイド駆動巻線 (  $n_{b1}$  ) を備え、前記巻線電圧極性反転検出回路は、前記ローサイド駆動巻線 (  $n_{b1}$  ) の電圧を検出して、前記トランス (  $T$  ) の巻線電圧極性の反転を検出するものであることが好ましい。

50

## 【 0 0 1 5 】

( 3 ) 前記巻線電圧極性反転検出回路は、前記ローサイド駆動巻線 ( n b 1 ) の電圧と所定の基準電圧との比較によって、前記トランス ( T ) の巻線電圧極性の反転を検出する回路であることが好ましい。

## 【 0 0 1 6 】

( 4 ) 前記ローサイドスイッチング制御部は、前記ローサイドスイッチング素子 ( Q 1 ) を駆動するパルスを発生してから、所定の期間、巻線電圧極性の反転の検出を行わないブランキング時間を設定するブランキング制御手段を備えていることが好ましい。

## 【 0 0 1 7 】

( 5 ) 前記トランス ( T ) はハイサイド駆動巻線 ( n b 2 ) を備え、前記ハイサイドスイッチング制御部は、前記ハイサイド駆動巻線 ( n b 2 ) に発生する電圧を前記ハイサイドスイッチング素子 ( Q 2 ) の制御端子へ供給するものであることが好ましい。

10

## 【 0 0 1 8 】

( 6 ) 前記ハイサイドターンオン遅延回路は、前記ハイサイドスイッチング素子 ( Q 2 ) の制御端子に直列接続されたインピーダンス回路と前記ハイサイドスイッチング素子 ( Q 2 ) の制御端子に存在する入力容量とで構成されていることが好ましい。

## 【 0 0 1 9 】

( 7 ) 前記インピーダンス回路は、電流の方向に応じてインピーダンスが異なる回路であることが好ましい。

## 【 0 0 2 0 】

( 8 ) 前記スイッチング制御回路は、前記ローサイドスイッチング素子 ( Q 1 ) を駆動する信号を発生させる制御部と前記ハイサイドスイッチング素子 ( Q 2 ) を駆動する信号を発生させる制御部とを備えた集積回路 ( I C ) により構成されることが好ましい。

20

## 【 発明の効果 】

## 【 0 0 2 1 】

本発明によれば、トランスの巻線電圧の極性の反転により、ハイサイドのスイッチング素子 Q 2 が遅延時間  $t_{d2}$  経過後にターンオンするが、スイッチング素子 Q 1 をターンオフするまでの遅延時間  $t_{d1}$  が  $t_{d2}$  よりも短く設定されている。したがって、トランスの巻線電圧の極性が反転したときに、ローサイドスイッチング素子が強制的にターンオフされて、 $f_m < f_s$  となる。すなわち  $f_s < f_m$  となるのを防止することができ、共振回路のインピーダンスは誘導性となり、共振条件が整うことで、ZVS (ゼロ電圧スイッチング動作) が可能な状態となる。これにより、ハイサイドとローサイドの二つのスイッチング素子がアーム短絡することが防止でき、この二つのスイッチング素子が同時に導通して過大な損失が生じるのを防止できる。

30

## 【 図面の簡単な説明 】

## 【 0 0 2 2 】

【 図 1 】 図 1 は第 1 の実施形態に係るスイッチング電源装置 1 0 1 の回路図である。

【 図 2 】 図 2 は、負荷変動があったときの、ハイサイド駆動巻線の電圧  $V_{nb2}$  およびトランジスタ Q 3 のベース・エミッタ間電圧  $V_{be}$  の変化を示す波形図である。

【 図 3 】 図 3 は、ローサイドスイッチング素子 Q 1 のゲート・ソース間電圧  $V_{gs1}$ 、ハイサイドスイッチング素子 Q 2 のゲート・ソース間電圧  $V_{gs2}$ 、ローサイドスイッチング素子 Q 1 のドレイン・ソース間電圧  $V_{ds1}$ 、トランジスタ Q 3 のベース・エミッタ間電圧  $V_{be}$ 、スイッチング制御用 IC 8 4 の IS 端子の電圧  $V_{is}$  および ZT 端子の電圧  $V_{zt}$  の関係を示す波形図である。

40

【 図 4 】 図 4 ( A ) は共振外れ防止状態でのトランス T の 1 次巻線 np の電圧およびローサイドスイッチング素子 Q 1 のドレイン電流の波形図である。図 4 ( B ) は「共振外れ」が生じた状態でのトランス T の 1 次巻線 np の電圧およびローサイドスイッチング素子 Q 1 のドレイン電流の波形図である。

【 図 5 】 図 5 は第 2 の実施形態に係るスイッチング電源装置 1 0 2 の回路図である。

【 図 6 】 図 6 は第 3 の実施形態に係るスイッチング電源装置 1 0 3 の回路図である。

50

【図 7】図 7 は第 4 の実施形態に係るスイッチング電源装置 104 の回路図である。

【図 8】図 8 は第 5 の実施形態に係るスイッチング電源装置 105 の回路図である。

【図 9】図 9 は第 6 の実施形態に係るスイッチング電源装置 106 の回路図である。

【図 10】図 10 は第 7 の実施形態に係るスイッチング電源装置 107 の回路図である。

【図 11】図 11 は第 8 の実施形態に係るスイッチング電源装置 108 の回路図である。

【発明を実施するための形態】

【0023】

《第 1 の実施形態》

図 1 は第 1 の実施形態のスイッチング電源装置 101 の回路図である。このスイッチング電源装置 101 の入力端子 P I ( + ) - P I ( - ) 間に入力電源 V i の電圧が入力される。そして、スイッチング電源装置 101 の出力端子 P O ( + ) - P O ( - ) 間に接続される負荷 R o へ所定の直流電圧 V o が出力される。

10

【0024】

入力端子 P I ( + ) - P I ( - ) 間には、共振キャパシタ C r、共振インダクタ L r、トランス T の 1 次巻線 n p およびローサイドスイッチング素子 Q 1 が直列に接続された第 1 の直列回路が構成されている。共振インダクタ L r はトランス T の漏れインダクタンスまたはこの漏れインダクタンスとは別に、トランスの 1 次巻線に接続したインダクタである。ローサイドスイッチング素子 Q 1 は M O S - F E T からなり、ドレイン端子がトランス T の 1 次巻線 n p に接続されている。

20

【0025】

トランス T の 1 次巻線 n p の両端には、ハイサイドスイッチング素子 Q 2 とキャパシタ C r およびインダクタ L r が直列に接続された第 2 の直列回路が構成されている。

【0026】

トランス T の 2 次巻線 n s 1 , n s 2 には、ダイオード D s , D f およびキャパシタ C o からなる第 1 の整流平滑回路が構成されている。この第 1 の整流平滑回路は 2 次巻線 n s 1 , n s 2 から出力される交流電圧を全波整流し平滑して、出力端子 P O ( + ) - P O ( - ) へ出力する。

【0027】

トランス T は、1 次巻線 n p、2 次巻線 n s 1 , n s 2 だけでなく、ローサイド駆動巻線 n b 1 およびハイサイド駆動巻線 n b 2 を有している。

30

【0028】

トランス T のローサイド駆動巻線 n b 1 には、ローサイドスイッチング制御部 8 1 が設けられている。このローサイドスイッチング制御部 8 1 は、ダイオード D b およびキャパシタ C b による整流平滑回路を含んでいる。この整流平滑回路によって得られる直流電圧がスイッチング制御用 I C 8 4 の V C C 端子に電源電圧として供給される。

【0029】

前記スイッチング制御用 I C 8 4 は、I S 端子（電流検出端子）を備えた、電流モードで動作する汎用のスイッチング制御用 I C である。

【0030】

出力端子 P O ( + ) , P O ( - ) とスイッチング制御用 I C 8 4 との間には帰還回路が設けられている。図 1 では帰還の経路のみを簡易的に一本の線 ( F e e d b a c k ) で表しているが、具体的には出力端子 P O ( + ) - P O ( - ) 間の出力電圧 V o の分圧値と基準電圧との比較によって帰還信号を発生し、絶縁状態でスイッチング制御用 I C 8 4 の F B 端子へフィードバック電圧を入力する。この F B 端子へ入力されるフィードバック電圧は出力電圧 V o が低いほど高くなる。

40

【0031】

スイッチング制御用 I C 8 4 の O U T 端子には定電流回路 C C 1 およびキャパシタ C b 1 の直列回路が接続されていて、キャパシタ C b 1 の充電電圧が I S 端子（電流検出端子）に入力されるように接続されている。

【0032】

50

また、スイッチング制御用 IC 84 の OUT 端子は、抵抗 R 12 を介してローサイドスイッチング素子 Q 1 のゲート端子に接続されている。

【 0 0 3 3 】

スイッチング制御用 IC 84 は Z T 端子の入力電圧が反転したことを検出する電圧極性反転検出回路およびターンオフ遅延回路を備えている。電圧極性反転検出回路は、内部で発生した基準電圧と Z T 端子の電圧とを比較するコンパレータを備える。このコンパレータの出力電圧がローレベルになったとき、ターンオフ遅延回路による遅延時間  $t_{d1}$  の後、OUT 端子をローレベルにする。これにより、ローサイドスイッチング素子 Q 1 がターンオフする。また、前記コンパレータの出力がハイレベルになったときは、後に示す遅延時間  $t_{d0}$  の経過後に OUT 端子をハイレベルに反転させる。これによりローサイドスイッチング素子 Q 1 がターンオンする。

10

【 0 0 3 4 】

定電流回路 CC 1 は、スイッチング制御用 IC 84 の OUT 端子の電圧によりキャパシタ C b 1 を定電流で充電する。スイッチング制御用 IC 84 内のコンパレータはキャパシタ C b 1 の電圧と F B 端子の電圧とを比較し、I S 端子の電圧が F B 端子の電圧を超えたとき OUT 端子の電圧をハイレベルからローレベルとする。したがって、F B 端子の電圧が低くなるほど、キャパシタ C b 1 の充電時間は短くなる。すなわち、ローサイドスイッチング素子 Q 1 のオン時間が短くなって、出力電圧  $V_o$  は定電圧化される。

【 0 0 3 5 】

なお、ダイオード D 9 はキャパシタ C b 1 の電荷の放電経路を構成する。すなわち、スイッチング制御用 IC 84 の出力電圧がローレベルになったとき ( Q 1 がターンオフするとき )、キャパシタ C b 1 の電荷はダイオード D 9 を介して放電される。

20

【 0 0 3 6 】

このようにして、電流モード IC であるスイッチング制御用 IC 84、定電流回路 CC 1 およびキャパシタ C b 1 による回路は、電圧 - 時間変換回路として作用する。そして、出力電圧  $V_o$  を検出して基準電圧 ( 目標電圧 ) との比較により発生される帰還信号の電圧が前記電圧 - 時間変換回路で変換されて、その時間だけローサイドスイッチング素子 Q 1 がオンする。

【 0 0 3 7 】

トランス T のハイサイド駆動巻線 n b 2 とハイサイドスイッチング素子 Q 2 との間にはハイサイドスイッチング制御部 6 1 が設けられている。具体的には、トランス T のハイサイド駆動巻線 n b 2 の第 1 端はローサイドスイッチング素子 Q 1 とハイサイドスイッチング素子 Q 2 との接続点 ( ハイサイドスイッチング素子 Q 2 のソース端子 ) に接続され、ハイサイド駆動巻線 n b 2 の第 2 端とハイサイドスイッチング素子 Q 2 のゲート端子との間にハイサイドスイッチング制御部 6 1 が接続されている。

30

【 0 0 3 8 】

前記ハイサイドスイッチング制御部 6 1 は、4 つのダイオード D 1 , D 2 , D 3 , D 4 から構成されるダイオードブリッジ整流回路と、ダイオード D 1 , D 3 の接続点とダイオード D 2 , D 4 の接続点との間、つまりこのダイオードブリッジ整流回路の出力端間に接続された定電流回路 CC 2 とで構成された双方向定電流回路である。

40

【 0 0 3 9 】

ハイサイドスイッチング制御部 6 1 には、抵抗 R 5 およびハイサイドスイッチング素子 Q 2 の入力容量 ( ゲート・ソース間容量 ) により、後述する遅延時間  $t_{d2}$  だけターンオンを遅延させるターンオン遅延回路が構成されている。このターンオン遅延回路は、ハイサイド駆動巻線 n b 2 の電圧が反転してから遅延時間  $t_{d2}$  の経過後に、ハイサイドスイッチング素子 Q 2 をターンオンさせる。

【 0 0 4 0 】

ハイサイドスイッチング制御部 6 1 はハイサイドスイッチング素子 Q 2 がターンオンした後、ローサイドスイッチング素子 Q 1 のオン時間と同じ時間が経過した時に強制的にハイサイドスイッチング素子 Q 2 をターンオフさせる。

50

## 【 0 0 4 1 】

図 2 は、負荷変動があったときの、ハイサイド駆動巻線の電圧  $V_{nb2}$  およびトランジスタ  $Q3$  のベース・エミッタ間電圧  $V_{be}$  の変化を示す波形図である。

## 【 0 0 4 2 】

キャパシタ  $C_{b2}$  は同じ電流値の定電流で充放電されるので、 $Q3$  のベース・エミッタ間電圧  $V_{be}$  の傾きは等しい。そのため、ハイサイドスイッチング素子  $Q2$  のオン時間はローサイドスイッチング素子  $Q1$  のオン時間に等しい。図 2 において、 $T_{Q1ON(1)}$  と  $T_{Q2ON(1)}$  は上述の動作により等しい。ローサイドスイッチング素子  $Q1$  のオン時間が長くなり  $T_{Q1ON(2)}$  となったときも、 $T_{Q1ON(2)}$  と  $T_{Q2ON(2)}$  は上述の動作により等しい。

10

## 【 0 0 4 3 】

このように、ローサイドスイッチング素子  $Q1$  のオン時間が変化すれば、それに追従して、ハイサイドスイッチング素子  $Q2$  のオン時間が変化する。

## 【 0 0 4 4 】

以上に示したとおり、このスイッチング電源装置 101 は、ローサイド駆動巻線  $nb1$  の電圧が反転するタイミングをトリガとして、ローサイドスイッチング素子  $Q1$  がターンオンする。また、ローサイドスイッチング素子  $Q1$  とハイサイドスイッチング素子  $Q2$  が共にオフとなるデッドタイムを挟んで、時比率  $D = 0.5$  で交互にオンオフさせる電流共振形ハーフブリッジコンバータとして動作する。

## 【 0 0 4 5 】

20

図 3 は、ローサイドスイッチング素子  $Q1$  のゲート・ソース間電圧  $V_{gs1}$ 、ハイサイドスイッチング素子  $Q2$  のゲート・ソース間電圧  $V_{gs2}$ 、ローサイドスイッチング素子  $Q1$  のドレイン・ソース間電圧  $V_{ds1}$ 、トランジスタ  $Q3$  のベース・エミッタ間電圧（キャパシタ  $C_{b2}$  の電圧） $V_{be}$ 、スイッチング制御用  $IC84$  の  $IS$  端子の電圧（キャパシタ  $C_{b1}$  の電圧） $V_{is}$  および  $ZT$  端子の電圧  $V_{zt}$  の関係を示す波形図である。この図 3 を基に、スイッチング電源装置 101 の動作について示す。スイッチング電源装置 101 の 1 サイクル分の動作は次のとおりである。

## 【 0 0 4 6 】

スイッチング制御用  $IC84$  は、 $ZT$  端子の入力電圧を基に、トランス  $T$  のローサイド駆動巻線  $nb1$  に発生する巻線電圧の極性が反転したことを検出し、この極性反転を検出した時刻から遅延時間  $t_{d1}$  だけ遅れてローサイドスイッチング素子  $Q1$  をターンオフする。

30

## 【 0 0 4 7 】

同時に、キャパシタ  $C_{b2}$  は定電流回路  $CC2$  を介して放電される。

## 【 0 0 4 8 】

出力電圧  $V_o$  を制御するための帰還信号 ( $Feedback$ ) に基づいた信号電圧によって生成された時刻でローサイドスイッチング素子  $Q1$  をターンオフする。

## 【 0 0 4 9 】

ローサイドスイッチング素子  $Q1$  がターンオフすることで、ハイサイド駆動巻線  $nb2$  に発生する巻線電圧により、ハイサイドスイッチング素子  $Q2$  の入力容量（ゲート・ソース間容量）が充電されてからハイサイドスイッチング素子  $Q2$  はターンオンする。したがってハイサイドスイッチング素子  $Q2$  は前記充電による遅延時間  $t_{d2}$  だけ遅れてターンオンする。

40

## 【 0 0 5 0 】

同時に、キャパシタ  $C_{b2}$  は定電流回路  $CC2$  を介して充電される。

## 【 0 0 5 1 】

キャパシタ  $C_{b2}$  の充電電圧  $V_{be}$  がトランジスタ  $Q3$  のしきい値電圧に達することでトランジスタ  $Q3$  はターンオンし、ハイサイドスイッチング素子  $Q2$  の入力容量が急速に放電されて、ハイサイドスイッチング素子  $Q2$  はターンオフする。

## 【 0 0 5 2 】

50

このことにより、トランスTのローサイド駆動巻線n b 1に発生する巻線電圧の極性が反転する。スイッチング制御用IC 84は、Z T端子の入力電圧を基に、そのことを検知する。この電圧極性の反転から遅延時間t d 0の経過後にローサイドスイッチング素子Q 1がターンオンする。

【0053】

図4(A)は「共振外れ」がない通常状態でのトランスTの1次巻線n pの電圧およびローサイドスイッチング素子Q 1のドレイン電流の波形図である。また、図4(B)は「共振外れ」が生じた状態でのトランスTの1次巻線n pの電圧およびローサイドスイッチング素子Q 1のドレイン電流の波形図である。ここで、ドレイン電流の波形のt 0 ~ t 1の区間は、比較的インダクタンス値の小さな共振インダクタ(1次巻線n pの漏れインダクタンスを含む)L rと共振キャパシタC rの直列共振に基づく電流波形であり、t 1 ~ t 2の区間は、共振インダクタL r、トランスの励磁インダクタンスL mおよび共振キャパシタC rの直列共振に基づく電流波形である。

【0054】

スイッチング周波数f sが共振周波数f mよりも低下して、「共振外れ」が生じるような状況では、既に述べたとおり電流位相が進んでいるので、図4(B)に表れているように、ローサイドスイッチング素子Q 1のドレイン電流が負になってから(ローサイドスイッチング素子Q 1のボディダイオードに電流が流れている状態で)ハイサイドのスイッチング素子がターンオンするので、前述のアーム短絡の問題が生じる。

【0055】

本発明の実施形態によれば、図1・図3に示すように、スイッチング制御用IC 84のOUT端子電圧がハイの状態、Z T端子の電圧が0V付近まで低下すると、スイッチング制御用IC 84はローサイドスイッチング素子Q 1を強制的にターンオフする。この強制ターンオフ動作は、ハイサイドスイッチング素子Q 2がターンオンするより早く動作する。すなわち、駆動巻線n b 1に発生する巻線電圧の極性が反転したことを検出したタイミングを起点としてから、ローサイドスイッチング素子Q 1をターンオフするまでの遅延時間t d 1が、ハイサイドスイッチング素子Q 2の入力容量を充電してハイサイドスイッチング素子Q 2をターンオンするまでの遅延時間t d 2より小さくなる条件(t d 1 < t d 2)を満たすようにt d 1、t d 2を定める。

【0056】

このように、共振外れ防止状態では、図3に表れているように、V i sがV f bに達するまでにQ 1がターンオフする。したがって、出力電圧は規定値より下回ることになるが、例えば、入力電源V iの電圧の供給が遮断されて、入力電源V iの電圧が所定の電圧よりも低下したような状態においてもアーム短絡を起こすことなくコンバータは動作を続けて、出力電力の供給を維持することができる。結果として、入力電源V iの電圧の供給を遮断しても、アーム短絡を起こすことなく、コンバータを安全に停止することができる。また、瞬時停電などに対しても出力電圧の保持時間を長くすることが可能となる。

【0057】

このようにして、スイッチング周波数f sが共振周波数f mよりも低下して共振条件が外れることはなく、また、起動や停止や出力短絡などの過渡的な動作状態においても、ローサイドスイッチング素子Q 1がターンオンした後にトランスの巻線電圧が反転しても、Q 1が帰還信号に基づいてターンオフする前にハイサイドスイッチング素子Q 2がターンオンすることはない。すなわちアーム短絡が生じることなく、スイッチング電源装置の破壊が損失の増大を防止することができる。

【0058】

図1に示したスイッチング制御用IC 84はブランキング時間を設定する回路を備えている。具体的には、ローサイドスイッチング素子Q 1を駆動するパルスが発生してから所定期間(設定されたブランキング時間)は前記Z T端子の入力をマスクする。このように、所定期間だけ巻線電圧の極性を検出しないブランキング時間を設定したことにより、ブランキング時間においては、ローサイドスイッチング素子Q 1をターンオンさせてし

10

20

30

40

50

まうような信号となるスイッチングノイズがZ T端子に入力されたとしても、ノイズ信号によってローサイドスイッチング素子Q 1をターンオンさせてしまうような誤動作の発生を防止することができる。

【 0 0 5 9 】

なお、遅延時間  $t_{d2}$  を生成する遅延回路を、ハイサイドスイッチング素子Q 2の制御端子に直列に接続された抵抗R 5（インピーダンス回路）とハイサイドスイッチング素子Q 2のゲート端子に存在する入力容量とで構成することにより、部品点数は削減され、スイッチング電源装置の小型化を図ることができる。

【 0 0 6 0 】

《第2の実施形態》

図5は第2の実施形態のスイッチング電源装置102の回路図である。このスイッチング電源装置102のハイサイドスイッチング制御部62以外は、第1の実施形態で図1に示した回路と同じである。

【 0 0 6 1 】

ハイサイドスイッチング制御部62には、ハイサイド駆動巻線nb2の出力とハイサイドスイッチング素子Q2との間に、キャパシタCg1, ダイオードD6, 抵抗R5, R6, インダクタLgで構成されるインピーダンス回路が接続されている。インダクタLgは、チップインダクタまたはビーズインダクタなどである。また、ハイサイドスイッチング素子Q2のゲート・ソース間に、ツェナーダイオードZD1, ZD2の直列回路およびキャパシタCg2が接続されている。ハイサイドスイッチング制御部62内のその他の構成は図1に示したハイサイドスイッチング制御部61と同じである。

【 0 0 6 2 】

ハイサイド駆動巻線nb2の出力とハイサイドスイッチング素子Q2の制御端子との間に接続された前記インピーダンス回路とキャパシタCg2とで、ハイサイドスイッチング素子Q2のターンオン遅延回路が構成されている。

【 0 0 6 3 】

ハイサイド駆動巻線nb2に発生する巻線電圧によりキャパシタCg2が充電され、ハイサイドスイッチング素子Q2のゲート・ソース間電圧がしきい値を超えるとQ2はターンオンする。

【 0 0 6 4 】

ダイオードD6および抵抗R6の直列回路が抵抗R5に対して並列に接続されているので、ハイサイドスイッチング素子Q2のゲート電圧の立ち上がりはR5とR6の並列インピーダンスで設定され、立ち下がりにはR5のみのインピーダンスで支配的に設定される。

【 0 0 6 5 】

キャパシタCg1は、キャパシタCg2との容量分圧により、ハイサイドスイッチング素子Q2のゲート・ソース間の電圧値を制御する。また、ツェナーダイオードZD1, ZD2は、ハイサイドスイッチング素子Q2のゲート・ソース間の電圧値の最大変化幅を制限する。

【 0 0 6 6 】

この実施形態によれば、Q2のターンオン遅延回路の一部であるインピーダンス回路が、電流の方向に応じて、そのインピーダンスが変化するものであるため、スイッチング素子Q2のターンオンスピードとターンオフスピードを個別に調整することができる。

【 0 0 6 7 】

また、前記インピーダンス回路は、キャパシタCg1と抵抗R5, R6の直列回路で構成されているので、キャパシタCg1の容量値を調整することで、ハイサイドスイッチング素子Q2のゲート端子に存在する入力容量との分圧比を調整し、適切な制御ゲート電圧を加えることができる。

【 0 0 6 8 】

また、前記インピーダンス回路にインダクタLgが設けられているので、高周波のサージ電流が抑制されて、ハイサイドスイッチング素子Q2のゲート端子に過大な電圧が印加

10

20

30

40

50

されるのを防ぐことができる。

【0069】

また、ハイサイドスイッチング素子 $Q_2$ のゲート・ソース間に並列にツェナーダイオードが双方向に接続されているので、ハイサイドスイッチング素子 $Q_2$ のゲート端子に過大な電圧が印加されるのを防ぐことができる。なお、ハイサイドスイッチング素子 $Q_2$ のゲート・ソース間に並列に接続されるツェナーダイオードはいずれか単方向にのみ接続されていてもよい。

【0070】

《第3の実施形態》

図6は第3の実施形態のスイッチング電源装置103の回路図である。第1の実施形態で図1に示したスイッチング電源装置と異なるのは、トランス $T$ の二次側の構成である。

10

【0071】

第3の実施形態では、トランス $T$ の2次巻線 $n_s$ に、ダイオード $D_{21}$ 、 $D_{22}$ 、 $D_{23}$ 、 $D_{24}$ によるダイオードブリッジ回路及びキャパシタ $C_o$ が接続されている。このようにダイオードブリッジ回路で全波整流してもよい。

【0072】

《第4の実施形態》

図7は第4の実施形態に係るスイッチング電源装置104の回路図である。第1の実施形態で図1に示したスイッチング電源装置と異なるのは、トランス $T$ の二次側の構成である。

20

【0073】

第4の実施形態では、トランス $T$ の2次巻線 $n_{s1}$ の両端に、ダイオード $D_s$ 及びキャパシタ $C_{o1}$ による整流平滑回路が構成され、出力端子 $PO(+)$ - $PO(-)$ 間にキャパシタ $C_{o3}$ が接続されている。またダイオード $D_f$ 及びキャパシタ $C_{o2}$ の直列回路の中点が出力端子 $PO(-)$ に接続され、両端はトランス $T$ の2次巻線 $n_{s1}$ の両端に接続されている。このように倍電圧整流回路としてもよい。

【0074】

《第5の実施形態》

図8は第5の実施形態に係るスイッチング電源装置105の回路図である。以上に示した各実施形態と異なるのは、インダクタ $L_r$ 、1次巻線 $n_p$ 、キャパシタ $C_r$ の位置である。この例では、インダクタ $L_r$ 、1次巻線 $n_p$ 、キャパシタ $C_r$ の直列回路は、ローサイドスイッチング素子 $Q_1$ の両端に接続されている。このように、共振用のキャパシタ $C_r$ はインダクタ $L_r$ に対して直列に接続され、且つ1次巻線に対して直列に挿入される位置であればよい。

30

【0075】

なお、共振キャパシタ $C_r$ の一端が入力電源 $V_i$ の負電位側入力端子 $PI(-)$ に接続される構成によれば、共振キャパシタ $C_r$ に流れる電流を別のキャパシタ $C_a$ を接続して分流し、分流電流を抵抗 $R_a$ で検出することで、共振キャパシタ $C_r$ に流れる共振電流に相当する電流を考慮して過電流保護動作を行う過電流保護回路を構成でき、電力変換回路に検出抵抗を設けて過電流を検出する場合に比較して、その検出抵抗での損失を無くすることができる。すなわち、電力変換回路に流れる共振電流を直接に検出する場合に比べて、分流させた十分に小さい電流を検出することにより、検出に関わる損失を低減でき、電力損失の小さい過電流保護回路を構成して、過電流保護動作を行うことができる。

40

【0076】

《第6の実施形態》

図9は第6の実施形態に係るスイッチング電源装置106の回路図である。第5の実施形態と異なるのは、共振キャパシタ $C_r$ に流れる共振電流に相当する電流を考慮して過電流保護動作を行う過電流保護回路の構成、および、ハイサイドスイッチング素子を制御するハイサイドスイッチング制御部61の構成である。本実施形態の過電流保護回路の構成では、ダイオード $D_{a1}$ 、 $D_{a2}$ を用いて、倍電圧回路に類似する回路を構成し、ダイオ

50

ードDa2を流れる電流のみを検出して、過電流保護動作を行う過電流保護回路を構成する。この構成によれば、電力変換回路に流れる共振電流を直接に検出する場合に比べて、分流させた十分に小さい電流を検出することにより、検出に関わる損失を低減でき、電力損失の小さい過電流保護回路を構成して、過電流保護動作を行うことができる。また、ハイサイドスイッチング制御部61の一部は、IC(集積回路)85に構成されている。IC(集積回路)85は、ローサイドスイッチング素子を駆動する信号を発生する回路とハイサイドスイッチング素子を駆動する信号を発生する回路とを備える。

【0077】

第1の実施形態で図1に示したスイッチング電源装置では、ローサイドスイッチング素子Q1を駆動する制御部の構成とハイサイドスイッチング素子Q2を駆動する制御部の構成をそれぞれ独立して構成しているが、ローサイドスイッチング素子Q1を駆動する制御部とハイサイドスイッチング素子Q2を駆動する制御部とを一体化した制御回路を、制御IC(IntegratedCircuit、集積回路)、制御LSI(Large Scale Integration、大規模集積回路)、および制御DSP(Digital Signal Processor、デジタル信号処理回路)で構成することが可能である。このような構成も本技術の適用範囲であり、実施形態の展開に過ぎない。

【0078】

《第7の実施形態》

図10は第7の実施形態に係るスイッチング電源装置107の回路図である。以上に示した各実施形態と異なるのは、ハイサイドスイッチング素子Q2のドレインとトランスTの1次巻線npの一端との間にキャパシタCr1とインダクタLrの直列回路を設けるだけでなく、キャパシタCr1とインダクタLrとの接続点とグラウンドラインとの間にキャパシタCr2を設けた点である。

【0079】

インダクタLr、1次巻線np、ハイサイドスイッチング素子Q2、キャパシタCr1が閉ループを構成するように、キャパシタCr1が設けられている。また、インダクタLr、1次巻線np、ローサイドスイッチング素子Q1、キャパシタCr2が閉ループを構成するように、キャパシタCr2が設けられている。

【0080】

このように、キャパシタCr2を接続することにより、入力電源Viから供給される電流は、ローサイドスイッチング素子Q1のオン時間とハイサイドスイッチング素子Q2のそれぞれのオン時間の双方の期間においてキャパシタCr1、Cr2に流れる。入力電源Viから供給される電流が、ローサイドスイッチング素子Q1のオン時間しか流れない回路構成と比較すると、入力電源Viから供給される電流の実効電流は低減される。これにより、入力電源Viから供給される電流による導通損を低減することができる。

【0081】

《第8の実施形態》

図11は第8の実施形態に係るスイッチング電源装置108の回路図である。第1の実施形態で図1に示したスイッチング電源装置と異なるのは、キャパシタCr以外にキャパシタCr1、Cr2を設けた点である。

【0082】

インダクタLr、1次巻線np、キャパシタCr、ハイサイドスイッチング素子Q2、キャパシタCr1が閉ループを構成するように、インダクタLr、1次巻線np、キャパシタCr、ハイサイドスイッチング素子Q1、キャパシタCr2が閉ループを構成するようにキャパシタCr1及びCr2を設けている。

【0083】

また、キャパシタCr1とCr2は、入力電源Viの電圧を分圧するように接続している。このように、共振電流が流れる共振キャパシタ(Cr、Cr1、Cr2)は複数であってもよい。

【0084】

10

20

30

40

50

なお、以上に示した各実施形態では、トランスTの二次側の回路にダイオードによる整流回路を構成したが、このダイオードに代えて整流用のFETを設けて同期整流してもよい。このことにより、二次側の回路の損失を低減することができる。

【0085】

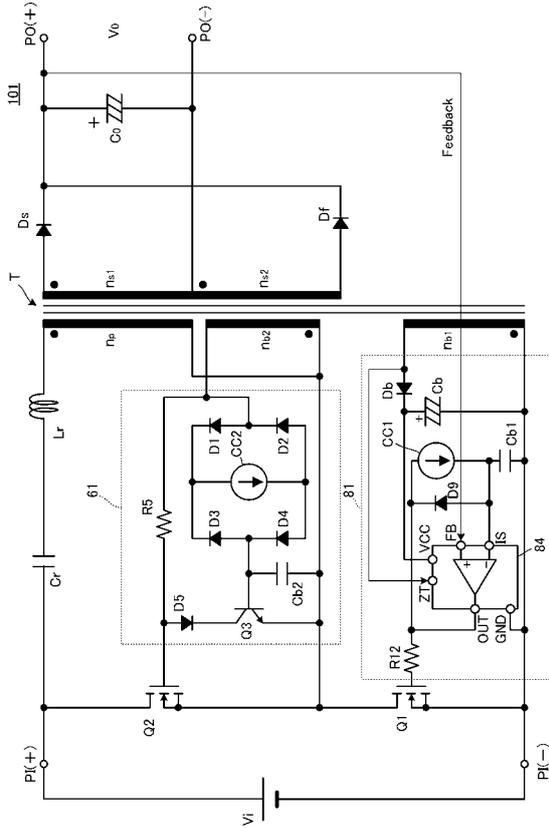
また、本発明は、ハーフブリッジコンバータだけでなく、フルブリッジコンバータなどの多石式のコンバータ、電圧クランプコンバータなどにおいて、二つのスイッチング素子を相補的に交互にオン/オフするスイッチング電源装置に適用できる。

【符号の説明】

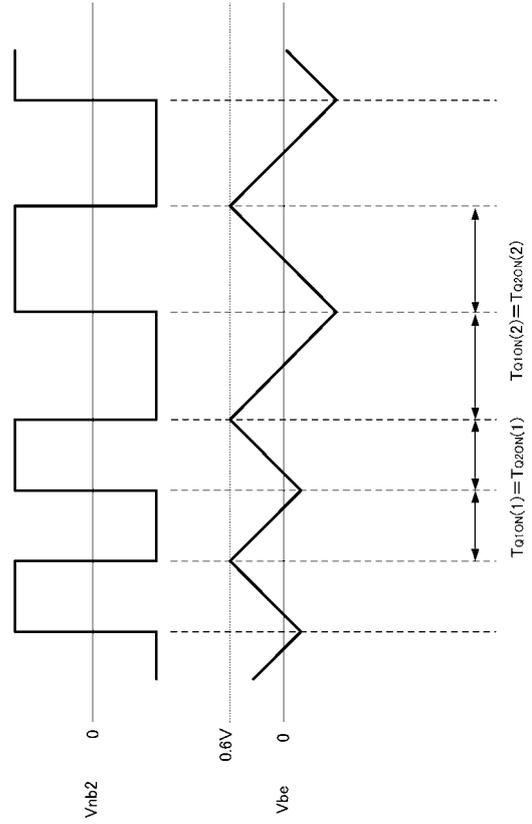
【0086】

CC1, CC2 ... 定電流回路	10
Cr ... 共振キャパシタ	
Lr ... 共振インダクタ	
nb1 ... ローサイド駆動巻線	
nb2 ... ハイサイド駆動巻線	
np ... 1次巻線	
ns, ns1, ns2 ... 2次巻線	
PI ... 入力端子	
PO ... 出力端子	
Q1 ... ローサイドスイッチング素子	
Q2 ... ハイサイドスイッチング素子	20
Q3 ... トランジスタ	
T ... トランス	
td1 ... 遅延時間	
td2 ... 遅延時間	
Vbe ... ベース・エミッタ間電圧	
Vds1 ... ドレイン・ソース間電圧	
Vgs1, Vgs2 ... ゲート・ソース間電圧	
Vi ... 入力電源	
Vo ... 出力電圧	
ZD1, ZD2 ... ツェナーダイオード	30
61, 62 ... ハイサイドスイッチング制御部	
81 ... ローサイドスイッチング制御部	
84 ... スwitching制御IC	
101 ~ 107 ... スwitching電源装置	

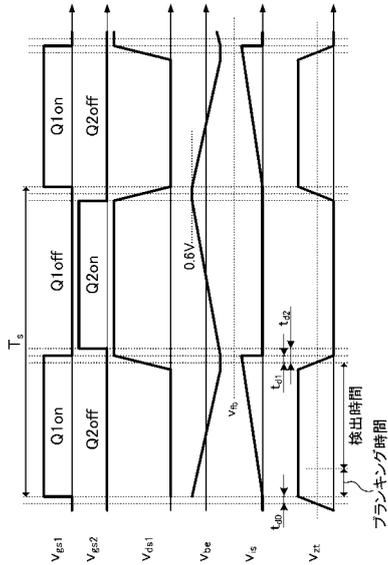
【 図 1 】



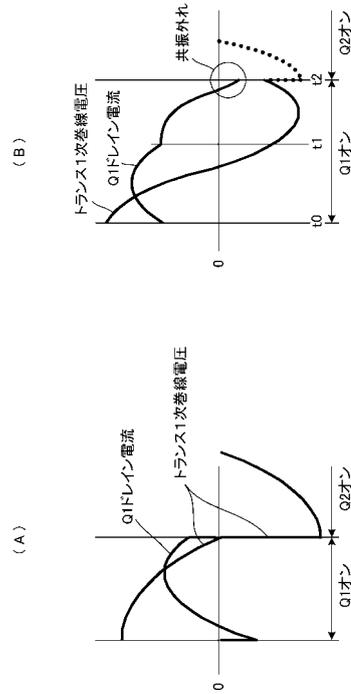
【 図 2 】



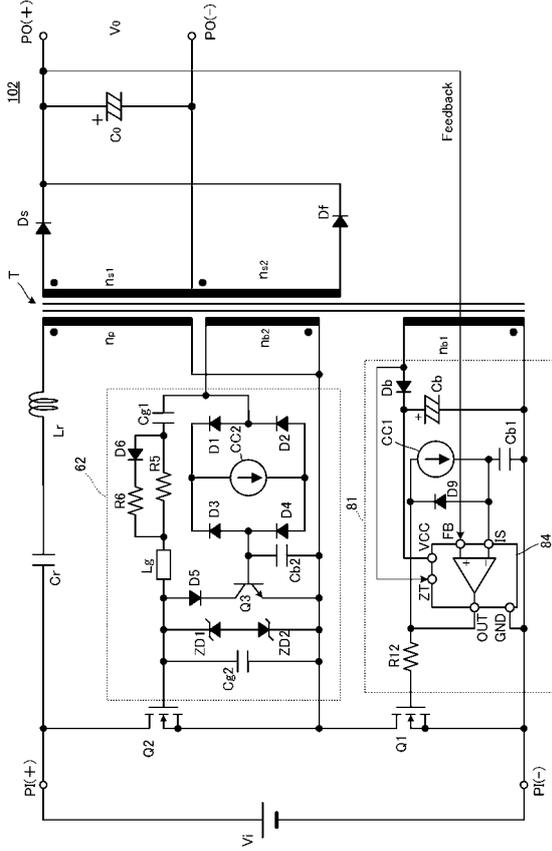
【 図 3 】



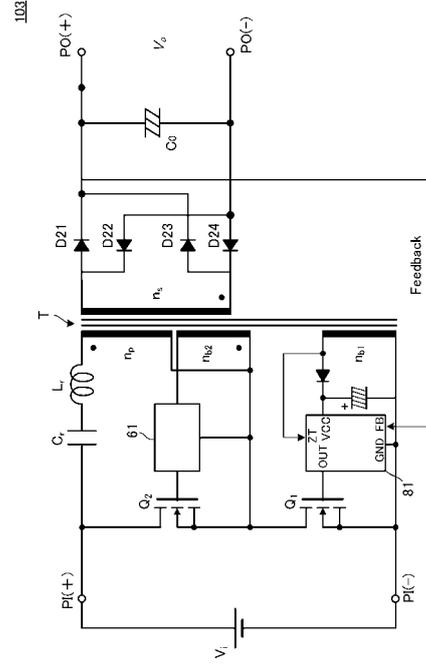
【 図 4 】



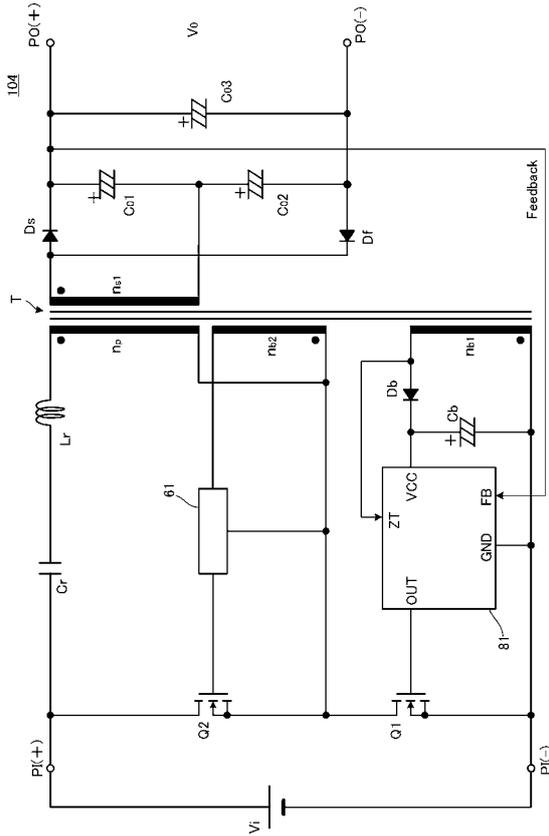
【 5 】



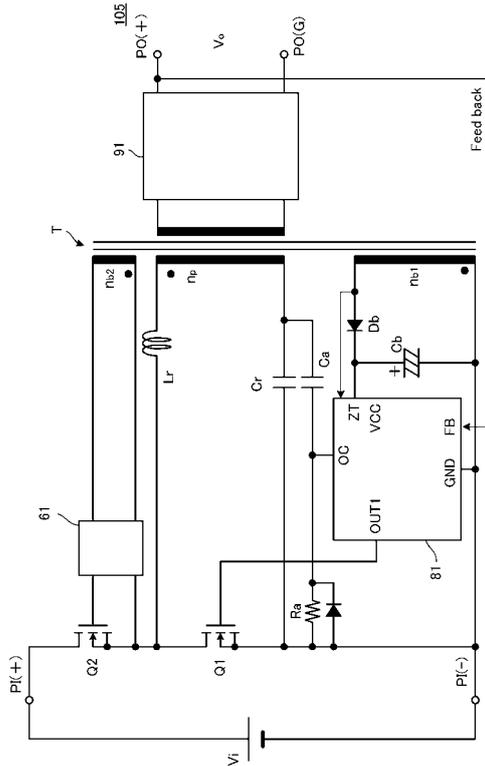
【 6 】



【 7 】



【 8 】





---

フロントページの続き

- (56)参考文献 特開2001-037220(JP,A)  
国際公開第2011/111483(WO,A1)  
特開平09-308243(JP,A)  
特開平11-332232(JP,A)  
特開2010-187478(JP,A)

(58)調査した分野(Int.Cl., DB名)

H02M	3/28
H03K	3/30
H03K	17/08
H03K	17/567