



(12) 发明专利申请

(10) 申请公布号 CN 105518847 A

(43) 申请公布日 2016. 04. 20

(21) 申请号 201480048426. 2

(51) Int. Cl.

(22) 申请日 2014. 07. 30

H01L 21/8234(2006. 01)

(30) 优先权数据

H01L 27/02(2006. 01)

14/017, 635 2013. 09. 04 US

H01L 27/088(2006. 01)

(85) PCT国际申请进入国家阶段日

2016. 03. 02

(86) PCT国际申请的申请数据

PCT/US2014/048944 2014. 07. 30

(87) PCT国际申请的公布数据

W02015/034602 EN 2015. 03. 12

(71) 申请人 高通股份有限公司

地址 美国加利福尼亚州

(72) 发明人 M·蔡 S·森古普塔 C·H·甘

P·齐达姆巴兰姆

(74) 专利代理机构 上海专利商标事务所有限公

司 31100

代理人 袁逸

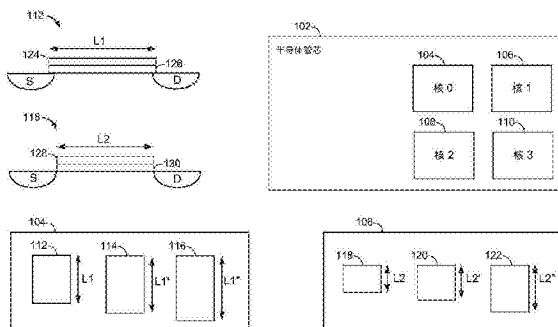
权利要求书4页 说明书12页 附图5页

(54) 发明名称

改变多核的栅极长度的系统和方法

(57) 摘要

一种方法包括形成第一晶体管的第一多晶硅栅极,该第一多晶硅栅极具有第一长度。该第一晶体管位于第一核中。该方法还包括形成第二晶体管的第二多晶硅栅极,该第二多晶硅栅极具有短于该第一长度的第二长度。该第二晶体管位于第二核中。该第一核比第二核更接近于半导体管芯的中央。



1. 一种方法,包括:

形成第一晶体管的第一多晶硅栅极,所述第一多晶硅栅极具有第一长度,其中所述第一晶体管位于第一核中;以及

形成第二晶体管的第二多晶硅栅极,所述第二多晶硅栅极具有比所述第一长度短的第二长度,其中所述第二晶体管位于第二核中,并且其中所述第一核位于相比于所述第二核而言更接近于半导体管芯的中央的位置。

2. 如权利要求1所述的方法,其特征在于,所述第二晶体管和所述第一晶体管是对应的晶体管。

3. 如权利要求1所述的方法,其特征在于,所述第一核的晶体管的每个栅极长度大于所述第二核的对应晶体管的每个栅极长度达相同的量。

4. 如权利要求1所述的方法,其特征在于,进一步包括:

形成第三核的第三晶体管的第三多晶硅栅极,所述第三多晶硅栅极具有所述第一长度;以及

形成第四核的第四晶体管的第四多晶硅栅极,所述第四多晶硅栅极具有所述第二长度,其中所述第三核位于相比于所述第四核而言更接近于所述半导体管芯的所述中央的位置。

5. 如权利要求1所述的方法,其特征在于,进一步包括形成第三晶体管的第三多晶硅栅极,所述第三多晶硅栅极具有不同于所述第一长度的第三长度,其中所述第三晶体管位于第二半导体管芯的第三核中。

6. 如权利要求5所述的方法,其特征在于,进一步包括形成第四晶体管的第四多晶硅栅极,所述第四多晶硅栅极具有所述第二长度,其中所述第四晶体管位于所述第二半导体管芯的第四核中。

7. 如权利要求6所述的方法,其特征在于,所述第三核位于相比于所述第四核而言更接近于所述第二半导体管芯的第二中央的位置。

8. 如权利要求6所述的方法,其特征在于,所述第一长度和所述第三长度基于所述半导体管芯在晶片上的第一位置并且基于所述第二半导体管芯在所述晶片上的第二位置来确定。

9. 如权利要求6所述的方法,其特征在于,所述第一长度和所述第三长度是基于对应于半导体管芯在晶片上的位置的实验数据来确定的。

10. 如权利要求6所述的方法,其特征在于,所述第一长度和所述第三长度是基于包括制造工艺变化数据的实验数据来确定的。

11. 如权利要求1所述的方法,其特征在于,进一步包括:

形成位于第三核中的第三晶体管的第三多晶硅栅极,所述第三多晶硅栅极具有第三长度;

形成位于第四核中的第四晶体管的第四多晶硅栅极,所述第四多晶硅栅极具有第四长度,

其中,所述第一长度通过增加所述第二长度达第一量来确定,其中所述第三长度通过增加所述第四长度达第二量来确定,并且其中所述第一量不同于所述第二量,其中所述第一晶体管和所述第二晶体管是对应的晶体管,并且其中所述第三晶体管和所述第四晶体管

是对应的晶体管。

12. 如权利要求1所述的方法,其特征在于,进一步包括:

在使用所述第一长度形成所述第一多晶硅栅极之前:

使用所述第二长度形成所述第一核和所述第二核;

测量与所述第一核相关联的第一性能参数;

测量与所述第二核相关联的第二性能参数;

基于所述第一性能参数与所述第二性能参数之间的差异来确定所述第一长度。

13. 如权利要求12所述的方法,其特征在于,所述第一性能参数是所述第一核的泄漏电流的第一量,并且其中所述第二性能参数是所述第二核的泄漏电流的第二量。

14. 如权利要求12所述的方法,其特征在于,所述第一性能参数是所述第一核的第一时钟速度,并且其中所述第二性能参数是所述第二核的第二时钟速度。

15. 如权利要求12所述的方法,其特征在于,当所述第一核使用所述第一长度来形成且所述第二核使用所述第二长度来形成时,所述差异大于所述第一性能参数与所述第二性能参数之间的第二差异。

16. 如权利要求1所述的方法,其特征在于,所述第一长度是在集成到电子设备中的处理器处确定的。

17. 一种装置,包括:

包括第一晶体管的第一核,其中所述第一晶体管包括第一多晶硅栅极,所述第一多晶硅栅极具有第一长度;以及

包括第二晶体管的第二核,其中所述第二晶体管包括具有第二长度的第二多晶硅栅极,其中所述第一核位于比所述第二核更接近于半导体管芯的中央的位置。

18. 如权利要求17所述的装置,其特征在于,所述第二晶体管和所述第一晶体管是对应的晶体管。

19. 如权利要求17所述的装置,其特征在于,所述第一核的晶体管的每个栅极长度大于所述第二核的对应晶体管的每个栅极长度。

20. 如权利要求17所述的装置,其特征在于,进一步包括:

包括第三晶体管的第三核,其中所述第三晶体管包括第三多晶硅栅极,所述第三多晶硅栅极具有所述第一长度;以及

包括第四晶体管的第四核,其中所述第四晶体管包括第四多晶硅栅极,所述第四多晶硅栅极具有所述第二长度。

21. 如权利要求17所述的装置,其特征在于,进一步包括第三核,所述第三核包括第三晶体管,其中所述第三晶体管包括第三多晶硅栅极,所述第三多晶硅栅极具有不同于所述第一长度的第三长度,其中所述第三核位于第二半导体管芯中。

22. 如权利要求21所述的装置,其特征在于,进一步包括第四核,所述第四核包括第四晶体管,其中所述第四晶体管包括第四多晶硅栅极,所述第四多晶硅栅极具有第二长度,其中所述第四核位于所述第二半导体管芯中。

23. 如权利要求22所述的装置,其特征在于,所述第三核位于相比于所述第四核而言更接近于所述第二半导体管芯的中央的位置。

24. 如权利要求21所述的装置,其特征在于,所述第一长度和所述第三长度基于所述半

半导体管芯在晶片上的第一位置并且基于所述第二半导体管芯在所述晶片上的第二位置来确定。

25. 如权利要求21所述的装置,其特征在于,所述第一长度和所述第三长度是基于指示半导体管芯在晶片上的位置的经验数据来确定的。

26. 如权利要求25所述的装置,其特征在于,所述经验数据包括经受制造工艺变化的核的性能数据。

27. 如权利要求17所述的装置,其特征在于,进一步包括:

第三核;以及

第四核,其中所述第三核位于比所述第四核更接近于所述半导体管芯的所述中央的位置,其中所述第一核的晶体管的栅极长度相对于所述第二核的晶体管的栅极长度被增加达第一量,并且其中所述第三核的晶体管的栅极长度相对于所述第四核的晶体管的栅极长度被增加达不同于所述第一量的第二量。

28. 如权利要求17所述的装置,其特征在于,进一步包括其中集成了所述半导体管芯的设备,所述设备选自包括以下各项的组:通信设备、计算机、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、个人数字助理(PDA)、以及固定位置的数据单元。

29. 一种装备,包括:

用于处理的第一装置,其中所述用于处理的第一装置包括第一晶体管,其中所述第一晶体管包括第一多晶硅栅极,所述第一多晶硅栅极具有第一长度;以及

用于处理的第二装置,其中所述用于处理的第二装置包括第二晶体管,其中所述第二晶体管包括第二多晶硅栅极,所述第二多晶硅栅极具有比所述第一长度短的第二长度,其中所述用于处理的第一装置位于相比于所述用于处理的第二装置而言更接近于半导体管芯的中央的位置。

30. 如权利要求29所述的装备,其特征在于,进一步包括:其中集成了所述半导体管芯的设备,所述设备选自包括以下各项的组:通信设备、蜂窝电话、智能电话、平板计算机、膝上型计算机、机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、个人数字助理(PDA)、固定位置的数据单元、以及计算机。

31. 一种存储指令的计算机可读存储设备,所述指令能由处理器执行以发起操作,所述操作包括:

发起第一晶体管的第一多晶硅栅极的第一形成,所述第一多晶硅栅极具有第一长度,其中所述第一晶体管位于第一核中;以及

发起第二晶体的第二多晶硅栅极的第二形成,所述第二多晶硅栅极具有比所述第一长度短的第二长度,其中所述第二晶体管位于第二核中,并且其中所述第一核位于相比于所述第二核而言更接近于半导体管芯的中央的位置。

32. 如权利要求31所述的计算机可读存储设备,其特征在于,所述指令可由集成在电子设备中的处理器执行。

33. 一种方法,包括:

用于发起第一晶体管的第一多晶硅栅极的第一形成的第一步骤,所述第一多晶硅栅极具有第一长度,其中所述第一晶体管位于第一核中;以及

用于发起第二晶体的第二多晶硅栅极的第二形成的第二步骤,所述第二多晶硅栅极

具有比所述第一长度短的第二长度,其中所述第二晶体管位于第二核中,并且其中所述第一核位于相比于所述第二核而言更接近于半导体管芯的中央的位置。

34. 如权利要求33所述的方法,其特征在于,所述第一步骤和所述第二步骤是由集成到电子设备中的处理器执行的。

35. 一种方法,包括:

接收设计信息,所述设计信息包括经封装半导体器件在电路板上的物理定位信息,所述经封装半导体器件包括:

包括第一晶体管的第一核,其中所述第一晶体管包括第一多晶硅栅极,所述第一多晶硅栅极具有第一长度;以及

包括第二晶管的第二核,其中所述第二晶体管包括具有比所述第一长度短的第二长度的第二多晶硅栅极,其中所述第一核位于比所述第二核更接近于半导体管芯的中央的位置;以及

转换所述设计信息以生成数据文件。

36. 如权利要求35所述的方法,其特征在于,所述数据文件具有GERBER格式。

37. 如权利要求35所述的方法,其特征在于,所述数据文件包括GDSII格式。

## 改变多核的栅极长度的系统和方法

[0001] 相关申请的交叉引用

[0002] 本申请要求共同拥有的于2013年9月4日提交的美国非临时专利申请No.14/017,635的优先权,该非临时专利申请的内容通过援引全部明确纳入于此。

[0003] 领域

[0004] 本公开一般涉及处理器核。

[0005] 相关技术描述

[0006] 技术进步已产生越来越小且越来越强大的计算设备。例如,当前存在各种各样的便携式个人计算设备,包括较小、轻量且易于由用户携带的无线计算设备,诸如便携式无线电话、个人数字助理(PDA)以及寻呼设备。更具体地,便携式无线电话(诸如蜂窝电话和网际协议(IP)电话)可通过无线网络传达语音和数据分组。此外,许多此类无线电话包括被纳入于其中的其他类型的设备。例如,无线电话还可包括数码相机、数码摄像机、数字记录器以及音频文件播放器。同样,此类无线电话可处理可执行指令,包括可被用于访问因特网的软件应用,诸如web浏览器应用。如此,这些无线电话可包括显著的计算能力。

[0007] 电子设备(例如,无线电话、膝上型计算机、平板计算机等等)可以采用多核处理器来提高处理能力(与单核处理器相比)。多核处理器包括多个中央处理单元(“核”)并且多核处理器中的每个核可具有相同的设计。然而,诸如由于制造工艺变动以及跨多核处理器的各种蚀刻/负载效应,常规多核处理器遭受到核与核之间泄漏电流变化(例如,两个核可能具有显著不同的泄漏电流)以及核与核之间时钟速度变化(例如,两个核可能具有显著不同的时钟速度)。因为质量筛查经常是由最低性能的核(例如,具有最大泄漏电流的核)确定的,所以核与核之间泄漏电流变化可以降低多核处理器的制造成品率。因为特定的多核处理器由于核与核之间的时钟速度变化超过了容忍阈值而可能被发现有缺陷的,所以核与核之间的时钟速度变化也可以降低制造成品率。

[0008] 概述

[0009] 公开了减小核与核之间的泄漏电流变化和/或核与核之间的性能变化的系统和方法。当多核处理器被制造时,所描述的技术可以选择性地形成多核处理器的不同核的晶体管的多晶硅栅极,以使得所选择的核的多晶硅栅极具有相比于未被选择的核而言增加的栅极长度。

[0010] 例如,半导体管芯(例如,多核处理器)可包括多个核。这多个核可包括第一核、第二核、第三核、以及第四核。该第一核可以位于比第二核更接近于半导体管芯的中央的位置。该第三核可以位于比第四核更接近于半导体管芯的中央的位置。第一核和第三核可以是内核,而第二核和第四核可以是外核。内核的晶体管的多晶硅栅极可以具有第一长度。外核的对应晶体管的多晶硅栅极可以具有比第一长度短的第二长度。该第一长度可以基于与半导体管芯有关的经验数据来确定。

[0011] 在特定实施例中,一种方法包括形成第一晶体管的第一多晶硅栅极,该第一多晶硅栅极具有第一长度。该第一晶体管位于第一核中。该方法还包括形成第二晶体的第二多晶硅栅极,该第二多晶硅栅极具有短于第一长度的第二长度。该第二晶体管位于第二核

中,并且该第一核位于相比于第二核而言更接近于半导体管芯的中央的位置。

[0012] 在另一特定实施例中,一装置包括第一核,该第一核包括第一晶体管。该第一晶体管包括第一多晶硅栅极以及具有第一长度的第一多晶硅栅极。该装置还包括第二核,该第二核包括第二晶体管。该第二晶体管包括具有短于第一长度的第二长度的第二多晶硅栅极。该第一核位于比第二核更接近于半导体管芯的中央的位置。

[0013] 至少一个所公开的实施例提供的一个特定的益处在于:通过使用相比于多核处理器的一个或多个其他核(例如,外核)而言增加的多晶硅栅极长度来制造多核处理器的一个或多个核(例如,内核)来降低多核处理器的核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化的能力。本公开的其他方面、优点和特征将在阅读了整个申请后变得明了,整个申请包括下述章节:附图简述、详细描述以及权利要求书。

#### [0014] 附图简述

[0015] 图1是使用不同栅极长度制造的多核处理器的特定解说性实施例的框图;

[0016] 图2是使用不同栅极长度制造的多核处理器的另一特定解说性实施例的框图;

[0017] 图3是使用不同栅极长度制造多核处理器的方法的特定解说性实施例的流程图;

[0018] 图4是包括使用不同栅极长度制造的多核处理器的便携式设备的框图;以及

[0019] 图5是用于制造包括使用不同栅极长度制造的多核处理器的电子设备的制造过程的特定解说性实施例的数据流图。

#### [0020] 详细描述

[0021] 图1解说了使用不同多晶硅栅极长度制造的多核处理器的特定解说性实施例。该多核处理器可以被制造为包括多个核的半导体管芯102。例如,半导体管芯102可以包括第一核104、第二核106、第三核108、以及第四核110。核104-110中的每一个可包括多个晶体管。第一核104和第三核108可以分别相比于第二核106和第四核110而言位于更接近半导体管芯102的中央的位置。第一核104和第三核108可以被称为内核,而第二核106和第四核110可以被称为外核。

[0022] 作为解说性的非限定性示例,半导体管芯102可以使用28纳米(nm)工艺来制造。经验数据可以指示内核104、108具有比外核106、110更高的时钟速度和更高的泄漏电流。核104和108可以因此相比于核106和110而言被“扩大尺寸”达特定量以减小核104-110之间的泄漏电流变化和时钟速度变化而不修改除了栅极长度之外的器件尺寸。

[0023] 例如,第一核104可包括第一晶体管112、第二晶体管114和第三晶体管116。晶体管112-116中的每一个可以具有不同的栅极长度(例如,晶体管的多晶硅栅极长度)。作为一个示例,第一晶体管112可以具有栅极长度L1。第二晶体管114可以具有大于栅极长度L1的栅极长度L1'。第三晶体管116可以具有大于栅极长度L1'的栅极长度L1''。第二核106可以包括第四晶体管118、第五晶体管120和第六晶体管122。晶体管118-122中的每一个可以具有不同的栅极长度。例如,第四晶体管118可以具有栅极长度L2。第五晶体管120可以具有大于栅极长度L2的栅极长度L2'。第六晶体管122可以具有大于栅极长度L2'的栅极长度L2''。第三核108的晶体管的栅极长度可以具有与第一核104的对应晶体管(例如,晶体管112-116)的栅极长度相同的栅极长度(例如,栅极长度L1-L1'')。第四核110的晶体管的栅极长度可以具有与第二核106的对应晶体管(例如,晶体管118-122)的栅极长度相同的栅极长度(例如,栅极长度L2-L2'')。

[0024] 第一核104的晶体管可以相比于第二核106的对应晶体管被扩大尺寸以减小泄漏电流变化和/或时钟速度变化。例如,第一晶体管112和第四晶体管118可以是对应的晶体管。第一晶体管112可包括源极(S)、漏极(D)和具有栅极长度L1的第一多晶硅栅极层124。第一晶体管112还可包括具有栅极长度L1的第一氧化层126。第四晶体管118可包括具有栅极长度L2的第二多晶硅栅极层128。第四晶体管118还可包括具有栅极长度L2的第二氧化层130。相比于栅极长度L2,栅极长度L1可以被扩大1nm尺寸(即, $L1=L2+1nm$ )。

[0025] 第一核104的晶体管可以与第二核106的对应晶体管相比被扩大相同量。例如,栅极长度L1、L1'和L1"可以被扩大尺寸,从而栅极长度L1和L2之间的差与栅极长度L1'和L2'之间的差基本相同,并且与栅极长度L1"和L2"之间的差基本相同。在特定实施例中,栅极长度L1、L1'以及L1"各自被扩大1nm尺寸(即, $L1=L2+1nm$ 、 $L1'=L2'+1nm$ 、 $L1''=L2''+1nm$ )。在另一特定实施例中,栅极长度L1、L1'和L1"各自被扩大2nm或另一数量的尺寸。栅极长度L2、L2'和/或L2"可对应于多晶硅栅极层和/或氧化层的标准长度,并且栅极长度L1、L1'和/或L1"可对应于相比于标准长度而言增加的长度。在特定实施例中,相比于在不扩大尺寸的情况下制造核104和108,在制造期间将核104和108扩大1nm尺寸(即,将核104和108的栅极长度(L1、L1'和L1")相比于核106和110的栅极长度增加1nm)可以将核104和108的泄漏电流降低5%。

[0026] 为了确定经扩大尺寸的栅极长度(例如,栅极长度L1、栅极长度L1'和/或栅极长度L1"),内核(例如,第一核104和第三核108)以及外核(例如,第二核106和第四核110)可以被制造在第一半导体管芯上,以使得内核的晶体管的相应多晶硅栅极与外核的多晶硅栅极具有标准长度(例如,第一晶体管112和第四晶体管118具有栅极长度L2、第二晶体管114和第五晶体管120具有栅极长度L2',以及第三晶体管116和第六晶体管122具有栅极长度L2")。与第一半导体管芯的核相关联的性能参数可以被比较以确定性能变化。例如,内核的泄漏电流与外核的泄漏电流可以被比较以确定核与核之间的泄漏电流变化(例如,第一核104的泄漏电流与第二核106的泄漏电流相比较,或者第三核108的泄漏电流与第四核110的泄漏电流相比较)。作为另一示例,内核的时钟速度和外核的时钟速度可以被比较以确定核与核之间的时钟速度变化。该泄漏电流变化和/或时钟速度变化可以是由于热效应和/或工艺变化而引起的。基于核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化,可以确定经扩大尺寸的栅极长度。例如,当核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化在第一范围之内(例如,小于或等于5%)时,经扩大尺寸的栅极长度相对于标准长度增加1nm。当核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化在第二范围之内(例如,大于5%)时,经扩大尺寸的栅极长度可以相对于标准长度增加2nm。经扩大尺寸的栅极长度可以被确定以减小泄漏电流变化和/或时钟速度变化。

[0027] 例如,第一核104和第二核106之间的泄漏电流变化可以是6毫安(mA),并且第一核104和第二核106之间的时钟速度变化可以是40兆赫兹(MHz)。第三核108和第四核110之间的泄漏电流变化可以是4mA,并且第三核108和第四核110之间的时钟速度变化可以是30MHz。基于泄漏电流变化和/或时钟速度变化,经扩大尺寸的栅极长度可以被确定为大于对应的标准长度达1纳米(nm)以减小泄漏电流变化和/或时钟速度变化。由此,当内核与外核在第二半导体管芯上被制造时,内核的晶体管的多晶硅栅极可以被普遍增加("扩大尺寸")1nm长度。在另一示例,代替将内核中的栅极扩大尺寸达相同的量(例如,1nm)以在每个



内核中都具有经扩大尺寸的栅极长度,每个内核可以被个体地扩大尺寸达不同的量。例如,第一核104可以扩大尺寸达1nm(例如,第一核104中的栅极长度在长度上增加1nm)并且第三核108可以扩大尺寸达2nm。

[0028] 通过增加内核的对应晶体管的多晶硅栅极的长度,由于短沟道效应所导致的内核的泄漏电流可以被减小。由此,内核与外核之间的泄漏电流变化可以被减小。进一步,通过增加内核的对应晶体管的多晶硅栅极的长度,内核的晶体管的传送时间(晶体管用来将电荷从源极转移到漏极的时间量)可以被增加。由此,晶体管的切换能力可以被降低,并且内核的时钟速度可以被降低以减小内核与外核之间的时钟速度变化。

[0029] 半导体管芯102可以是晶片上制造的多个半导体管芯中的一者。在特定实施例中,多个半导体管芯中的每一个管芯中的位于更接近于对应半导体管芯的中央的位置的核被跨该晶片扩大尺寸达相同的量或者大致相同的量。例如,多个半导体管芯中的每一个管芯中的位于更接近于对应半导体管芯的中央的位置的核被扩大1nm尺寸。如图2中所描述的,在另一特定实施例中,基于第一半导体管芯和第二半导体管芯在晶片上的位置,第一半导体管芯的核以及第二半导体管芯的对应核可以被扩大尺寸达不同的量。虽然图1解说了第一核104的晶体管112、114和116具有三种不同的栅极长度,并且第二核106的晶体管114、120和122具有不同的栅极长度,但是应当理解,在其他实施例中,第一核104与第二核106的晶体管可具有三种以上不同栅极长度或者少于三种不同栅极长度。

[0030] 因为增加的栅极长度可以降低泄漏电流和切换速度,所以半导体管芯的核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化可以通过将半导体管芯的一个或多个核扩大尺寸而不扩大半导体管芯的一个或多个其他核的尺寸来减小。由于减小的核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化,半导体管芯的成品率可以被提高。可以通过使用单掩模修改来制造半导体管芯的栅极的方式执行扩大尺寸。该单掩模的修改是半导体管芯的制造工艺中相对较小的变化。由此,使用单掩模修改来执行核的扩大尺寸可以相比于完全重新设计制造工艺而言降低制造复杂度

[0031] 图2解说了包括多个光罩的晶片202,该多个光罩包括第一光罩204、第二光罩206、第三光罩208和第四光罩210。光罩204-210中的每一个可以对应于晶片202的特定部分。诸如多核处理器之类的半导体器件可以被形成为每个光罩204-210内的半导体管芯。例如,包括第一半导体管芯212、第二半导体管芯214、第三半导体管芯216和第四半导体管芯218的多个半导体管芯可以使用掩模在第一光罩204中制造。半导体管芯212-218的副本可以被形成在光罩206-210中。虽然图2解说了光罩204中的四个半导体管芯,但是应当理解,任意数目的半导体管芯可以被制造在光罩204中。

[0032] 半导体管芯204-210中的每一个管芯可包括多个核。例如,第一半导体管芯212可以包括第一核220、第二核222、第三核224、以及第四核226。第二半导体管芯214可包括第五核228、第六核230、第七核232以及第八核234。

[0033] 每个半导体管芯212-218中的每个核的扩大尺寸(若有的话)的量可以由与晶片202的制造工艺相关的经验数据来确定。该经验数据可包括经受制造工艺变化的核的工艺变化数据和/或性能数据(例如,核的泄漏电流、核的时钟速度等等)。为了解说,第一半导体管芯212的核可以被扩大与第二半导体管芯214的核、第三半导体管芯216的核、和/或第四半导体管芯218的核不同量的尺寸。例如,可以制造包括光罩204中的半导体管芯212-218的

晶片202的第一迭代。半导体管芯212-218的核的晶体管的多晶硅栅极层和/或氧化层可以根据第一迭代中的单个长度(例如,栅极长度L1)来制造。第一迭代中的每个半导体管芯212-218的核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化可以被测量以生成经验数据。核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化可以是由于制造工艺变化所引起的。

[0034] 基于经验数据,可以个体地确定每个半导体管芯212-218的每个核的扩大尺寸的量。该经验数据可指示核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化取决于半导体管芯212-218在光罩204中的位置。例如,光罩204的左光罩区域236上的半导体管芯(例如,第一半导体管芯212和第三半导体管芯216)的核可以具有与光罩204的右光罩区域238上的半导体管芯(例如,第二半导体管芯214和第四半导体管芯218)的核不同的核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化。

[0035] 作为示例,经验数据可指示:在左光罩区域236上,第一半导体管芯212的内核(例如,第一核220和第三核224)可以具有比第一半导体管芯212的外核(例如,第二核222和第四核226)高6mA的泄漏电流。经验数据还可以指示:在右光罩区域238上,第二半导体管芯214的内核(例如,第五核228和第七核232)可以具有比外核(例如,第六核230和第八核234)高10mA的泄漏电流。基于经验数据,在晶片202的第二迭代的制造期间,第一半导体管芯212的内核可以被扩大1nm尺寸,第二半导体管芯214的内核可以被扩大2nm尺寸,并且第一半导体管芯212与第二半导体管芯214的外核可以使用标准长度(例如,图1的栅极长度L2-L2”)来形成以减小不同核与核之间的泄漏电流变化和/或以减小核与核之间的时钟速度变化。在另一示例中,第二半导体管芯214的内核可以在晶片202的第二迭代中被扩大尺寸,而第一半导体管芯212的内核可以在第二迭代中保持不变,或者反过来。

[0036] 在另一示例中,基于经验数据,半导体管芯的一些或所有核(内核和/或外核)可以被个体地扩大尺寸达不同量以进一步减小核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化。例如,经验数据可以指示第一核220可以具有比第二核222高4mA的泄漏电流,并且第三核224可以具有比第四核226高8mA的泄漏电流。基于经验数据,第一核220可以被扩大1nm尺寸(例如,第一核220的晶体管的栅极长度被相对于第二核222的对应晶体管的栅极长度增加1nm),以及第三核224可以被扩大2nm尺寸(例如,第三核224的晶体管的栅极长度被相对于第四核226的对应晶体管的栅极长度增加2nm)。第二核222和/或第四核226也可以基于经验数据被扩大尺寸。

[0037] 虽然图1-2解说了半导体管芯的内核(例如,图1的第一核104、图2的第一核220等)的多晶硅栅极长度可以相对于半导体管芯的对应外核(例如,第二核106、第二核222等)的多晶硅栅极长度被扩大尺寸,但是应当理解,当外核比内核具有更大的泄漏电流和/或更快的时钟速度时,外核的多晶硅栅极长度可以相对于内核的多晶硅栅极长度被扩大尺寸。

[0038] 图3解说了使用不同多晶硅栅极长度来制造多核处理器的方法300的特定解说性实施例的流程图。该方法300包括在302,形成第一晶体管的第一多晶硅栅极。该第一多晶硅栅极具有第一长度,并且该第一晶体管位于第一核中。例如,参见图1,第一晶体管112可包括具有栅极长度L1的第一多晶硅栅极层124。

[0039] 该方法300包括在304,形成第二晶体管的第二多晶硅栅极。该第二多晶硅栅极具有短于第一长度的第二长度。该第二晶体管位于第二核中,并且该第一核位于相比于第二

核而言更接近于半导体关心的中央的位置。例如,参见图1,第四晶体管118可包括具有栅极长度 $L_2$ 的第二多晶硅栅极层128。相比于栅极长度 $L_2$ ,栅极长度 $L_1$ 可以被扩大1nm尺寸。由此,方法300可使得能够使用经扩大尺寸的栅极长度来制造包括多个核的半导体管芯。使用经扩大尺寸的栅极长度可减小核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化。

[0040] 在特定实施例中,方法300包括形成第三核的第三晶体管的第三多晶硅栅极。该第三多晶硅栅极具有第一长度。例如,参见图1,第三核108的晶体管的栅极长度可以具有与第一核104的对应晶体管(例如,晶体管112-116)的栅极长度相同的栅极长度(例如,栅极长度 $L_1-L_1'$ )。该方法还可包括形成第四核的第四晶体管的第四多晶硅栅极。该第四多晶硅栅极具有第二长度。第三核位于相比于第四核而言更接近于半导体管芯的中央的位置。例如,参见图1,第四核110的晶体管的栅极长度可以具有与第二核106的对应晶体管(例如,晶体管118-122)的栅极长度相同的栅极长度(例如,栅极长度 $L_2-L_2'$ )。第三核108可以位于相比于第四核110而言更接近于半导体管芯102的中央的位置。

[0041] 在另一特定实施例中,方法300包括形成位于第三核中的第三晶体管的第三多晶硅栅极,以及形成位于第四核中的第四晶体管的第四多晶硅栅极。第三多晶硅栅极具有第三长度,并且第四多晶硅栅极具有第四长度。该第一长度是通过将第二长度增加第一量来确定的。该第三长度是通过将第四长度增加第二量来确定的。第一量不同于第二量。第一晶体管和第二晶体管是对应的晶体管,并且第三晶体管和第四晶体管是对应的晶体管。例如,参见图2,基于经验数据,第一核220可以被扩大1nm尺寸(例如,第一核220的晶体管的栅极长度被相对于第二核222的对应晶体管的栅极长度增加1nm),并且第三核224可以被扩大2nm尺寸(例如,第三核224的晶体管的栅极长度被相对于第四核226的对应晶体管的栅极长度增加2nm)。

[0042] 在另一特定实施例中,方法300包括:在使用第一长度形成第一多晶硅栅极之前,使用第二长度形成第一核与第二核。例如,参见图1,内核(例如,第一核104和第三核108)以及外核(例如,第二核106和第四核110)可以被制造在第一半导体管芯上,从而内核的晶体管的对应多晶硅栅极与外核的多晶硅栅极具有标准长度(例如,第一晶体管112和第四晶体管118具有栅极长度 $L_2$ 、第二晶体管114和第五晶体管120具有栅极长度 $L_2'$ ,以及第三晶体管116和第六晶体管122具有栅极长度 $L_2''$ )。

[0043] 方法300还可包括在使用第一长度形成第一多晶硅栅极之前测量与第一核相关联的第一性能参数以及测量与第二核相关联的第二性能参数。例如,参见图1,内核的泄漏电流与外核的泄漏电流可以被比较以确定核与核之间的泄漏电流变化(例如,第一核104的泄漏电流与第二核106的泄漏电流相比较,或者第三核108的泄漏电流与第四核110的泄漏电流相比较)。作为另一示例,内核的时钟速度和外核的时钟速度可以被比较以确定核与核之间的时钟速度变化。

[0044] 方法300可进一步包括:在使用第一长度形成第一多晶硅栅极之前,基于第一性能参数与第二性能参数之间的差异来确定第一长度。例如,参见图1,基于核与核之间的泄漏电流变化和/或核与核之间的时钟速度变化,经扩大尺寸的栅极长度可以诸如通过在差异小于第一阈值时具有第一值而在差异大于或等于第二阈值时具有第二值的方式来确定。

[0045] 图4解说了包括具有多个核(例如,图1的半导体管芯102、图2的半导体管芯212-

218中的任意一者)的通信设备400,这多个核具有不同栅极长度。图3中所描述的方法或者其特定部分可以被用来制造通信设备400的组件。

[0046] 通信设备400包括耦合到存储器432的处理器410,诸如数字信号处理器(DSP)或多核处理器。存储器432可以是存储指令456的非瞬态有形计算机可读和/或处理器可读存储设备。指令456可由处理器410执行。处理器410可包括多个核,这多个核包括使用第一栅极长度(例如,图1的栅极长度L1、栅极长度L1'、栅极长度L1"或其组合)制造的第一核448、使用第二栅极长度(例如,栅极长度L2、栅极长度L2'、栅极长度L2"或其组合)制造的第二核450、使用第三栅极长度制造的第三核452,以及使用第四栅极长度制造的第四核454。

[0047] 该第一核448和/或第三核452可对应于处理器410的(诸)内核(例如,图1的第一核104和/或第三核108、图2的第一核220和/或第三核224、图2的第五核228和/或第七核232)。第二核450和/或第四核454可对应于处理器的(诸)外核(例如,第二核106和/或第四核110,第二核222和/或第四核226、第六核230和/或第八核234)。在特定实施例中,第一栅极长度对应于相对于第二栅极长度增加的栅极长度。在另一特定实施例中,第三栅极长度对应于相对于第四栅极长度增加的栅极长度。在另一特定实施例中,第一核448与第三核452被扩大相同量的尺寸。在另一特定实施例中,第一核448与第三核452各自被扩大不同量的尺寸。

[0048] 图4示出了通信设备400还可包括耦合到处理器410和显示设备428的显示控制器426。编码器/解码器(CODEC)434也可耦合至处理器410。扬声器436和话筒438可耦合至CODEC 434。图4还示出了耦合至处理器410的无线控制器440。无线控制器440经由收发机446与天线442处于通信中。无线控制器440、收发机446、以及天线442可表示使得通信设备400能进行无线通信的无线接口。通信设备400可包括众多无线接口,其中不同的无线网络被配置成支持不同的联网技术或者联网技术组合(例如,蓝牙低能量、近场通信、Wi-Fi、蜂窝等)。

[0049] 在特定实施例中,处理器410、显示控制器426、存储器432、CODEC 434、无线控制器440和收发机446被包括在系统级封装或片上系统设备422中。在一特定实施例中,输入设备430和电源444被耦合至片上系统设备422。此外,在一特定实施例中,如图4中所解说的,显示器设备428、输入设备430、扬声器436、话筒438、天线442和电源444在片上系统设备422的外部。然而,显示设备428、输入设备430、扬声器436、话筒438、天线442、和电源444中的每一者可被耦合至片上系统设备422的一组件,诸如接口或控制器。

[0050] 结合所描述的实施例,一种设备包括用于处理的第一装置。该用于处理的第一装置包括第一晶体管。该第一晶体管包括第一多晶硅栅极并且该第一多晶硅栅极具有第一长度。例如,用于处理的第一装置可包括图1的第一核104、第三核108、图2的第一核220、第三核224、第五核228、第七核232、第三半导体管芯216的核(例如,内核、具有相对于对应核而言较大泄漏电流和/或较快时钟速度的核)、第四半导体管芯218的核(例如,内核、具有相对于对应核而言较大泄漏电流和/或较快时钟速度的核)、配置成处理可由处理器执行的数据和/或指令的一个或多个设备,或者其组合。

[0051] 该设备还包括用于处理的第二装置。该用于处理的第二装置包括第二晶体管。该第二晶体管包括具有短于第一长度的第二长度的第二多晶硅栅极。该用于处理的第一装置位于比用于处理的第二装置更接近于半导体管芯的中央的位置。例如,用于处理的第二装置可包括图1的第二核106、第四核110、图2的第二核222、第四核226、第六核230、第八核

234、第三半导体管芯216的核(例如,外核、具有相对于对应核而言较少的泄漏电流和/或较慢的时钟速度的核)、第四半导体管芯218的核(例如,外核、具有相对于对应核而言较少的泄漏电流和/或较慢的时钟速度的核)、配置成处理可由处理器执行的数据和/或指令的一个或多个设备,或者其组合。

[0052] 上文公开的设备和功能性可被设计和配置在存储于计算机可读介质上的计算机文件(例如,RTL、GDSII、GERBER等)中。一些或全部此类文件可被提供给基于此类文件来制造设备的制造处理人员。结果得到的产品包括半导体晶片,其随后被切割为半导体管芯并被封装成半导体芯片。这些芯片随后被用在以上描述的设备中。图5描绘了电子设备制造过程500的特定解说性实施例。

[0053] 物理器件信息502在制造过程500处(诸如在研究计算机506处)被接收。该物理器件信息502可包括表示半导体器件(诸如图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其组合)的至少一个物理性质的设计信息。例如,物理器件信息502可包括经由耦合至研究计算机506的用户接口504输入的物理参数、材料特性、以及结构信息。研究计算机506包括耦合至计算机可读介质(诸如存储器510)的处理器508,诸如一个或多个处理核。存储器510可存储计算机可读指令,其可被执行以使处理器508将物理器件信息502转换成遵循某一文件格式并生成库文件512。

[0054] 在一特定实施例中,库文件512包括至少一个包括经转换的设计信息的数据文件。例如,库文件512可包括包含器件的被提供以供与电子设计自动化(EDA)工具520一起使用的半导体器件库,所述器件包括图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410、或其任何组合。

[0055] 库文件512可在设计计算机514处与EDA工具520协同使用,设计计算机514包括耦合至存储器518的处理器516(诸如一个或多个处理核)。EDA工具520可被存储为存储器518处的处理器可执行指令,以使设计计算机514的用户能够设计包括库文件512的图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或它们的任何组合的电路。例如,设计计算机514的用户可经由耦合至设计计算机514的用户接口524来输入电路设计信息522。该电路设计信息522可包括表示半导体器件(诸如图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其任何组合)的至少一个物理性质的设计信息。作为解说,电路设计性质可包括特定电路的标识以及与电路设计中其他元素的关系、定位信息、特征尺寸信息、互连信息、或表示半导体器件的物理性质的其他信息。

[0056] 设计计算机514可被配置成转换设计信息(包括电路设计信息522)以遵循某一文件格式。作为解说,该文件格式化可包括以分层格式表示关于电路布局的平面几何形状、文本标记、及其他信息的数据库二进制文件格式,诸如图形数据系统(GDSII)文件格式。设计计算机514可被配置成生成包括经转换的设计信息的数据文件,诸如包括描述图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其组合的信息以及其他电路或信息的GDSII文件526。为了解说,数据文件可包括与片上系统(SOC)相对应的信息,该SOC包括图1的半导体管芯102、图2的电路半导体管芯212-218中的任一者、图4的处理器410、或其任何组合,并且在该SOC内还包括附加电子电路和组件。

[0057] GDSII文件526可以在制造过程528被接收以根据GDSII文件526中的经转换信息来制造图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其组

合。制造过程528可以受到访问存储器中存储的处理器可执行指令的处理器控制。该指令可以由处理器执行以执行制造过程528的不同阶段。该处理器可以被集成到选自以下所组成的组的设备中：通信设备、蜂窝电话、智能电话、平板计算机、膝上型计算机、个人数字助理(PDA)以及计算机。

[0058] 例如，该制造过程528可包括第一晶体管的第一多晶硅栅极以及第二晶体管的第二多晶硅栅极的形成。该第一多晶硅栅极具有第一长度，并且位于第一核中。该第二多晶硅栅极具有短于第一长度的第二长度，并且位于第二核中。该第一核相比于第二核位于而言更接近于半导体管芯的中央的位置。基于处理器可执行指令，该处理器可以在沉积阶段期间向半导体制造机器发送命令以指令半导体制造机器将多晶硅层沉积到成为第一晶体管和第二晶体管的多晶硅栅极的基板上(例如，经由化学气相沉积工艺)。该处理器可以在图案化阶段期间向半导体制造机器发送命令以执行蚀刻以形成多晶硅栅极，从而第一晶体管的多晶硅栅极具有经扩大尺寸的长度(例如，图1的栅极长度 $L1-L1''$ )并且第二晶体管的多晶硅栅极具有标准长度(例如，栅极长度 $L2-L2''$ )。

[0059] 制造过程528还可包括：在使用第一长度形成第一多晶硅栅极之前，使用第二长度形成第一核与第二核。例如，基于处理器可执行指令，处理器可以向半导体制造机器发送命令以使用标准长度(经由沉积工艺、蚀刻工艺等)制造第一核与第二核。

[0060] 制造过程528可进一步包括：在使用第一长度形成第一多晶硅栅极之前，测量与第一核相关联的第一性能参数。例如，基于处理器可执行指令，处理器可以向半导体制造机器或者测量机器发送命令以测量第一核的一个或多个性能参数(例如，泄漏电流、时钟速度等)。测得的一个或多个性能参数可以被存储在存储器中，存储在半导体制造机器的存储器中、存储在测量机器的存储器中或其组合中。

[0061] 制造过程528可进一步包括：在使用第一长度形成第一多晶硅栅极之前，测量与第二核相关联的第二性能参数。例如，基于处理器可执行指令，处理器可以向半导体制造机器或者测量机器发送命令以测量第二核的一个或多个性能参数(例如，泄漏电流、时钟速度等)。测得的一个或多个性能参数可以被存储在存储器中，存储在半导体制造机器的存储器中、存储在测量机器的存储器中或其组合中。

[0062] 制造过程528可进一步包括：在使用第一长度形成第一多晶硅栅极之前，基于第一性能参数与第二性能参数之间的差异来确定第一长度。例如，基于处理器可执行指令，处理器可以计算第一核的测得的一个或多个性能参数与第二核的测得的一个或多个性能参数之间的差异。替换地，该处理器可以向半导体制造机器或测量机器发送命令以计算该差异。使用该差异，该处理器可以通过向对应的标准长度(例如，栅极长度 $L2$ 、栅极长度 $L2'$ 、栅极长度 $L2''$ 或其组合)增加偏移来确定第一长度(例如，栅极长度 $L1$ 、栅极长度 $L1'$ 、栅极长度 $L1''$ 或其组合)。该处理器可以在查询表中查询该偏移或者根据模型来计算该偏移。替换地，该处理器可以指令半导体制造机器或者测量机器来确定第一长度(例如，通过使用查找表)。

[0063] 作为制造过程528的另一示例，设备制造过程可包括将GDSII文件526提供给掩模制造商530以创建一个或多个掩模，诸如用于与光刻处理联用的掩模，其被解说为代表性掩模532。掩模532可在制造过程528期间被用于生成一个或多个晶片534，晶片534可被测试并被分成管芯，诸如代表性管芯536。管芯536包括一电路，该电路包括一器件，该器件包括图1

的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其组合。

[0064] 该器件制造过程可以制造管芯536的多个迭代以确定经扩大尺寸的栅极长度。例如，掩模制造商530可以创建掩模532的两个迭代。掩模532的第一迭代可以被创建，以使得管芯536的核具有标准长度（例如，栅极长度L2-L2'）。管芯536的第一迭代可以使用掩模532的第一迭代来制造。管芯536的第一迭代的核的性能参数可以被测量以确定性能变化（例如，核与核之间的泄漏电流变化、核与核之间的时钟速度变化等）。基于性能参数变化，经扩大尺寸的栅极长度可以被确定。例如，经扩大尺寸的栅极长度可以通过在查找表中查找偏移值，或者根据模型来计算偏移值的方式基于性能参数变化来确定（例如，当核与核之间的泄漏电流变化为小于5%时，偏移值为1nm）。

[0065] 掩模532的第二迭代可以被创建，从而管芯536的一个或多个核（例如，内核）可以使用经扩大尺寸的栅极长度来创建，并且管芯536的一个或多个核（例如，外核）可以使用标准栅极长度来创建。管芯536的第二迭代可以使用掩模532的第二迭代来制造。

[0066] 管芯536（例如，管芯536的第二迭代）可以被提供给封装过程538，其中管芯536被纳入到代表性封装540中。例如，封装540可包括单个管芯536或多个管芯，诸如系统级封装（SiP）安排。封装540可被配置成遵循一个或多个标准或规范，诸如电子器件工程联合委员会（JEDEC）标准。

[0067] 关于封装540的信息可诸如经由存储在计算机546处的组件库被分发给各产品设计者。计算机546可包括耦合至存储器550的处理器548，诸如一个或多个处理核。印刷电路板（PCB）工具可作为处理器可执行指令被存储在存储器550处以处理经由用户接口544从计算机546的用户接收的PCB设计信息542。PCB设计信息542可包括经封装半导体器件在电路板上的物理定位信息，与封装540相对应的经封装半导体器件包括图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410、或其组合。

[0068] 计算机546可被配置成转换PCB设计信息542以生成数据文件，诸如具有包括经封装半导体设备在电路板上的物理定位信息、以及电连接（诸如迹线和通孔）的布局的数据的GERBER文件552，其中经封装半导体设备对应于包括图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410、或其组合。在其他实施例中，由经转换的PCB设计信息生成的数据文件可具有GERBER格式以外的其他格式。

[0069] GERBER文件552可在板组装过程554处被接收并且被用于创建根据GERBER文件552内存储的设计信息来制造的PCB，诸如代表性PCB 556。例如，GERBER文件552可被上传到一个或多个机器以执行PCB生产过程的各个步骤。PCB 556可填充有电子组件（包括封装540）以形成代表性印刷电路组装件（PCA）558。

[0070] PCA 558可在产品制造过程560处被接收，并被集成到一个或多个电子设备中，诸如第一代表性电子设备562和第二代表性电子设备564。作为解说性的非限定性示例，第一代表性电子设备562、第二代表性电子设备564、或二者可以选择自以下组成的组：移动电话、智能电话、平板计算机、膝上型计算机、手持式个人通信系统（PCS）单元、便携式数据单元（诸如个人数据助理、启用全球定位系统（GPS）的设备、导航设备）、位置固定的数据单元（诸如仪表读数装备）、或者存储或检索数据或计算机指令的任何其他设备、或其任何组合，在其中集成了图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或者其组合。作为另一解说性非限定性示例，电子设备562与564中的一者或多者可以是

远程单元(诸如机顶盒、音乐播放器、视频播放器、娱乐单元、导航设备、通信设备、个人数字助理(PDA))、固定位置的数据单元、计算机或其组合,其中集成了图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410、或其组合。尽管图5解说了根据本公开的教导的远程单元,但本公开并不限于这些解说的单元。本公开的实施例可合适地用在包括具有存储器和片上电路系统的有源集成电路系统的任何设备中。

[0071] 包括图1的半导体管芯102、图2的半导体管芯212-218中的任一者、图4的处理器410或其任何组合的设备可以如解说性过程500中所描述地被制造、处理和纳入到电子设备中。关于图1-4所公开的实施例的一个或多个方面可被包括在各个处理阶段,诸如被包括在库文件512、GDSII文件526、以及GERBER文件552内,以及被存储在研究计算机506的存储器510、设计计算机514的存储器518、计算机546的存储器550、在各个阶段(诸如在板组装过程554处)使用的一个或多个其他计算机或处理器(未示出)的存储器处,并且还被纳入到一个或多个其他物理实施例中,诸如掩模532、管芯536、封装540、PCA 558、其他产品(诸如原型电路或设备(未示出)、或其任何组合。尽管描绘了从物理器件设计到最终产品的各个代表性生产阶段,然而在其他实施例中可使用较少的阶段或可包括附加阶段。类似地,过程500可由单个实体或由执行过程500的各个阶段的一个或多个实体来执行。

[0072] 应当理解,本文中使用的诸如“第一”、“第二”等指定对元素的任何引述一般不限定这些元素数量或次序。确切而言,这些指定可在本文中用作区别两个或更多个元素或者元素实例的便捷方法。因此,对第一元素和第二元素的引述并不意味着仅可采用两个元素或者第一元素必须以某种方式位于第二元素之前。同样,除非另外声明,否则一组元素可包括一个或多个元素。

[0073] 如本文所使用的,术语“确定”涵盖各种各样的动作。例如,“确定”可包括演算、计算、处理、推导、研究、查找(例如,在表、数据库或其他数据结构中查找)、探知及诸如此类。而且,“确定”可包括接收(例如,接收信息)、访问(例如,访问存储器中的数据)及诸如此类。而且,“确定”还可包括解析、选择、选取、确立及类似动作。

[0074] 如本文所使用的,引述一系列项目中的至少一个撰的短于是指这些项目的任何组合,包括单个成员。作为示例,“a、b或c中的至少一者”旨在涵盖:a、b、c、a-b、a-c、b-c、以及a-b-c。

[0075] 各种解说性组件、框、配置、模块、电路、和步骤可以已经在上文以其功能性的形式作了一般化描述。此类功能性是被实现为硬件还是处理器可执行指令取决于具体应用和加诸于整体系统的设计约束。另外,上述方法的各种操作(例如,图3和5中解说的任何操作)可由能够执行这些操作的任何合适的装置来执行,诸如各种硬件和/或处理器可执行软件组件、电路、和/或模块。技术人员可针对每种特定应用以不同方式来实现所描述的功能性,但此类实现决策不应被解读为致使脱离本公开的范围。

[0076] 本领域技术人员将进一步理解,结合本公开描述的各种解说性逻辑块、配置、模块、电路以及算法步骤可用设计成执行本文中描述的功能的通用处理器、数字信号处理器(DSP)、专用集成电路(ASIC)、现场可编程门阵列(FPGA)、可编程逻辑器件(PLD)、分立的门或晶体管逻辑、分立的硬件组件(例如,电子硬件)、由处理器执行的计算机软件、或其任何组合来实现或执行。通用处理器可以是微处理器,但在替换方案中,该处理器可以是任何市售的处理器、控制器、微控制器或状态机。处理器还可以被实现为计算设备的组合,例如DSP



与微处理器的组合、多个微处理器、与DSP核心协同的一个或多个微处理器、或任何其它此类配置。

[0077] 在一个或多个方面中,所描述的功能可在硬件、软件、固件或其任何组合中实现。如果在软件中实现,则各功能可以作为一条或更多条计算机可执行指令或代码存储在计算机可读介质上。计算机可读介质包括计算机可读存储介质和通信介质,包括促成计算机程序数据从一地到另一地的转移的任何介质。存储介质可以是能被计算机访问的任何可用介质。作为示例而非限定,此类计算机可读存储介质可包括随机存取存储器(RAM)、只读存储器(ROM)、可编程只读存储器(PROM)、可擦除PROM(EPROM)、电可擦除PROM(EEPROM)、寄存器、硬盘、可移动盘、紧致盘只读存储器(CD-ROM)、其它光盘存储、磁盘存储、磁存储设备、或可被用来存储指令或数据形式的程序代码且能被计算机访问的任何其它介质。在替换方案中,计算机可读介质(例如,存储介质)可被整合到处理器。处理器和存储介质可驻留在专用集成电路(ASIC)中。ASIC可驻留在计算设备或用户终端中。在替换方案中,处理器和存储介质可作为分立组件驻留在计算设备或用户终端中。

[0078] 任何连接也被正当地称为计算机可读介质。例如,如果软件是使用同轴电缆、光纤电缆、双绞线、数字订户线(DSL)、或诸如红外、无线电、以及微波之类的无线技术从web网站、服务器、或其它远程源传送而来,则该同轴电缆、光纤电缆、双绞线、DSL、或诸如红外、无线电、以及微波之类的无线技术就被包括在介质的定义之中。如本文中所使用的,盘(disk)和碟(disc)包括压缩碟(CD)、激光碟、光碟、数字多用碟(DVD)和软盘,其中盘往往以磁的方式再现数据,而碟用激光以光学方式再现数据。因此,在一些方面,计算机可读介质可包括非暂态计算机可读介质(例如,有形介质)。上述的组合应当也被包括在计算机可读介质的范围内。

[0079] 本文所公开的方法包括一个或多个步骤或动作。这些方法步骤和/或动作可以彼此互换而不会脱离权利要求的范围。换言之,除非指定了步骤或动作的特定次序,否则具体步骤和/或动作的次序和/或使用可以改动而不会脱离本公开的范围。

[0080] 某些方面可包括用于执行本文中给出的操作的计算机程序产品。例如,计算机程序产品可包括其上存储(和/或编码)有指令的计算机可读存储介质,这些指令能由一个或多个处理器执行以执行本文中所描述的操作。该计算机程序产品可包括包装材料。

[0081] 此外,应当领会,用于执行本文中所描述的方法和技术的模块和/或其它合适装置能由用户终端和/或基站在适用的场合下载和/或以其他方式获得。替换地,本文描述的各种方法可经由存储装置(例如,RAM、ROM、或者物理存储介质,诸如紧致盘(CD))来提供。此外,能利用适于提供本文中所描述的方法和技术的任何其他合适的技术。应理解,本公开的范围并不被限定于以上所解说的精确配置和组件。

[0082] 提供前面对所公开的实施例的描述是为了使本领域技术人员皆能制作或使用所公开的实施例。尽管上述内容针对本公开的各方面,然而可设计出本公开的其他方面而不会脱离其基本范围,且范围是由所附权利要求来确定的。可在本文描述的实施例的布局、操作及细节上作出各种改动、更换和变型而不会脱离本公开或权利要求的范围。因此,本公开并非旨在被限定于本文中的实施例,而是应被授予与如由所附权利要求及其等效技术方案定义的原理和新颖性特征一致的最广的可能范围。

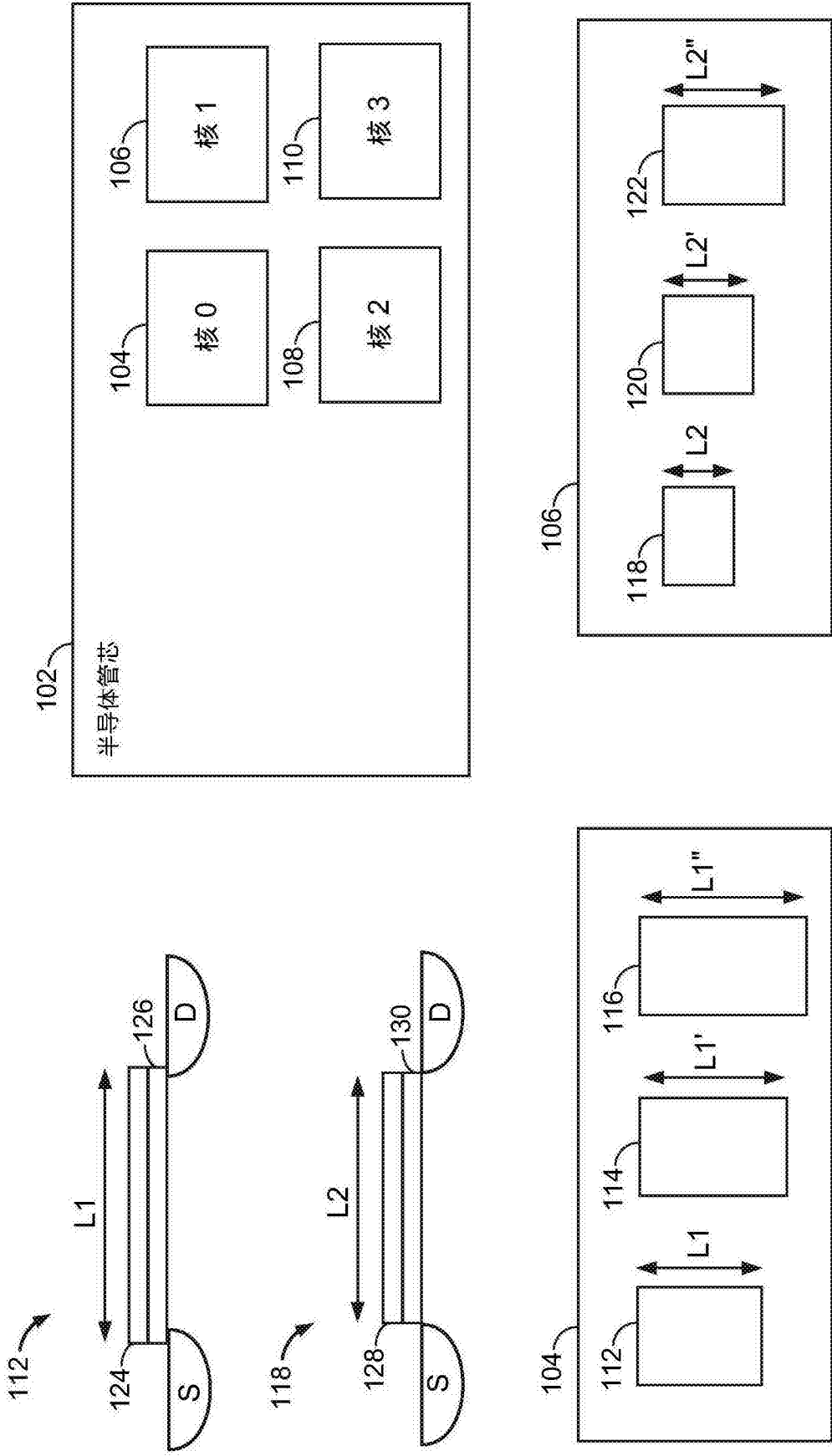


图1

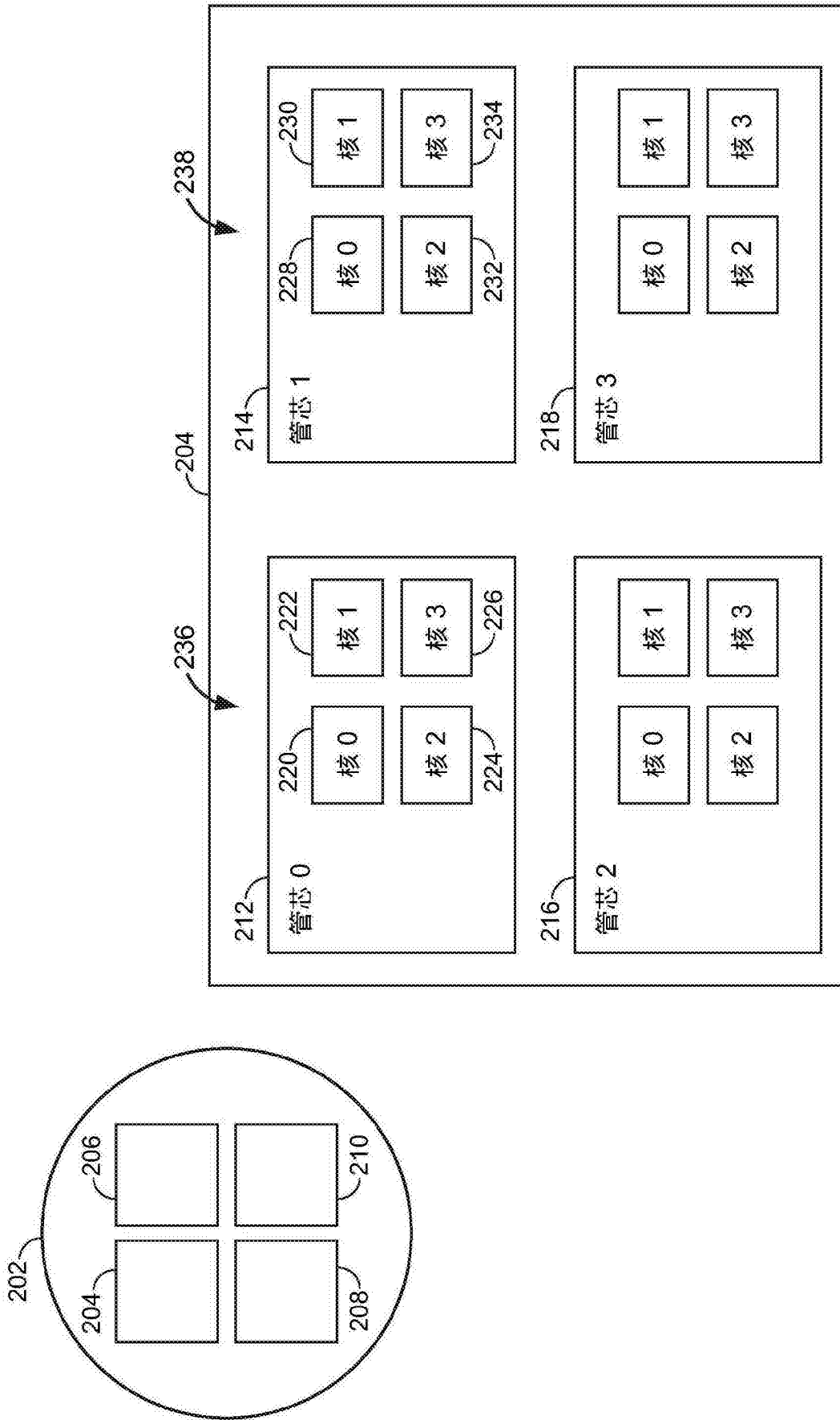


图2

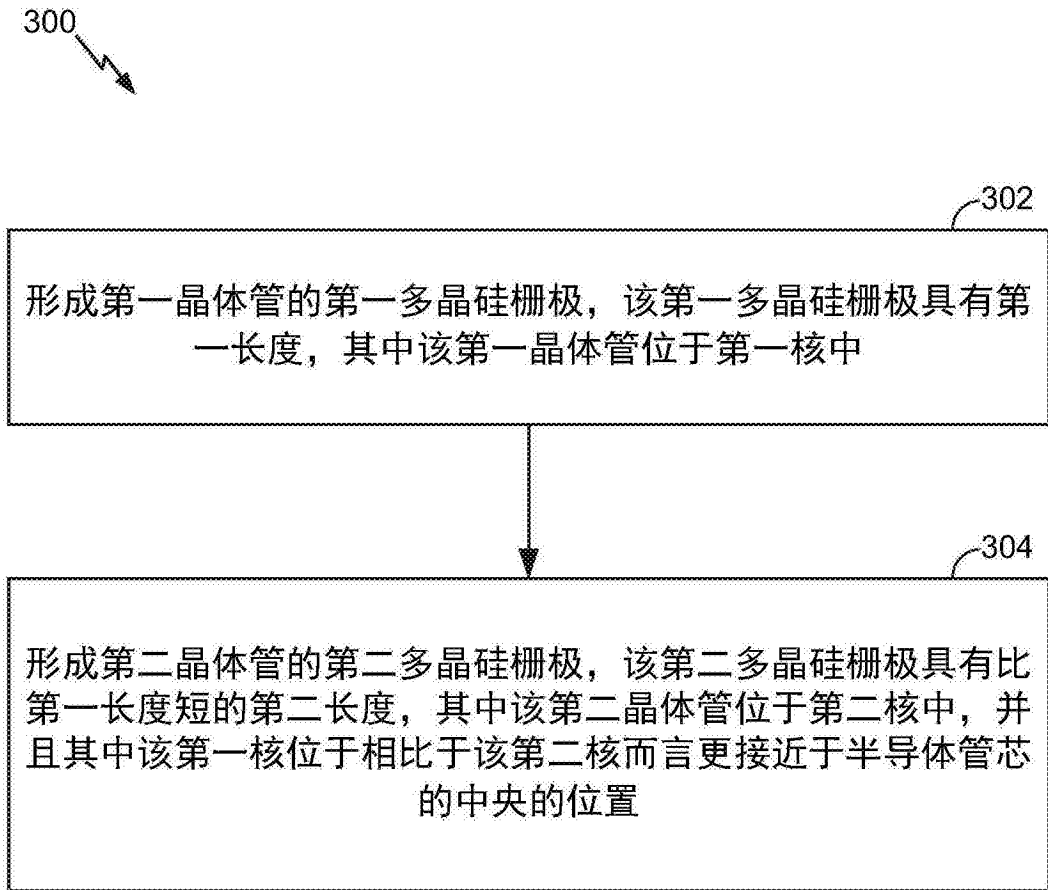


图3

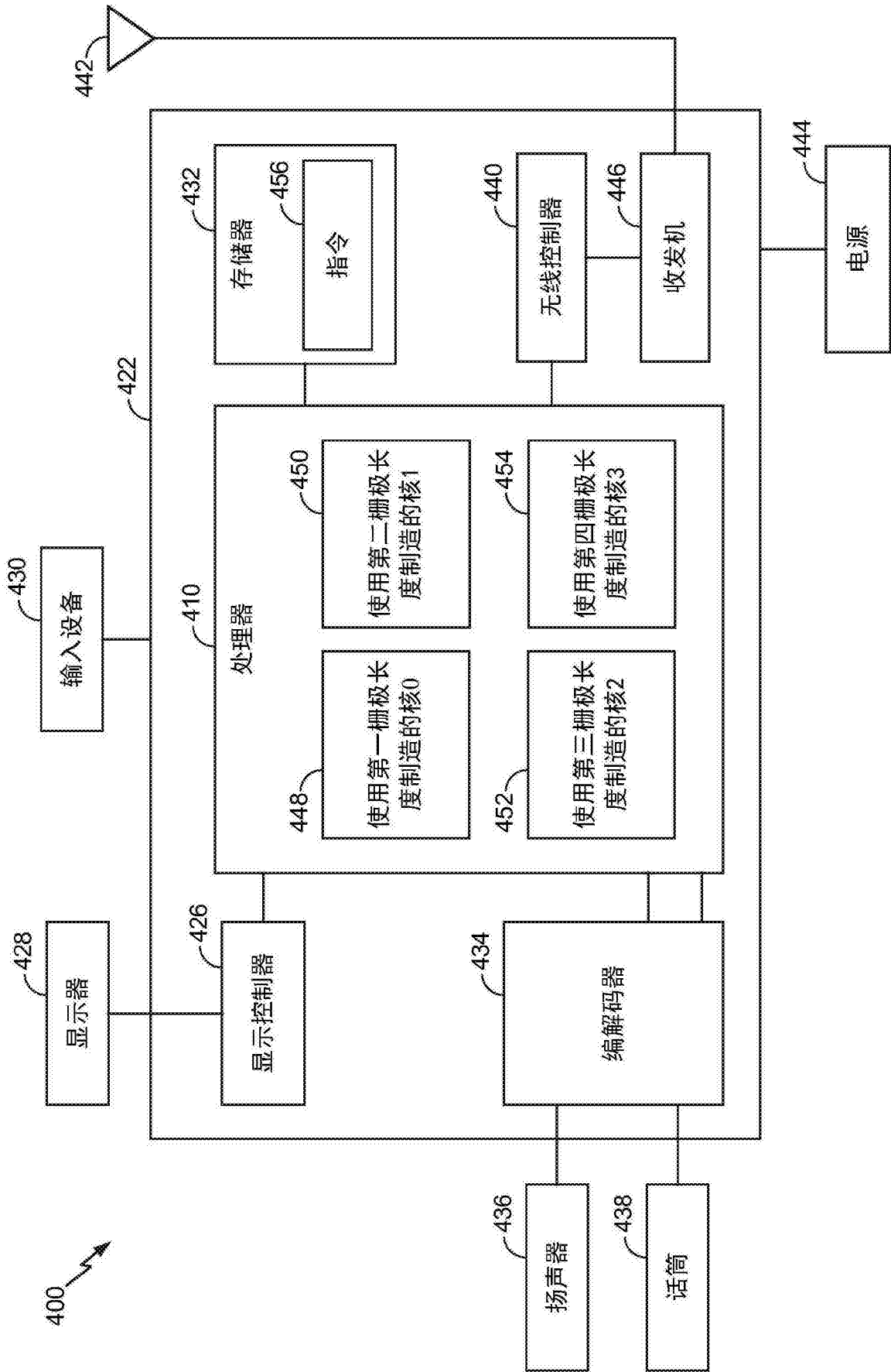


图4

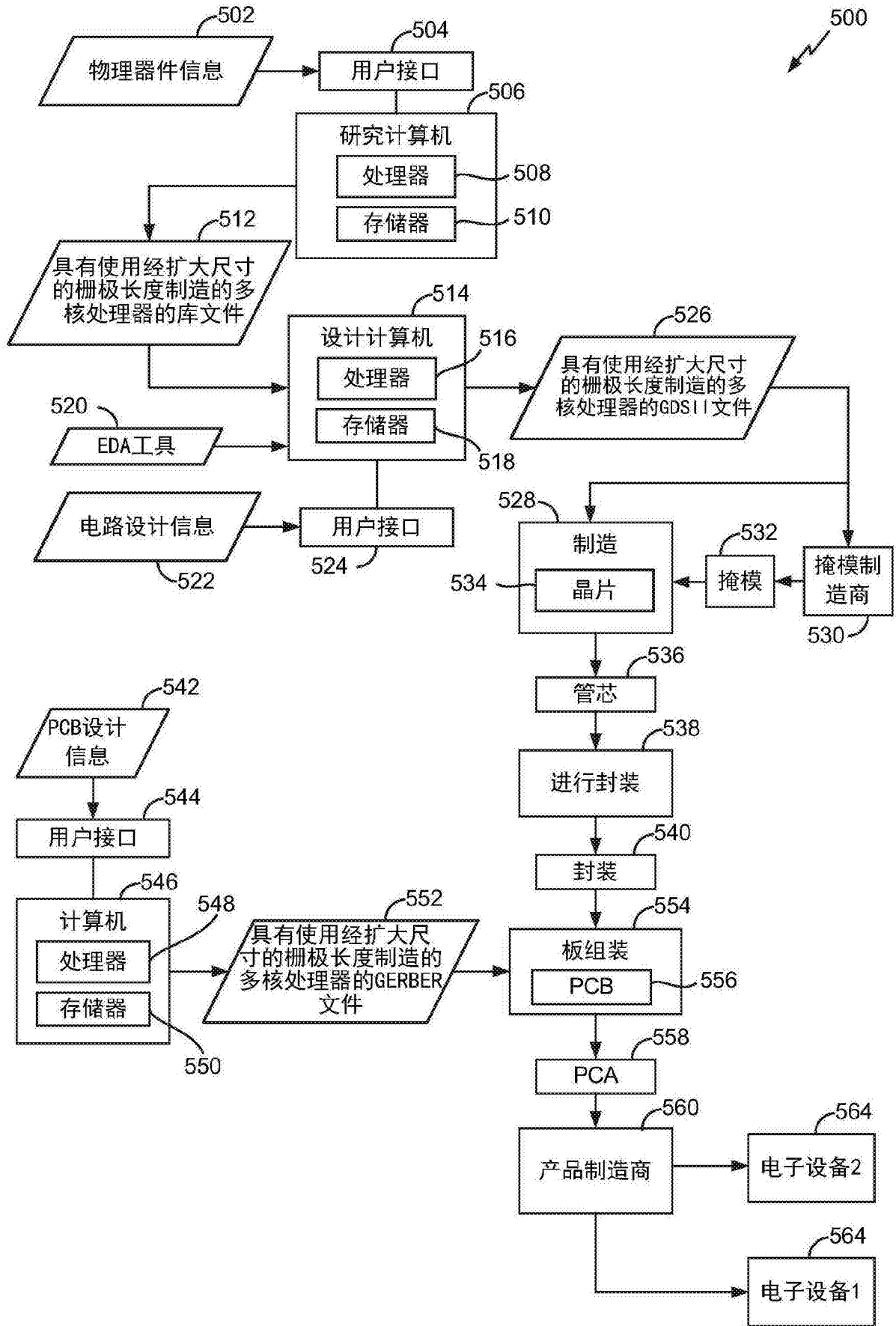


图5