

(12) 发明专利申请

(10) 申请公布号 CN 101834184 A

(43) 申请公布日 2010.09.15

(21) 申请号 201010130838.4

(22) 申请日 2010.03.23

(71) 申请人 浙江大学

地址 310027 浙江省杭州市西湖区浙大路
38号

(72) 发明人 宋波 韩雁 董树荣 马飞
黄大海 李明亮 苗萌

(74) 专利代理机构 杭州天勤知识产权代理有限公司 33224

代理人 胡红娟

(51) Int. Cl.

H01L 27/092(2006.01)

H01L 29/78(2006.01)

H01L 23/60(2006.01)

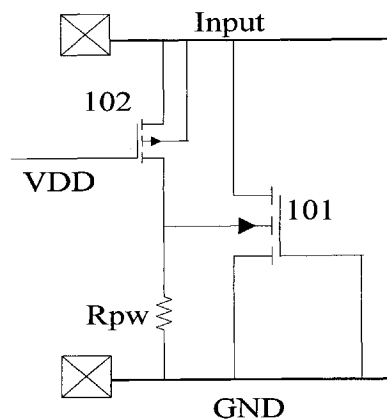
权利要求书 1 页 说明书 3 页 附图 3 页

(54) 发明名称

一种衬底触发的栅极接地 NMOS 管

(57) 摘要

本发明公开了一种衬底触发的栅极接地 NMOS 管,用于核心电路的 ESD 防护,包括衬底、源极和栅极接地,漏极连接核心电路的输入端的 GGNMOS 管;漏极连接 GGNMOS 管的衬底,源极和衬底连接核心电路的输入端,栅极连接核心电路的 VDD 电源线的 PMOS 管。本发明通过用 PMOS 来取代 Native NMOS,用 VDD 作为 PMOS 的控制信号,既能使得多叉指 GGNMOS 均匀开启,提高器件的鲁棒性,同时利用 VDD 作为控制信号能大大简化控制电路,而且又不额外增加面积。



1. 一种衬底触发的栅极接地 NMOS 管,用于核心电路的 ESD 防护,其特征在于,包括:
— GGNMOS 管 (101),衬底、源极和栅极接地,漏极连接核心电路的输入端;
— PMOS 管 (102),漏极连接 GGNMOS 管 (101) 的衬底,源极和衬底连接核心电路的输入端,栅极连接核心电路的 VDD 电源线。

2. 根据权利要求 1 所述的衬底触发的栅极接地 NMOS 管,其特征在于:包括 P 型衬底 (50),所述的 P 型衬底 (50) 上设有 P 阱 (51) 和 N 阱 (57),P 阱 (51) 上从外向内依次设有第一 P+ 注入区 (53a)、第一 N+ 注入区 (54a)、第二 N+ 注入区 (54b)、第二 P+ 注入区 (53b)、第三 N+ 注入区 (54c)、第四 N+ 注入区 (54d)、第三 P+ 注入区 (53c),N 阱 57 上从外向内依次设有第五 N+ 注入区 (54e)、第五 P+ 注入区 (53e) 和第四 P+ 注入区 (53d);

第一 N+ 注入区 (54a) 和第二 N+ 注入区 (54b) 之间的 P 阱上、第三 N+ 注入区 (54c) 和第四 N+ 注入区 (54d) 之间的 P 阱上、第五 P+ 注入区 (53e) 和第四 P+ 注入区 (53d) 之间的 N 阱上覆有层叠的 SiO₂ 氧化层和多晶硅层,其余注入区之间通过浅沟槽 (52) 进行隔离;

第一 N+ 注入区 (54a) 和第二 N+ 注入区 (54b) 之间的多晶硅层、第一 P+ 注入区 (53a) 和第一 N+ 注入区 (54a) 共同接地;

第三 N+ 注入区 (54c) 和第四 N+ 注入区 (54d) 之间的多晶硅层、第四 N+ 注入区 (54d) 和第三 P+ 注入区 (53c) 共同接地;

第二 N+ 注入区 (54b)、第三 N+ 注入区 (54c)、第五 N+ 注入区 (54e) 和第五 P+ 注入区 (53e) 连接核心电路的输入端;

第五 P+ 注入区 (53e) 和第四 P+ 注入区 (53d) 之间的多晶硅层连接 VDD 电源线;

第二 P+ 注入区 (53b) 与第四 P+ 注入区 (53d) 通过导线连接。

一种衬底触发的栅极接地 NMOS 管

技术领域

[0001] 本发明涉及集成电路技术领域,尤其涉及一种衬底触发的栅极接地 NMOS 管。

背景技术

[0002] 静电放电 (ESD) 是在一个集成电路浮接的情况下,大量的电荷从外向内灌入集成电路的瞬时过程,整个过程大约耗时 100ns 以及集成电路内由于摩擦等积聚了电荷在内部,当集成电路的某个管脚接地时内部的电荷泄放到地的过程,这个过程大约耗时约 1.5ns。此外,在集成电路放电时会产生数百甚至数千伏特的高压,这会打穿集成电路中的输入级的栅氧化层。随着集成电路中的 MOS 管的尺寸越来越小,栅氧化层的厚度也越来越薄,在这种趋势下,使用高性能的静电防护电路来泄放静电放电的电荷以保护栅极氧化层不受损害是十分必要的。

[0003] 静电放电现象的模式主要有四种:人体放电模式 (HBM)、机械放电模式 (MM)、器件充电模式 (CDM) 以及电场感应模式 (FIM)。对一般集成电路产品来说,一般要经过人体放电模式,机械放电模式以及器件充电模式的测试。为了能够承受如此高的静电放电电压,集成电路产品通常必须使用具有高性能、高耐受力的静电放电保护器件。

[0004] 为了达成保护芯片抵御静电袭击的目的,目前已有多种静电防护器件被提出,比如二极管,可控硅 SCR(silicon controlled rectifier),GGNMOS(Grounded Gate NMOS,栅极接地的 MOS 管),其中栅极接地的 NMOS 管 (GGNMOS) 被广泛采用。该防护器件的电路结构示意图如图 1 所示,GGNMOS 的漏极 12 接到核心电路的输入/输出端 (I/O),栅极 13、源极 14 和衬底 11 都接到地。为提高 GGNMOS 的抗击 ESD 能力,一般采用如图 2 所示的多叉指结构。

[0005] 但是这种多叉指的 GGNMOS 结构由于中间的叉指的体电阻最大,先于其他叉指开启,造成 GGNMOS 的各个叉指不能均匀开启。这样造成整体电路的静电防护能力的下降。针对于此,一种行之有效的解决方案就是通过对衬底灌入电流提高衬底电压来触发 GGNMOS,如图 3 所示。但是这种方案中 Native NMOS100 需要负偏置电压来控制,额外增加了一个负偏置电压模块 200,增加了电路的复杂性,而且增加了整体的面积,增大了成本。

发明内容

[0006] 本发明提供了一种结构简单、成本低廉且性能优良的衬底触发的栅极接地 NMOS 管。

[0007] 一种衬底触发的栅极接地 NMOS 管,用于核心电路的 ESD 防护,包括:

[0008] 一 GGNMOS 管,衬底、源极和栅极接地,漏极连接核心电路的输入端;

[0009] 一 PMOS 管,漏极连接 GGNMOS 管的衬底,源极和衬底连接核心电路的输入端,栅极连接核心电路的 VDD 电源线。

[0010] 所述核心电路指的是需对其进行静电放电防护的芯片。

[0011] 当 GGNMOS 管为双叉指时,其器件的具体结构如下:

[0012] 它包括 P 型衬底,所述的 P 型衬底上注有 P 阱和 N 阱,P 阱上从外向内依次设有第一 P+ 注入区、第一 N+ 注入区、第二 N+ 注入区、第二 P+ 注入区、第三 N+ 注入区、第四 N+ 注入区、第三 P+ 注入区, N 阱 57 上从外向内依次设有第五 N+ 注入区、第五 P+ 注入区和第四 P+ 注入区;

[0013] 第一 N+ 注入区和第二 N+ 注入区之间的 P 阱上、第三 N+ 注入区和第四 N+ 注入区之间的 P 阱上、第五 P+ 注入区和第四 P+ 注入区之间的 N 阱上覆有层叠的 SiO₂ 氧化层和多晶硅层,其余注入区之间通过浅沟槽进行隔离;

[0014] 第一 N+ 注入区和第二 N+ 注入区之间的多晶硅层、第一 P+ 注入区和第一 N+ 注入区共同接地;第三 N+ 注入区和第四 N+ 注入区之间的多晶硅层、第四 N+ 注入区和第三 P+ 注入区共同接地;第二 N+ 注入区、第三 N+ 注入区、第五 N+ 注入区和第五 P+ 注入区连接核心电路的输入端;第五 P+ 注入区和第四 P+ 注入区之间的多晶硅层连接 VDD 电源线;第二 P+ 注入区与第四 P+ 注入区通过导线连接。

[0015] 上述衬底触发栅极接地 NMOS 管在 GGNMOS 管旁边增设了一个 PMOS 管,替代了原来的 Native NMOS 管,PMOS 管的源极和衬底接到核心电路的输入端,在 NMOS 管的漏极旁边增加了第二 P+ 注入区,第二 P+ 注入区连接衬底,同时 PMOS 管的漏极连接到第二 P+ 注入区,栅极连接 VDD 电源线,VDD 作为控制信号。

[0016] 在 ESD 条件下,当核心电路输入端对地有 ESD 脉冲时,VDD 端处于浮空状态,PMOS 管的栅极处于浮空状态,由于 PMOS 管的源极有很高的 ESD 脉冲电压,PMOS 管的栅极和漏极两者之前的电压差高于其阈值电压,PMOS 管开启,电流注入到 GGNMOS 管的衬底中,提高了衬底电位而触发 GGNMOS 管工作;在正常工作时,VDD 为高电位,PMOS 管截止,GGNMOS 管不工作。

[0017] 本发明通过用 PMOS 来取代 Native NMOS,用 VDD 作为 PMOS 的控制信号,既能使得多叉指 GGNMOS 均匀开启,提高器件的鲁棒性。同时利用 VDD 作为控制信号能大大简化控制电路,而且又不额外增加面积。

附图说明

[0018] 图 1 为现有 GGNMOS 管的电路原理图;

[0019] 图 2 为现有多叉指 GGNMOS 管的实现版图;

[0020] 图 3 为现有衬底触发 GGNMOS 管的电路原理图;

[0021] 图 4 为本发明衬底触发 GGNMOS 管的电路原理图;

[0022] 图 5 为本发明 GGNMOS 管纵向剖面图;

[0023] 图 6 为本发明八叉指 GGMOS 管与现有八叉指 GGMOS TLP 测试结果。

具体实施方式

[0024] 如图 4 所示,一种衬底触发的栅极接地 NMOS 管,用于核心电路的 ESD 防护,包括:

[0025] 多叉指的 GGNMOS 管 101,源极和栅极接地,漏极连接核心电路的输入端 Input;

[0026] PMOS 管 102,漏极连接 GGNMOS 管 101 的衬底,源极和衬底连接核心电路的输入端,栅极连接核心电路的 VDD 电源线。

[0027] 当 GGNMOS 管为双叉指结构时,其纵向剖面图如图 5 所示,它包括 P 型衬底 50,P 型

衬底 50 上注有 P 阱 51 和 N 阱 57, 从外向内 P 阱 51 上依次设有 P+ 注入区 53a、N+ 注入区 54a、N+ 注入区 54b、P+ 注入区 53b、N+ 注入区 54c、N+ 注入区 54d、P+ 注入区 53c, 从外向内, N 阱 57 上注有 N+ 注入区 54e、P+ 注入区 53e 和 P+ 注入区 53d。

[0028] N+ 注入区 54a 和 N+ 注入区 54b 之间的 P 阱上、N+ 注入区 54c 和 N+ 注入区 54d 之间的 P 阱上、P+ 注入区 53e 和 P+ 注入区 53d 之间的 N 阱上覆有层叠的 SiO_2 氧化层 55 和多晶硅层 56, 其余注入区之间通过浅沟槽 52 进行隔离。

[0029] 对核心电路进行静电防护时, N+ 注入区 54a 和 N+ 注入区 54b 之间的多晶硅层、P+ 注入区 53a 和 N+ 注入区 54a 共同接地; N+ 注入区 54c 和 N+ 注入区 54d 之间的多晶硅层、N+ 注入区 54d 和 P+ 注入区 53c 共同接地; N+ 注入区 54b、N+ 注入区 54c、N+ 注入区 54e 和 P+ 注入区 53e 连接核心电路的输入端 Input, P+ 注入区 53e 和 P+ 注入区 53d 之间的多晶硅层连接核心电路的 VDD 电源线; P+ 注入区 53b 与 P+ 注入区 53d 连接。

[0030] N+ 注入区 54e、P+ 注入区 53d、P+ 注入区 53e 以及二者之间对应区域上方的 SiO_2 氧化层和多晶硅层共同构成电路中的 PMOS 管 102; 在 P 阱 51 中 P+ 注入区 53b 两侧的注入区、 SiO_2 氧化层和多晶硅层共同构成双插指的 GGNMOS 管 101。

[0031] 上述电路的工作原理如下:

[0032] 当核心电路正常工作时, VDD 为高电平, PMOS 管 102 截止, 整个防护电路没有电流通路, 因而不干扰核心电路的正常工作。而在危险的静电信号从输入端 Input 进来的时候, 由于 VDD 端为浮空状态, 由于 PMOS 管 102 的源极有很高的 ESD 脉冲电压, PMOS 管的栅极和漏极两者之前的电压差高于其阈值电压, PMOS 管 102 导通, 因此 PMOS 管 102、P+ 注入区 53b、P 阱 51、以及 P+ 注入区 53a 构成一条电流通路, PMOS 管 102、P+ 注入区 53b、P 阱 51、以及 P+ 注入区 53d 构成一条电流通路。这时会抬高在 P 阱 51 寄生电阻 R_{pw} 上的电压, 提高 GGNMOS 管 101 衬底电位, 使得由 P 阱 51 与 N+ 注入区 54a 和 P 阱 51 与 N+ 注入区 54d 构成的二极管分别导通, GGNMOS 管 101 寄生的双极型晶体管就打开, 这时静电电荷就主要通过 GGNMOS 管 101 泄放掉。通过灌入电流来整体提高衬底的电位, 这样各个叉指能够均匀开启导通泄放电流, 从而使静电电荷不至于危害到核心电路, 保护了核心电路的安全。

[0033] 用传输线脉冲发生器 (TLP) 测试普通八叉指 GGNMOS 管和本发明八叉指 GGNMOS 管, 结果如图 6 所示。普通八叉指 GGNMOS 的失效电流 I_{t2} 为 4.14A, 而本发明八叉指 GGNMOS 的失效电流 I_{t2} 提高到 4.7A, 相比增加了 13.6%。

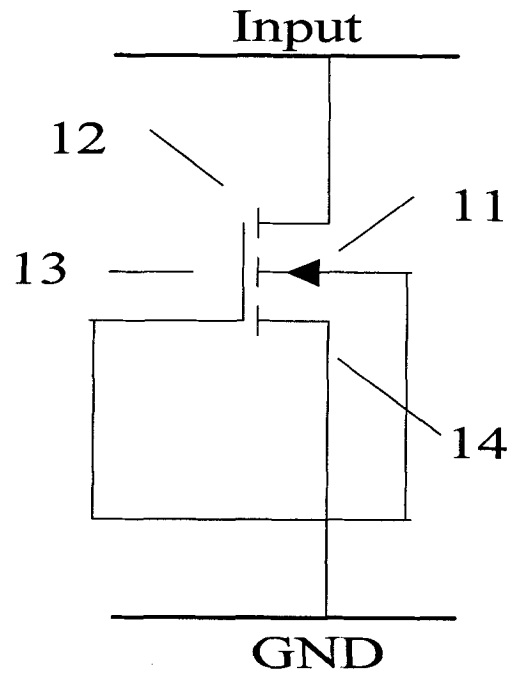


图 1

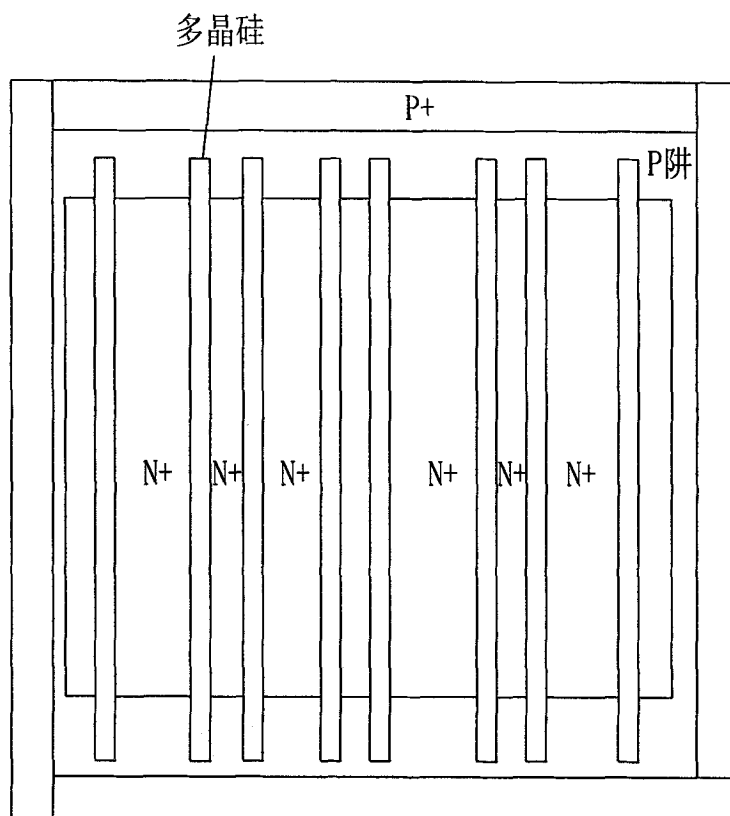


图 2

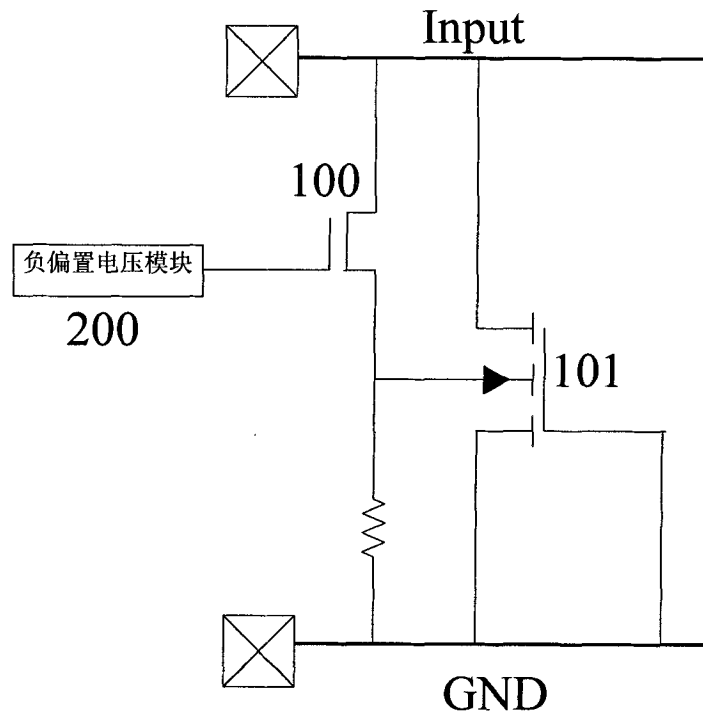


图 3

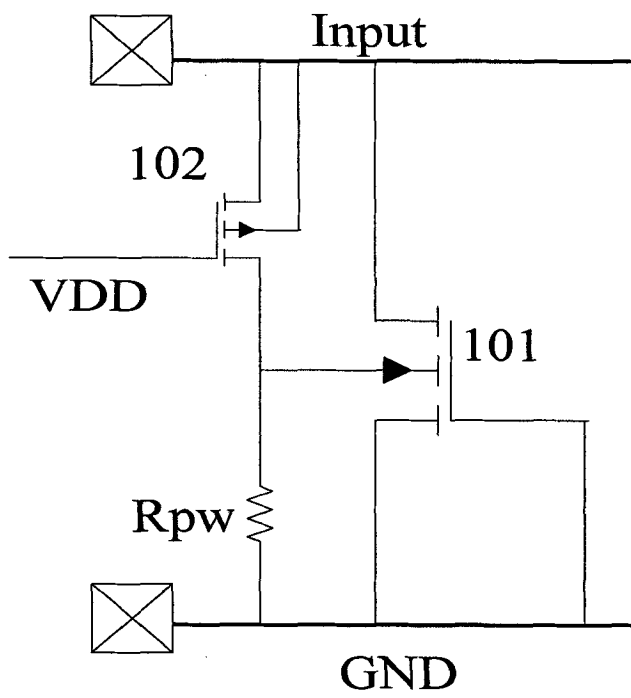


图 4

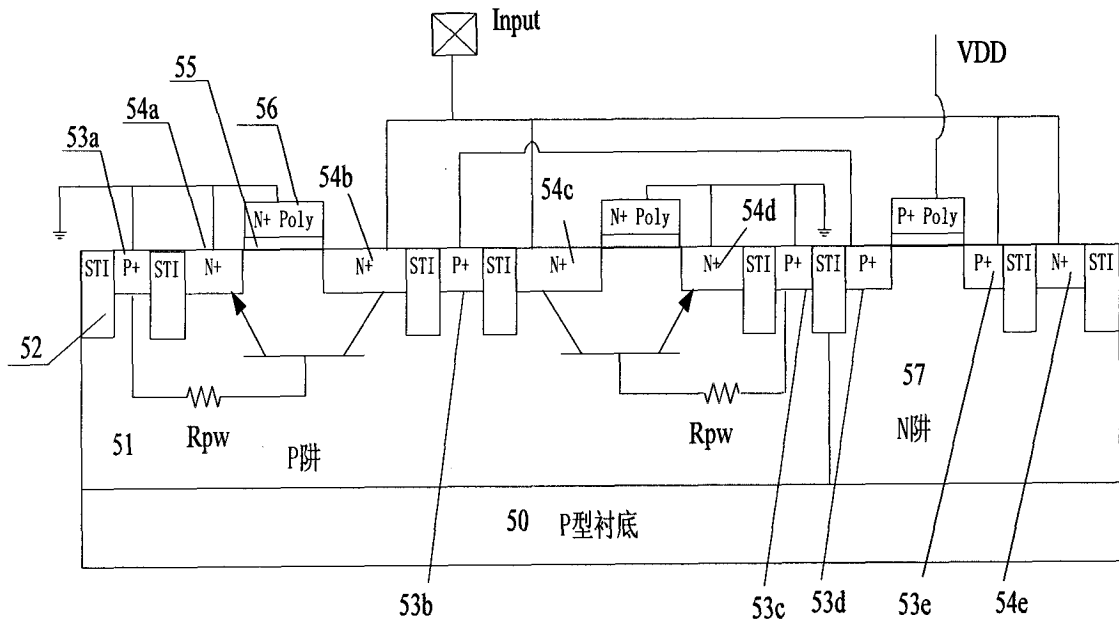


图 5

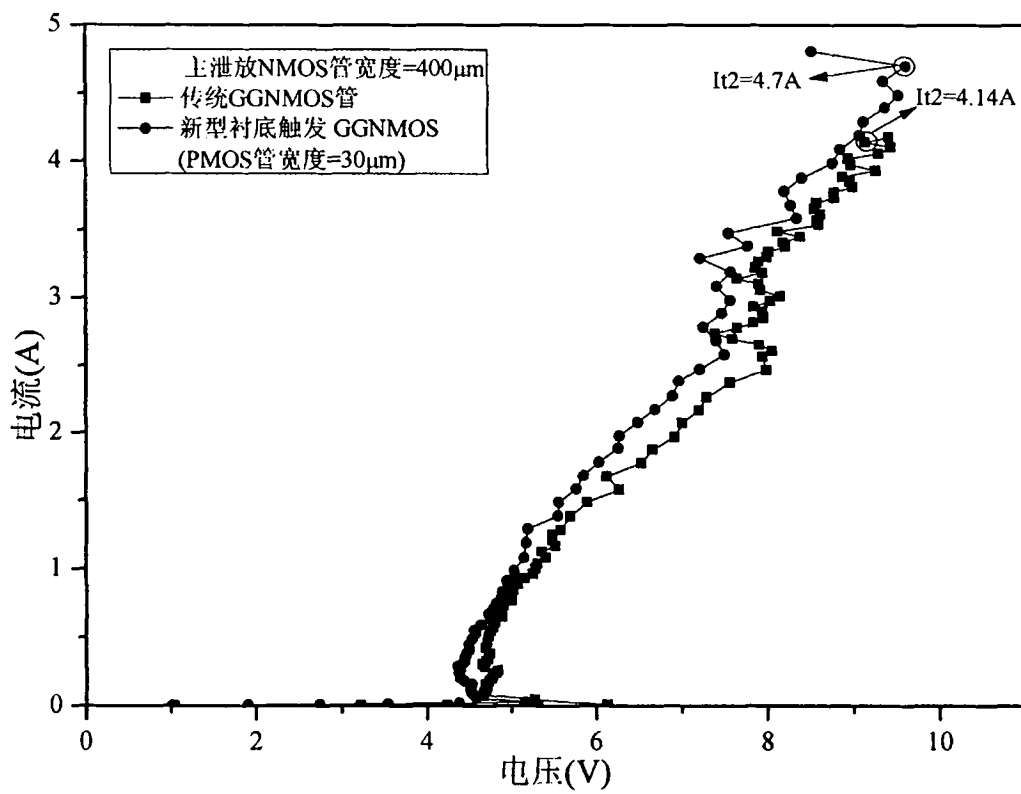


图 6