

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2006-23233

(P2006-23233A)

(43) 公開日 平成18年1月26日(2006.1.26)

(51) Int. Cl.  
G01R 31/28 (2006.01)

F I  
G O 1 R 31/28

テーマコード (参考)  
2 G 1 3 2

審査請求 未請求 請求項の数 9 O L (全 16 頁)

(21) 出願番号 特願2004-203278 (P2004-203278)  
(22) 出願日 平成16年7月9日(2004.7.9)

(71) 出願人 390005175  
株式会社アドバンテスト  
東京都練馬区旭町1丁目32番1号  
(74) 代理人 100089118  
弁理士 酒井 宏明  
(72) 発明者 小島 昭二  
東京都練馬区旭町1丁目32番1号 株式  
会社アドバンテスト内  
Fターム(参考) 2G132 AC03 AD01 AD03 AE14 AE18  
AE23 AG02 AH07 AL11 AL12  
AL18

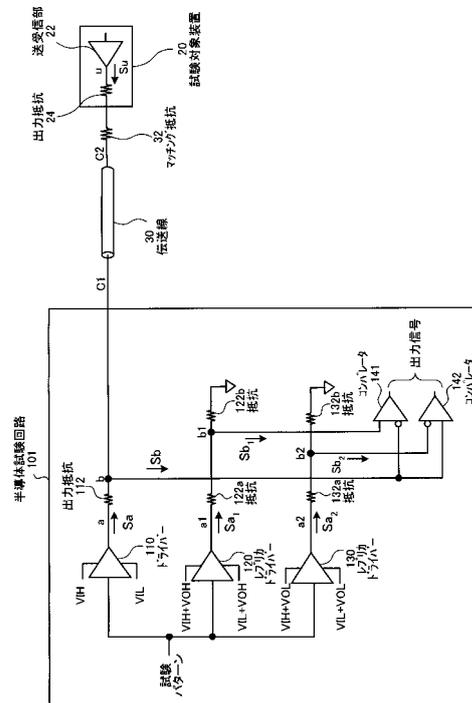
(54) 【発明の名称】 半導体試験装置および半導体試験方法

(57) 【要約】

【課題】 コンパレータにおける正確な比較処理を可能とする半導体試験装置を提供すること。

【解決手段】 本発明にかかる半導体試験装置は、試験パターンに対応する試験信号を生成し試験対象装置20に出力するドライバー110と、試験信号と基準信号とを合成した比較信号を生成するレプリカドライバー120、130および抵抗122a、122b、132a、132bとを備えた半導体試験回路101を有する。半導体試験回路101では、コンパレータ141、142は、試験信号と試験対象装置20から出力された応答信号とを合成した合成信号と、比較信号とを入力され、合成信号に含まれる試験信号と比較信号に含まれる試験信号とを相殺し応答信号と基準信号とを比較する。

【選択図】 図2



## 【特許請求の範囲】

## 【請求項 1】

試験パターンに対応する試験信号を生成して試験対象装置に出力する試験信号生成手段と、

基準信号と前記試験信号とを合成した比較信号を生成する比較信号生成手段と、

前記試験信号と該試験信号に 응답して前記試験対象装置から出力された応答信号とを合成した合成信号に含まれる前記試験信号と、前記比較信号に含まれる前記試験信号とを相殺し前記応答信号と前記基準信号とを比較する比較手段と、

を備え、前記比較手段の比較結果をもとに前記試験対象装置に欠陥があるか否かを判断することを特徴とする半導体試験装置。

10

## 【請求項 2】

前記試験信号生成手段と前記試験対象装置とは、単一の伝送線によって電氣的に接続されていることを特徴とする請求項 1 に記載の半導体試験装置。

## 【請求項 3】

前記試験信号生成手段は、

前記試験信号を生成するドライバーと、

前記伝送線側のインピーダンスと当該半導体試験装置側のインピーダンスとを整合する出力抵抗と、

を備えたことを特徴とする請求項 2 に記載の半導体試験装置。

## 【請求項 4】

20

前記比較信号生成手段は、

前記基準信号と前記試験信号とを重畳した信号を生成するレプリカドライバーを備え、

前記比較信号生成手段は、前記レプリカドライバーが生成した信号を除算し、該除算した値を前記比較信号として出力することを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体試験装置。

## 【請求項 5】

前記除算は、複数の抵抗を用いた分圧回路によって行なわれることを特徴とする請求項 4 に記載の半導体試験装置。

## 【請求項 6】

前記抵抗の抵抗値は、前記レプリカドライバーが生成した信号の電流値に対応して増減されることを特徴とする請求項 5 に記載の半導体試験装置。

30

## 【請求項 7】

前記比較信号生成手段は、

前記基準信号と前記試験信号とを重畳した信号を除算し、該除算した信号を前記比較信号として出力するレプリカドライバーを備えたことを特徴とする請求項 1 ~ 3 のいずれか一つに記載の半導体試験装置。

## 【請求項 8】

前記比較信号生成手段は、複数の前記レプリカドライバーを備えたことを特徴とする請求項 4 ~ 7 のいずれか一つに記載の半導体試験装置。

## 【請求項 9】

40

試験対象装置に欠陥があるか否かを判断する半導体試験方法において、

試験パターンに対応する試験信号を生成して前記試験対象装置に出力する試験信号生成ステップと、

基準信号と前記試験信号とを合成した比較信号を生成する比較信号生成ステップと、

前記試験信号と該試験信号に 응답して前記試験対象装置から出力された応答信号とを合成した合成信号に含まれる前記試験信号と、前記比較信号に含まれる前記試験信号とを相殺し前記応答信号と前記基準信号とを比較する比較ステップと、

前記比較ステップにおける比較結果をもとに前記試験対象装置に欠陥があるか否かを判断する判断ステップと、

を含むことを特徴とする半導体試験方法。

50

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

この発明は、試験対象装置に欠陥があるか否かを判断する半導体試験装置および半導体試験方法に関する。

## 【背景技術】

## 【0002】

半導体試験装置は、集積回路などの半導体装置に対して試験信号を出力し、この試験信号に対する半導体装置の応答信号をもとに半導体装置の欠陥の有無を検査する。半導体試験装置は、複数の半導体試験回路を含み、半導体試験回路はそれぞれが、試験対象となる半導体装置（以下、「試験対象装置」とする。）のノードの一つに電氣的に接続されている。半導体試験回路は、試験信号を試験対象装置のノードに印加し、この印加された試験信号に対して試験対象装置から出力された応答信号を検出し、検出された応答信号を所定の基準信号と比較する。一般的に、検出された応答信号が基準信号と一致しない場合、半導体試験装置は、試験対象装置に欠陥があると判断する。

10

## 【0003】

このような半導体試験回路として、半導体試験装置における試験信号出力部および応答信号受信部と試験対象装置とを単一の伝送線で電氣的に接続したシングルトランスミッション結線方法を用いたものがある。しかし、このシングルトランスミッション結線方法を用いた場合、信号の方向切り換え時に伝送線における信号の往復時間の間、待機しなければならない、いわゆるラウンドトリップディレイが問題となっていた。これに対し、試験対象装置と半導体試験装置における試験信号出力部とを接続する伝送線、および、試験対象装置と半導体試験装置における応答信号受信部とを接続する伝送線として、それぞれ別個の伝送線を用いるデュアルトランスミッション結線方法を用いたものがある。しかし、このデュアルトランスミッション結線方法を用いた場合、必要となる配線は2倍となるため装置構成が複雑となる。さらに、デュアルトランスミッション結線方式を用いた場合、試験対象装置の出力端子によって駆動される線路のインピーダンスが半分となるため、試験対象装置の駆動能力が不足する場合には、この結線方式を用いることができなかった。

20

## 【0004】

このため、近年、半導体試験回路として図9に示す半導体試験回路601が提案されている（特許文献1参照）。この半導体試験回路601では、減算回路616の一方の入力部に、ドライバー610から出力された試験信号と試験対象装置620から出力された応答信号とを合成した信号が入力される。一方、減算回路616の他方の入力部に、ドライバー610から出力された試験信号が入力される。減算回路616は、試験信号と応答信号とを合成した信号から試験信号を減じ、この信号を応答信号としてコンパレータ618、619に出力する。各コンパレータ618、619には所定の基準信号が入力され、コンパレータ618、619は、応答信号と所定の基準信号とを比較し、応答信号と所定の基準信号とが一致していない場合には、所定のエラー信号を出力する。半導体試験装置は、コンパレータ618、619からエラー信号が出力された場合、試験対象装置620には欠陥があると判断している。

30

40

## 【0005】

このように、半導体試験回路601では、試験信号と応答信号とを合成した信号から試験信号を減じた応答信号をコンパレータ618、619に出力するため、上述したラウンドトリップディレイを解消することができる。また、半導体試験回路601は、単一の伝送線630によって試験対象装置620と結線されているため、簡易な装置構成とすることが可能である。なお、図10に示すように、半導体試験回路601に対してレプリカドライバー720をさらに備えた半導体試験回路701も提案されている（特許文献2および特許文献3参照）。

## 【0006】

【特許文献1】米国特許第6133725号明細書

50

【特許文献2】米国特許第6563298号明細書

【特許文献3】米国特許第6703825号明細書

【発明の開示】

【発明が解決しようとする課題】

【0007】

ところで、図9および図10に示した半導体試験回路601, 701は、アナログの減算回路616を含む構成である。一般に、アナログ減算回路は、演算精度の向上化、処理速度の高速化および広い電圧範囲への適用化の全てを満たすことは困難である。このため、半導体試験回路601, 701は、適用できる電圧範囲が狭いうえ、コンパレータ618, 619における比較処理を高い精度で行なうことができないという問題があった。

10

【0008】

また、図11に示すように、ドライバー610の出力段610bは、トランジスタ610c, 610dを有し、ドライバー610には、数から十数のエミッタ抵抗が存在している。半導体試験回路601, 701では、ドライバー610の出力インピーダンスを0と仮定しているため、半導体試験回路601, 701は、ドライバー610内のエミッタ抵抗の存在により、図9および図10の論理にしたがった正確な比較処理を行なうことができず、試験対象装置620の欠陥の有無を正確に判断することができないという問題があった。

【0009】

また、図9に示した半導体試験回路601では、ドライバー610と出力抵抗612との間に、ドライバー610から出力された信号の出力電圧を検出する点Aを要する構成である。一方、トランジスタが接点の役目を行なうオープンコレクタ型ドライバーは、ドライバーから出力された信号の出力電圧を検出する点Aを持たない構成である。このため、半導体試験回路601におけるドライバー610にオープンコレクタ型ドライバーを適用することができず、半導体試験回路601は、適用できるドライバー構造が限定されるという問題があった。

20

【0010】

この発明は、上記した従来技術の欠点に鑑みてなされたものであり、試験対象装置と単一の伝送線を用いて電氣的に接続して試験対象装置の試験を行う場合、コンパレータにおける正確な比較処理を可能とする半導体試験装置を提供することを目的とする。

30

【課題を解決するための手段】

【0011】

上述した課題を解決し、目的を達成するために、この発明にかかる半導体試験装置は、試験パターンに対応する試験信号を生成して試験対象装置に出力する試験信号生成手段と、基準信号と前記試験信号とを合成した比較信号を生成する比較信号生成手段と、前記試験信号と該試験信号に応答して前記試験対象装置から出力された応答信号とを合成した合成信号に含まれる前記試験信号と、前記比較信号に含まれる前記試験信号とを相殺し前記応答信号と前記基準信号とを比較する比較手段と、を備え、前記比較手段の比較結果をもとに前記試験対象装置に欠陥があるか否かを判断することを特徴とする。

【0012】

また、この発明にかかる半導体試験装置は、前記試験信号生成手段と前記試験対象装置とは、単一の伝送線によって電氣的に接続されていることを特徴とする。

40

【0013】

また、この発明にかかる半導体試験装置は、前記試験信号生成手段は、前記試験信号を生成するドライバーと、前記伝送線側のインピーダンスと当該半導体試験装置側のインピーダンスとを整合する出力抵抗と、を備えたことを特徴とする。

【0014】

また、この発明にかかる半導体試験装置は、前記比較信号生成手段は、前記基準信号と前記試験信号とを重畳した信号を生成するレプリカドライバーを備え、前記比較信号生成手段は、前記レプリカドライバーが生成した信号を除算し、該除算した値を前記比較信号

50

として出力することを特徴とする。

【0015】

また、この発明にかかる半導体試験装置は、前記除算は、複数の抵抗を用いた分圧回路によって行なわれることを特徴とする。

【0016】

また、この発明にかかる半導体試験装置は、前記抵抗の抵抗値は、前記レプリカドライバが生成した信号の電流値に対応して増減されることを特徴とする。

【0017】

また、この発明にかかる半導体試験装置は、前記比較信号生成手段は、前記基準信号と前記試験信号とを重畳した信号を除算し、該除算した信号を前記比較信号として出力するレプリカドライバを備えたことを特徴とする。

10

【0018】

また、この発明にかかる半導体試験装置は、前記比較信号生成手段は、複数の前記レプリカドライバを備えたことを特徴とする。

【0019】

また、この発明にかかる半導体試験方法は、試験対象装置に欠陥があるか否かを判断する半導体試験方法において、試験パターンに対応する試験信号を生成して前記試験対象装置に出力する試験信号生成ステップと、基準信号と前記試験信号とを合成した比較信号を生成する比較信号生成ステップと、前記試験信号と該試験信号にตอบสนองして前記試験対象装置から出力された応答信号とを合成した合成信号に含まれる前記試験信号と、前記比較信号に含まれる前記試験信号とを相殺し前記応答信号と前記基準信号とを比較する比較ステップと、前記比較ステップにおける比較結果をもとに前記試験対象装置に欠陥があるか否かを判断する判断ステップと、を含むことを特徴とする。

20

【発明の効果】

【0020】

本発明にかかる半導体試験装置によれば、試験パターンに対応する試験信号を生成して試験対象装置に出力する試験信号出力手段と、基準信号と試験信号とを合成した比較信号を生成する比較信号出力手段とを備え、比較手段は、試験信号と該試験信号にตอบสนองして試験対象装置から出力された応答信号とを合成した信号と、比較信号とを入力され、合成信号に含まれる試験信号と比較信号に含まれる試験信号とを相殺しつつ応答信号と基準信号とを比較するため、応答信号と基準信号とを比較する比較処理を正確に行なうことができ、試験対象装置の欠陥を正確に検出することができる。

30

【発明を実施するための最良の形態】

【0021】

以下、図面を参照して、この発明の実施の形態である半導体試験装置について説明する。なお、この実施の形態によりこの発明が限定されるものではない。また、図面の記載において、同一部分には同一の符号を付している。

【0022】

まず、実施の形態にかかる半導体試験装置について説明する。本実施の形態にかかる半導体試験装置では、基準信号と試験信号とを合成した比較信号を入力することによって、コンパレータにおける比較の際に、試験信号と応答信号とを合成した合成信号に含まれる試験信号と比較信号に含まれる試験信号とを相殺できるようにし、基準信号と応答信号とのみを直接比較する。図1は、本実施の形態にかかる半導体試験装置の概略構成を示すブロック図である。

40

【0023】

図1において、本実施の形態にかかる半導体試験装置10は、試験パターン入力部12と半導体試験回路101と欠陥判断部13と出力部14と制御部15とを備える。一般に、半導体試験装置10は、半導体試験回路101を複数備え、半導体試験回路101ごとに試験対象装置20の各ノードがそれぞれ単一の伝送線30で結線されている。

【0024】

50

試験パターン入力部 12 は、半導体試験回路 101 に対して所定の試験パターンを入力する。半導体試験回路 101 は、入力された試験パターンに対応する試験信号を生成して試験対象装置 20 に出力し、この試験信号に应答して試験対象装置 20 から出力された応答信号を基準信号と比較した後、比較結果を欠陥判断部 13 に対して出力する。半導体試験回路 101 は、試験対象装置 20 から出力された応答信号と基準信号とが不一致である場合に、エラー信号を出力する。欠陥判断部 13 は、半導体試験回路 101 から出力された比較結果をもとに、試験対象装置 20 に欠陥があるか否かを判断し、判断結果を制御部 15 に出力する。出力部 14 は、欠陥判断部 13 の判断結果を含む各種情報を出力する。制御部 15 は、所定の処理プログラムを記憶する ROM、RAM および、処理プログラムを実行する CPU などによって実現され、試験パターン入力部 12 と半導体試験回路 101 と欠陥判断部 13 と出力部 14 とにおける各処理または動作を制御する。

10

## 【0025】

つぎに、図 1 に示す半導体試験回路 101 の回路構成および処理動作について説明する。図 2 は、図 1 に示す半導体試験回路 101 の構造を示した図である。図 2 に示すように、半導体試験回路 101 は、ドライバー 110 と、ドライバー 110 と伝送線 30 との間に設けられた出力抵抗 112 と、ドライバー 110 と並列接続されるレプリカドライバー 120, 130 と、レプリカドライバー 120 の出力側に直列接続された抵抗 122a, 122b と、レプリカドライバー 130 の出力側に直列接続された抵抗 132a, 132b と、抵抗 122a および抵抗 122b が接続する点 b1 からの信号  $S_{b1}$  と出力抵抗 112 および伝送線 30 が接続する点 b から信号  $S_b$  の反転信号とを比較するコンパレータ 141 と、抵抗 132a および抵抗 132b が接続する点 b2 からの信号  $S_{b2}$  の反転信号と信号  $S_b$  とを比較するコンパレータ 142 とを備える。

20

30

## 【0026】

ドライバー 110 は、入力された試験パターンがハイレベルである場合には、図 2 に示す点 a に対して電圧  $V_{IH}$  に対応する試験信号を出力し、入力された試験パターンがローレベルである場合には、点 a に対して電圧  $V_{IL}$  に対応する試験信号を出力する。ドライバー 110 は、伝送線 30 によって、試験対象装置 20 と電氣的に接続されており、ドライバー 110 が生成した試験信号  $S_a$  は、出力抵抗 112 および伝送線 30 を介して試験対象装置 20 に出力される。この試験信号  $S_a$  に应答して試験対象装置 20 から出力された応答信号  $S_u$  と試験信号  $S_a$  とを分圧した信号  $S_b$  がコンパレータ 141 の負入力部およびコンパレータ 142 の正入力部に入力される。なお、出力抵抗 112 は、伝送線 30 側のインピーダンスと、半導体試験回路 101 側のインピーダンスとを整合し、出力抵抗 112 の抵抗値  $R_0$  と、伝送線 30 の特性インピーダンスの実部抵抗値  $Z_0$  とは等しい。また、マッチング抵抗 32 は、伝送線 30 側のインピーダンスと試験対象装置 20 側のインピーダンスとを整合し、マッチング抵抗 32 の抵抗値  $R_s$  と試験対象装置 20 の出力抵抗 24 の抵抗値  $R_u$  との和は、伝送線 30 のインピーダンスの実部抵抗値  $Z_0$  と等しい。

## 【0027】

レプリカドライバー 120, 130 は、試験パターン入力部 12 から入力された試験パターンに対応する試験信号と所定の基準信号とを重畳した信号を出力する。抵抗 122a, 122b は、レプリカドライバー 120 から出力された信号  $S_{a1}$  を分圧する分圧回路であり、抵抗 132a, 132b は、レプリカドライバー 130 から出力された信号  $S_{a2}$  を分圧する分圧回路である。抵抗 122a, 122b, 132a, 132b の抵抗値は、出力抵抗 112 の抵抗値  $R_0$  と同値である。

40

## 【0028】

レプリカドライバー 120 は、入力された試験パターンがハイレベルである場合には、図 2 に示す点 a1 に対して電圧 ( $V_{IH} + V_{OH}$ ) に対応する信号を出力し、入力された試験パターンがローレベルである場合には、点 a1 に対して電圧 ( $V_{IL} + V_{OH}$ ) に対応する信号を出力する。抵抗 122a, 122b を用いた分圧回路は、レプリカドライバー 120 から出力された試験信号と所定の基準信号とを重畳した信号  $S_{a1}$  を除算し、この除算した信号  $S_{b1}$  が比較信号としてコンパレータ 141 の正入力部に入力される。

50

## 【0029】

レプリカドライバー130は、入力された試験パターンがハイレベルである場合には、図2に示す点a2に対して電圧(VIH + VOL)に対応する信号を出力し、入力された試験パターンがローレベルである場合には、点a2に対して電圧(VIL + VOL)に対応する信号を出力する。抵抗132a, 132bを用いた分圧回路は、レプリカドライバー130から出力された試験信号と所定の基準信号とを重畳した信号Sa<sub>2</sub>を除算し、この除算した信号Sb<sub>2</sub>が比較信号としてコンパレータ142の負入力部に入力される。

## 【0030】

コンパレータ141, 142には、一方の入力部に、試験信号と該試験信号に应答して試験対象装置20から出力された应答信号とを分圧した信号Sbが入力され、他方の入力部に、基準信号と試験信号とを重畳した信号を除算した信号Sb<sub>1</sub>, Sb<sub>2</sub>がそれぞれ入力される。コンパレータ141, 142は、信号Sbに含まれる試験信号と信号Sb<sub>1</sub>, Sb<sub>2</sub>に含まれる試験信号とを相殺し应答信号と基準信号とのみを直接比較する。このため、コンパレータ141, 142は、ドライバー110から出力される試験信号に関係なく、应答信号と基準信号とを比較することができる。

10

## 【0031】

さらに、コンパレータ141, 142において、どのように試験信号が相殺されるかを詳細に説明する。まず、半導体試験回路101に試験パターン入力部12から試験パターンが入力される。図2に示すように、試験パターン入力部12から入力された試験パターンは、ドライバー110と、レプリカドライバー120と、レプリカドライバー130と

20

## 【0032】

試験パターンがハイレベルである場合、ドライバー110は、電圧VIHに対応する試験信号を点aに対して出力する。このため、点aに出力された試験信号Saの電圧Vaは

$$V_a = V_{IH} \quad \dots (1)$$

となる。レプリカドライバー120は、電圧(VIH + VOH)に対応する信号を点a1に対して出力する。このため、点a1に出力された信号Sa<sub>1</sub>の電圧Va<sub>1</sub>は、

$$V_{a1} = V_{IH} + V_{OH} \quad \dots (2)$$

となる。レプリカドライバー130は、電圧(VIH + VOL)に対応する信号を点a2に対して出力する。このため、点a2に出力された信号Sa<sub>2</sub>の電圧Va<sub>2</sub>は、

$$V_{a2} = V_{IH} + V_{OL} \quad \dots (3)$$

30

## 【0033】

また、試験パターンがローレベルである場合、ドライバー110は、電圧VILに対応する試験信号を点aに対して出力する。このため、点aに出力された試験信号Saの電圧Vaは、

$$V_a = V_{IL} \quad \dots (4)$$

となる。レプリカドライバー120は、電圧(VIL + VOH)に対応する信号を点a1に対して出力する。このため、点a1に出力された信号Sa<sub>1</sub>の電圧Va<sub>1</sub>は、

$$V_{a1} = V_{IL} + V_{OH} \quad \dots (5)$$

となる。レプリカドライバー130は、電圧(VIL + VOL)に対応する信号を点a2に対して出力する。このため、点a2に出力された信号Sa<sub>2</sub>の電圧Va<sub>2</sub>は、

$$V_{a2} = V_{IL} + V_{OL} \quad \dots (6)$$

40

## 【0034】

試験対象装置20では、送受信部22は、ドライバー110から出力された試験信号を受け、点uに電圧Vuに対応する应答信号Suを出力する。この应答信号Suは、出力抵抗24、マッチング抵抗32および伝送線30を介して半導体試験回路101に出力されることとなる。

50

## 【0035】

ここで、出力抵抗112の抵抗値 $R_0$ と伝送線30のインピーダンスの実部抵抗値 $Z_0$ とマッチング抵抗32の抵抗値 $R_s$ と出力抵抗24の抵抗値 $R_u$ との間では、前述したように以下の関係を有する。

$$Z_0 = R_0 = R_s + R_u \quad \dots (7)$$

このように、伝送線30の両端のインピーダンスは整合しているため、伝送線30による遅延時間を無視すれば、点c1に位置する信号の電圧値と点c2に位置する信号の電圧値とは等しい。

## 【0036】

また、点bからコンパレータ141, 142方向に分岐した信号 $S_b$ の電圧 $V_b$ は、点aに出力された試験信号 $S_a$ の電圧 $V_a$ と点uに出力された応答信号 $S_u$ の電圧 $V_u$ との分圧であるため、伝送線30における遅延を無視した場合、

$$V_b = (V_a + V_u) / 2 \quad \dots (8)$$

となる。この電圧 $V_b$ に対応する信号 $S_b$ は、コンパレータ141の負入力部およびコンパレータ142の正入力部に入力されることとなる。

## 【0037】

また、抵抗122a, 122bは分圧回路として機能し、抵抗122a, 122bの抵抗値は同値である。このため、点b1からコンパレータ141に分岐した信号 $S_{b1}$ の電圧 $V_{b1}$ は、点a1に出力された信号 $S_{a1}$ の電圧 $V_{a1}$ を2で除算した値となる。したがって、

$$V_{b1} = V_{a1} / 2 \quad \dots (9)$$

である。この電圧 $V_{b1}$ に対応する信号 $S_{b1}$ は、コンパレータ141の正入力部に入力される。

## 【0038】

また、抵抗132a, 132bは分圧回路として機能し、抵抗132a, 132bの抵抗値は同値である。このため、点b2からコンパレータ142に分岐した信号 $S_{b2}$ の電圧 $V_{b2}$ は、点a2に出力された信号 $S_{a2}$ の電圧 $V_{a2}$ を2で除算した値となる。したがって、

$$V_{b2} = V_{a2} / 2 \quad \dots (10)$$

である。この電圧 $V_{b2}$ に対応する信号 $S_{b2}$ は、コンパレータ142の負入力部に入力される。

## 【0039】

さらに、上記の(1)式~(10)式をもとに、各信号の関係について詳細に説明する。まず、試験パターンがハイレベルである場合について説明する。この場合、(1)式および(8)式より、

$$V_b = (V_{IH} + V_u) / 2 \quad \dots (11)$$

が求められる。また、(2)式および(9)式より、

$$V_{b1} = (V_{IH} + V_{OH}) / 2 \quad \dots (12)$$

が求められる。また、(3)式および(10)式より、

$$V_{b2} = (V_{IH} + V_{OL}) / 2 \quad \dots (13)$$

が求められる。

## 【0040】

また、試験パターンがローレベルである場合、(4)式および(8)式より、

$$V_b = (V_{IL} + V_u) / 2 \quad \dots (14)$$

が求められる。また、(5)式および(9)式より、

$$V_{b1} = (V_{IL} + V_{OH}) / 2 \quad \dots (15)$$

が求められる。また、(6)式および(10)式より、

$$V_{b2} = (V_{IL} + V_{OL}) / 2 \quad \dots (16)$$

が求められる。

## 【0041】

10

20

30

40

50

このように、(11)式および(14)式より、コンパレータ141の負入力部およびコンパレータ142の正入力部には、試験信号と応答信号とを合成した信号 $S_b$ が入力される。また、(12)式および(15)式より、レプリカドライバ120および抵抗122a, 122bは、レプリカドライバ120が出力した基準信号と試験信号とを重畳した信号を2で除算し、この除算した信号 $S_{b_1}$ をコンパレータ141の正入力部に入力する。また、(13)式および(16)式より、レプリカドライバ130および抵抗132a, 132bは、レプリカドライバ130が出力した基準信号と試験信号とを重畳した信号を2で除算し、この除算した信号 $S_{b_2}$ をコンパレータ142の負入力部に入力する。

【0042】

10

ここで、コンパレータ141, 142は、正入力部から入力された信号の信号レベルが負側入力部から入力された信号の信号レベルよりも高い場合、ハイレベルであるエラー信号を出力し、正入力部から入力された信号の信号レベルが負入力部から入力された信号の信号レベルよりも低い場合、ローレベルであるエラー信号を出力する。

【0043】

コンパレータ141では、正入力部に入力された信号 $S_{b_1}$ の電圧は $V_{b_1}$ であり、負入力部に入力された信号 $S_b$ の電圧は $V_b$ である。このため、試験パターンがハイレベルまたはローレベルのいずれかに関係なく、(11)式、(12)式、(14)式および(15)式により、

$$V_{b_1} - V_b = (V_{OH} - V_u) / 2 \quad \dots (17)$$

20

となる。

【0044】

したがって、コンパレータ141の正入力部に入力された信号 $S_{b_1}$ に含まれる試験信号 $V_{IH}$ ,  $V_{IL}$ とコンパレータ141の負入力部に入力された信号 $S_b$ に含まれる試験信号 $V_{IH}$ ,  $V_{IL}$ とは相殺されることとなる。このため、コンパレータ141は、正入力部に入力された信号 $S_{b_1}$ に含まれる基準信号 $V_{OH}$ と、負入力部に入力された信号 $S_b$ に含まれる応答信号 $V_u$ とのみを比較することができる。

【0045】

この結果、コンパレータ141では、 $V_{b_1} - V_b > 0$ のとき、すなわち、 $V_{OH} - V_u > 0$ のとき、ハイレベルであるエラー信号を出力し、 $V_{b_1} - V_b < 0$ のとき、すなわち、 $V_{OH} - V_u < 0$ のとき、ローレベルであるエラー信号を出力する。

30

【0046】

一方、コンパレータ142では、正入力部に入力された信号 $S_b$ の電圧 $V_b$ であり、負入力部に入力された信号 $S_{b_2}$ の電圧 $V_{b_2}$ である。このため、試験パターンがハイレベルまたはローレベルのいずれかに関係なく、(11)式、(13)式、(14)式および(16)式より、

$$V_b - V_{b_2} = (V_u - V_{OL}) / 2 \quad \dots (18)$$

となる。

【0047】

したがって、コンパレータ141と同様に、コンパレータ142の正入力部に入力された信号 $S_b$ に含まれる試験信号 $V_{IH}$ ,  $V_{IL}$ とコンパレータ142の負入力部に入力された信号 $S_{b_2}$ に含まれる試験信号 $V_{IH}$ ,  $V_{IL}$ とは相殺されることとなる。このため、コンパレータ142は、正入力部に入力された信号 $S_b$ に含まれる応答信号 $V_u$ と、負入力部に入力された信号 $S_{b_2}$ に含まれる基準信号 $V_{OL}$ とのみを比較することができる。

40

【0048】

この結果、コンパレータ142では、 $V_b - V_{b_2} > 0$ のとき、すなわち、 $V_u - V_{OL} > 0$ のとき、ハイレベルであるエラー信号を出力し、 $V_b - V_{b_2} < 0$ のとき、すなわち、 $V_u - V_{OL} < 0$ のとき、ローレベルであるエラー信号を出力する。

【0049】

50

このように、コンパレータ141, 142は、試験対象装置20から出力された応答信号の電圧 $V_u$ と、基準信号の電圧 $V_{OH}$ ,  $V_{OL}$ とを比較することとなる。すなわち、コンパレータ141, 142では、ドライバー110が出力する試験信号 $V_{IH}$ ,  $V_{IL}$ に関係なく、試験対象装置20から出力された応答信号 $V_u$ と基準信号 $V_{OH}$ ,  $V_{OL}$ とを比較することができる。

#### 【0050】

本実施の形態では、単一の伝送線30を用いて半導体試験回路101と試験対象装置20とを電氣的に接続する方式にも関わらず、ドライバー110から出力された試験信号に関係なく試験対象装置20から出力された応答信号と基準信号とを比較することができる。このため、本実施の形態における半導体試験回路101では、信号の方向切り換え時に伝送線30の信号の往復時間を考慮した待機時間を設ける必要がなく、迅速に試験対象装置20の欠陥検出を行なうことができる。また、本実施の形態では、単一の伝送線30を介して半導体試験回路101と試験対象装置20とを電氣的に接続しているため、従来のデュアルトランスミッション結線方式を採用した場合と比較し、簡易な構成である半導体試験回路101を実現することができる。また、本実施の形態によれば、複数の伝送線を介さないため、試験対象装置20の駆動能力に関わらず適用することが可能となる。

10

#### 【0051】

また、従来技術にかかる半導体試験回路601, 701では、減算回路616を備える。減算処理精度の高いアナログ減算回路の実現は困難であったため、従来技術にかかる半導体試験回路601, 701では、演算処理適用できる電圧範囲が狭いうえ、精度が高い演算処理および迅速な演算処理を行なうことができなかった。

20

#### 【0052】

これに対し、本実施の形態における半導体試験回路101は、減算回路を備えていない。すなわち、半導体試験回路101の演算処理では、処理精度の高い演算処理の実現が困難である減算処理を経る必要がない。したがって、半導体回路101によれば、従来技術にかかる半導体試験回路601, 701と比較し、演算精度が高く、処理速度が速いうえに、広い電圧範囲における半導体装置の試験への適用が可能となる。また、本実施の形態における半導体試験回路101は、減算回路を備えていないため、回路サイズを小さくすることができる。

#### 【0053】

また、本実施の形態における半導体回路101では、従来技術にかかる半導体回路601と比較し、ドライバー110の電圧を検出する点Aを有しない。このため、半導体回路101では、図2におけるドライバー110として、図3に示したオープンコレクタ型ドライバー110aを適用することができる。したがって、本実施の形態1における半導体回路101では、従来技術にかかる半導体回路601と比較し、ドライバー110として適用できるドライバー構造の限定が少ない。

30

#### 【0054】

また、図4に示すように、ドライバー110に抵抗値 $R_i$ である内部抵抗110bが含まれていた場合には、抵抗値が $(R_0 - R_i)$ である出力抵抗112aを備えることによって、図2に示す半導体試験回路101と同等の演算処理を行なう回路とすることができる。また、レプリカドライバー120, 130に内部抵抗が含まれていた場合も同様に、レプリカドライバー120, 130と直列接続する抵抗122a, 132aの抵抗値を、抵抗値 $R_0$ からレプリカドライバー120, 130の内部抵抗をそれぞれ減じた値とすればよい。このように、本実施の形態では、ドライバー110およびレプリカドライバー120, 130内にエミッタ抵抗などの内部抵抗が存在している場合であっても、出力抵抗110および抵抗122a, 132aの抵抗値を調整することによって、コンパレータ141, 142における比較処理を正確に行なうことが可能となる。

40

#### 【0055】

なお、半導体試験回路101における、ドライバー110、レプリカドライバー120, 130、出力抵抗112、抵抗122a, 122b, 132a, 132bは、同一IC

50

内に作成してもよく、また、複数の IC 内に作成してもよい。

【 0 0 5 6 】

( 変形例 1 )

つぎに、本実施の形態における半導体試験回路の変形例 1 について説明する。図 5 は、変形例 1 における半導体試験回路の構造を示した図である。図 5 に示すように、変形例 1 における半導体試験回路 2 0 1 は、図 2 に示す半導体試験回路 1 0 1 が有するレプリカドライバ 1 2 0 , 1 3 0 に代えてレプリカドライバ 2 2 0 , 2 3 0 を備え、半導体試験回路 1 0 1 が有する抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b を削除した構成である。

【 0 0 5 7 】

レプリカドライバ 2 2 0 は、図 5 に示す点 b 2 1 に対して、入力された試験パターンがハイレベルである場合、電圧  $(V_{IH} + V_{OH}) / 2$  に対応する信号を出力し、入力された試験パターンがローレベルである場合、電圧  $(V_{IL} + V_{OH}) / 2$  に対応する信号を出力する。また、レプリカドライバ 2 3 0 は、図 5 に示す点 b 2 2 に対して、入力された試験パターンがハイレベルである場合、電圧  $(V_{IH} + V_{OL}) / 2$  に対応する信号を出力し、入力された試験パターンがローレベルである場合、電圧  $(V_{IL} + V_{OL}) / 2$  に対応する信号を出力する。したがって、レプリカドライバ 2 2 0 , 2 3 0 は、基準信号と試験信号とを重畳した信号を除算し、比較信号として出力するため、除算処理を行う抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b を備える必要がない。

10

20

【 0 0 5 8 】

この結果、半導体試験回路 2 0 1 では、コンパレータ 1 4 1 , 1 4 2 に入力される信号は、図 2 に示す半導体試験回路 1 0 1 と同様であるため、コンパレータ 1 4 1 , 1 4 2 は、入力された信号 S b および信号 S b<sub>21</sub> または信号 S b<sub>22</sub> に含まれる試験信号を相殺しつつ基準信号と応答信号とを直接比較することができる。さらに、本変形例 1 における半導体試験回路 2 0 1 によれば、半導体試験回路 1 0 1 と比較し、抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b を削除した簡易な回路構成を実現することができる。

【 0 0 5 9 】

( 変形例 2 )

つぎに、本実施の形態における半導体試験回路の変形例 2 について説明する。図 6 は、変形例 2 における半導体試験回路の構造を示した図である。図 6 に示す変形例 2 における半導体試験回路 3 0 1 は、図 2 に示す半導体試験装置 1 0 1 が有するレプリカドライバ 1 2 0 , 1 3 0 に代えてレプリカドライバ 3 2 0 , 3 3 0 を備え、半導体試験装置 1 0 1 が有する抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b に代えて抵抗 3 2 2 a , 3 2 2 b , 3 3 2 a , 3 3 2 b を備える。

30

【 0 0 6 0 】

レプリカドライバ 3 2 0 , 3 3 0 の最終段のトランジスタは、図 2 に示す半導体試験回路 1 0 1 におけるレプリカドライバ 1 2 0 , 1 3 0 の最終段のトランジスタと比較し、 $1/N$  のサイズである。すなわち、レプリカドライバ 3 2 0 , 3 3 0 の最終段のトランジスタの数量は、図 2 におけるレプリカドライバ 1 2 0 , 1 3 0 の最終段のトランジスタの数量と比較し、 $1/N$  となる。なお、レプリカドライバ 3 2 0 , 3 3 0 から出力される信号の電圧値は、図 2 におけるレプリカドライバ 1 2 0 , 1 3 0 と同値である。また、図 6 に示す抵抗 3 2 2 a , 3 2 2 b , 3 3 2 a , 3 3 2 b の抵抗値は、図 2 における抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b の抵抗値の  $N$  倍としている。この結果、レプリカドライバ 3 2 0 , 3 3 0 から出力される信号の電流値は、図 2 におけるレプリカドライバ 1 2 0 , 1 3 0 から出力される信号の電流値の  $1/N$  となる。

40

【 0 0 6 1 】

このため、半導体試験回路 3 0 1 では、抵抗 3 2 2 a , 3 3 2 a を介した信号は、半導体試験回路 1 0 1 において抵抗 1 2 2 a , 1 3 2 a を介した信号と同様の波形を示す。たとえば、試験パターンがハイレベルである場合、図 6 に示す点 b 3 1 からコンパレータ 1

50

4 1 に分岐した信号  $S_{b_{31}}$  の電圧  $V_{b_{31}}$  は、 $( (V_{IH} + V_{OH}) / 2 )$  であり、点  $b_{32}$  からコンパレータ 1 4 2 に分岐した信号  $S_{b_{32}}$  の電圧  $V_{b_{32}}$  は、 $( (V_{IH} + V_{OL}) / 2 )$  となる。

【0062】

このように、レプリカドライバ 3 2 0 , 3 3 0 から出力される信号の電流値に対応させて、抵抗 3 2 2 a , 3 2 2 b , 3 3 2 a , 3 3 2 b の抵抗値を増減させた場合も、半導体試験回路 3 0 1 では、コンパレータ 1 4 1 , 1 4 2 に入力される信号は、図 2 に示す半導体試験回路 1 0 1 と同様であるため、コンパレータ 1 4 1 , 1 4 2 は、入力された信号  $S_b$  および信号  $S_{b_{31}}$  または信号  $S_{b_{32}}$  に含まれる試験信号を相殺しつつ基準信号と応答信号とを直接比較することができる。さらに、本変形例 2 における半導体試験回路 3 0 1 10  
では、レプリカドライバ 3 2 0 , 3 3 0 の最終段のトランジスタサイズが、図 2 に示すレプリカドライバ 1 2 0 , 1 3 0 の最終段のトランジスタサイズと比較し小さいため、レプリカドライバ 3 2 0 , 3 3 0 における消費電力の削減を実現することが可能となる。したがって、本変形例 2 における半導体試験回路 3 0 1 によれば、半導体試験回路 1 0 1 と比較し、半導体試験回路 3 0 1 全体において消費される消費電力の削減を図ることができる。

【0063】

(変形例 3)

つぎに、本実施の形態における半導体試験回路の変形例 3 について説明する。図 7 は、変形例 3 における半導体試験回路の構造を示した図である。図 7 に示す変形例 3 における半導体試験回路 4 0 1 は、図 2 に示す半導体試験回路 1 0 1 と比較し、加算回路 4 2 4 , 4 2 6 , 4 3 4 , 4 3 6 をさらに備える。半導体試験回路 4 0 1 では、 $V_{IH}$  ,  $V_{IL}$  ,  $V_{OH}$  ,  $V_{OL}$  である電圧がそれぞれ与えられ、レプリカドライバ 4 2 0 , 4 3 0 から出力される信号を半導体試験回路 4 0 1 内部でアナログ演算させて発生させている。 20

【0064】

この場合、レプリカドライバ 4 2 0 は、試験パターンがハイレベルの場合、電圧  $V_{IH}$  と電圧  $V_{OH}$  とが加算回路 4 2 4 において加算されるため、電圧  $(V_{IH} + V_{OH})$  に対応する信号を出力する。また、レプリカドライバ 4 2 0 は、試験パターンがローレベルである場合、加算回路 4 2 6 の加算処理を介することによって、電圧  $(V_{IL} + V_{OH})$  に対応する信号を出力する。同様に、レプリカドライバ 4 3 0 は、試験パターンがハイレベルである場合、加算回路 4 3 4 の加算処理を介することによって、電圧  $(V_{IH} + V_{OL})$  に対応する信号を出力し、試験パターンがローレベルである場合、加算回路 4 3 6 の加算処理を介することによって、電圧  $(V_{IL} + V_{OL})$  に対応する信号を出力する。また、レプリカドライバ 4 2 0 , 4 3 0 から出力された信号は、抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b によって、2 で除算され、この除算した信号が比較信号としてコンパレータ 1 4 1 , 1 4 2 に入力される。 30

【0065】

したがって、半導体試験回路 4 0 1 では、コンパレータ 1 4 1 , 1 4 2 に入力される信号は、図 2 に示す半導体試験回路 1 0 1 と同様であるため、コンパレータ 1 4 1 , 1 4 2 は、入力された信号に含まれる試験信号を相殺しつつ基準信号と応答信号とを直接比較することができる。 40

【0066】

また、変形例 3 として、図 8 に示すように、半導体試験回路 4 0 1 と比較し、除算回路 5 2 3 , 5 2 5 , 5 3 3 , 5 3 5 をさらに備え、抵抗 1 2 2 a , 1 2 2 b , 1 3 2 a , 1 3 2 b を削除した構成である半導体試験回路 5 0 1 としてもよい。

【0067】

この場合、レプリカドライバ 5 2 0 は、試験パターンがハイレベルである場合、除算回路 5 2 3 を介することによって、電圧  $( (V_{IH} + V_{OH}) / 2 )$  に対応する信号を出力し、試験パターンがローレベルである場合、除算回路 5 2 5 を介することによって、電圧  $( (V_{IL} + V_{OH}) / 2 )$  に対応する信号を出力する。同様に、レプリカドライバ 50

530は、試験パターンがハイレベルである場合、除算回路533を介することによって、電圧 $(V_{IH} + V_{OL}) / 2$ に対応する信号を出力し、試験パターンがローレベルである場合、除算回路535を介することによって、電圧 $(V_{IL} + V_{OL}) / 2$ に対応する信号を出力する。このように、レプリカドライバ520, 530から出力された信号は、基準信号と試験信号とを重畳した信号を2で除算したものであるため、除算処理を行う抵抗122a, 122b, 132a, 132bを備える必要がない。

【0068】

したがって、半導体試験回路501では、コンパレータ141, 142に入力される信号は、図2に示す半導体試験回路101と同様であるため、コンパレータ141, 142は、試験信号を相殺しつつ基準信号と応答信号とを比較することができる。さらに、図8に示す半導体試験回路501によれば、図7に示す半導体試験回路401と比較し、抵抗122a, 122b, 132a, 132bを削除した回路構成を実現することができる。

10

【図面の簡単な説明】

【0069】

【図1】実施の形態1にかかる半導体試験装置の概略構成を示すブロック図である。

【図2】図1に示す半導体試験回路の構造を示した図である。

【図3】オープンコレクタ型ドライバの構造を示した図である。

【図4】図2に示すドライバに存在する内部抵抗を説明する図である。

【図5】変形例1における半導体試験回路の構造を示した図である。

【図6】変形例2における半導体試験回路の構造を示した図である。

20

【図7】変形例3における半導体試験回路の構造を示した図である。

【図8】変形例3における半導体試験回路の構造の他の例を示した図である。

【図9】従来技術における半導体試験回路の構造を示した図である。

【図10】従来技術における半導体試験回路の構造の他の例を示した図である。

【図11】図9に示すドライバに存在する内部抵抗を説明する図である。

【符号の説明】

【0070】

10 半導体試験装置

12 試験パターン入力部

13 欠陥判断部

30

14 出力部

15 制御部

20, 620 試験対象装置

22, 622 送受信部

24, 624 出力抵抗

30, 630 伝送線

32 マッチング抵抗

101, 201, 301, 401, 501, 601, 701 半導体試験回路

110, 610 ドライバ

110a オープンコレクタ型ドライバ

40

110b 内部抵抗

112, 112a, 612 出力抵抗

120, 130, 220, 230, 320, 330, 420, 430, 520, 530

レプリカドライバ

122a, 122b, 132a, 132b, 322a, 322b, 332a, 332b

抵抗

141, 142, 618, 619 コンパレータ

424, 426, 434, 436 加算回路

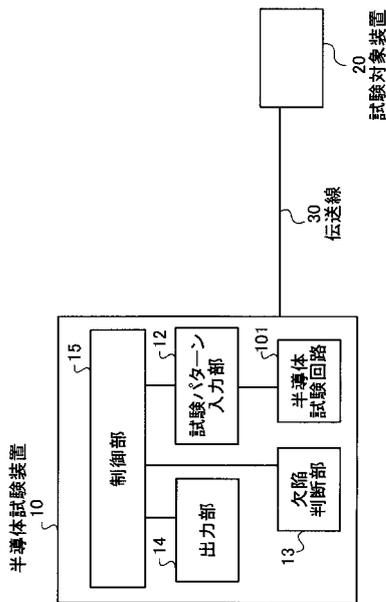
523, 525, 533, 535, 614 除算回路

610a プリドライバ

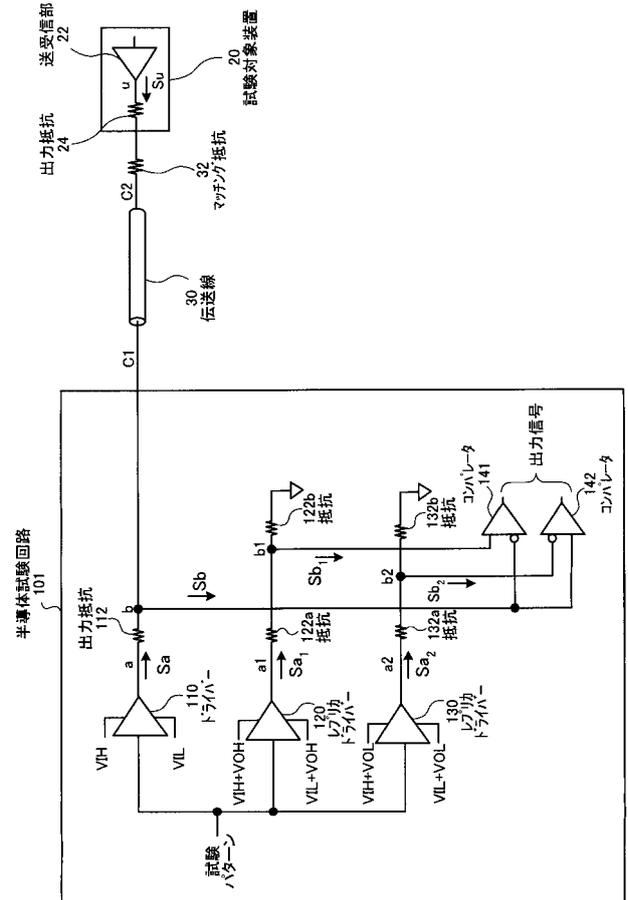
50

- 6 1 0 b 出力段
- 6 1 0 c , 6 1 0 d トランジスタ
- 6 1 6 減算回路
- 7 2 0 レプリカドライバー

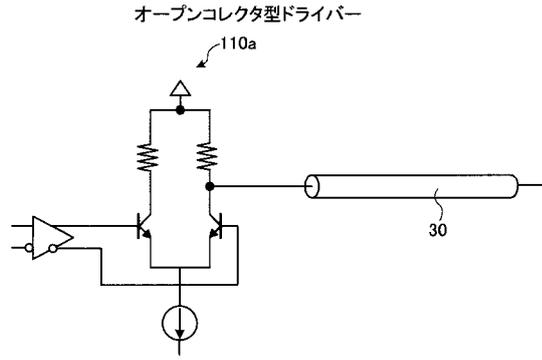
【 図 1 】



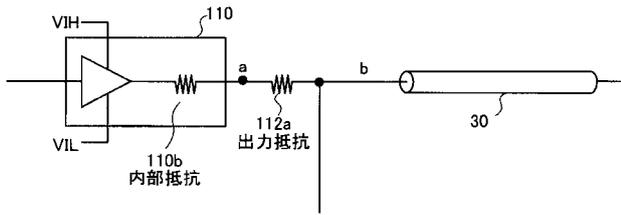
【 図 2 】



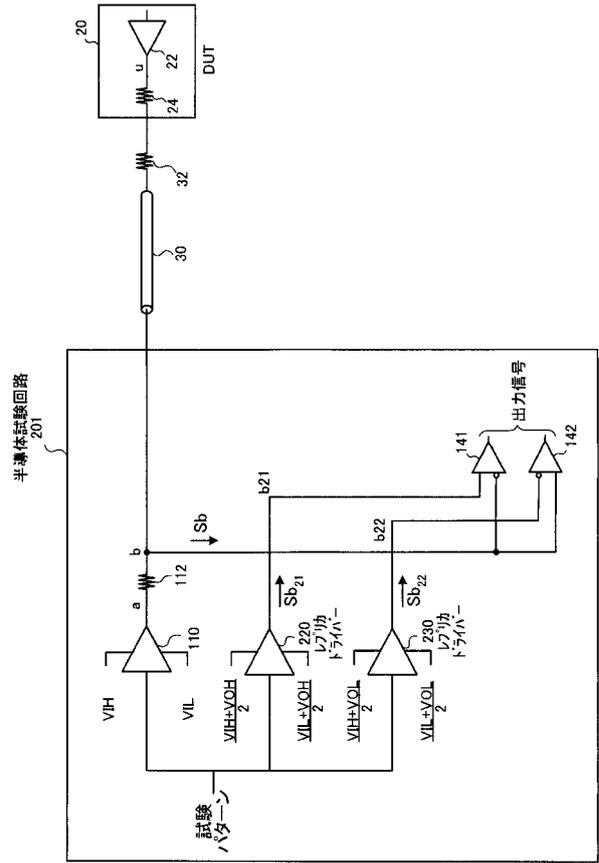
【 図 3 】



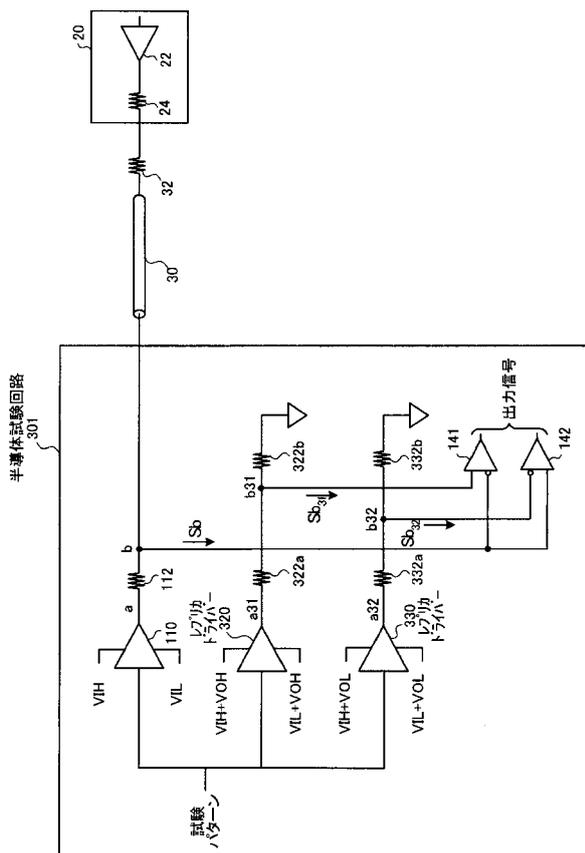
【 図 4 】



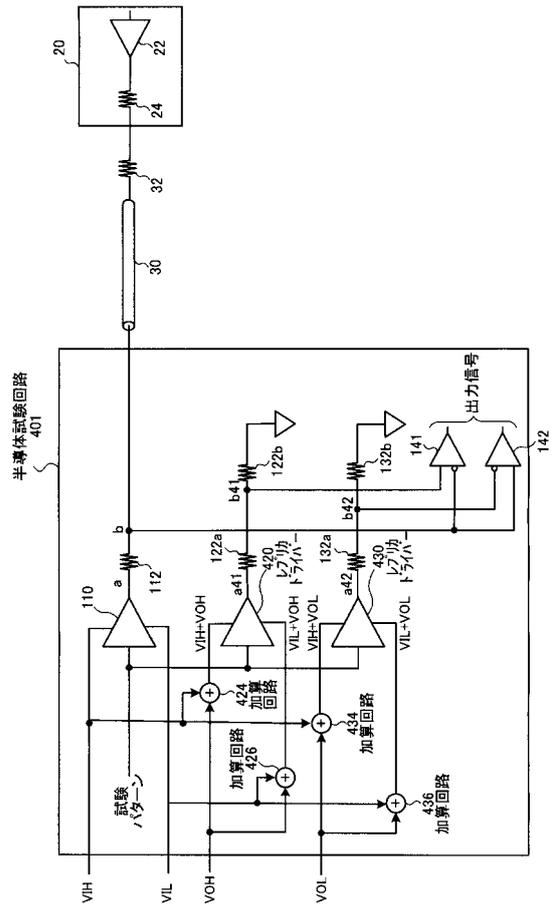
【 図 5 】



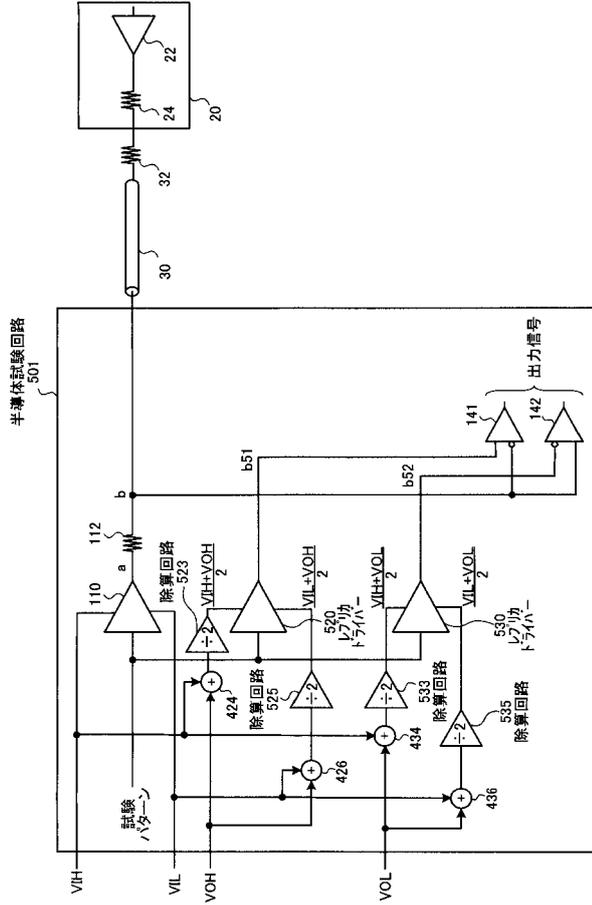
【 図 6 】



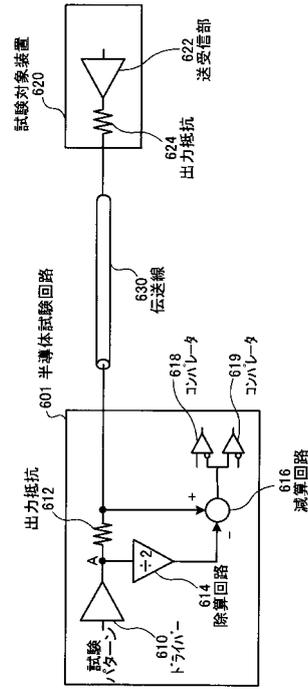
【 図 7 】



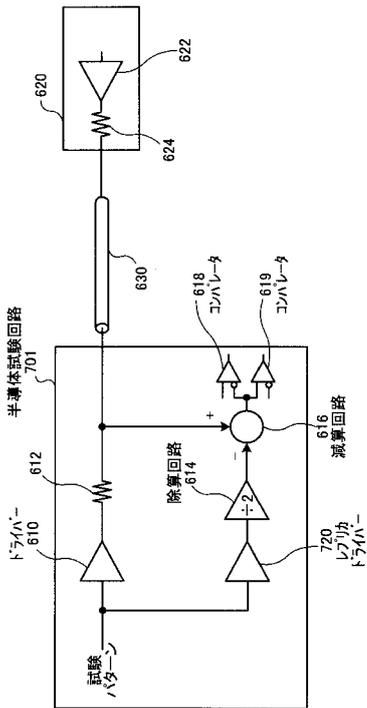
【 図 8 】



【 図 9 】



【 図 10 】



【 図 11 】

