



(12)发明专利申请

(10)申请公布号 CN 111599393 A

(43)申请公布日 2020.08.28

(21)申请号 201911225752.7

(22)申请日 2019.12.04

(30)优先权数据

16/281,699 2019.02.21 US

(71)申请人 桑迪士克科技有限责任公司

地址 美国得克萨斯州

(72)发明人 C.J.佩蒂 T-Y.刘 A.阿尔-沙马

Y.铤

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 邱军

(51)Int.Cl.

G11C 11/16(2006.01)

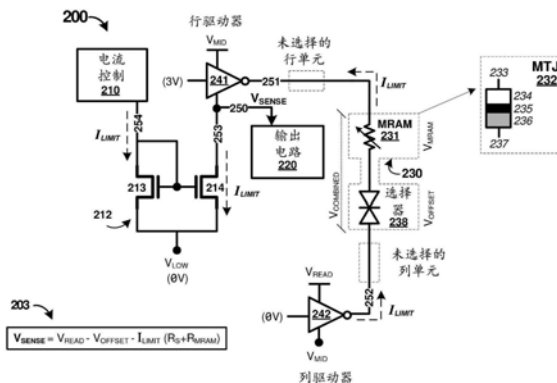
权利要求书4页 说明书11页 附图9页

(54)发明名称

具有选择器电压补偿的磁性随机存取存储器

(57)摘要

本发明题为“具有选择器电压补偿的磁性随机存取存储器。”本文提供了磁性随机存取存储器(MRAM)电路。在一个示例性具体实施中,MRAM电路包括耦合到与选择器元件串联的磁性隧道结(MTJ)元件的控制电路。所述控制电路被配置为当所述选择器元件处于导电状态下时调节通过所述选择器元件的电流。所述电路还包括补偿电路,所述补偿电路被配置为基于对通过所述选择器元件的电流的调节来补偿处于所述导电状态下的所述选择器元件上的偏置电压。输出电路也被配置为报告MTJ元件的磁化状态。



1. 一种电路,所述电路包括:

控制电路,所述控制电路耦合到与选择器元件串联的磁性隧道结(MTJ)元件,并且被配置为当所述选择器元件处于导电状态下时调节通过所述选择器元件的电流;

补偿电路,所述补偿电路被配置为基于对通过所述选择器元件的所述电流的调节来补偿处于所述导电状态下的所述选择器元件上的偏置电压;并且

输出电路,所述输出电路被配置为报告所述MTJ元件的磁化状态。

2. 根据权利要求1所述的电路,所述电路包括:

所述控制电路,所述控制电路被配置为发起至少两次电流调节,所述至少两次电流调节包括对通过所述选择器元件的电流的不同限制;并且

所述补偿电路,所述补偿电路被配置为利用在所述至少两次电流调节时计算的算术运算来补偿所述选择器元件上的所述偏置电压,以减小所述偏置电压的影响。

3. 根据权利要求2所述的电路,所述补偿电路包括:

电容器,所述电容器在第一端子处耦合到感测电压,所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;

开关元件,所述开关元件被配置为在所述两次电流调节中的第一次电流调节期间将所述电容器的第二端子耦合到基准电位,以根据所述感测电压对所述电容器充电;

所述开关元件被配置为在所述两次电流调节中的第二次电流调节之前使所述电容器与所述基准电位解耦合;并且

所述补偿电路被配置为从所述两次电流调节中的所述第一次电流调节中减去所述感测电压,并且从所述两次电流调节的所述第二次电流调节中减去所述感测电压,以减小所述选择器元件上的所述偏置电压的影响。

4. 根据权利要求2所述的电路,所述补偿电路包括:

第一开关元件,所述第一开关元件被配置为用由所述两次电流调节中的第一次电流调节产生的感测电压对第一电容器充电,其中所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;

第二开关元件,所述第二开关元件被配置为用由所述两次电流调节中的第二次电流调节所产生的所述感测电压对第二电容器充电;

读出电路,所述读出电路耦合到所述第一电容器和所述第二电容器,并且被配置为从存在于所述第二电容器上的电压减去存在于所述第一电容器上的电压,以减小所述选择器元件上的所述偏置电压的影响。

5. 根据权利要求1所述的电路,其中所述电流调节包括被引导穿过所述MTJ元件和所述选择器元件的斜坡电流,并且所述电路包括:

所述补偿电路,所述补偿电路被配置为通过在所述斜坡电流期间减去所述选择器元件上的所述偏置电压的影响来补偿所述选择器元件上的所述偏置电压。

6. 根据权利要求5所述的电路,所述补偿电路包括:

电容器,所述电容器耦合到感测电压,所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;

读出电路,所述读出电路被配置为基于在所述斜坡电流期间由所述感测电压感应通过所述电容器的电流来确定所述MTJ元件的所述磁化状态。

7. 根据权利要求6所述的电路,所述读出电路包括:

电流镜,所述电流镜与所述电容器串联连接,并且被配置为感测感应通过所述电容器的电流以确定所述MTJ元件的所述磁化状态。

8. 根据权利要求6所述的电路,所述读出电路包括:

电阻器,所述电阻器与所述电容器串联耦合,所述电阻器被配置为建立电压,所述电压用于感测感应通过所述电容器的所述电流,以确定所述MTJ元件的所述磁化状态。

9. 根据权利要求1所述的电路,其中所述MTJ元件包括自旋转移矩 (STT) MTJ元件,并且其中所述选择器元件为两端子器件,所述两端子器件包括硫属元素化物双向阈值开关或易失性导电桥。

10. 一种存储器电路,所述存储器电路包括:

磁性隧道结 (MTJ) 元件,所述MTJ元件具有可改变的磁化状态;

选择器元件,所述选择器元件与所述MTJ元件串联耦合并且在被激活时具有偏移电压;

控制电路,所述控制电路耦合到所述选择器元件,并且被配置为在所述选择器元件和所述MTJ元件上产生电压以在读取操作期间激活所述选择器元件;

所述控制电路被配置为在所述读取操作期间减小所述选择器元件的所述偏置电压的影响,以输出对所述MTJ元件的当前磁化状态的指示。

11. 根据权利要求10所述的存储器电路,所述存储器电路包括:

所述控制电路,所述控制电路被配置为在所述读取操作期间发起至少两次电流调节,所述至少两次电流调节包括对通过所述MTJ元件和所述选择器元件的电流的不同限制;并且

所述控制电路,所述控制电路被配置为通过减去由所述至少两次电流调节所产生的所述偏置电压的影响来补偿所述选择器元件上的所述偏置电压。

12. 根据权利要求11所述的存储器电路,所述控制电路包括:

第一开关元件,所述第一开关元件被配置为用由所述两次电流调节中的第一次电流调节产生的感测电压对第一电容器充电,其中所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;

第二开关元件,所述第二开关元件被配置为用由所述两次电流调节中的第二次电流调节所产生的所述感测电压对第二电容器充电;

控制电路,所述控制电路被配置为从存在于所述第二电容器上的电压减去存在于所述第一电容器上的电压,以减去所述选择器元件上的所述偏置电压的影响。

13. 根据权利要求11所述的存储器电路,所述控制电路包括:

电容器,所述电容器在第一端子处耦合到感测电压,所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;

开关元件,所述开关元件被配置为在所述两次电流调节中的第一次电流调节期间将所述电容器的第二端子耦合到基准电位,以根据所述感测电压对所述电容器充电;

所述开关元件被配置为在所述两次电流调节中的第二次电流调节之前使所述电容器与所述基准电位解耦合;并且

所述控制电路被配置为在所述电容器的所述第一端子处指示的所得电压中补偿所述选择器元件上的所述偏置电压,所述补偿包括在来自所述两次电流调节中的所述第一次电

流调节的所述感测电压与来自所述两次电流调节中的所述第二次电流调节的所述感测电压之间进行减法。

14. 根据权利要求10所述的存储器电路,所述存储器电路包括:

所述控制电路,所述控制电路被配置为引导斜坡电流通过所述MTJ元件和所述选择器元件,并且通过在所述斜坡电流期间减去所述选择器元件上的所述偏置电压的影响来补偿所述选择器元件上的所述偏置电压。

15. 根据权利要求14所述的存储器电路,所述控制电路包括:

电容器,所述电容器耦合到感测电压,所述感测电压对应于所述选择器元件和所述MTJ元件上的组合电压降;并且

所述控制电路被配置为基于在所述斜坡电流期间由所述感测电压感应通过所述电容器的电流来确定所述MTJ元件的所述磁化状态。

16. 根据权利要求10所述的存储器电路,其中所述MTJ元件包括自旋转移矩 (STT) MTJ元件,并且其中所述选择器元件为两端子器件,所述两端子器件包括硫属元素化合物双向阈值开关或易失性导电桥。

17. 一种存储器阵列,所述存储器阵列包括:

处于具有列和行的交叉点布置中的多个存储器单元,其中所述存储器单元各自包括与选择器元件串联的磁性隧道结 (MTJ) 元件;

控制电路,所述控制电路被配置为针对所选择的存储器单元建立读取电压,所述读取电压激活相关联的选择器元件以传递读取电流;

所述控制电路被配置为将所述相关联的选择器元件的所述读取电流限制为一个或多个预定的电流量值;并且

输出电路,所述输出电路耦合到所述控制电路的感测输出,并且被配置为通过以下方式指示所述所选择的存储器单元的状态:至少补偿所述相关联的选择器元件的偏置电压以确定相关联的MTJ元件的磁化状态。

18. 根据权利要求17所述的存储器阵列,所述存储器阵列包括:

所述控制电路,所述控制电路被配置为通过所述相关联的MTJ元件和所述相关联的选择器元件建立至少两个电流电平;并且

所述输出电路,所述输出电路被配置为通过减去由所述至少两个电流电平产生的所述偏置电压的影响来补偿所述相关联的选择器元件的所述偏置电压。

19. 根据权利要求18所述的存储器阵列,所述输出电路包括:

电容器,所述电容器通过第一端子耦合到所述感测输出;

开关元件,所述开关元件被配置为在所述电流电平的第一电流电平期间将所述电容器的第二端子耦合到基准电位,以根据所述感测输出处的电压对所述电容器充电;

所述开关元件,所述开关元件被配置为在所述电流电平的第二电流电平之前使所述电容器与所述基准电位解耦合;并且

其中所述输出电路被配置为利用在所述电容器的所述第一端子处指示的所得电压来补偿所述相关联的选择器元件的所述偏置电压,所述补偿包括在来自所述电流电平的所述第一电流电平的所述感测输出处的所述电压与来自所述电流电平的所述第二电流电平的所述感测输出处的所述电压之间的减法。

20. 根据权利要求17所述的存储器阵列,其中所述MTJ元件包括自旋转移矩 (STT) MTJ元件,并且其中所述选择器元件为两端子器件,所述两端子器件包括硫属元素化物双向阈值开关或易失性导电桥。

具有选择器电压补偿的磁性随机存取存储器

技术领域

[0001] 本公开的各方面涉及采用磁性隧道结元件的磁性随机存取存储器器件的领域。

背景技术

[0002] 磁性随机存取存储器 (MRAM) 是一种新兴的存储器/存储技术,其具有为随机存取存储器 (RAM) 技术 (如静态RAM (SRAM) 和动态RAM (DRAM)) 提供低功耗和非易失性替代方案的潜力。MRAM还可用于大容量存储环境中,诸如固态存储驱动器 (SSD) 中。然而,已证明MRAM难以结合到DRAM竞争器件中。DRAM器件通常具有超过大多数其他竞争存储器技术的密度和每位成本。

[0003] 多种方法可用于基于MRAM的存储器。一种此类方法包括交叉点配置,该交叉点配置也可应用于电阻RAM技术中。在交叉点配置中,存储器单元被布置为经由行和列耦合的大阵列,在行和列的每个结处为存储器单元。然而,使用这些新兴的存储器技术 (如MRAM),交叉点配置可能难以形成高密度配置。当存储器单元被单独地布置为具有在编程操作期间隔离每个单元的选择电路时,可出现困难。一些MRAM具体实施具有耦合到每个存储器单元的三端子晶体管,这显著增加了相关联的部件计数,同时降低了MRAM器件的目标密度。

[0004] 概述

[0005] 本文提供了磁性随机存取存储器 (MRAM) 电路。在一个示例性具体实施中,MRAM电路包括耦合到与选择器元件串联的磁性隧道结 (MTJ) 元件的控制电路。该控制电路被配置为当选择器元件处于导电状态下时调节通过所述选择器元件的电流。该电路还包括补偿电路,该补偿电路被配置为基于对通过选择器元件的电流的调节来补偿处于导电状态下的选择器元件上的偏置电压。输出电路也被配置为报告MTJ元件的磁化状态。

附图说明

[0006] 参考以下附图可以更好地理解本公开的许多方面。尽管结合这些附图描述了几种具体实施,但本公开并不限于本文所公开的具体实施。相反,其旨在涵盖所有另选方案、修改和等同物。

[0007] 图1示出了具体实施中的存储器阵列和相关联的电路。

[0008] 图2示出了具体实施中的存储器单元。

[0009] 图3示出了具体实施中的存储器单元的示例控制和输出电路。

[0010] 图4示出了具体实施中的存储器单元的示例控制和输出电路。

[0011] 图5示出了具体实施中的存储器单元的示例信令和性能。

[0012] 图6示出了具体实施中的存储器单元的示例控制和输出电路。

[0013] 图7示出了具体实施中的存储器单元的示例信令和性能。

[0014] 图8示出了具体实施中的存储器单元的示例操作。

[0015] 图9示出了具体实施中的选择器元件的示例特征。

具体实施方式

[0016] 出现了可替代常规基于晶体管的存储器和存储器件的若干记忆存储技术。这些记忆存储技术包括电阻随机存取存储器 (RRAM)、相变存储器 (PCM), 以及磁性随机存取存储器 (MRAM) 以及其他存储器。其中, MRAM有潜力提供嵌入式SRAM的更低功率替代方案, 并提供独立DRAM的高性价比、非易失性替换。为了与DRAM竞争或替换DRAM, 必须将MRAM形成为足够致密的阵列。由于DRAM的低成本和高密度, 这可能是具有挑战性的, 并且必须使MRAM表现出DRAM的低误差水平。交叉点阵列是一种实现MRAM的致密阵列的方法。MRAM单元通常具有表示二进制位的两种存储状态, 其中每种状态具有基本上线性的电流-电压关系。因此, 分立或独立的选择器件通常用于将阵列中的MRAM单元彼此电隔离。这些选择器件可包括三端子晶体管选择器, 诸如负/正金属氧化物半导体晶体管。然而, 由于选择器的尺寸很大以及需要将栅极控制线路由到每个存储器单元, 因此每个存储器单元包括晶体管选择器可大大增加单元尺寸并降低MRAM阵列的密度。另外, 由于具有前述两种MRAM状态的单元电阻通常在电阻值方面仅相差2-3倍, 因此采用的任何选择器应具有非线性特性。该非线性特性将对应于低电压下的高电阻和高电压下的低电阻。另外, 期望的选择器也可具有阈值切换特性, 其中一旦满足阈值切换条件 (诸如阈值电压), 则选择器就以一定程度的滞后保持处于所选择的状态下。

[0017] 如本文所讨论的, MRAM单元包括非易失性存储器 (NVM) 元件, 该NVM元件可由将数据存储为一种或多种磁性状态的一个或多个磁性元件形成。MTJ器件通常采用自旋偏振电流以可逆地切换铁磁层的磁化状态。MTJ使用隧道磁电阻 (TMR) 操作, TMR是磁阻效应。MTJ通常由两层铁磁材料组成, 该两层铁磁材料由薄绝缘体层隔开, 电子可通过薄绝缘体层以量子力学方式从一个铁磁性层穿隧进入另一个铁磁性层。MTJ的一个铁磁性层可被称为固定层 (pinned layer), 该固定层具有固定磁化状态, 而MTJ的另一个铁磁性层包括可在磁化状态方面变化的自由层。包括分隔两个铁磁性层的薄绝缘体的中间层可由氧化物材料或其他合适的电绝缘体形成。可以形成电端子, 以将MTJ的自由层和固定层与电路中的其他部件进行交接。

[0018] MTJ元件的垂直或平行布置可用于MRAM单元中, 该MTJ元件的垂直或平行布置是指一种类型的磁各向异性, 该种类型的磁各向异性与MTJ元件内的磁矩相对于相应半导体基板的表面的优选对准方向相关联。第一类型的MTJ配置包括均匀的垂直自旋转移矩 (STT) 布置, 该均匀的垂直STT布置通常包括由至少三个堆叠的材料层形成的2端子器件。这三个层包括设置在固定层与自由层之间的隧道势垒层。自由层和固定层耦合到STT MTJ的两个端子。其他类型的MTJ包括自旋轨道扭矩 (SOT) MTJ元件, 该SOT MTJ元件可用于三端子自旋霍尔效应 (SHE) MRAM单元中。

[0019] MTJ元件, 诸如上述STT MTJ元件, 通常可被放置成处于两种不同的状态下, 该两种不同的状态可对应于存储在所述MTJ元件中的不同逻辑值或数据值。这些状态取决于MTJ元件的磁化状态, 该磁化状态对应于由MTJ元件当前表现出的磁阻值。本文所讨论的MTJ元件的可改变的磁化状态可在两种状态, 即并行状态和反并行状态之间改变。当MTJ元件的自由层和固定层处于相同的磁化状态时, 发生并行状态。当MTJ元件的自由层和固定层处于不同的磁化状态时, 发生反并行状态。可将数据值指派给磁化状态, 诸如逻辑 '0' 用于反并行状态和逻辑 '1' 用于并行状态, 以及其他配置。

[0020] 现在转到用于实现采用MTJ元件的MRAM器件的增强结构,呈现了图1。图1是示出包括存储器阵列100和各种外围电路的存储器系统110的系统图。该外围电路包括各种控件、接口和感测电路。在图1中,系统100还包括行解码器电路120、列解码器电路130、感测电路140、输出电路150和缓冲电路160。图1中示出了各种通信链路和信号线,但这些线路的具体实施方式可以是变化的。通常,将在存储器阵列110中采用行信号线和列信号线以形成交叉点存储器布置。该交叉点存储器布置包括位于行和列的每个结处的存储器单元。因此,存储器阵列110可包括行数量‘m’和列数量‘n’,从而创建各自对应于单个存储器单元的结的‘m’乘‘n’阵列。尽管在图1中讨论了MRAM类型的存储器单元,但在交叉点存储器布置中可采用其他存储器技术。

[0021] 图1还包括示例存储单元详细视图101。详细视图101示出了存储器阵列110的一部分的部件级视图,但为了清楚起见,该视图被简化。通常,使用在半导体晶片加工和微加工中存在的技术(诸如光刻、扩散、沉积、外延生长、蚀刻、退火和离子注入等),将详细视图101的相关联的部件形成到半导体基板上。详细视图101包括行线114和列线115。可选的MRAM单元111定位在行线114与列线115之间的物理结点处。可选的MRAM单元111包括MTJ元件112和选择器元件113。下文讨论关于这些元件的更多细节。详细视图101被提供为交叉点存储器中的存储器单元的示例配置。交叉点存储器(诸如存储器阵列110)中的行和列的每个结可包括类似的MRAM单元布置,如详细视图101中所示。此外,在具体实施存储器阵列110期间,可包括各种互连、金属化、绝缘体、端子和其他元件。

[0022] 行解码器120和列解码器130通常将耦合至控制电路,该控制电路被配置为控制读取、写入和擦除操作以及其他操作。行解码器120和列解码器130各自包括线选择电路和逻辑以按照控制电路的指示启用/禁用存储器阵列110的特定行和列。线选择电路可包括选择晶体管、缓冲器、反相器、电流和电压限制器电路、传输门,以及其他类似电路。这样,存储器阵列110中的存储器单元可被读取、写入或擦除。

[0023] 在读取操作期间,感测电路140感测所选择的存储器单元的输出。感测电路140可包括感测放大器、比较器、电平位移器,以及各种其他支持电路。感测电路140向输出电路150提供所选择的存储器单元的输出表示。输出电路150包括输出电路以将表示解译成数据值,该数据值可包括下文在图2、图3、图4和图6中描述的各种增强电路。这些数据值可包括具有与所需逻辑表示对应的电压电平的二进制值。如下文将讨论的,当从存储器阵列110读取数据位时,输出电路150可减小或消除选择器元件对感测电压的影响。缓冲器160可包括数字存储器元件,该数字存储器元件被包括以用于在将由输出电路150确定的数据位通过数据链路161传输到一个或多个外部系统之前存储该数据位。在一些示例中,列解码器130、感测电路140、输出电路150和缓冲器160的各部分可组合成电路块或在类似电路部件上共享。

[0024] 现在转到来自图1的可选的存储器单元111以及各种支持电路的详细具体实施,提供了图2。图2表示交叉点存储器阵列中的单个“结”,以及相关联的行/列驱动器电路和存储器单元。具体地,图2包括电路200,该电路包括电流控制电路210、电流镜212、输出电路220、可选的MRAM单元230、行驱动器240和列驱动器241。可选的MRAM单元230可包括来自图1的可选的存储器单元111的示例具体实施,其中图1的MTJ元件112和选择器元件113分别由MRAM元件231和选择器238表示。可选的MRAM单元230可被称为“1S-1MTJ”型MRAM单元,其由单个

选择器(S)和单个MTJ元件形成。可选的MRAM单元230可形成在交叉点存储器阵列的行/列结处,诸如关于在图1中的行线114和列线115所看到的。因此,行线251可对应于图1中的行线114,并且列线252可对应于图1中的列线115。图1的行/列结处的其他存储器单元可具有与图2中所看到的类似的布置,但变化是可能的。

[0025] MRAM元件231包括MTJ元件232,该MTJ元件在该示例中是STT型MTJ元件。使用相应的电脉冲擦除、写入和读取MTJ 232。然而,这些电脉冲在本质上通常是双极性的,这是指可由列驱动器242和行驱动器241在MRAM元件231上以第一极性或第二极性施加的控制电压或控制电流。为了防止在生成对应电脉冲时意外擦除、写入和读取所选择的行或列的其他MRAM元件,包括了与MRAM元件231串联的选择器238。

[0026] 选择器238是包括图2中的双极性选择器的两端子选择器元件。选择器238可包括硫属元素化合物双向阈值开关或易失性导电桥,但也可采用其他技术。一旦超过阈值条件(诸如阈值电压(V_t))并且选择器238被放置成处于导电状态下,选择器238就在选择器238的两个端子之间形成导电(例如,低相对电阻)桥。在选择器238被超过阈值条件激活之后,只要选择器238上存在足够的电流或电压,则选择器238就保持处于相对于非启用状态具有低电阻的启用状态。一旦不存在足够的电流或电压(诸如下降到低于滞后阈值),则选择器238就变为非启用状态(高相对电阻)。然后,选择器238的两个端子之间的导电路径塌缩或去激活。可在选择器238中控制滞后特性。选择器238所表现出的滞后量与施加到MRAM元件231的电压直接相关。具体地,当‘导通’时,选择器238充当与包括MRAM元件231的MTJ232串联的电压源。该电压源的量值对应于保持电压,在本文中称为偏置电压,在本文中也称为 V_{OFFSET} 。该偏置电压可干扰对MTJ 232的当前磁化状态的准确读取。

[0027] 在图9中示出了选择器238的示例特征。图9包括示出选择器238在各种电压和电流下的特性的曲线图900。曲线图900的纵轴对应于选择器电流,或当前通过选择器238的电流。曲线图900的横轴对应于选择器电压或当前跨选择器238的电压。曲线图900的左下象限和右上象限以显示选择器238的双极性特性。左下象限示出具有负选择器电流($-I_{\text{选择器}}$)的负极性,而左上象限示出具有正选择器电流($+I_{\text{选择器}}$)的正极性。在其他示例中,相关联的极性可颠倒,并且选择器238的双极性质通常关于极性是对称的。

[0028] 曲线图900示出了选择器238在负极性和正极性两种情况下的电流-电压(IV)曲线。该IV曲线由图9中的曲线部分901-904表示。选择器238在曲线图900中表现出非线性响应。选择器238的‘关断’状态对应于在低施加电压下的高器件电阻和低漏电流(I_{lk})。该‘关断’状态由曲线图900中的曲线部分903-904表示。选择器238的‘导通’状态对应于在高施加电压($>V_t$)下的低器件电阻,并且由曲线图900中的曲线部分901-902表示。 R_{son} 对应于对应曲线部分的斜率,该 R_{son} 包括每种极性下选择器238的‘导通’电阻。选择器238表现出阈值切换特性,其中阈值电压(V_t)一旦被超过($>V_t$),则选择器238就从高电阻‘关断’状态(曲线部分903-904)变为低电阻‘导通’状态(曲线部分901-902)。

[0029] 选择器238的滞后特性也在曲线图900中示出。曲线图900中的滞后特性对应于通过外推选择器‘导通’状态电流-电压(IV)曲线而获得的电压轴上的点。具体地,该滞后对应于施加电压可降至 V_h (其低于 V_t)并且之后 V_t 被超过的位置。另外,该滞后特性具有对应的电流极限(I_h),低于该电流极限时,选择器可将状态切换至‘关断’状态。选择器238的实际性能以及‘导通’和‘关断’电阻值将基于制造变化、器件尺寸和其他特定于具体实施的细节

而变化。因此,选择器238在处于‘导通’状态时所表现出的偏置电压也可变化。本文的示例提供了用于减小选择器238的偏置电压的影响以及补偿阵列中的不同选择器之间的偏置电压变化的增强补偿技术。

[0030] 返回图2,其示出了示例电路200。在操作中,由定位在电路200的“低”电位侧上的电流镜212限制电流(I_{LIMIT})通过电路200的各部分。电路200的低电位侧在图2中被称为 V_{LOW} ,对应于电路的耦合到低电位或低电压(即在典型情况下为0V)的端部。由电流镜212所汲取的电流基于由电流控制电路210设定的电流极限而变化,并且该极限值的控制在下文中更详细地讨论。电流控制电路210因此被配置为限制通过可选的MRAM单元230的电流。在一个实施方案中,控制电路210限制在可选的MRAM单元230的读取操作期间所采用的读取电流。在操作中,由于晶体管213和214的栅极的特定耦合,电流镜212将由电流控制电路210设定的任何电流极限从电流镜212的左手侧镜像到电流镜212的右手侧。该电流通过可选的MRAM单元230和其他串联连接的电路和互连器(诸如未选择的行线和未选择的列线)而被汲取。行驱动器241和列驱动器242耦合到相关联的行线251和列线252,它们与可选的MRAM单元230形成了串联电路。

[0031] 在电流(I_{LIMIT})的施加期间,在用于感测MTJ 232的状态的电流镜212处呈现出感测电压(在本文中称为 V_{SENSE})。该感测电压可表示为: $V_{感测} = V_{读取} - V_{偏置} - I_{极限} (R_S + R_{MRAM})$,其表示为图2中的公式203。 V_{READ} 作为供电电压施加到列驱动器242, V_{OFFSET} 是选择器238上的电压, R_S 是与MTJ 232串联的线路和部件的串联电阻,并且 R_{MRAM} 是MRAM元件231当前所表现出的电阻。MRAM元件231当前所表现出的电阻(R_{MRAM})反映了MTJ 232的磁化状态,因此表示在MRAM元件231内存储的数据或位值。

[0032] 可选的MRAM单元230上的电压($V_{COMBINED}$)对应于 $I_{LIMIT} * R_{MRAM}$ 。 I_{LIMIT} 通常设置为使得 $V_{COMBINED}$ 介于约0.1-0.3V之间,以保护免受读取干扰(读取操作期间的无意写入/编程)。因此, V_{OFFSET} 的变化应小于约10-30mV。在实施过程中,难以将选择器制造成处于此类特定的 V_{OFFSET} 范围内。例如,如果选择器的偏置电压为1.3V,则将 V_{OFFSET} 控制到10-30mV将意味着将 V_{OFFSET} 控制成处于<2.5%以内。有利的是,本文的示例补偿选择器(诸如图2所示的选择器238)的偏置电压的变化。这些示例包括图3中的补偿电路320、图4中的补偿电路420,和图6中的补偿620,以及其他示例。本文所呈现的示例基本上消除了选择器 V_{OFFSET} 的变化。该放大的边限可用于其他变化源,例如MRAM直径变化。本文提供的示例将可用于生产处于16-64Gb范围内的独立MRAM产品,以用于DRAM替换。

[0033] 下文示出了用于感测可选的MRAM单元232的MTJ 230的磁化状态的三个示例具体实施。在每个示例性具体实施中,输出电路220具有用于感测 V_{SENSE} 处的一个或多个电压的对应配置,而电流控制电路210控制电流镜212以获得对应的 I_{LIMIT} 量值。具体地,下面的示例施加多个电流极限(I_{LIMIT})并感测 V_{SENSE} 如何随着 I_{LIMIT} 变化而变化。由于 V_{OFFSET} 随着 I_{LIMIT} 变化为恒定的,因此可以在最终结果中补偿 V_{OFFSET} 。在许多情况下,该补偿是指减少 V_{OFFSET} 对 V_{SENSE} 的影响。这对应于上述公式中 V_{SENSE} 相对于 I_{LIMIT} 的数学导数,即公式203的导数。

[0034] 提供图3以示出第一示例具体实施300。在图3中,输出电路220包括补偿电路320。补偿电路320包括电容器321和电流感测电路322,该电流感测电路耦合至低电位(例如,接地)。在该示例中,电容值为 C_a 的电容器321耦合到图2的 V_{SENSE} 电气节点。此外,电流控制电路210被配置为向电路200施加斜坡电流301。该斜坡电流301以恒定速率 dI_{LIMIT}/dt 使 I_{LIMIT} 斜

坡变化,如图3中的 I_{LIMIT_RAMP} 所指示。从 V_{SENSE} 通过电容器331传递到接地的电容器电流(I_{CAP})对应于 V_{SENSE} 的导数。具体地, $I_{CAP} = dV_{SENSE}/dt = C_a * dI_{LIMIT}/dt * (R_S + R_{MRAM})$ 。一旦确定了 I_{CAP} ,则就可基于所确定的 R_{MRAM} 的值来确定MRAM单元231的磁化状态。有利地,感测 I_{CAP} 而非 V_{SENSE} 降低或消除了公式203中的 V_{OFFSET} (以及相关关联的选择器器件到器件变化)的影响。

[0035] 在图2中,电流感测电路322可用于感测 I_{CAP} 。在一个示例中,电流感测电路322可包括电流镜,该电流镜类似于针对电流镜212所示的电流镜。电流镜的参考电流可用于感测 I_{CAP} 的状态。在另一个示例中,电流感测电路322可包括耦合到电容器321的端子的具有特定电阻(诸如50-100千欧姆)的电阻器。然后电流感测电路322可使用比较器或其他类似电路来感测该电阻器上的电压降。该电压降可用于确定 I_{CAP} 。

[0036] 然而,部分地由于感测 I_{CAP} 的相对复杂性,图3中所示的具体实施具有挑战。输出电路220的另一个示例具体实施400呈现于图4中。在图4中,针对 I_{LIMIT} 的两个不同值来确定 V_{SENSE} 的样本。然后减去 V_{SENSE} 的这两个样本以获得结果。该结果对应于公式203的离散微分类型,然后用于确定MRAM单元231的磁化状态。与图3中的电路和技术一样,由图4中的电路所确定的结果也减小或消除了公式203中的 V_{OFFSET} (以及相关关联的选择器器件到器件变化)的影响。

[0037] 在图4中,输出电路220包括补偿电路420。补偿电路420包括若干基于晶体管的开关元件,该基于晶体管的开关元件选择性地向电容器425和426提供存在于 V_{SENSE} 上的电压。在图4中,不执行如图3进行的对通过电容元件的电流的直接测量。相反,使用电容器425和426减去 V_{SENSE} 的两个不同值,以产生 V_{OUT} ,这减小或消除了 V_{OFFSET} 的影响。

[0038] 第一开关元件(晶体管421)具有耦合到第一选择信号(S1)的栅极端子,并且第二开关元件(晶体管422)具有耦合到第二选择信号(S2)的栅极端子。晶体管421-422的漏极端子耦合到 V_{SENSE} 。电容器425和426各自具有相应的电容值,即图4中的 C_b 和 C_c 。具体电容值将基于具体实施而变化,但在本示例中 C_b 和 C_c 包含彼此相同的值。读取晶体管423和424包括读出电路,该读出电路在 C_b 和 C_c 存储的电压之间执行减法运算,并且在 V_{OUT} 上呈现合成电压。具体地,晶体管423的栅极端子耦合到第一读取控制信号(READ A),并且晶体管424的栅极端子耦合到第二读取控制信号(READ B)。晶体管421的源极端子耦合到电容器425的第一端子和晶体管424的漏极端子。晶体管424的源极端子耦合到电容器426和晶体管422的源极端子。晶体管423的源极端子和电容器426的第二极端子耦合到低电位,诸如接地或0V。 V_{OUT} 呈现来自补偿电路420的结果,该 V_{OUT} 耦合到晶体管423的漏极端子。

[0039] 在操作中,电流控制电路210被配置为向电路200施加阶跃电流401。该阶跃电流对应于 I_{LIMIT} 的第一恒定值,即 I_{LIMIT_1} ,之后是 I_{LIMIT} 的第二恒定值,即 I_{LIMIT_2} 。在本示例中, I_{LIMIT_1} 大于 I_{LIMIT_2} ,但是其他配置也是可能的。示例电流极限为 I_{LIMIT_1} 的11微安(μA)的和 I_{LIMIT_2} 的2 μA 。电流控制电路210选择这些电流极限以通过电流镜212产生镜像电流,该电流镜至少通过电路200中的MRAM元件231和选择器238以及相关关联的行线和列线来汲取电流。

[0040] 图5示出了详述补偿电路420的控制信令的时序图500。在图表500中,选择器238通过超过阈值条件(诸如阈值电压或阈值电流)而改变为‘导通’状态。可在可选的MRAM单元230上建立电压,这产生了高于选择器238的阈值电压(V_t)的电压,如图表500的曲线501中所看到的。具体地,在该示例中,电压被建立为 $V_{BITLINE}$ 与 $V_{WORDLINE}$ 之间的差值或2.3V。 $V_{BITLINE}$ 对应于由列驱动器242施加到列线252的电压。 $V_{WORDLINE}$ 对应于由行驱动器241施加到行线251

的电压。一旦选择器238被放置成处于‘导通’状态下,则电流就可穿过选择器238。只要该电流保持高于滞后电流值,则选择器238就将保持处于‘导通’状态或低电阻状态下。如果电流下降到低于滞后电流值,则选择器就将变为‘关断’状态,并且将由于高电阻状态而停止传递可测量的电流。

[0041] 向通过可选的MRAM单元230的电流施加第一电流极限,即 $11\mu\text{A}$ 的 I_{LIMIT_1} 。该第一电流极限可以在图表500的曲线503中看到。第一选择信号(S1)和第二选择信号(S2)保持在高电压,该高电压控制相关联的晶体管(421、422)处于启用状态下,从而允许对应的电容器(425、426)跟踪在各种电流极限时 V_{SENSE} 上所呈现出的电压。具体地,如在曲线502中所看到的,当施加 I_{LIMIT_1} 时,第一选择信号(S1)被驱动到高电压(启用状态),该高电压控制晶体管421将 V_{SENSE} 上所呈现出的电压传递到节点432和电容器425。电容器425存储在 I_{LIMIT_1} 时的该 V_{SENSE} 值,然后通过将栅极端子驱动到低电压(非启用状态)来禁用S1,以将电容器425与 V_{SENSE} 隔离。向通过可选的MRAM单元230的电流施加第二电流极限,即 $2\mu\text{A}$ 的 I_{LIMIT_2} 。该第二电流极限可以在图表500的曲线503中看到。从 I_{LIMIT_1} 到 I_{LIMIT_2} 的转变可以是具有某一速度的斜坡,该速度经选择以确保补偿电路420的期望操作定时,同时保持电磁干扰和振荡低于目标水平。如在曲线504中所看到的,当施加 I_{LIMIT_2} 时,第二选择信号(S2)被驱动到高电压(启用状态),该高电压控制晶体管422将 V_{SENSE} 上所呈现出的电压传递到节点431和电容器426。电容器426存储在 I_{LIMIT_2} 时的该 V_{SENSE} 值,然后通过将栅极端子驱动到低电压(非启用状态)来禁用S2,以将电容器426与 V_{SENSE} 隔离。

[0042] 一旦电容器425和426均已使用针对特定电流极限的特定 V_{SENSE} 样本充电,则就可以在存储于电容器425和426中的电压之间执行减法。首先,将READ A信号带到低电压以禁用晶体管423(曲线505),同时将READ B信号带到高值以启用晶体管424(曲线506)。READ A信号和READ B信号的这种配置允许通过晶体管424将存储在电容器425和426中的电压彼此相减,并在 V_{OUT} 处呈现合成电压。然后可以在 V_{OUT} 处感测来自补偿电路420的输出或结果,如根据图表500中的大致定时所示(感测)。 V_{OUT} 处的该结果对应于对公式203的离散微分的计算,然后用于确定MRAM单元231的磁化状态。

[0043] 图5中的图表510示出了对补偿电路420和图表500使用上述该过程的模拟结果。在图表510的模拟中用作选择器238的特定选择器是在 85°C 的环境温度下阈值电压(V_t)为 1.7V 的双向阈值开关(OTS)。还示出了 C_b 和 C_c 的示例电容值,对于图表510中的相关联的曲线,示例值为 10 毫微微法拉(fF)和 30fF 。此外,示出了存储在相关联的MRAM元件中的每个二进制值的曲线,如由对应的MTJ元件的并行磁化状态和反并行磁化状态所指示。

[0044] 在图表510中,曲线511和512示出了作为选择器238的 V_{OFFSET} 的函数,在不使用上文关于图4和图表500所描述的过程的情况下的 V_{SENSE} 感测窗口。如可以看出的,表现出 V_{SENSE} 随着 V_{OFFSET} 变化有较大变化。曲线513-516示出了使用电容减法的补偿电路420的电压 V_{OUT} 。对于曲线511-512,该电压 V_{OUT} 随着 V_{OFFSET} 变化的变化要小得多,并且与曲线511和512所示的没有电容减法电路的情况下的边限 $\pm < 1.2\text{V}$ 相比,可以获得边限 $V_{\text{OFFSET}} > \pm 0.2\text{V}$ 。对于选择器238,使用比该模拟中使用的特定选择器具有更低漏的选择器将获得甚至更好的结果。

[0045] 图4和图5中存在的电路、配置和操作可以在另一个示例具体实施中进一步简化。图6呈现了该示例具体实施600。具体实施600包括补偿电路620,该补偿电路采用单个电容器622和单个开关元件(晶体管621)。在图6中,针对 I_{LIMIT} 的两个不同值来确定 V_{SENSE} 的样本。

使用电容器622减去 V_{SENSE} 的两个样本以获得结果。该结果对应于公式203的离散微分类型，然后用于确定MRAM单元231的磁化状态。与图3和图4中的电路和技术一样，由图6中的电路所确定的结果也减小或消除了公式203中的 V_{OFFSET} （以及相关关联的选择器器件到器件变化）的影响。在图6中，不执行如图3进行的对通过电容元件的电流的直接测量。相反，在电容器622内减去 V_{SENSE} 的两个不同值，以产生 V_{OUT} ，这减小或消除了 V_{OFFSET} 的影响。

[0046] 在图6中，输出电路220包括补偿电路620。存在于 V_{SENSE} 上的电压耦合到电容器622的第一端子。补偿电路620包括基于单个晶体管的开关元件（621），该基于单个晶体管的开关元件将电容器622的第二端子选择性地耦合到低电位（诸如接地或0V）或与低电位解耦合。晶体管621具有耦合到第一选择信号（S1）的栅极端子。晶体管621的漏极端子耦合到电容器622的第二端子和 V_{OUT} ，并且晶体管621的源极端子耦合到低电位。电容器622具有对应的电容值，即图6中的 C_d 。具体电容值将基于具体实施而变化。 V_{OUT} 呈现来自补偿电路620的结果，该 V_{OUT} 耦合到晶体管621的漏极端子。补偿电路620中不需要单独的读出电路，诸如晶体管423和424。相反，晶体管621和电容器622包括读出电路，并且包括补偿电路。

[0047] 在操作中，电流控制电路210被配置为向电路200施加阶跃电流601。该阶跃电流对应于 I_{LIMIT} 的第一恒定值，即 I_{LIMIT_1} ，之后是 I_{LIMIT} 的第二恒定值，即 I_{LIMIT_2} 。在本示例中， I_{LIMIT_1} 大于 I_{LIMIT_2} ，但是其他配置也是可能的。示例电流极限为 I_{LIMIT_1} 的11微安（ μA ）和 I_{LIMIT_2} 的2 μA 。电流控制电路210选择这些电流极限以通过电流镜212产生镜像电流，该电流镜至少通过电路200中的MRAM元件231和选择器238以及相关关联的行线和列线来汲取电流。

[0048] 图7示出了详述补偿电路620的控制信号的时序图700。在图表700中，选择器238通过超过阈值条件（诸如阈值电压或阈值电流）而改变为‘导通’状态。可在可选的MRAM单元230上建立电压，这产生了高于选择器238的阈值电压（ V_t ）的电压，如图表700的曲线701中所看到的。具体地，在该示例中，电压被建立为 $V_{BITLINE}$ 与 $V_{WORDLINE}$ 之间的差值或2.3V。 $V_{BITLINE}$ 对应于由列驱动器242施加到列线252的电压。 $V_{WORDLINE}$ 对应于由行驱动器241施加到行线251的电压。一旦选择器238被放置成处于‘导通’状态下，则电流就可穿过选择器238。只要该电流保持高于滞后电流值，则选择器238就将保持处于‘导通’状态或低电阻状态下。如果电流下降到低于滞后电流值，则选择器就将变为‘关断’状态，并且将由于高电阻状态而停止传递可测量的电流。

[0049] 向通过可选的MRAM单元230的电流施加第一电流极限，即11 μA 的 I_{LIMIT_1} 。该第一电流极限可以在图表700的曲线703中看到。第一选择信号（S1）在第一电流极限期间保持在高电压，该高电压控制相关关联的晶体管621处于启用状态下，从而允许对应的电容器622跟踪在第一电流极限时 V_{SENSE} 上所呈现的电压。具体地，如在曲线702中所看到的，当施加 I_{LIMIT_1} 时，第一选择信号（S1）被驱动到高电压（启用状态），该高电压控制晶体管621耦合到低电位。电容器622可充电至 I_{LIMIT_1} 期间 V_{SENSE} 上所呈现的电压。在电流控制电路210施加第二电流极限（ I_{LIMIT_2} ）之前，第一选择信号（S1）被驱动到如在曲线703中所看到的那样低，从而将晶体管621放置成处于非启用状态下，并且使电容器622的第二端子相对于低电位浮接。然而，电容器622的第一端子仍然耦合到 V_{SENSE} 。一旦电流控制电路210施加第二电流极限（ I_{LIMIT_2} ），则从第一电流极限（ I_{LIMIT_1} ）期间 V_{SENSE} 的初始取样值中连续减去 V_{SENSE} 处所呈现的电压。在电流从 I_{LIMIT_1} 转变为 I_{LIMIT_2} 之后，则 V_{OUT} 处电容器622的第二端子处的电压对应于补偿电路620的结果。然后可以在 V_{OUT} 处感测来自补偿电路620的输出或结果，如根据图表700

中的大致定时所示(感测)。V_{OUT}处的该结果对应于对公式203的离散微分的计算,然后用于确定MRAM单元231的磁化状态。

[0050] 图7中的图表710示出了对补偿电路620和图表700使用上述该过程的模拟结果。在图表510的模拟中用作选择器238的特定选择器是在85℃的环境温度下阈值电压(V_t)为1.7V的双向阈值开关(OTS)。图710中的C_d的示例电容值被设定为10fF,但也可采用其他值。此外,图表710示出了采用两个电容器的补偿电路420与采用一个电容器的补偿电路620之间的比较。补偿电路620的基于单个电容器的电路给出了比补偿电路420的两电容器电路甚至更不依赖于V_{OFFSET}的结果。有利地,与补偿电路420相比,补偿电路620具有更不复杂的配置、更小的部件计数、呈现出对V_{SENSE}和V_{OUT}的更小总电容,并且可产生更快的结果。

[0051] 在图表710中,曲线711和713显示出作为选择器238的V_{OFFSET}的函数,使用补偿电路420时的V_{SENSE}感测窗口。曲线712和714显示出作为选择器238的V_{OFFSET}的函数,使用补偿电路620时的V_{SENSE}感测窗口。如可以看出的,曲线711和713表现出比曲线712和714更大的随V_{OFFSET}变化的V_{SENSE}变化。对于曲线712和714,该电压V_{OUT}随V_{OFFSET}变化的变化要小得多,并且与曲线711和713中所示的使用补偿电路420的双电容器减法电路的情况下的边限+/-<0.2V相比,使用补偿电路620的单电容器电路可以获得边限V_{OFFSET}>+/-0.1V。对于选择器238,使用比该模拟中使用的特定选择器具有更低漏的选择器将获得甚至更好的结果。

[0052] 现在呈现图8来说明本文所讨论的各种电路和系统的操作。图8的操作是在图2的元件的情境下讨论的,但是可以替代地采用不同的元件。在图8中,对从可选的MRAM单元230读取的电压执行补偿。该补偿减少了选择器238对由电流通过可选的MRAM单元230而产生的电压的影响。具体地,选择器238当被启用时具有特定的V_{OFFSET}属性,该属性可以从器件到器件以及基于穿过选择器238的电流而变化。因此,可能很难读取由MTJ 232组成的MRAM元件231的电压。

[0053] 虽然不是必需的,但是一些示例可以在读取操作之前执行擦除操作或写入操作。具体地,可以任选地将MRAM元件321擦除到初始状态,然后将期望的数据值写入或编程到MRAM元件321中。在另一示例中,诸如在操作803-805中讨论的,可以在擦除或写入操作之前执行读取操作,以确定MRAM元件321的当前状态。如果MRAM元件321处于期望状态下,则可省略擦除或写入操作。在其他示例中,可以在不擦除到初始状态或者不经由读取操作检查先前编程的状态的情况下对MRAM元件321进行写入或编程。

[0054] 当需要擦除操作时,则可执行任意的操作801。在操作801中,首先从可选的MRAM单元230擦除数据。这可通过以下方式来实现:驱动可选的MRAM单元230上的电压,该电压超过将选择器238切换到启用状态或导电状态所需的阈值电压(V_t)。一旦处于导电状态下,则选择器238就可传递电流,该电流用于擦除可选的MRAM单元230内的串联连接的MTJ232。该擦除操作将MTJ 232的磁化状态放置成处于期望的初始状态下,该期望的初始状态可以表示二进制‘1’或‘0’以及其他值。该状态对应于MTJ232的并行(P)或反并行(AP)状态,其中相对较大的电流可以在优选方向或极性上穿过MTJ 232,以根据电流极性迫使MTJ 232进入初始状态(例如,P或AP)下。因为选择器238包括双向或双极选择器元件,所以选择器238可以为MTJ 232传递任一极性的电流。

[0055] 当被采用到MRAM单元阵列中时,诸如图1所示,则特定的列线和行线可被选择用于到达目标MRAM单元以进行擦除。在交叉点存储器阵列中,诸如图1所示,每个存储器单元通

常是在列线和行线的每个结处单独可选的。可采用各种列选择电路和行选择电路来控制选择操作。

[0056] 当需要写入操作时,则可执行任意的操作802。可选的MRAM单元230可具有写入或编程到MRAM元件321中的数据值。在可选操作802中,通过以下方式来写入数据:驱动可选的MRAM单元230上的电压,该电压超过将选择器238切换到启用状态或导电状态所需的阈值电压(V_t)。一旦处于导电状态下,则选择器238就可传递电流,该电流用于对可选的MRAM单元230内的串联连接的MTJ 232进行编程。该写入操作将MTJ 232的磁化状态放置成处于期望的状态下以表示数据值,该数据值可以包括二进制‘1’或‘0’以及其他值。这些数据值或数据状态对应于MTJ 232的并行(P)或反并行(AP)状态,其中电流可以在优选方向或极性上穿过MTJ 232,以根据电流极性迫使MTJ 232进入期望状态(例如,P或AP)下。因为选择器238包括双向或双极选择器元件,所以选择器238可以为MTJ 232传递任一极性的电流。

[0057] 现在转到对增强的读取操作的讨论,可选的MRAM单元230可以具有从MRAM元件321读取的数据值。在操作803中,通过以下方式来从可选的MRAM单元230读取数据:驱动可选的MRAM单元230上的电压,该电压超过将选择器238切换到启用状态或导电状态所需的阈值电压(V_t)。一旦处于导电状态下,则选择器238就可传递电流,该电流用于读取可选的MRAM单元230内的串联连接的MTJ 232的当前磁化状态。该读取操作在MTJ 232上产生电压,该电压取决于先前编程的磁化状态,该先前编程的磁化状态表示数据值,该数据值可以包括二进制‘1’或‘0’以及其他值。这些数据值或数据状态对应于MTJ 232的并行(P)或反并行(AP)状态,其中电流可以在优选的方向或极性上穿过MTJ 232以产生MTJ 232上的电压,该电压反映当前磁化状态。因为选择器238包括双向或双极选择器元件,所以选择器238可以为MTJ 232传递任一极性的电流。

[0058] 然而,在图2的具体实施中,读取电流以针对 I_{LIMIT} 所指示的极性传递,即从列驱动器242通过列线252、通过串联连接的选择器238和MRAM元件231、通过行线251,以及行驱动器241。在操作中,可以采用电压来将选择器238改变成导电状态,但是随后使用电流控制电路210结合电流镜212来限制由选择器238和MRAM元件231传递的电流的量值。以各种方式限制该电流,以在 V_{SENSE} 处产生一个或多个电压在第一示例中,如图3所示,采用斜坡电流极限301,该斜坡电流极限在 V_{SENSE} 处产生斜坡电压。补偿电路320可以用来接收 V_{SENSE} 并补偿选择器238的 V_{OFFSET} 属性。该补偿有利地减小了 V_{OFFSET} 对由施加的读取电流在MTJ 232上产生的电压的影响,并且减小了对选择器238的器件到器件可变性的影响。

[0059] 在第二示例中,如图4所示,采用阶跃电流极限401,该阶跃电流极限在 V_{SENSE} 处产生两个相继电压。补偿电路420可用于接收 V_{SENSE} ,暂时存储 V_{SENSE} 的每个值。通过减去从第二电流极限存储的 V_{SENSE} 的第二值,来减小从第一电流极限存储的 V_{SENSE} 的第一值。因此补偿电路420可以用该经减去的结果来补偿选择器238的 V_{OFFSET} 属性。类似于图3的补偿,图4中执行的补偿有利地减小了 V_{OFFSET} 对由施加的读取电流在MTJ 232上产生的电压的影响,并且减小了对选择器238的器件到器件可变性的影响。然而,补偿电路420以比补偿电路320更低的电路复杂性实现了该补偿。

[0060] 在第三示例中,如图6所示,采用阶跃电流极限601,该阶跃电流极限在 V_{SENSE} 处产生两个相继电压。补偿电路620可用于接收 V_{SENSE} ,暂时存储第一电流极限期间 V_{SENSE} 的第一值,并且在单个电容器内从该 V_{SENSE} 的第一(存储)值减去第二电流极限期间 V_{SENSE} 的第二值。因

此补偿电路620可以用该经减去的结果来补偿选择器238的 V_{OFFSET} 属性。类似于图4的补偿，图6中执行的补偿有利地减小了 V_{OFFSET} 对由施加的读取电流在MTJ232上产生的电压的影响，并且减小了对选择器238的器件到器件可变性的影响。然而，补偿电路620以比甚至补偿电路420更低的电路复杂性实现了该补偿。

[0061] 如上所述，基于从各种电流极限产生的感测电压，输出电路220确定(804)输出电压(V_{OUT})。可以包括各种补偿电路来补偿 V_{OFFSET} 对MTJ 232上产生的电压的影响。然而，上述补偿电路的结果通常包括 V_{SENSE} 的导数或微分型式，减去或消除了 V_{OFFSET} 的影响。这可由图2的公式203的导数或微分形式表示。

[0062] 然后，输出电路220基于来自补偿电路的输出电压来确定(805)可选的MRAM单元230中的MRAM元件231中的数据的值。在一些示例中，输出电路220计算对 V_{OUT} 的反导数、积分或其他数学运算，以确定MRAM元件231中的MTJ 232的磁化状态。在另外的示例中，输出电路220可直接解译 V_{OUT} 以确定MRAM元件231中的MTJ 232的磁化状态。例如，如果MRAM元件231中的MTJ 232的磁化状态具有两个可能的值(例如，在一个示例中，‘1’和‘0’对应于并行和反并行状态)，则一旦从 V_{OUT} 减小或去除 V_{OFFSET} ，输出电路220就可以确定两个状态之间的电压不同。因此， V_{OUT} 的两个不同电压将各自对应于MRAM元件231中MTJ 232的特定磁化状态，并因此对应于不同的数据值。然后，数据值可与针对一个或多个外部系统所指示的不同逻辑水平、电压电平或其他表示相关。在另外的示例中，缓冲器160可用于在将数据值传输到一个或多个外部系统之前存储所述数据值。

[0063] 所包括的描述和附图描绘了教导本领域技术人员如何制作和使用最佳模式的具体实施方案。出于教导发明性原理的目的，已经简化或省略了一些常规的方面。本领域技术人员将理解来自落入本公开范围内的这些实施方案的变型。本领域技术人员还将理解，上述特征可以以各种方式组合以形成多个实施方案。因此，本公开不受上述具体实施方案的限制，而是仅受权利要求及其等同物的限制。

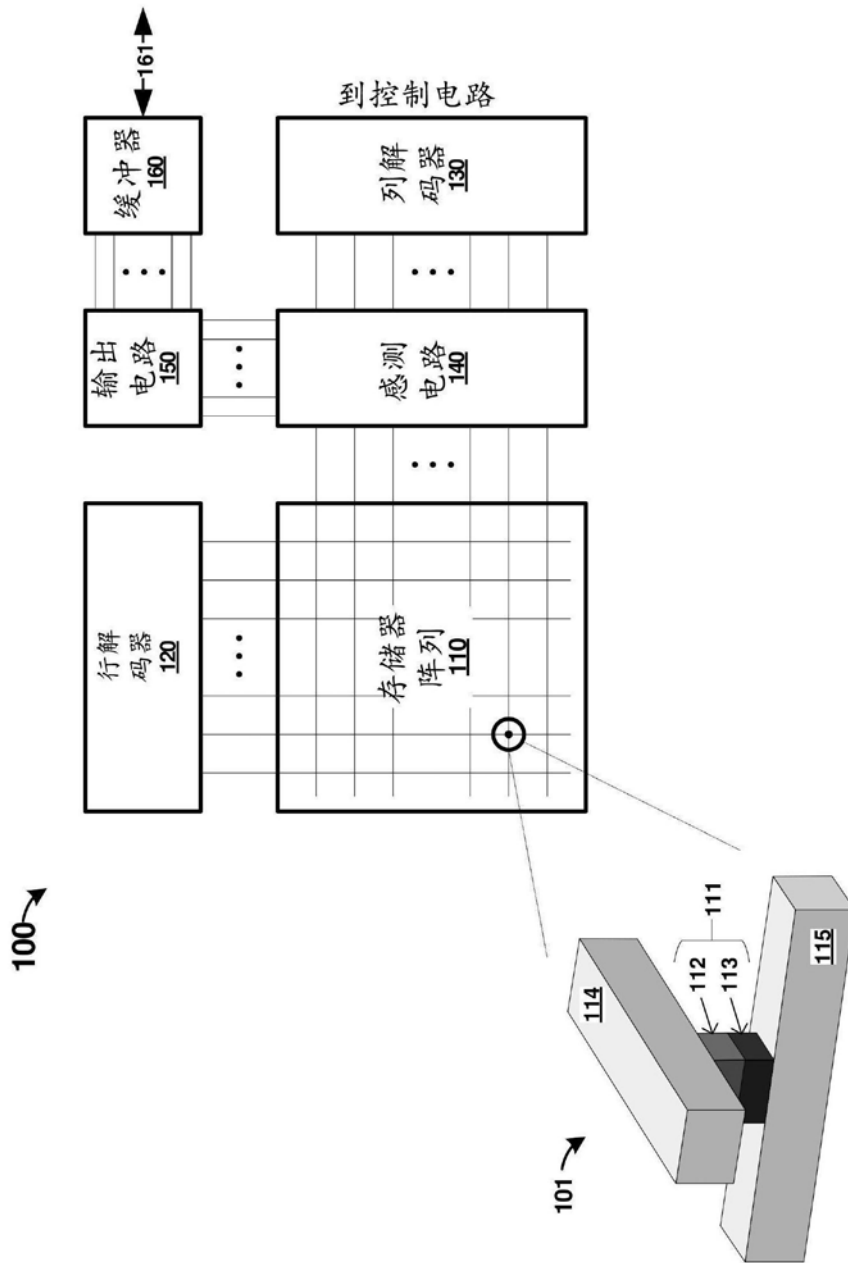


图1

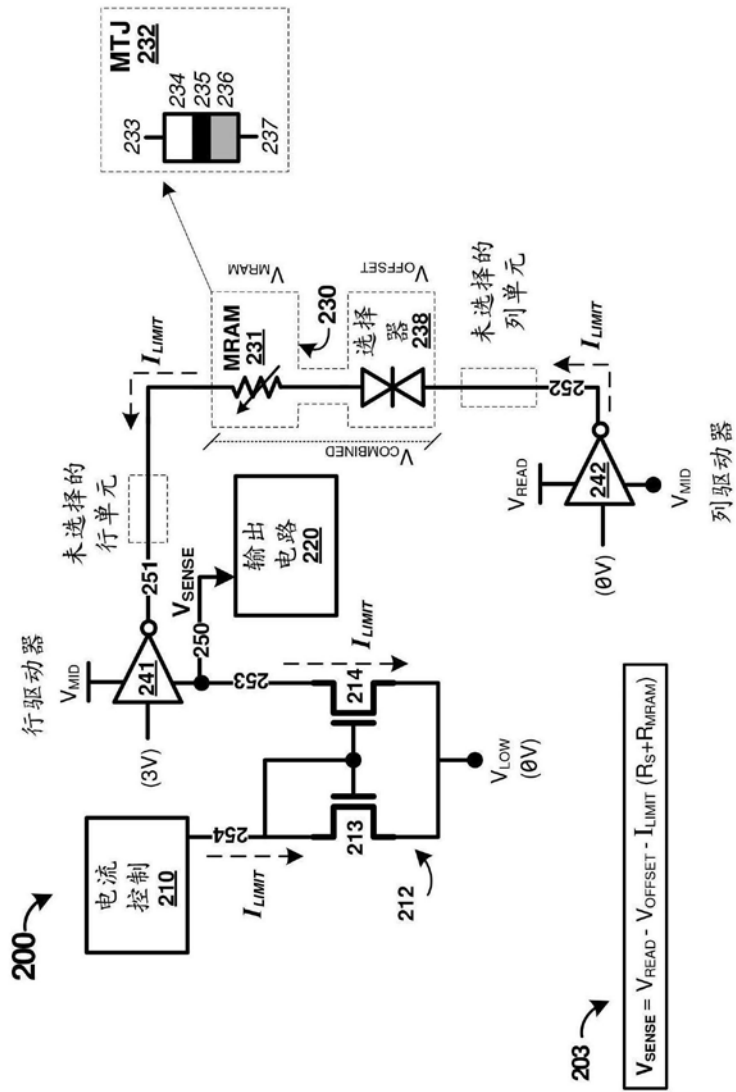


图2

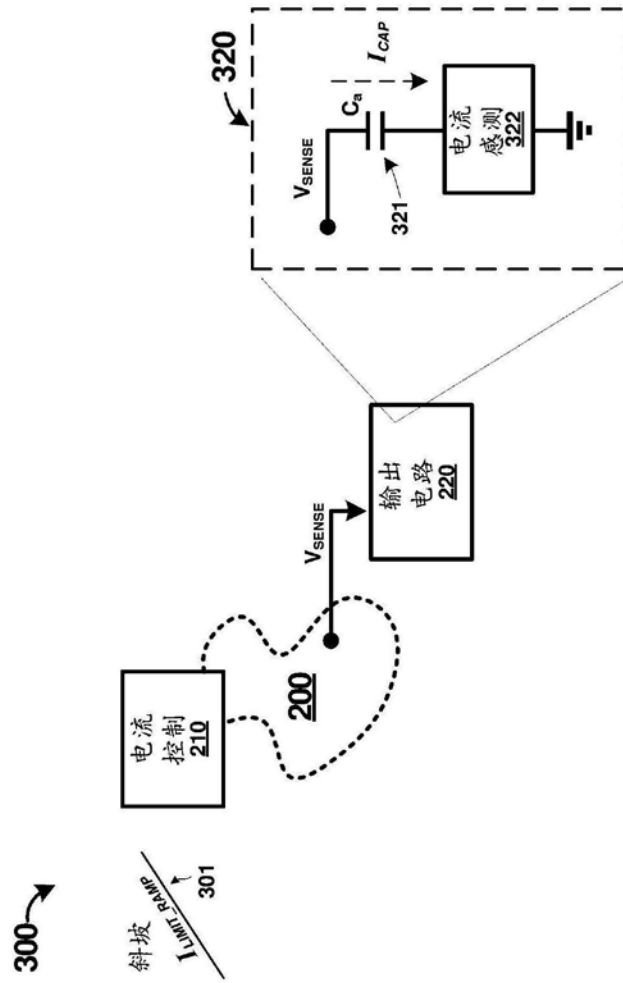


图3

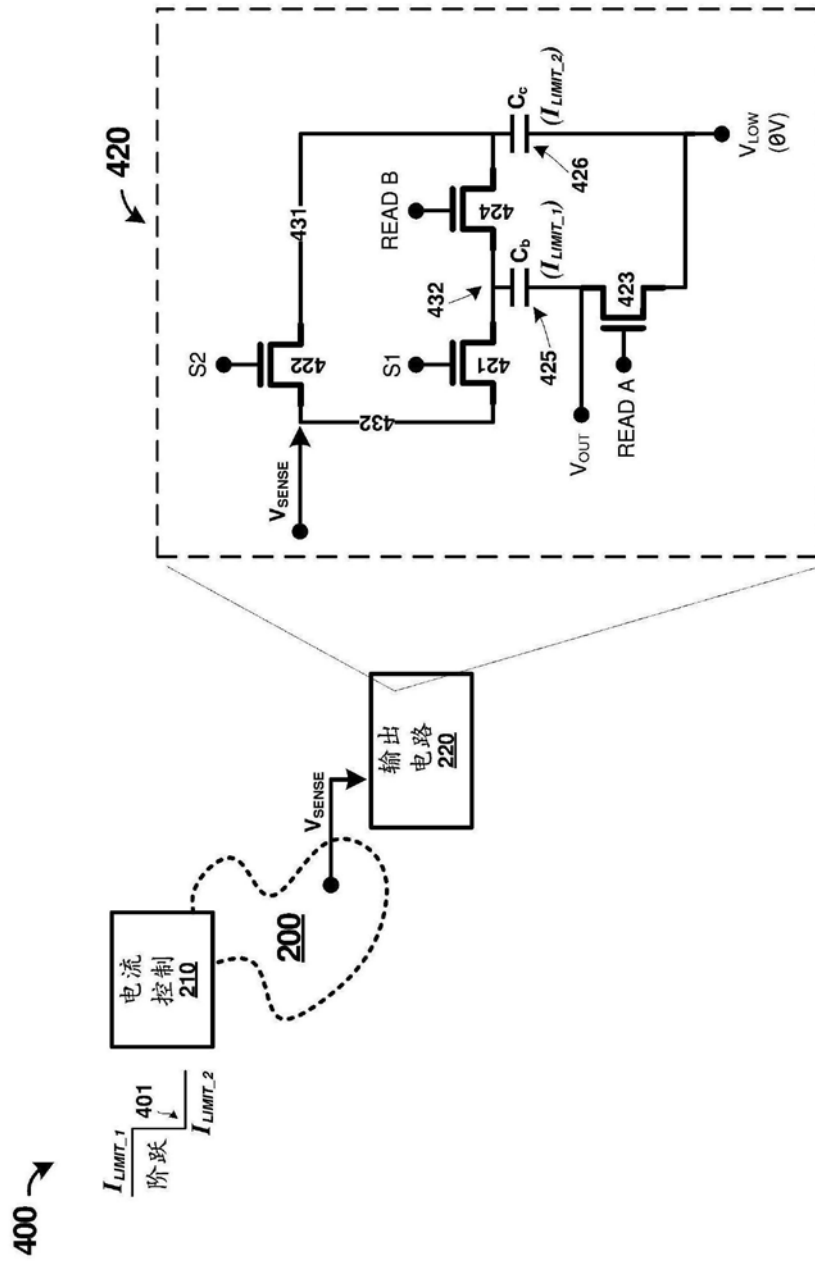


图4

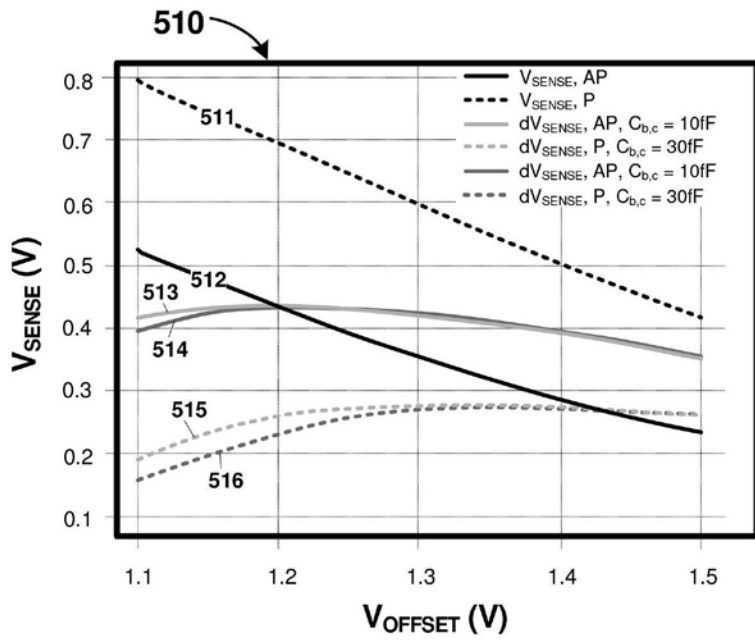
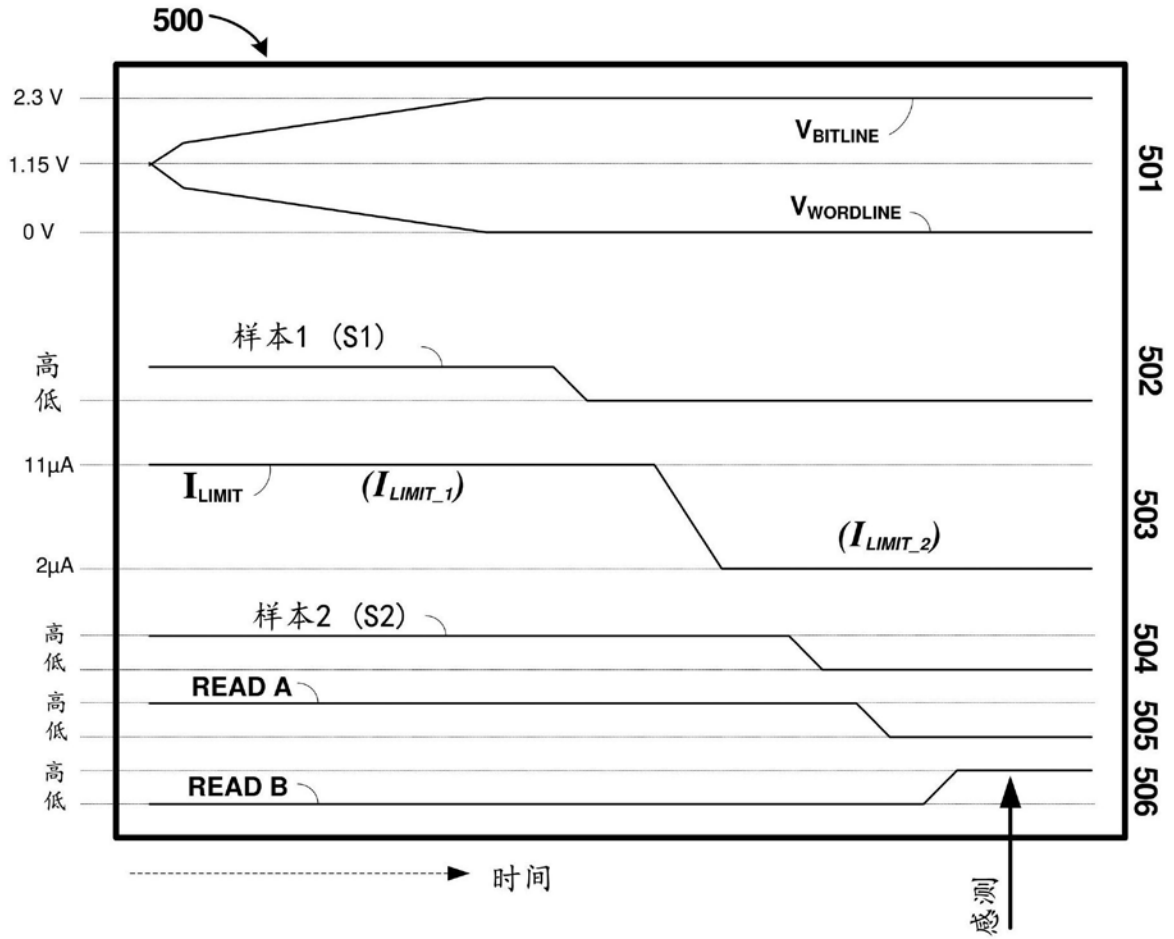


图5

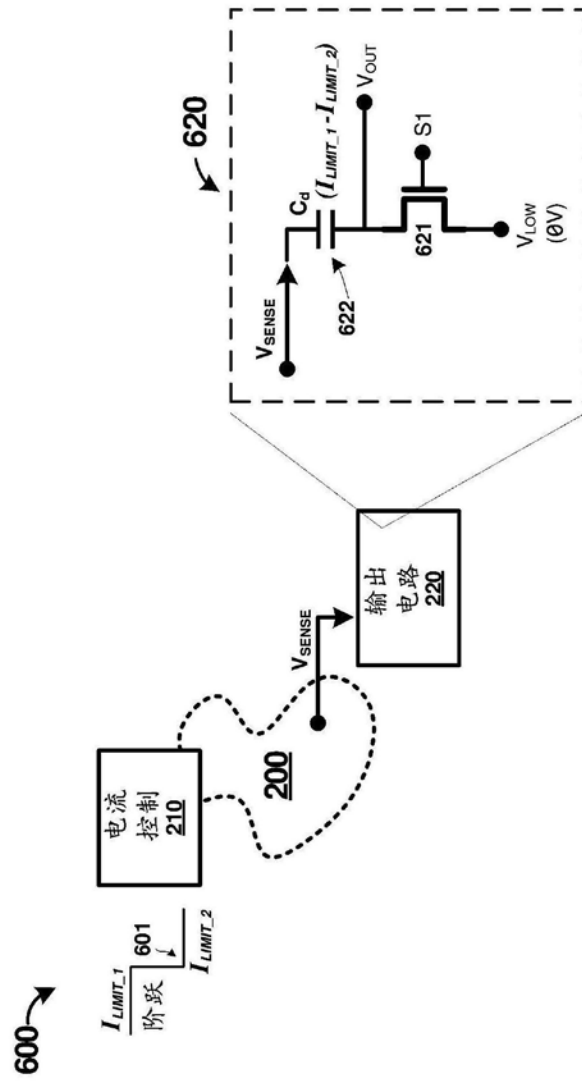


图6

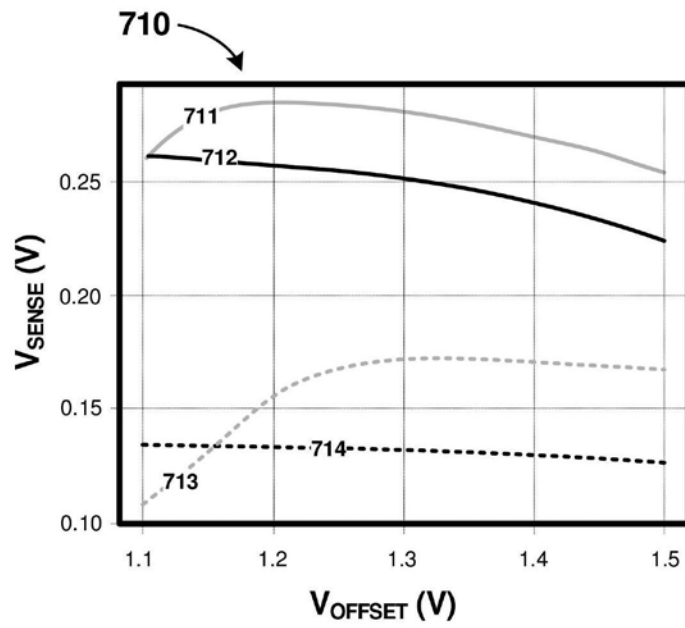
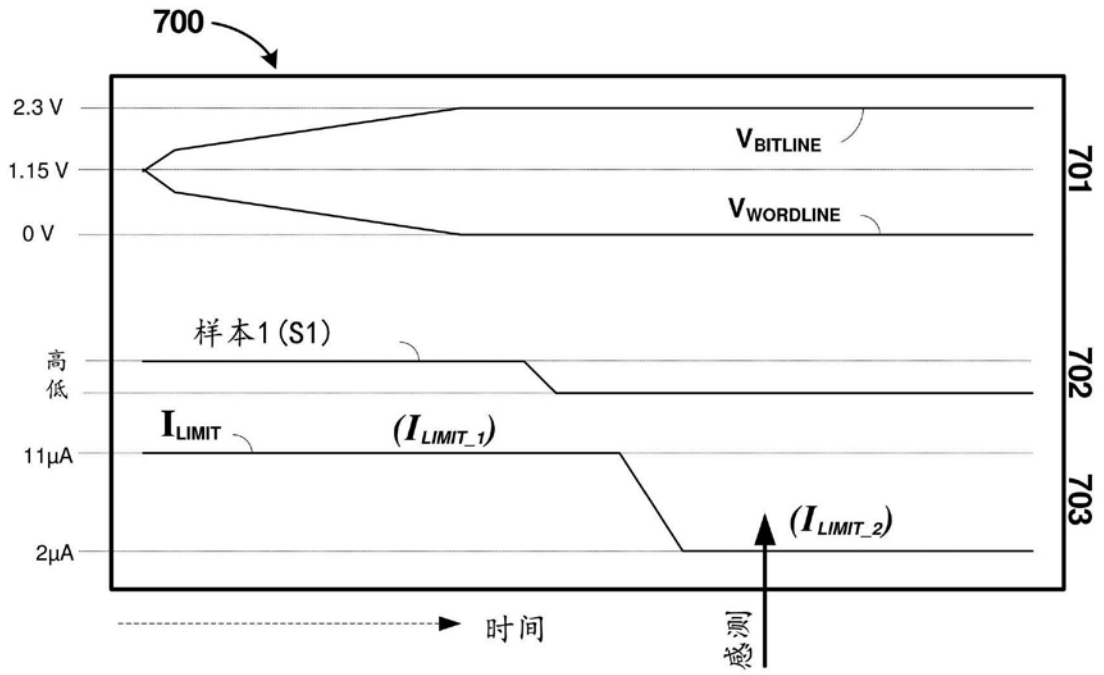


图7

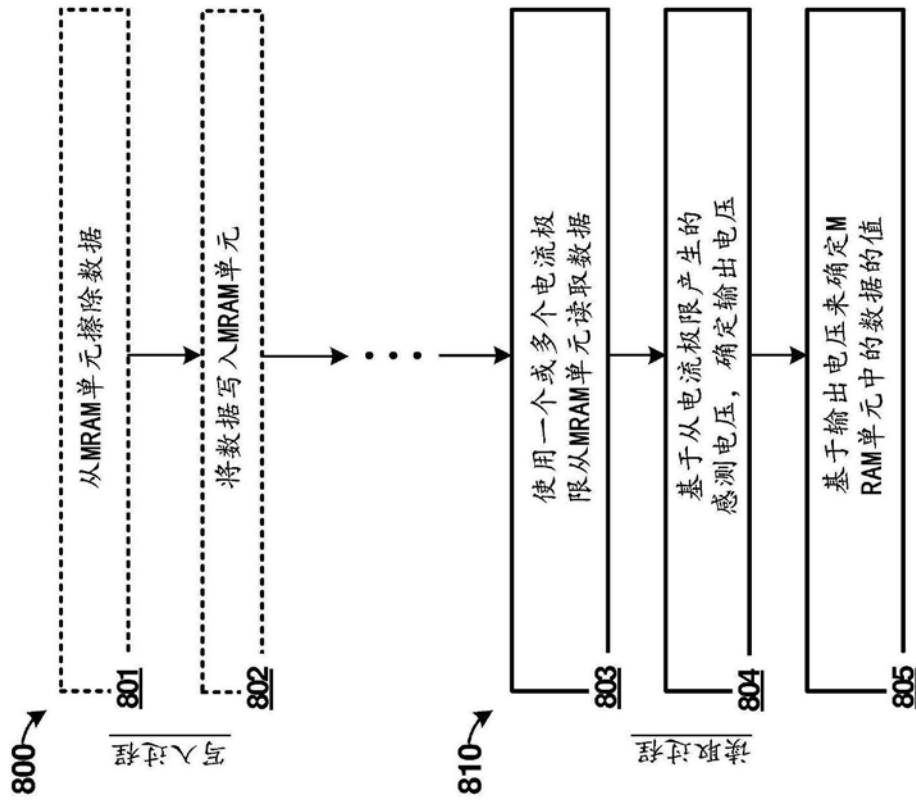


图8

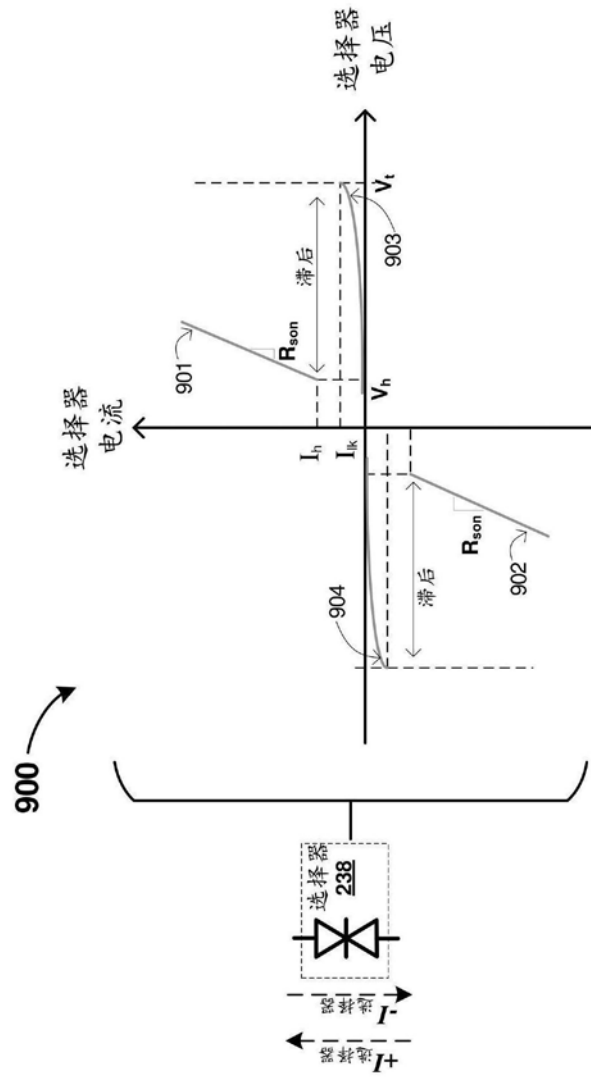


图9