



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I703624 B

(45)公告日：中華民國 109 (2020) 年 09 月 01 日

(21)申請案號：105125004 (22)申請日：中華民國 105 (2016) 年 08 月 05 日

(51)Int. Cl. : *H01L21/304 (2006.01)* *H01L21/306 (2006.01)*
H01L21/336 (2006.01) *H01L23/538 (2006.01)*

(30)優先權：2015/09/24 世界智慧財產權組織 PCT/US15/52001

(71)申請人：美商英特爾股份有限公司(美國) INTEL CORPORATION (US)
 美國

(72)發明人：孫一碩 SON, IL-SEOK (KR)；卡佛 柯林 CARVER, COLIN T. (US)；費雪 保羅 FISCHER, PAUL (US)；摩洛 派翠克 MORROW, PATRICK (US)；全箕玟 JUN, KIMIN (KR)

(74)代理人：林志剛

(56)參考文獻：

US 8,691,664B2	US 2007/0117348A1
US 2013/0189828A1	US 2014/0008757A1

審查人員：黃淑萍

申請專利範圍項數：25 項 圖式數：6 共 39 頁

(54)名稱

顯現積體電路裝置背側的技術與相關架構

(57)摘要

本案的實施例描述用以展現積體電路(IC)裝置背側的技術與相關架構。IC 裝置可以包含多數鰭形成在半導體基板(例如矽基板)上，及隔離氧化物可以沿著該 IC 裝置的背側配置於鰭之間。半導體基板的一部份可以被移除，以留下剩餘部份。該剩餘部份可以使用選擇性研漿以化學機械平坦化(CMP)加以移除，以展現該 IC 裝置的背側。其他實施例可以被描述及/或主張。

Embodiments of the present disclosure describe techniques for revealing a backside of an integrated circuit (IC) device, and associated configurations. The IC device may include a plurality of fins formed on a semiconductor substrate (e.g., silicon substrate), and an isolation oxide may be disposed between the fins along the backside of the IC device. A portion of the semiconductor substrate may be removed to leave a remaining portion. The remaining portion may be removed by chemical mechanical planarization (CMP) using a selective slurry to reveal the backside of the IC device. Other embodiments may be described and/or claimed.

指定代表圖：

符號簡單說明：

- 400 . . . 電路結構
- 402 . . . 裝置層
- 404 . . . 背側
- 406 . . . 前側
- 408 . . . 半導體基板
- 410 . . . IC 裝置
- 420 . . . 載體晶圓

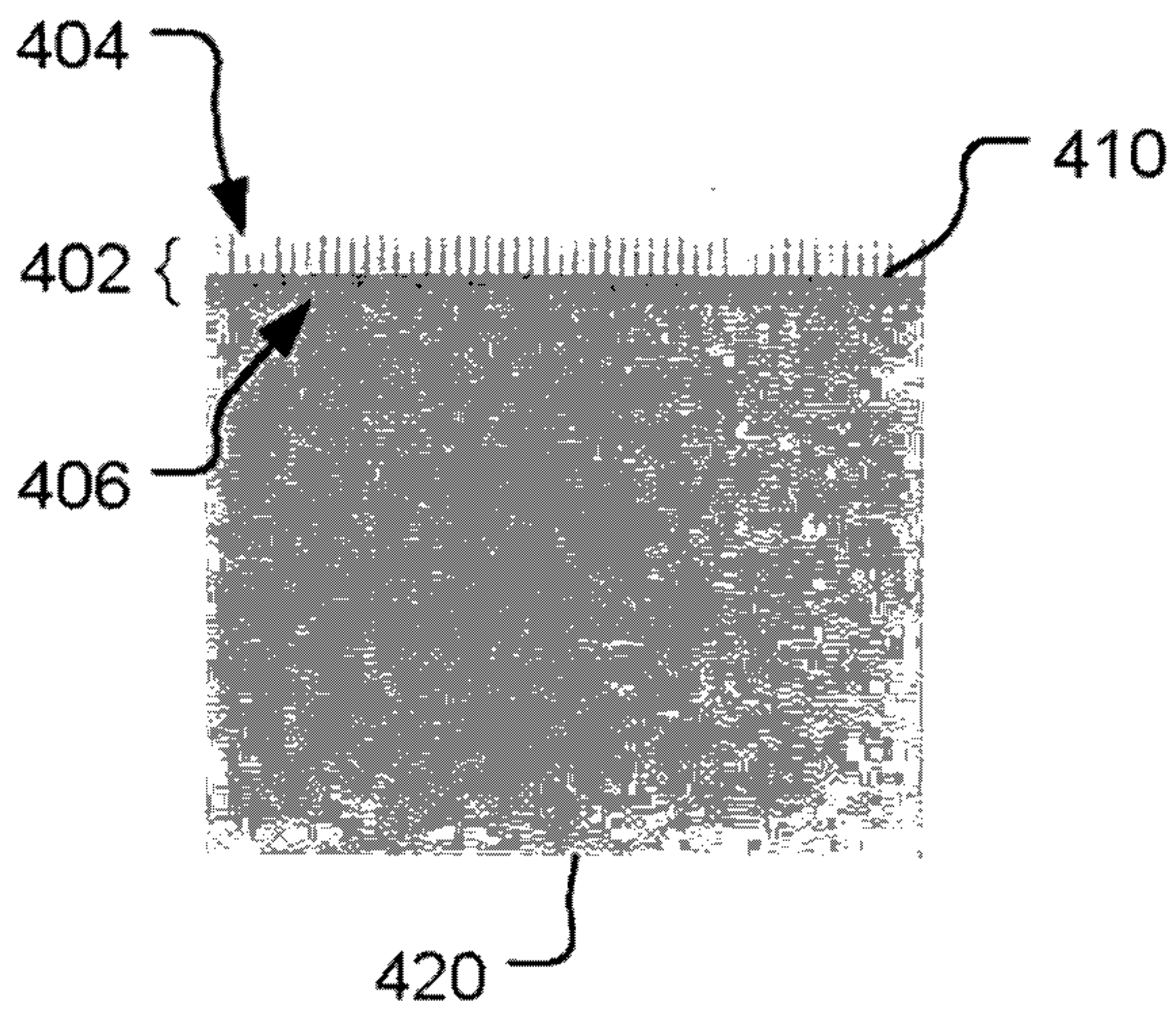


圖 4A

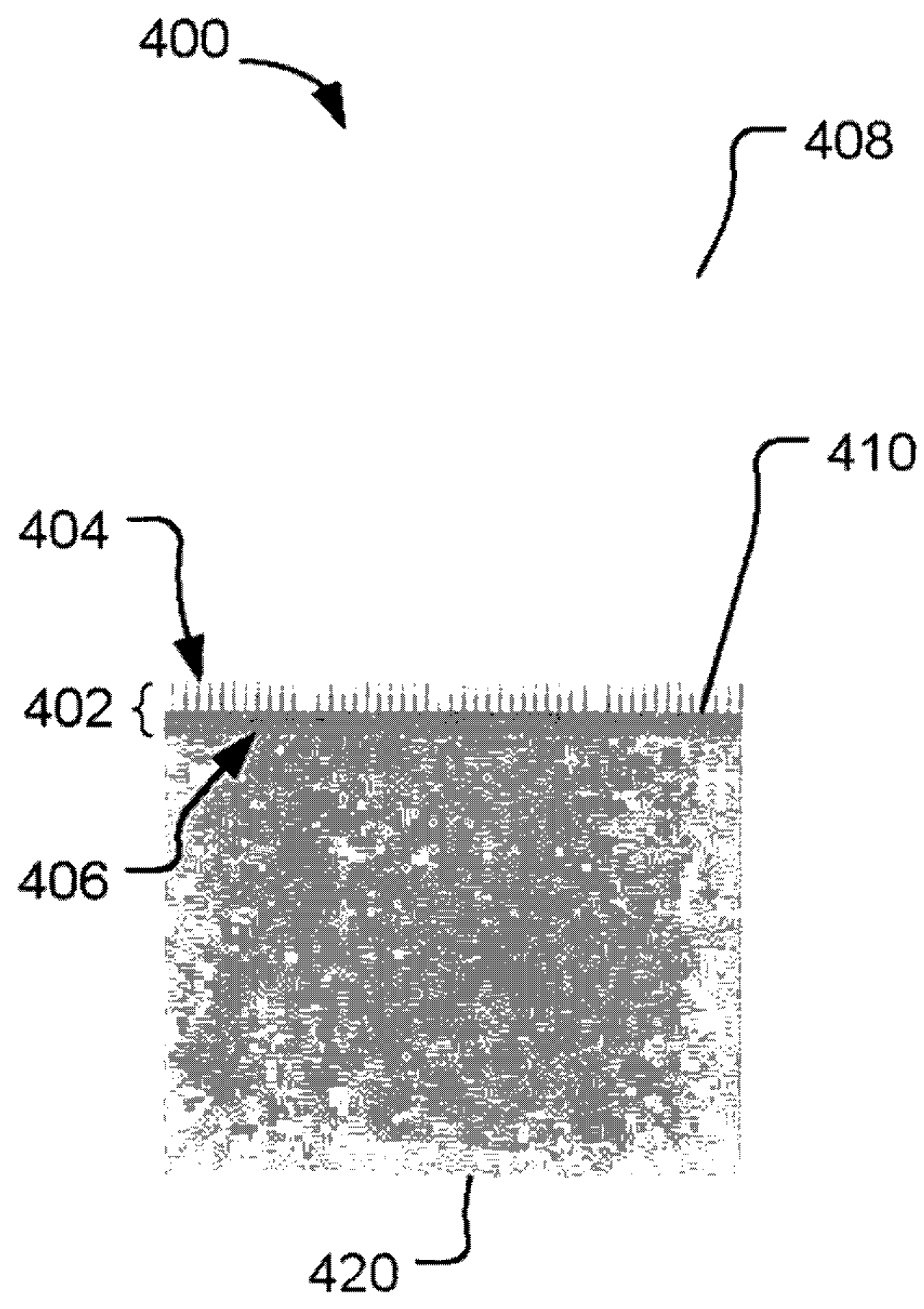


圖 4B

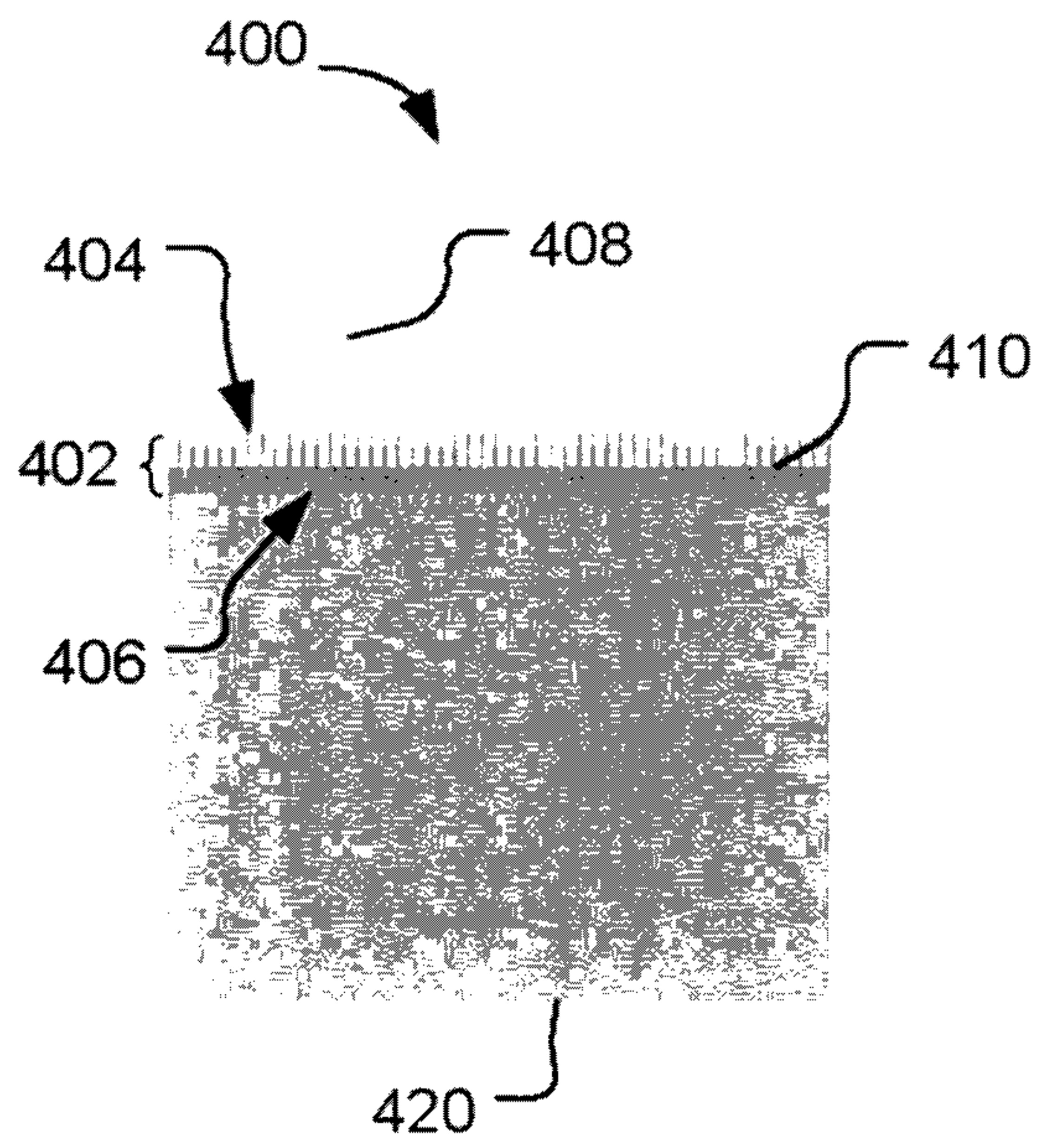


圖 4C

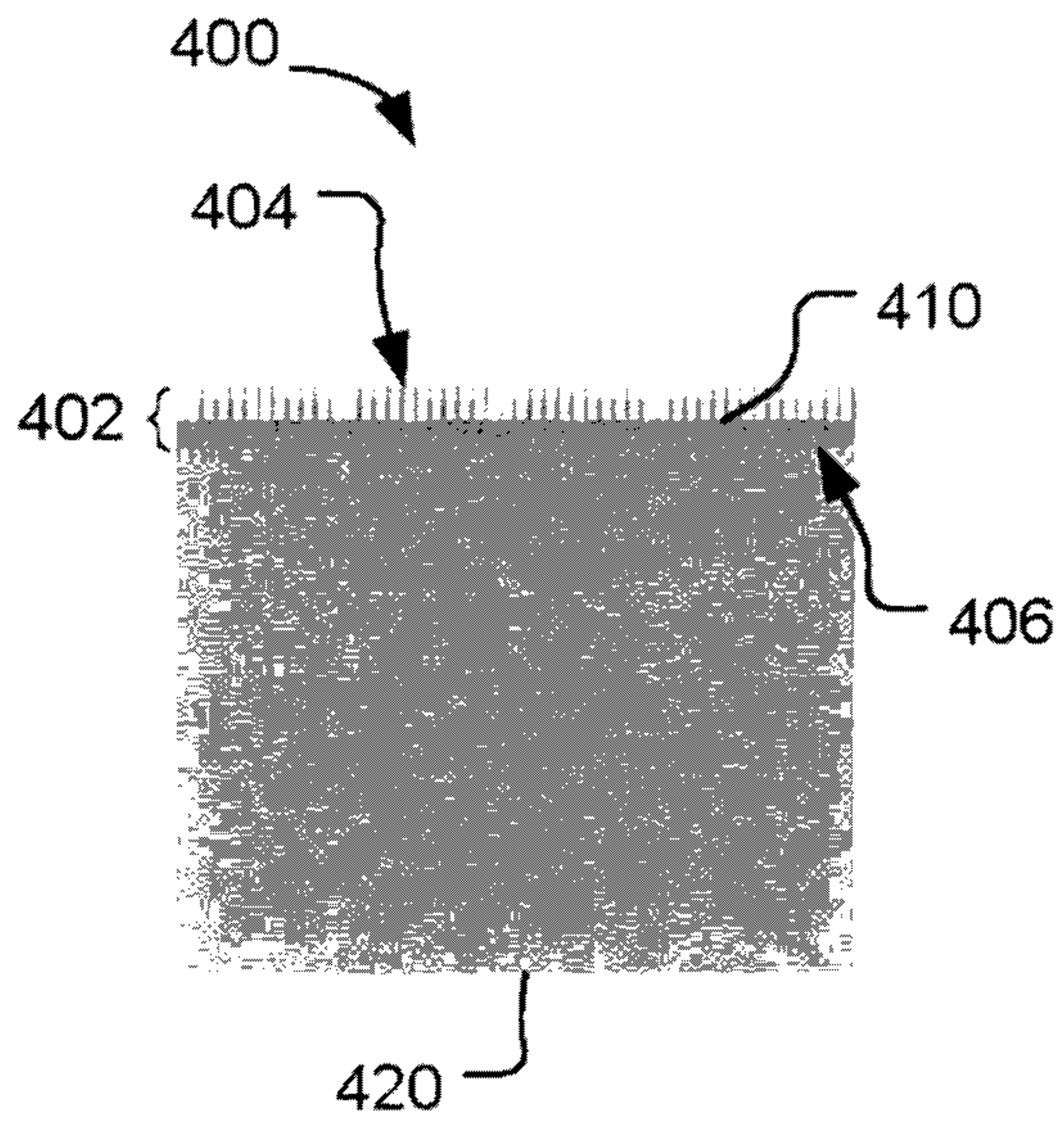


圖 4D

I703624

發明摘要

※申請案號：105125004

※申請日：105年08月05日

※IPC分類：

【發明名稱】(中文/英文)

顯現積體電路裝置背側的技術與相關架構

Techniques for revealing a backside of an integrated circuit device, and associated configurations

【中文】

本案的實施例描述用以展現積體電路（IC）裝置背側的技術與相關架構。IC裝置可以包含多數鰭形成在半導體基板（例如矽基板）上，及隔離氧化物可以沿著該IC裝置的背側配置於鰭之間。半導體基板的一部份可以被移除，以留下剩餘部份。該剩餘部份可以使用選擇性研漿以化學機械平坦化（CMP）加以移除，以展現該IC裝置的背側。其他實施例可以被描述及／或主張。

【英文】

Embodiments of the present disclosure describe techniques for revealing a backside of an integrated circuit (IC) device, and associated configurations. The IC device may include a plurality of fins formed on a semiconductor substrate (e.g., silicon substrate), and an isolation oxide may be disposed between the fins along the backside of the IC device. A portion of the semiconductor substrate may be removed to leave a remaining portion. The remaining portion may be removed by chemical mechanical planarization (CMP) using a selective slurry to reveal the backside of the IC device. Other embodiments may be described and/or claimed.

【代表圖】

【本案指定代表圖】：第(4A-4D)圖。

【本代表圖之符號簡單說明】：

400：電路結構

402：裝置層

404：背側

406：前側

408：半導體基板

410：IC 裝置

420：載體晶圓

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：
無

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

顯現積體電路裝置背側的技術與相關架構

Techniques for revealing a backside of an integrated circuit device, and associated configurations

【技術領域】

[0001] 本案的實施例大致關係於積體電路的領域，更明確地說，關係於展現積體電路裝置的背側的技術與相關架構。

【先前技術】

[0002] 在三維積體電路（IC）裝置中，有必要由該 IC 裝置的前側與背側接近該 IC 裝置的裝置層。然而，可以包含在該 IC 裝置的背側的導孔的密度係反比於在該 IC 裝置的背側上的基板（例如，矽基板）的厚度。

【圖式簡單說明】

[0003] 實施例將結合附圖與以下的詳細說明加以迅速了解。為了促成說明，相似元件符號表示相似結構元件。所示之實施例係以例示並不是用以限定為附圖的圖式中。

[0004] 圖 1 示意說明出依據一些實施例之以晶圓形

式及單片形式的例示晶粒的頂視圖。

[0005] 圖 2 示意說明依據一些實施例之積體電路 (IC) 組件的剖面側視圖。

[0006] 圖 3 為一流程圖，例示依據一些實施例之用以由 IC 裝置的背側移除半導體基板的背側顯現處理。

[0007] 圖 4A-4D 示意說明依據一些實施例之在圖 3 的背側顯現處理的各種階段期間，IC 裝置的剖面側視圖。

[0008] 圖 5A 示意說明依據一些實施例之形成在半導體基板上的 IC 裝置的剖面側視圖。

[0009] 圖 5B 示意說明依據一些實施例之圖 5A 的 IC 裝置中具有為背側顯現處理所移除的半導體基板的剖面側視圖。

[0010] 圖 5C 示意說明依據一些實施例之包含背側導孔與前側導孔的圖 5B 的 IC 裝置的剖面側視圖。

[0011] 圖 6 示意說明一例示系統，其可以包含依據一些實施例之在此描述的 IC 裝置。

【發明內容與實施方式】

[0012] 本案的實施例描述用以顯現積體電路 (IC) 的背側的技術與相關架構。IC 裝置可以包含多數鰭形成在半導體基板 (例如矽基板) 上，及隔離氧化物可以沿著該 IC 裝置的背側配置於鰭之間。半導體基板的一部份可以被移除，以留下剩餘部份。例如，半導體基板的第一部

份可以以機械磨擦移除，及半導體基板的第 2 部份可以以濕式蝕刻移除，以留下剩餘部份。該半導體基板的剩餘部份可以使用選擇性研漿以化學機械平坦化（CMP）加以移除，以顯現該 IC 裝置的背側。

[0013] 在以下詳細說明中，首先參考形成本案一部份的附圖，其中類似元件符號係用以表示在圖式中的所有類似元件，及其中所顯示的例示實施例係用以表示本案的標的可以實施的實施例。可以了解的是，其他實施例也可以被利用，及結構或邏輯上的改變也可以在不脫離本案的範圍下加以完成。因此，以下詳細說明並不是認定為限定方式，實施例之範圍係由隨附申請專利範圍與其等效所界定。

[0014] 為了本案的目的，片語“A 及 / 或 B”表示（A）、（B）、或（A 與 B）。為了本案的目的，片語“A、B、及 / 或 C”表示（A）、（B）、（C）、（A 與 B）、（A 與 C）、（B 與 C）、或（A、B 及 C）。

[0015] 本說明可以使用透視為主的說明，例如，頂 / 底、側、之上 / 之下、等等。此等說明只用以促成討論並不想要將於此所述之實施例被限定應至任何特定方向。

[0016] 說明可以使用“在一實施例中”或“在實施例中”的片語，這些可以各個表示一或多個相同或不同實施例。再者，有關在本案的實施例中所使用的用語“包含”、“包括”、“具有”等等係同義字。

[0017] 在此也可以使用用語“耦接”與其衍生字。“耦

接”可以表示以下的一或多者。“耦接”可以表示兩或更多元件被直接實體或電接觸。然而，“耦接”也可以表示兩或更多元件彼此間接接觸，但仍彼此配合或互動，並可以表示一或更多其他元件被耦接或連接在予以彼此耦接的元件之間。用語“直接耦接”可以表示兩或更多元件被直接接觸。

[0018] 在各種實施例中，片語“一第一特性被形成、沈積或以其他方式配置在第二特性上”可以表示第一特性係被形成、沈積或配置在第二特性之上，及第一特性的至少一部份可以直接接觸（例如，直接實體及／或電接觸）或間接接觸（例如，在第一特性與第二特性之間有一或更多其他特性）第二特性的至少一部份。

[0019] 如在此所用，用語“模組”可以表示至少部份或包含特定應用積體電路（ASIC）、電子電路、處理器（共用、專屬或群組）及／或記憶體（共用、專屬或群組），其執行一或更多軟體或韌體程式、組合式邏輯電路、及／或提供所述功能的其他適當元件。

[0020] 圖 1 示意說明依據一些實施例之以晶圓形式 10 與單片形式 100 的例示晶粒 102 的俯視圖。在一些實施例中，晶粒 102 可以是由例如矽或其他適當材料的半導體材料構成的晶圓 11 的多數晶粒（例如，晶粒 102、103a、103b）之一。多數晶粒可以形成晶圓 11 的表面上。各個晶粒可以是半導體產品的重覆單元，其包含在此所述之一或更多 IC 裝置（例如，圖 4A-4D 及／或圖 5A-

5C 之 IC 裝置 410)。

[0021] 例如，晶粒 102 可以包含具有電晶體結構 104 的電路，電晶體結構 104 係例如一或更多通道主體（例如，鰭結構、奈米線、平坦主體等），其提供一通道路徑，給一或更多電晶體裝置或源極/汲極區的行動電荷載體。電內連線結構，例如電晶體電極組件（例如終端接觸）可以形成在一或更多電晶體結構 104 上並與之耦接，以將電能配送進出電晶體結構 104。例如，終端接觸可以電耦接至通道主體，以提供閘極電極作臨限電壓及／或源極/汲極電流的輸送，以提供行動電荷載體作電晶體裝置的操作。雖然為了簡明起見，電晶體結構 104 係描繪成為在圖 1 的晶粒 102 的整個部份的多數列，但應了解，在其他實施例中，電晶體結構 104 可以是在晶粒 102 上的各種其他適當配置的一種，例如包含具有較所繪為小的尺寸的垂直與水平特性。

[0022] 在實施於晶粒中之半導體產品的製程完成後，晶圓 11 可以受到單片（singulation）處理，其中各個晶粒（例如晶粒 102）係被彼此分開以提供分立的“晶片”的半導體產品。晶圓 11 可以是各種大小的任一。在一些實施例中，晶圓 11 具有範圍由約 25.4mm 至約 450mm 的直徑。在其他實施例中，晶圓 11 可以包含其他大小及／或其他形狀。依據各種實施例，電晶體結構 104 可以以晶圓形式 10 或單片形式 100 配置在半導體基板上。於此描述之電晶體結構 104 可以併入於作邏輯或記憶體，或其

組合的晶粒 102 中。在一些實施例中，電晶體結構 104 可以為系統晶片（SoC）組件的一部份。

[0023] 圖 2 示意說明依據一些實施例之 IC 封裝組件 200 的例示剖面側視圖。IC 封裝組件 200 代表依據各種實施例之例示堆疊架構，其中第一晶粒 202a 係使用晶粒級內連線 206a 耦接至封裝基板 210 及第二晶粒 202b 係使用晶粒級內連線 206b 耦接至第一晶粒 202a。晶粒 202a 及／或晶粒 202b 可以對應於圖 1 的晶粒 102。

[0024] 在各種實施例中，晶粒 202a 可以包含第一側 S1 及與第一側 S1 相反之第二側 S2。在一些實施中，第一側 S1 可以稱為晶粒 202a 的“前側”，及第二側 S2 可以被稱為晶粒 202a 的“背側”，但在其他實施例中，第一側 S1 也可以是背側及第二側 S2 也可以是前側。晶粒 202a 的背側可以是在晶粒 202a 製造期間，晶粒 202a 上被配置有半導體基板的一側。然而，如在此所進一步討論，半導體基板可以在製造期間被移除，因此，並未出現在所製造晶粒 202a 上。

[0025] 在一些實施例中，晶粒 202a 可以通常包含：一或更多裝置層（以下稱“裝置層 204b”）；一或更多內連線層（以下稱“內連線層 204a”）配置在晶粒 202a 的第一側 S1 上；及一或更多內連線層（以下稱“內連線層 204c”）配置在晶粒 202a 的第二側 S2 上。裝置層 204b 可以代表例如電晶體裝置的主動裝置被形成在該半導體基板上的區域。裝置 102b 可以例如包含如電晶體裝置的通道

主體及／或源極/汲極區的電晶體結構。內連線層 204a 及／或 204c 可以包含內連線結構（例如，電極終端），其係被架構以配送電信號進出在裝置層 204b 中的主動裝置。例如，內連線層 204a 及／或 204c 可以包含水平線（例如溝渠）及／或垂直插塞（例如導孔）或其他適當特性，以提供電氣路由及／或接觸。內連線層 204a 及／或 204c 可以額外或替代地包含一或更多貫孔（有時也在包含矽基板的裝置中，稱為貫矽導孔（TSV）），其由晶粒 202a 的第一側 S1 延伸到第二側 S2，以配送信號於晶粒 202b 與封裝基板 210 之間。

[0026] 晶粒 202a 及／或晶粒 202b 可以代表使用例如薄膜沈積、微影、蝕刻等配合形成互補金屬氧化物半導體（CMOS）裝置的半導體製造技術，由半導體材料（例如矽）所作成的分立產品。在一些實施例中，晶粒 102 可以是或包含處理器、記憶體、系統晶片（SoC）或特殊應用 IC（ASIC），或是其一部份。在一些實施例中，例如，如模製化合物或底填材料（未示出）的電絕緣材料可以密封該晶粒 202a 與／或晶粒級內連線 206 的至少一部份。

[0027] 在一些實施例中，第一晶粒 202a 可以包含處理器及第二晶粒 202b 可以包含記憶體。第一晶粒 202a 及／或第二晶粒 202b 可以被架構以執行在其他實施例中之其他功能。例如，在一些實施例中，第一晶粒 202a 可以被架構以作動為記憶體、特殊應用積體電路（ASIC）、

處理器或其組合。

[0028] 在所描繪架構中，第一晶粒 202a 被以倒裝晶片 (flip-chip) 架構耦接至封裝基板 210 及第二晶粒 202b 被以倒裝架構耦接至第一晶粒 202a。IC 封裝組件 200 並不限於圖 2 中所描繪之架構並可以在其他實施例中，包含各種其他適當架構。例如，在一些實施例中，其他晶粒也可以堆疊在第二晶粒 202b 上，及／或第一晶粒 202a 可以耦接至封裝基板 210 以外的元件。在一些實施例中，IC 封裝組件 200 可以包含例如倒裝晶片與打線 (wire-bonding) 技術、中介板，包含 SoC 及／或封裝上封裝 (PoP) 架構之多晶片封裝架構的組合，以配送電信號。

[0029] 在一些實施例中，IC 封裝組件 200 可以包含被組態以配送電信號於第一晶粒 202a (及／或第二晶粒 202b) 與在 IC 封裝組件 200 之外的其他電元件間的封裝內連線 212，IC 封裝組件 200 例如包含如主機板 (例如圖 6 的主機板 602) 的電路板。依據各種實施例，封裝基板 210 可以由聚合物、陶瓷、玻璃或具有電路由特性形成於其中的半導體材料所構成，以電耦接晶粒級內連線 206a 與封裝內連線 212。電路由特性可以包含：例如墊或軌跡 (未示出)，配置在封裝基板 210 的一或更多表面上；及／或內部路由特性 (未示出)，例如，溝渠、導孔或其他內連線結構，以配送電信號通過封裝基板 210。例如，在一些實施例中，封裝基板 210 可以包含電路由特性，例如墊 (未示出)，被架構以接收晶粒 202a 的個別晶粒級內

連線 206a。

[0030] 內連線 206a、206b、212 可以包含各種類型的適當結構及／或材料的任何者，包含例如使用金屬、合金、可焊材料或其組合所形成的凸塊、柱或球。在其他實施例中，內連線 206a、206b、212 也可以包含其他適當結構及／或材料。內連線 206a 可以電耦接至內連線層 204a，以（例如經由封裝基板 210）配送電信號於晶粒 202a 及其他電裝置之間。內連線 206b 可以電耦接至內連線層 204c，以配送電信號於晶粒 202a 與晶粒 202b 之間。電信號可以包含例如輸入／輸出（I/O）信號及／或電／接地信號，其係用以配合晶粒 202a 及／或晶粒 202b 的操作。

[0031] 圖 3 為依據各種實施例的可以執行以自 IC 裝置的背側移除半導體基板的背側顯現製程 300（以下稱“製程 300”）的例示流程圖。在一些實施例中，一些或所有製程 300 可以被執行於半導體晶圓上，其包含多數 IC 裝置配置於其上。

[0032] 圖 4A、4B、4C 及 4D 示意說明依據各種實施例之在製程 300 的各階段的電路結構 400 的剖面側視圖。因此，製程 300 將參考圖 4A-4D 加以說明如下。

[0033] 參考圖 4A，電路結構 400 可以包含裝置層 402，其形成具有背側 404 及前側 406 的多數 IC 裝置 410。前側 406 可以耦接至半導體基板 408。在一些實施例中，半導體基板 408 可以為晶圓。半導體基板 408 可以實質由單體半導體材料，例如在一些實施例中為矽所構

成。

[0034] 裝置層 402 可以形成多數 IC 裝置 410。裝置層 402 可以對應於例如電晶體裝置的主動裝置形成在半導體基板 408 的區域。裝置層 402 可以例如包含電晶體結構，例如，電晶體裝置的通道主體及／或閘極／源極／汲極區。

[0035] 圖 5A 例示依據各種實施例之形成在基板 408 上的 IC 裝置 410 的更接近側剖面圖。IC 裝置 410 可以包含一或更多鰭 512，其由 IC 裝置 410 的背側 404 延伸（例如進入 IC 裝置 410 的主體）。鰭 512 可以實質由背側 404 及／或基板 408 垂直延伸，並可以彼此側向分開。鰭 512 可以由半導體材料，例如矽形成。例如，在一些實施例中，鰭 512 可以由基板 408 形成。

[0036] 或者，或另外，在一些實施例中，鰭 512 可以包含一或更多半導體材料的奈米線。在鰭 512 包含多數半導體材料的奈米線之實施例中，奈米線可以彼此堆疊於其上。在一些實施例中，鰭 512 的奈米線可以彼此分隔開一介電材料。奈米線可以包含及／或被耦接閘極氧化物及／或閘極金屬。

[0037] IC 裝置 410 可以更包含耦接至基板 408 的隔離氧化物 514，於鰭 512 之間。隔離氧化物 514 可以為任何適當材料，例如，氧化矽（ SiO_2 ）、矽氧氮化物（ SiO_xN_y ）、矽氮化物（ Si_xN_y ）、氧化鋁（ Al_2O_3 ）、氧化鈦（ HfO_2 ）、鈦鋁氧化物（ HfAl_xO_y ）、鈦矽氧化物（

HfSi_xO_y)、氧化鋯 (ZrO₂)、鋯矽氧化物 (ZrSi_xO_y)、氧化釧 (La₂O₃)、氧化釷 (Y₂O₃)、釧鋁氧化物 (LaAl_xO_y)、氧化鉭 (Ta₂O₅)、氧化鈦 (TiO₂)、鋇銻鈦氧化物 (BaSrTi_xO_y)、鋇鈦氧化物 (BaTi_xO_y)、銻鈦氧化物 (SrTi_xO_y)、鉛釷鉭氧化物 (PbSc_xTa_yO_z)、或銻酸鉛鋅 (PbZn_xNb_yO_z)、摻碳氧化物 (CDO)、氮化矽 (SiN) 或其組合，其中 x、y、及 z 代表個別元素的適當量。隔離氧化物 514 可以界定 IC 裝置 410 的背側 404。

[0038] 在各種實施例中，IC 裝置 410 可以更包含耦接至一或更多鰭 512 的電晶體結構 516。電晶體結構 516 可以包含多數電晶體層，其與鰭 512 一起形成一或更多電晶體。例如，鰭 512 可以形成電晶體的通道區，及電晶體結構 516 可以形成電晶體的通道區的另一部份及／或閘極／源極／汲極區。將了解的是，電晶體結構 516 可以包含任何適當材料層，以與鰭 512 一起形成電晶體。例如，電晶體結構 516 可以包含一或更多半導體層、氧化物層、介電層、絕緣體層、及／或金屬層。

[0039] 在一些實施例中，隔離氧化物 514 可以如所示整個包圍電晶體結構 516。一或更多導孔（未示出）可以配置於隔離氧化物 514 中（例如，由背側 404 及前側 406），以電耦接一或更多電晶體結構 516 至其他元件。

[0040] 雖然於此所述之背側顯現技術係參考鰭場效電晶體 (finFET) 加以描述，但依據各種實施例，背側顯現技術可以應用至包含其他類型電晶體的 IC 裝置。例

如，在一些實施例中，IC 裝置可以包含平面電晶體。此等 IC 裝置可以包含將半導體區分開的淺溝渠隔離（STI）區。STI 可以藉由蝕入基板以形成凹陷並以隔離氧化物填入該等凹陷加以形成在半導體基板中。半導體區可以為摻雜半導體井，例如，n-型摻雜井（例如，形成 p-型電晶體）或 p-型摻雜井（例如，形成 n-型電晶體）。在 STI 區與摻雜半導體井下的半導體基板可以如於此所述地加以移除。因此，IC 裝置的背側可以包含為 STI 區所分開的摻雜半導體部份。

[0041] 或者，在一些實施例中，IC 裝置可以形成在絕緣體上有矽晶圓上，其包含絕緣體層（例如，隔離氧化物）配置在矽基板上。半導體層（例如矽）及其他電晶體層可以形成在絕緣體層上，以形成一或更多電晶體。在各種實施例中，半導體基板可以使用絕緣體層作為蝕刻停止層來加以移除。因此，絕緣體層可以被曝露並可以界定 IC 裝置的背側。

[0042] 再次參考圖 3，在 302，製程 300 可以包含將配置在半導體基板晶圓上的 IC 裝置的頂側黏著至載體晶圓。例如，圖 4A 例示具有載體晶圓 420 黏著至 IC 裝置 410 的前側 406 的電路結構 400。IC 裝置 410 可以形成在半導體基板 408 上，以前側 406 朝上，及 IC 裝置 410 的晶圓然後被倒裝並黏著至載體晶圓 420，以前側 406 朝下。

[0043] 載體晶圓可以為任何適當材料，例如矽。載

體晶圓可以藉由任何適當機制，例如氧化物熔結、金屬黏結或黏著劑黏著，黏著至 IC 裝置 410 的前側 406。另外，載體晶圓可以暫時或永久黏著至 IC 裝置 410。暫時黏著表示載體晶圓係在製程 300 執行後被移除。永久黏著表示載體晶圓在其最終形式（例如，當 IC 裝置 410 被併入例如 IC 封裝組件 200 的 IC 封裝內）中仍保持黏著至 IC 裝置 410。在一些實施例中，載體晶圓可以包含路由特性，用以配送電信號於 IC 裝置 400 與一或更多其他裝置之間。

[0044] 在 304，製程 300 可以包含例如藉由機械磨擦移除（半導體基板晶圓的）半導體基板的第一部份。圖 4B 例示在機械磨擦已經執行於半導體基板 408 之後的電路結構 400。機械磨擦可以將半導體基板的厚度（例如，在由 IC 裝置的背側的垂直的尺寸）由第一厚度降低至第二厚度。在一非限定例子中，第一厚度可以約 775 微米（ μm ）及第二厚度可以約 5 至 10 μm 。第二厚度可以於半導體基板的整個表面改變。適當方法或機械可以被使用於 304 作機械磨擦。例如，半導體基板可以與旋轉磨輪接觸。在一些實施例中，包含半導體基板的晶圓可以除了旋轉磨輪外地旋轉、或替代磨輪旋轉。磨輪的表面可以為磨擦性及／或以其他方式將半導體材料由基板層移除。

[0045] 在 306，製程 300 可以包含例如藉由如濕式蝕刻的蝕刻製程，移除半導體基板的第二部份。圖 4C 例示在濕式蝕刻執行於半導體基板 408 後的電路結構 400。濕

式蝕刻可以移除半導體基板的第二部份，以留下半導體基板的剩餘部份。例如，濕式蝕刻可以將半導體基板的厚度由第二厚度降低至第三厚度。在非限定例子中，第三厚度可以約 0.5 至 2 μm 。第二厚度在半導體基板的整個表面上可不均勻。適當方法或機械可以被使用於 306 作濕式蝕刻。例如，晶圓可以被放置於蝕刻室，其中半導體基板係被曝露至蝕刻劑（例如，藉由噴灑工具），以移除半導體基板的第二部份。在一些實施例中，為了蝕刻矽的全面層，蝕刻製程可以使用一或更多矽蝕刻劑，例如，氫氧化四甲銨（TMAH）、氫氟酸（HF）、硝酸、及／或醋酸。

[0046] 在 308，製程 300 可以例如藉由使用選擇性研漿的 CMP 移除半導體基板的剩餘部份。圖 4D 例示在 CMP 已經被執行以移除半導體基板 408 的剩餘部份後的電路結構 400。CMP 可以曝露 IC 裝置 410 的背側 404。

[0047] 作為 CMP 製程的部份，選擇性研漿可以施加至半導體基板的表面，及研磨墊可以施加壓力至選擇性研漿及／或半導體基板的表面。研磨墊可以旋轉，以提升研漿的均勻分佈並產生相當平滑所得表面（例如，在 IC 裝置的背側上）。選擇性研漿可以相較於隔離氧化物對半導體基板的材料（例如矽）有高度選擇性。因此，研漿可以對半導體基板有侵蝕性，以將半導體基板自 IC 裝置的背側移除。然而，研漿可以對隔離氧化物沒有侵蝕性，因此，CMP 製程可以保持隔離氧化物的結構完全不變。

[0048] 雖然製程 300 係被描述為使用磨擦、濕式蝕

刻然後 CMP，以將半導體基板自 IC 裝置的背側移除，但其他實施例也可以包含其他技術，以移除半導體基板。例如，在一些實施例中，整個半導體基板可以以 CMP 移除。在其他實施例中，半導體基板的第一部份可以藉由磨擦加以移除，及然後半導體基板的剩餘部份以 CMP 移除。在其他實施例中，半導體基板的第一部份可以藉由濕式蝕刻移除，然後，半導體基板的剩餘部份以 CMP 移除。

[0049] 因為 IC 裝置的鰭可以以與半導體基板相同的材料（例如矽）形成，所以，鰭沿著 IC 裝置的背側的一部份也可以以 CMP 製程移除。例如，圖 5B 例示依據一些實施例之在 CMP 製程已經執行以移除半導體基板 408 之後的 IC 裝置 410。鰭 512 沿著背側 404 的表面 524 可以被作成碟（例如，曲）面，其係由為隔離氧化物 514 所界定的背側 404 的平面凹陷。

[0050] 在一些實施例中，鰭 512 可以更進一步凹陷，使得鰭 512 的表面 524 由隔離氧化物 514 的表面凹陷。鰭 512 可以例如藉由 CMP、濕式蝕刻、乾式蝕刻及／或其他適當製程作成凹陷。

[0051] 在各種實施例中，在半導體基板為 CMP 製程所移除後，導孔可以形成在 IC 裝置的背側中，以提供對 IC 裝置的一或更多層（例如，到一或更多電晶體層）的電連接。例如，圖 5C 例示 IC 裝置 410，具有背側導孔 526 被形成在 IC 裝置 410 的背側 404 中。背側導孔 526

可以由 IC 裝置 410 的背側 404 延伸入 IC 裝置的主體（例如，至電晶體結構 516 的一或更多層）。背側導孔 526 可以包含金屬，以提供導電路徑給電晶體結構 516 及／或通過 IC 裝置 410。

[0052] 導孔典型包含一寬度，其當導孔延伸入 IC 裝置變窄。半導體基板的移除可以允許背側導孔（例如，背側導孔 526）較通過基板層的導孔為短。因此，在 IC 裝置的背側的導孔的寬度可以較在該 IC 裝置的背側上包含基板的 IC 裝置中的導孔為低，藉以允許較高密度的背側導孔被形成在該 IC 裝置的背側。

[0053] 如在圖 5C 所例示，IC 裝置 410 可以更包含形成在 IC 裝置 410 的前側 406 的前側導孔 528。前側導孔 528 可以由 IC 裝置 410 的前側 406 延伸入主體，以提供導電路徑給 IC 裝置 410 的一或更多層及／或提供導電路徑通過 IC 裝置 410。在一些實施例中，前側導孔 528 可以在移除半導體基板 408 之前被形成在 IC 裝置 410 中。或者，前側導孔 528 可以在半導體基板 408 被移除後，被形成在 IC 裝置 410 中。

[0054] 在一些實施例中，其他結構可以在半導體基板被移除後被形成在 IC 裝置的背側上。例如，一或更多內連線層（例如示於圖 2 中的內連線層 204c）可以在半導體基板被移除後，被形成在 IC 裝置的背側上。

[0055] 各種操作係以最有助於了解本案主張的標的之方式依據以多重分立方式加以描述。然而，說明的順序

不應被建構為暗示這些操作必須順序相關。本案的實施例可以使用任何適當硬體及／或軟體如想要地組合加以實施。

[0056] 圖 6 示意說明依據一些實施例之此所描述之包含 IC 裝置（例如 IC 裝置 410）的例示系統（例如計算系統 600）。計算系統 600 的元件包圍在密封體（例如，外殼 608）內。主機板 602 可以包含若干元件，包含但並不限於處理器 604 及至少一通訊晶片 606。處理器 604 可以實體及電耦接至主機板 602。在一些實施例中，至少一通訊晶片 606 也可以實體及電耦接至主機板 602。在其他實施例中，通訊晶片 606 可以為處理器 604 的一部份。

[0057] 取決於其應用，計算系統 600 可以包含可以可不實體及電耦接至主機板 602 的其他元件。這些其他元件可以包含但並不限於揮發記憶體（例如，DRAM）、非揮發記憶體（例如，ROM）、快閃記憶體、圖形處理器、數位信號處理器、加密處理器、晶片組、天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、蓋革計數器、加速計、陀螺儀、喇叭、攝影機、及大量儲存裝置（例如硬碟機、光碟（CD）、數位多功能光碟（DVD）等等）。

[0058] 通訊晶片 606 完成無線通訊，用以傳送資料進出計算系統 600。用語“無線”及其衍生可以用以描述電路、裝置、系統、方法、技術、通訊通道等，其可以透過

非實體媒體使用調變電磁輻射傳送資料者。用語並不是表示相關裝置並不包含任何線路，但在一些實施例中可能是如此。通訊晶片 606 可以實施若干無線標準或協定之任一，包含但並不限於電子電機工程師協會（IEEE）標準，包含 Wi-Fi（IEEE802.11 系列）、IEEE802.16 標準（例如，IEEE802.16-2005 修訂）、長期演進（LTE）計劃與任何修訂、更新及／或改版（例如先進 LTE 計劃、超行動寬頻（UMB）計劃（也稱為“3GPP2”）等）。IEEE802.16 相容寬頻無線接取（BWA）網路一般稱為 WiMAX 網路，同義也表示全世界通用操作的微波接取，其係為通過用於 IEEE802.16 標準的規則與可操作性的產品的認證標示。通訊晶片 606 可以依據全球行動通訊系統（GSM）、一般封包無線電服務（GPRS）、通用行動電信系統（UMTS）、高速封包接取（HSPA）、演進 HSPA（E-HSPA）或 LTE 網路之任一操作。通訊晶片 606 也可以依據用於 GSM 演進的加強資料（EDGE）、GSM EDGE 無線電接取網路（GERAN）、通用地面無線電接取網路（UTRAN）、或演進 UTRAN（E-UTRAN）操作。通訊晶片 606 可以依據分碼多重接取（CDMA）、分時多重接取（TDMA）、數位加強無線電信（DECT）、演進資料最佳化（EV-DO）、及其衍生，及任何被指定為 3G、4G、5G 及其以後的其他無線協定操作。在其他實施例中，通訊晶片 606 可以依據也無線協定操作。

[0059] 計算系統 600 可以包含多數通訊晶片 606。例

如，第一通訊晶片 606 可以專用於短距無線通訊，例如 Wi-Fi 及藍芽，而第二通訊晶片 606 可以專用於長距無線通訊，例如 GPS、EDGE、GPRS、CDMA、WiMAX、LTE、EV-DO 及其他。

[0060] 計算系統 600 的處理器 604 可以包含在此所述之 IC 裝置（例如，IC 裝置 410）的晶粒（例如，圖 1 的晶粒 102、圖 2 的晶粒 202a、及／或圖 2 的晶粒 202b）。例如，圖 2 的晶粒 202a 可以安裝在被安裝在例如主機板 602 的電路板的封裝組件（例如，IC 封裝組件 200）內。用語“處理器”可以表示任何裝置或裝置的一部份，其可以處理來自暫存器及／或記憶體之電子資料，以將電子資料轉換為其他可以被儲存在暫存器及／或記憶體中者。

[0061] 通訊晶片 606 也可以包含具有如此所述之 IC 裝置（例如，IC 裝置 410）的晶粒（例如，圖 1 的晶粒 102、圖 2 的晶粒 202a、及／或圖 2 的晶粒 202b）。在其他實施例中，包圍在計算系統 600 內的另一元件（例如，記憶體裝置或其他積體電路裝置）可以包含具有如於此所述之 IC 裝置（例如，IC 裝置 410）的晶粒（例如，圖 1 的晶粒 102、圖 2 的晶粒 202a、圖 2 的晶粒 202b）。

[0062] 在各種實施例中，計算系統 600 可以為行動計算裝置、膝上型電腦、小筆電、筆記型電腦、超筆記電腦、智慧手機、平板電腦、個人數位助理（PDA）、超行動 PC、行動電話、桌上型電腦、伺服器、印表機、掃描

器、監視器、機上盒、娛樂控制單元、數位相機、攜帶式音樂播放器、或數位視訊記錄器。在其他實施法中，計算系統 600 可以是處理資料的任何其他電子裝置。

[0063] 一些非限定例子係提供如下。

[0064] 例子 1 為一種顯現積體電路裝置的背側的方法，該方法包含：將耦接至積體電路（IC）裝置的背側的半導體基板的一部份移除，以留下耦接至 IC 裝置的背側的半導體基板的剩餘部份；及使用選擇性研漿以化學機械平坦化（CMP），移除半導體基板的剩餘部份，以曝露 IC 裝置的背側。

[0065] 例子 2 為例子 1 的方法，其中移除該半導體基板的該部份包含：以化學機械磨擦，移除該半導體基板的第一部份；及以濕式蝕刻，移除該半導體基板的第二部份。

[0066] 例子 3 為例子 1 的方法，其中該半導體基板的該部份係以 CMP、磨擦或濕式蝕刻移除。

[0067] 例子 4 為例子 1 的方法，更包含在 IC 裝置的背側中產生一或更多導孔，以供接近該 IC 裝置的一或更多層。

[0068] 例子 5 為例子 1 的方法，其中該 IC 裝置的背側包含隔離氧化物。

[0069] 例子 6 為例子 5 的方法，其中該半導體基板為矽，及其中該選擇性研漿為相較於該隔離氧化物對矽有選擇性。

[0070] 例子 7 為例子 5 的方法，其中該隔離氧化物為絕緣層上有矽（SOI）晶圓的絕緣體層。

[0071] 例子 8 為例子 1 至 6 之任一的方法，其中該 IC 裝置更包含多數半導體鰭由該裝置的該背側延伸入該 IC 裝置。

[0072] 例子 9 為例子 8 的方法，更包含：藉由蝕刻該半導體鰭，使該半導體鰭由該裝置的背側凹陷。

[0073] 例子 10 為例子 1 的方法，其中移除該部份與移除該剩餘部份係被執行於一晶圓上，該晶圓包含耦接至包含該 IC 裝置的多數 IC 裝置的半導體基板，及其中該方法更包含在移除該部份與移除該剩餘部份之前，將該 IC 裝置的相反於該背側的頂側黏著至載體晶圓。

[0074] 例子 11 為例子 1 的方法，其中以 CMP 移除該半導體基板的剩餘部份更包含移除在該 IC 裝置的背側上的該 IC 裝置的半導體鰭的一部份，使得半導體鰭相對於該 IC 裝置的背側具有凹陷表面。

[0075] 例子 12 為一種積體電路，包含：隔離氧化物，其包含界定積體電路背側的表面，其中該隔離氧化物的表面並未黏著至半導體基板；多數半導體區，由積體電路的背側延伸至積體電路的主體，其中該多數半導體區係由半導體材料形成；及一或更多電晶體層，耦接至多數半導體區的一或更多半導體區，以形成一或更多電晶體。

[0076] 例子 13 為例子 12 的積體電路，更包含一或更多導孔，配置在該隔離氧化物中並由該積體電路的該背

側延伸入該積體電路的該主體。

[0077] 例子 14 為例子 13 的積體電路，更包含：相反於背側的頂側；及多數導孔，由該積體電路的該頂側延伸入該積體電路的主體。

[0078] 例子 15 為例子 13 的積體電路，更包含：耦接至該積體電路的背側的內連線層，以配送信號進出該導孔。

[0079] 例子 16 為例子 12 至 15 的任一的積體電路，其中該半導體區係為半導體鰭及該一或更多電晶體為場效電晶體（finFET）。

[0080] 例子 17 為例子 16 的積體電路，其中該半導體鰭係自該積體電路的背側上的該隔離氧化物的表面凹陷。

[0081] 例子 18 為例子 12 至 15 的任一的積體電路，其中該隔離氧化物形成淺溝渠隔離（STI），及該半導體區係為摻雜半導體井。

[0082] 例子 19 為一種計算裝置，包含：電路板；及一晶粒，在該晶粒的前側耦接至該電路板。例子 19 的晶粒包含：多數鰭，由該晶粒的背側延伸至該晶粒的裝置層，其中該多數鰭係由半導體材料形成，及其中該晶粒的背側在連接至該鰭的背側上並不包含半導體基板；一或更多電晶體層，配置在該裝置層並耦接至該多數鰭的一或更多鰭，以形成一或更多電晶體；及一或更多背側導孔，由該晶粒的背側延伸至該晶粒的裝置側。

[0083] 例子 20 為例子 19 的計算裝置，其中該晶粒為第一晶粒，及其中該計算裝置更包含第二晶粒，耦接至該第一晶粒的一或更多背側導孔。

[0084] 例子 21 為例子 19 的計算裝置，其中該晶粒更包含隔離氧化物，配置於該晶粒的背側上的該多數鰭的鰭之間。

[0085] 例子 22 為例子 19 的計算裝置，其中該晶粒更包含：多數頂側導孔，由該晶粒的頂側延伸至該晶粒的裝置層。

[0086] 例子 23 為例子 19 的計算裝置，其中該多數鰭在該積體電路的該背側或接近該積體電路的該背側具有碟形表面。

[0087] 例子 24 為例子 19 的計算裝置，其中該半導體材料包含矽。

[0088] 例子 25 為例子 19 至 24 的任一的計算裝置，其中：該晶粒為一處理器；及該計算裝置為行動計算裝置，其包含天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統（GPS）裝置、羅盤、蓋革計數器、加速計、陀螺儀、喇叭及攝影機的一或更多者。

[0089] 各種實施例可以包含上述實施例的任意適當組合，其包含以上述結合形式（及）（例如，“及”可以“及／或”）的實施例之替代（或）實施例。再者，一些實施例可以包含一或更多製造物（例如，非暫時電腦可讀取

媒體)，具有指令儲存於其上，當被執行時，造成如上所述實施例的動作。再者，一些實施例可以包含具有任何適當手段以執行各種上述實施例之各種操作的設備或系統。

[0090] 包含在摘要所述之例示實施法的上述說明並不需要竭盡或限制本案的實施例至所揭露的準確形式。雖然在此所述之特定實施法與例子係作例示目的，但各種等效修改係在本案的範圍內，並將如熟習於本技藝者所了解。

[0091] 這些修改可以依據上述詳細說明下對本案的實施例作出修改。於以下申請專利範圍所使用的用語不應被建構為限定本案的各種實施例至在說明書與申請專利範圍所揭示的特定實施法。相反地，該範圍係被以下的申請專利範圍所整個決定，其係依據申請專利範圍解釋的等效加以建構。

【符號說明】

[0092]

10：晶圓形式

11：晶圓

100：單片形式

102：晶粒

103a：晶粒

103b：晶粒

104：電晶體結構

200：IC 封裝組件
202a：晶粒
202b：晶粒
204a：內連線層
204b：裝置層
204c：內連線層
206a：內連線
206b：內連線
210：封裝基板
212：內連線
300：製程
302：步驟
304：步驟
306：步驟
308：步驟
400：電路結構
402：裝置層
404：背側
406：前側
408：基板
410：IC 裝置
420：載體晶圓
512：鱗
514：隔離氧化物

516：電晶體結構

524：表面

526：背側導孔

528：前側導孔

600：計算系統

602：主機板

604：處理器

606：通訊晶片

申請專利範圍

1. 一種顯現積體電路裝置的背側的方法，該方法包含：

移除耦接至積體電路（IC）裝置的背側的半導體基板的一部份，以留下該半導體基板的耦接至該 IC 裝置的該背側的剩餘部份；及

使用選擇性研漿以化學機械平坦化（CMP），移除該半導體基板的該剩餘部份，以曝露該 IC 裝置的該背側。

2. 如申請專利範圍第 1 項之方法，其中移除該半導體基板的該部份包含：

以機械磨擦，移除該半導體基板的第一部份；及

以濕式蝕刻，移除該半導體基板的第二部份。

3. 如申請專利範圍第 1 項之方法，其中該半導體基板的該部份係以 CMP、磨擦或濕式蝕刻移除。

4. 如申請專利範圍第 1 項之方法，更包含在該 IC 裝置的該背側中產生一或更多導孔，以供接近該 IC 裝置的一或更多層。

5. 如申請專利範圍第 1 項之方法，其中該 IC 裝置的該背側包含隔離氧化物。

6. 如申請專利範圍第 5 項之方法，其中該半導體基板為矽，及其中該選擇性研漿為相較於該隔離氧化物對矽有選擇性。

7. 如申請專利範圍第 5 項之方法，其中該隔離氧化物為絕緣層上有矽（SOI）晶圓的絕緣體層。

8. 如申請專利範圍第 1 項之方法，其中該 IC 裝置更包含多數半導體鰭，由該 IC 裝置的該背側延伸入該 IC 裝置。

9. 如申請專利範圍第 8 項之方法，更包含藉由蝕刻所述多數半導體鰭，而由該裝置的該背側凹陷所述多數半導體鰭。

10. 如申請專利範圍第 1 項之方法，其中移除該部份與移除該剩餘部份係執行於一晶圓上，該晶圓包含有耦接至包含該 IC 裝置的多數 IC 裝置的該半導體基板，及其中該方法更包含在移除該部份與移除該剩餘部份之前，將該 IC 裝置的相反於該背側的前側黏著至載體晶圓。

11. 如申請專利範圍第 1 項之方法，其中以 CMP 移除該半導體基板的該剩餘部份更包含移除在該 IC 裝置的該背側上的該 IC 裝置的半導體鰭的一部份，使得該半導體鰭相對於該 IC 裝置的該背側具有凹陷表面。

12. 一種積體電路，包含：

隔離氧化物，包含界定該積體電路的背側的表面，其中該隔離氧化物的該表面並未黏著至半導體基板；

多數半導體區，由該積體電路的該背側延伸入該積體電路的主體，其中該多數半導體區係由半導體材料形成；
及

一或更多電晶體層，耦接至該多數半導體區的一或更多半導體區，以形成一或更多電晶體。

13. 如申請專利範圍第 12 項之積體電路，更包含一

或更多導孔，配置在該隔離氧化物中並由該積體電路的該背側延伸入該積體電路的該主體。

14. 如申請專利範圍第 13 項之積體電路，更包含：

相反於該背側的前側；及

多數導孔，由該積體電路的該前側延伸入該積體電路的該主體。

15. 如申請專利範圍第 13 項之積體電路，更包含：

一內連線層，耦接至該積體電路的該背側，以配送信號進出所述一或更多導孔。

16. 如申請專利範圍第 12 項之積體電路，其中所述多數半導體區為半導體鰭及所述一或更多電晶體為鰭場效電晶體（finFET）。

17. 如申請專利範圍第 16 項之積體電路，其中所述半導體鰭係從該積體電路的該背側上的該隔離氧化物的該表面凹陷。

18. 如申請專利範圍第 12 項之積體電路，其中該隔離氧化物形成淺溝渠隔離（STI），及所述多數半導體區為摻雜半導體井。

19. 一種計算裝置，包含：

電路板；及

一晶粒，耦接至在該晶粒的前側上的該電路板，該晶粒包含：

多數鰭，由該晶粒的背側延伸入該晶粒的裝置層，其中該多數鰭係由半導體材料形成，及其中該晶粒的

該背側在連接該鰭的該背側上並未包含半導體基板；

一或更多電晶體層，配置在該裝置層中並耦接至該多數鰭的一或更多鰭，以形成一或更多電晶體；及

一或更多背側導孔，由該晶粒的該背側延伸入該晶粒的該裝置層。

20. 如申請專利範圍第 19 項之計算裝置，其中該晶粒為第一晶粒，及其中該計算裝置更包含第二晶粒，耦接至該第一晶粒的該一或更多背側導孔。

21. 如申請專利範圍第 19 項之計算裝置，其中該晶粒更包含隔離氧化物配置於在該晶粒的該背側上的該多數鰭的鰭之間。

22. 如申請專利範圍第 19 項之計算裝置，其中該晶粒更包含：

多數前側導孔，由該晶粒的該前側延伸至該晶粒的該裝置層。

23. 如申請專利範圍第 19 項之計算裝置，其中該多數鰭具有碟形表面，在或接近該積體電路的該背側。

24. 如申請專利範圍第 19 項之計算裝置，其中該半導體材料包含矽。

25. 如申請專利範圍第 19 項之計算裝置，其中：

該晶粒為處理器；及

該計算裝置為行動計算裝置，其包含天線、顯示器、觸控螢幕顯示器、觸控螢幕控制器、電池、音訊編解碼器、視訊編解碼器、功率放大器、全球定位系統（GPS）

裝置、羅盤、蓋革計數器、加速計、陀螺儀、喇叭及攝影機之一或更多。

圖式

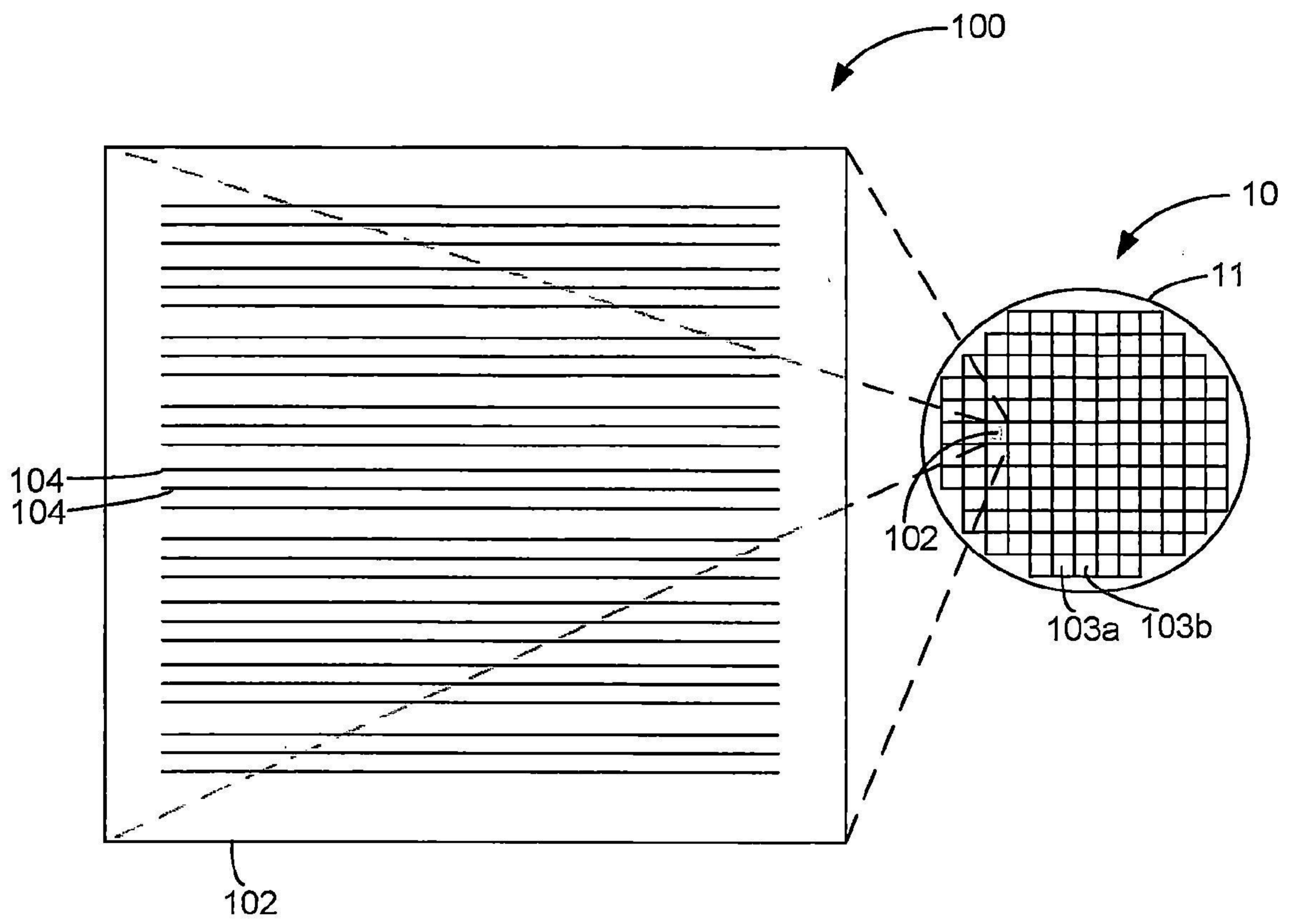


圖 1

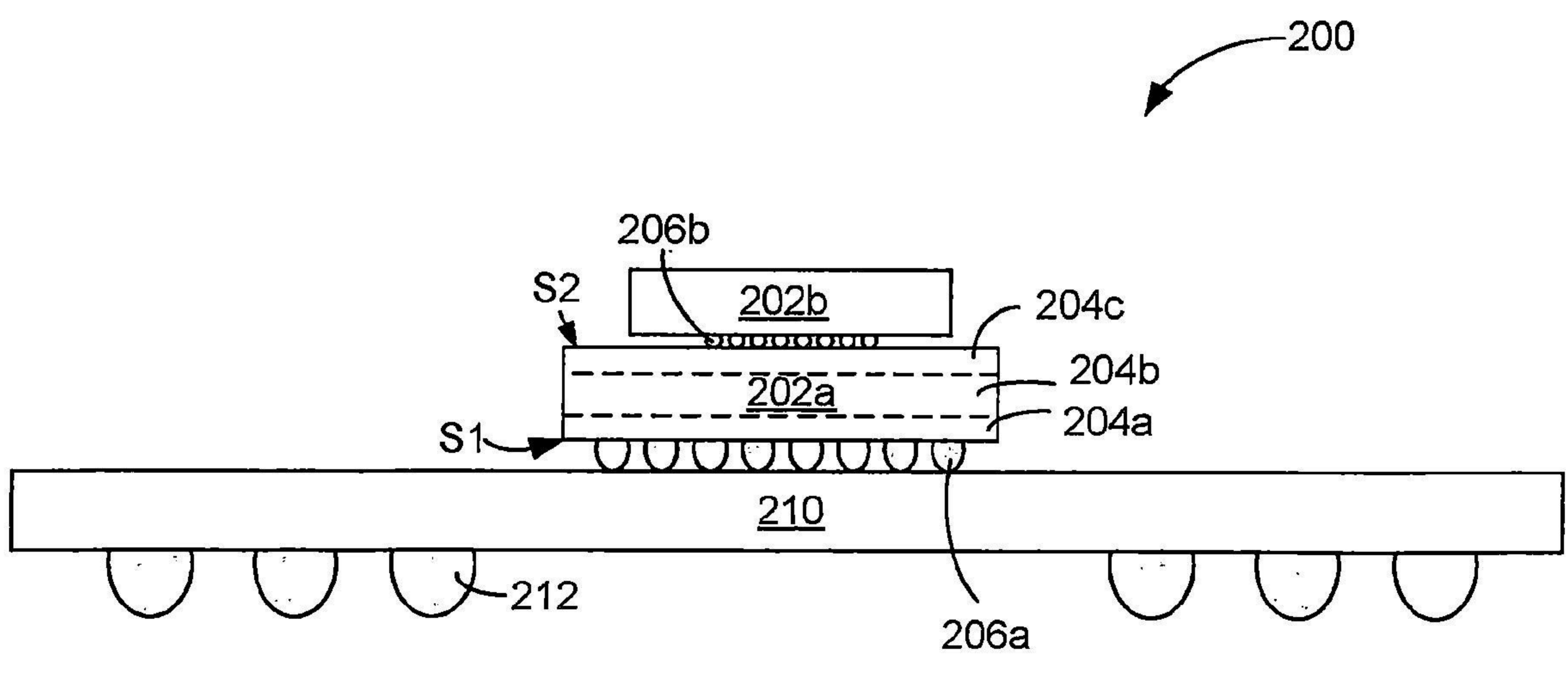


圖 2

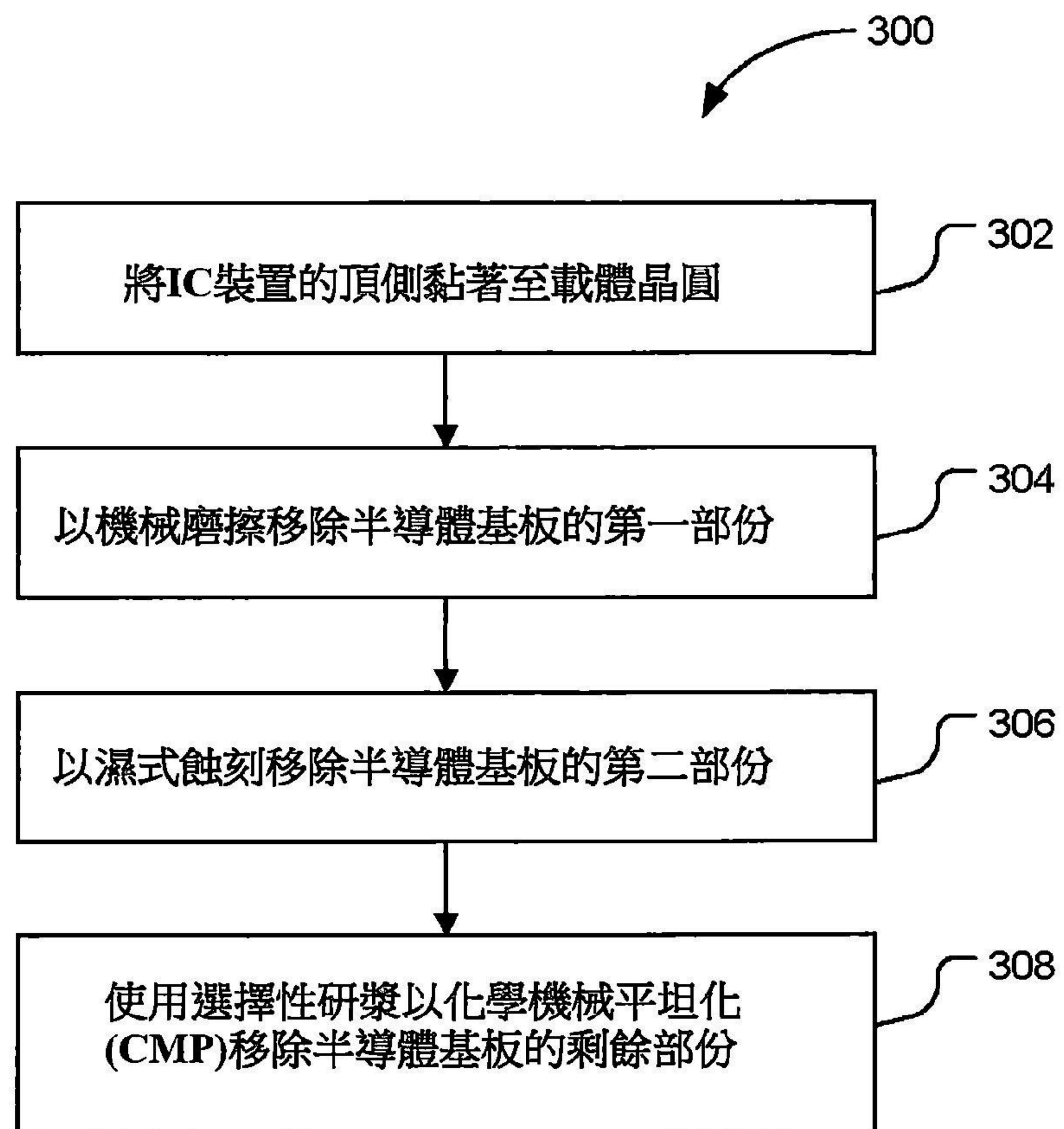


圖 3

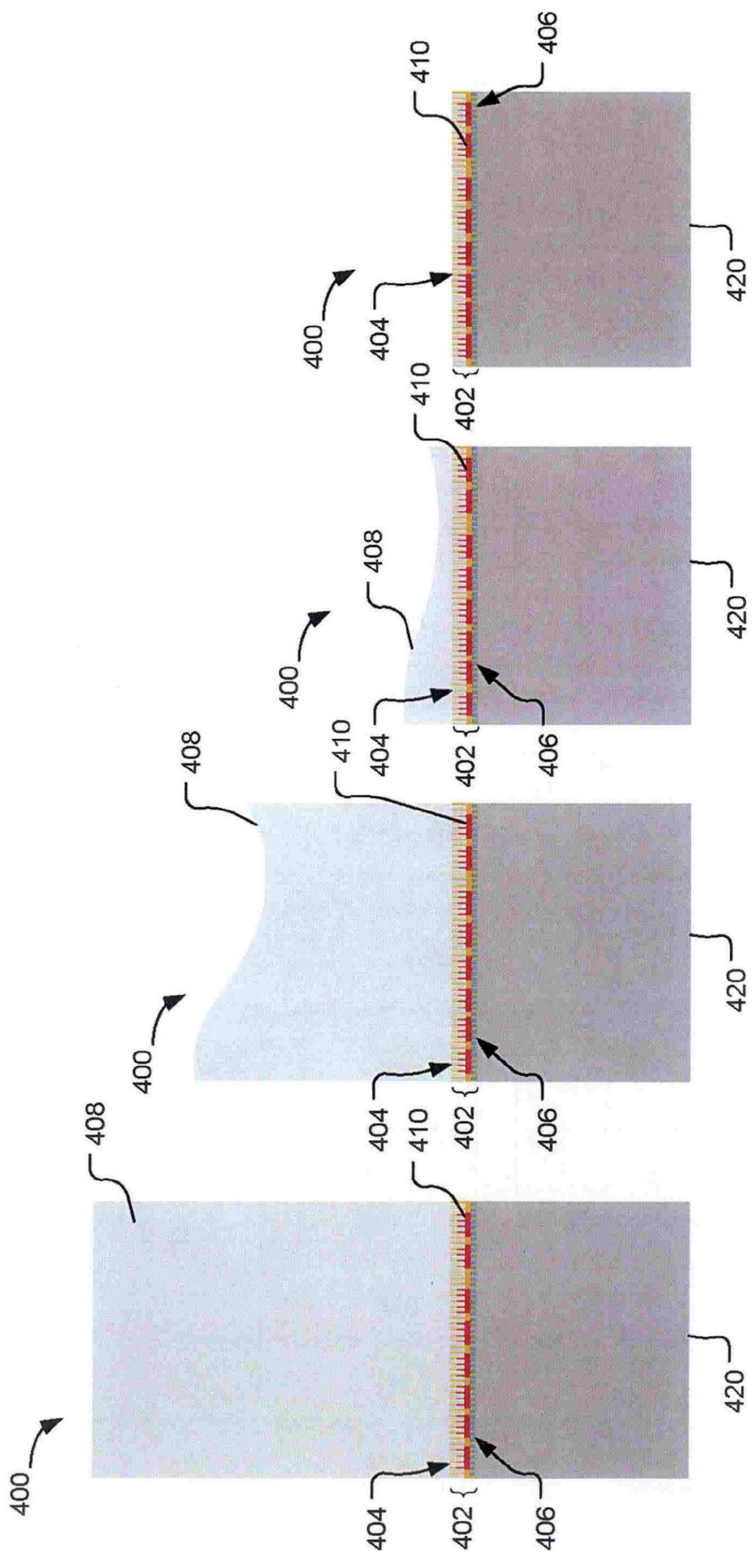


圖 4A

圖 4B

圖 4C

圖 4D

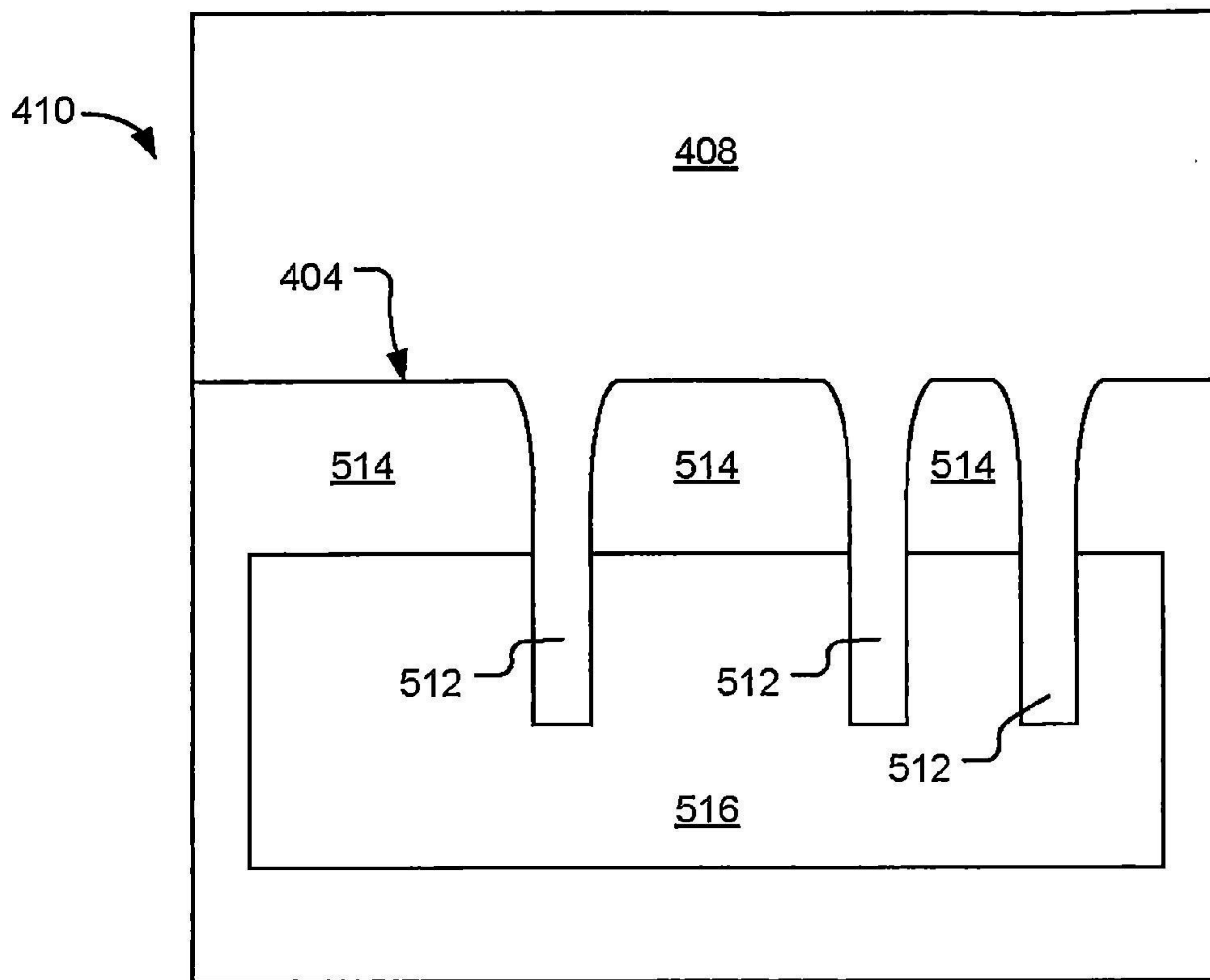


圖 5A

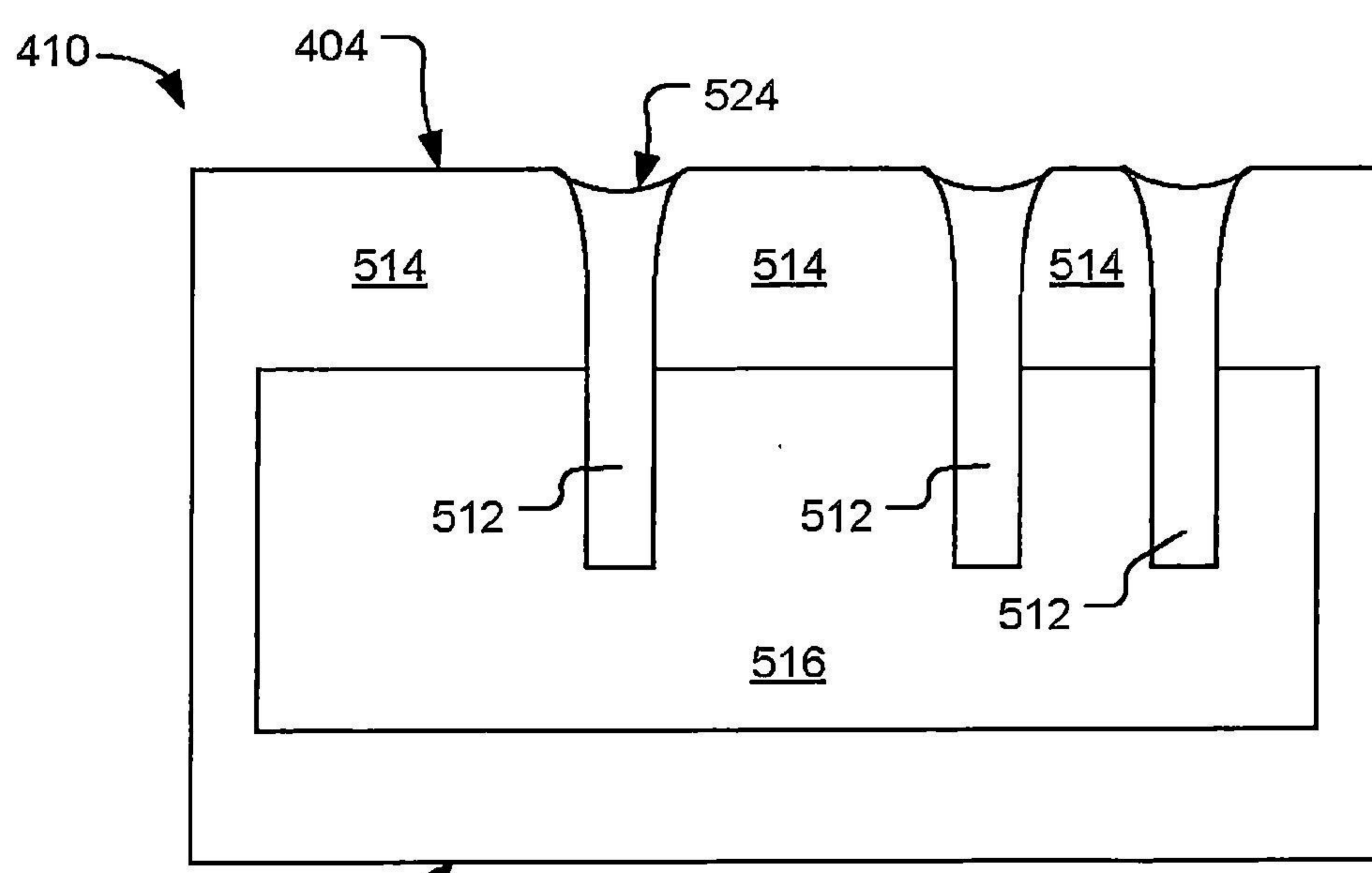


圖 5B

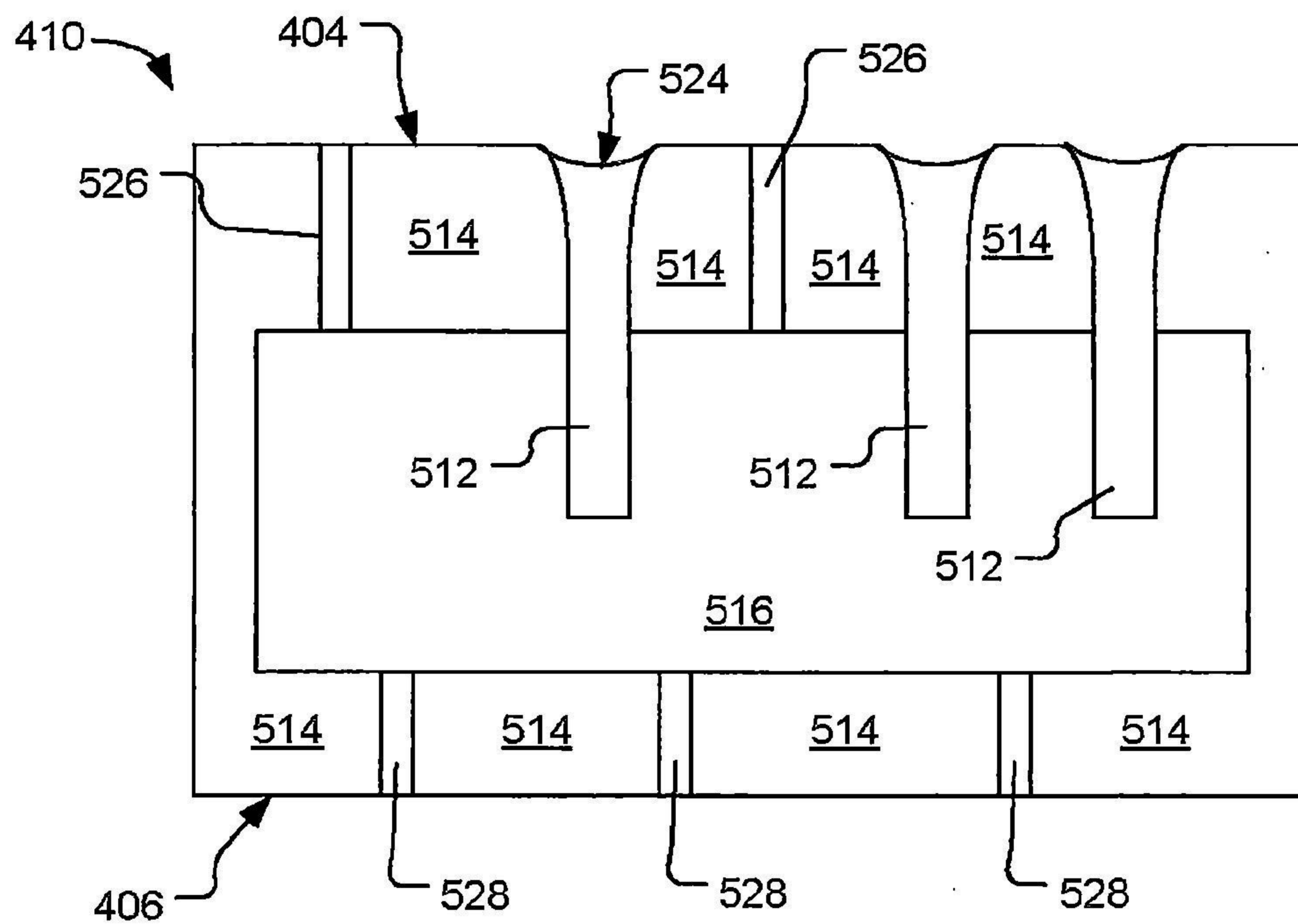


圖 5C

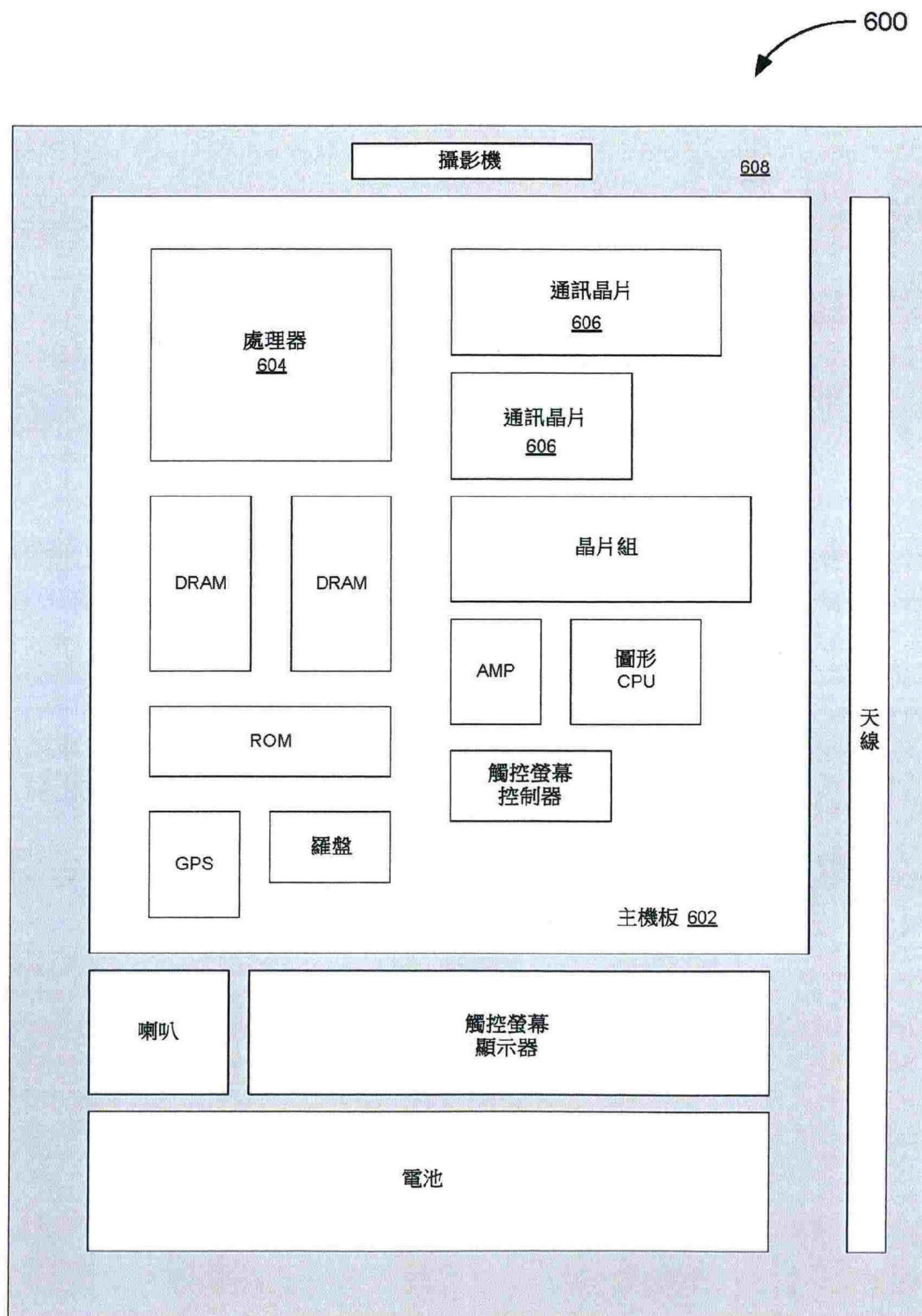


圖 6