



(12)实用新型专利

(10)授权公告号 CN 207184624 U

(45)授权公告日 2018.04.03

(21)申请号 201720656785.7

(22)申请日 2017.06.08

(30)优先权数据

15/184,390 2016.06.16 US

(73)专利权人 半导体元件工业有限责任公司

地址 美国亚利桑那

(72)发明人 M·因诺森特 T·格蒂斯

(74)专利代理机构 中国国际贸易促进委员会专

利商标事务所 11038

代理人 申发振

(51)Int.Cl.

H04N 5/225(2006.01)

H04N 5/369(2011.01)

H01L 27/146(2006.01)

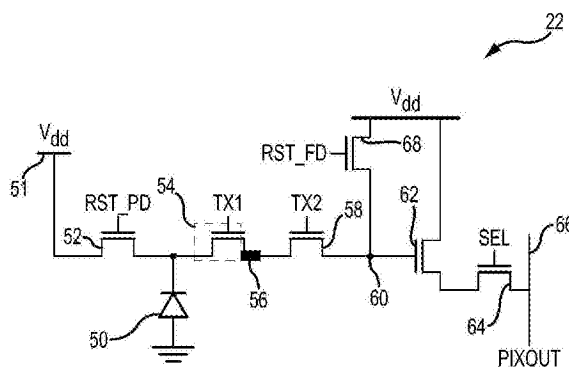
权利要求书2页 说明书14页 附图10页

(54)实用新型名称

图像传感器像素单元和成像系统

(57)摘要

本实用新型涉及图像传感器像素单元和成像系统。所述图像传感器像素单元包括：光电二极管，所述光电二极管响应于入射光而生成电荷；第一电荷存储区、第二电荷存储区和第三电荷存储区；第一晶体管，所述第一晶体管被配置为将所述生成电荷的第一部分转移到所述第一电荷存储区；第二晶体管，所述第二晶体管被配置为将所述生成电荷的第二部分转移到所述第二电荷存储区；以及第三晶体管，所述第三晶体管被配置为将所述生成电荷的所述第二部分从所述第二电荷存储区转移到所述第三电荷存储区。本实用新型解决的一个技术问题是提供具有改进的图像传感器像素单元的成像设备。本实用新型实现的一个技术效果是提供改进的图像传感器像素单元和改进的系统。



1. 一种图像传感器像素单元,包括:
光电二极管,所述光电二极管响应于入射光而生成电荷;
第一电荷存储区、第二电荷存储区和第三电荷存储区;
第一晶体管,所述第一晶体管被配置为将所述生成电荷的第一部分转移到所述第一电荷存储区;
第二晶体管,所述第二晶体管被配置为将所述生成电荷的第二部分转移到所述第二电荷存储区;以及
第三晶体管,所述第三晶体管被配置为将所述生成电荷的所述第二部分从所述第二电荷存储区转移到所述第三电荷存储区。
2. 根据权利要求1所述的图像传感器像素单元,还包括:
第四晶体管,所述第四晶体管耦接在所述第一电荷存储区和所述第三电荷存储区之间;
具有第一供电电压的第一电压源;以及
第一重置晶体管,所述第一重置晶体管被配置为将所述第一电荷存储区重置为所述第一供电电压。
3. 根据权利要求2所述的图像传感器像素单元,其中所述第一晶体管插置在所述光电二极管和所述第一电荷存储区之间,并且其中所述第二晶体管插置在所述光电二极管和所述第二电荷存储区之间。
4. 根据权利要求2所述的图像传感器像素单元,还包括:
第四电荷存储区;
第五晶体管,所述第五晶体管被配置为将所述生成电荷从所述光电二极管转移到所述第四电荷存储区;
具有第二供电电压的第二电压源;以及
抗光晕晶体管,所述抗光晕晶体管耦接在所述第二电压源和所述光电二极管之间。
5. 根据权利要求4所述的图像传感器像素单元,还包括第二重置晶体管,其中所述第二重置晶体管插置在所述第一电压源和所述第三电荷存储区之间。
6. 根据权利要求4所述的图像传感器像素单元,还包括第六晶体管,其中所述第一电荷存储区为电容器,其中所述第三电荷存储区为浮动扩散区,并且其中当所述第四晶体管和所述第六晶体管生效时,所述生成电荷的所述第一部分从所述电容器转移到所述浮动扩散区。
7. 根据权利要求1所述的图像传感器像素单元,其中所述生成电荷的所述第一部分包括低增益信号,其中所述生成电荷的所述第二部分包括高增益信号,并且其中所述图像传感器像素单元被配置为在全局快门模式下操作。
8. 一种成像系统,包括:
透镜;以及
全局快门图像像素单元,其中所述透镜与所述全局快门图像像素单元光学耦接,以及全局快门图像像素单元包括:
光电二极管,所述光电二极管响应于光而生成图像信号;
第一晶体管,所述第一晶体管设置阈值电压;

电容器,所述电容器被配置为接收所述生成图像信号的超过所述阈值电压的一部分并且存储所述生成图像信号的所述部分;

存储区;

第二晶体管,所述第二晶体管被配置为将所述生成图像信号的由所述电容器存储的所述部分转移到所述存储区;以及

电压源,所述电压源通过所述第二晶体管耦接到所述存储区。

9. 根据权利要求8所述的系统,其中所述全局快门图像像素单元还包括存储结构,所述存储结构存储所述生成图像信号的第二部分,其中所述生成图像信号的存储在所述存储结构处的所述第二部分包括高增益信号。

10. 根据权利要求9所述的系统,其中所述生成图像信号的由所述电容器接收的所述部分包括低增益信号,并且其中所述全局快门图像像素单元还包括读出电路,其中所述读出电路被配置为参考重置电压电平来执行所述低增益信号和所述高增益信号的双采样读出。

图像传感器像素单元和成像系统

技术领域

[0001] 本实用新型整体涉及成像设备,并且更具体地讲,涉及具有带有高动态范围功能的紧凑图像传感器像素单元的成像设备。

背景技术

[0002] 图像传感器常在电子设备,例如,移动电话、相机和计算机中用来捕获图像。在典型布置方式中,图像传感器包括被布置成像素单元行和像素单元列的图像像素单元阵列。可将电路耦接到每个像素单元列以从图像像素单元读出图像信号。

[0003] 典型的图像像素单元包含光电二极管,用于响应于入射光而生成电荷。图像像素单元还可包括用于存储在光电二极管中生成的电荷的电荷存储区。图像传感器可使用全局快门方案或卷帘快门方案进行操作。在全局快门中,图像传感器中的每个像素单元均可同时捕获图像,而在卷帘快门中,每行像素单元可依次捕获图像。

[0004] 图像传感器可配备有多曝光高动态范围(HDR)功能,其中用图像传感器在不同曝光时间捕获多个图像。然后将多个图像结合到高动态范围图像中。通过添加附加的采样保持(S/H)电路,HDR图像传感器可使用卷帘快门操作或全局快门操作来进行操作。然而,附加的采样保持电路可占用有价值的像素单元区域,从而减少可用于像素单元光电二极管的有源区域的量。另外,在标准HDR图像传感器像素单元中,明亮的场景可导致光电二极管的不必要的饱和,从而导致过饱和图像信号。

[0005] 因此,可能有利的是能够提供具有改进的图像传感器像素单元的成像设备。

实用新型内容

[0006] 本实用新型解决的一个技术问题是提供具有改进的图像传感器像素单元的成像设备。

[0007] 根据本实用新型的一个方面,提供一种图像传感器像素单元,包括:光电二极管,所述光电二极管响应于入射光而生成电荷;第一电荷存储区、第二电荷存储区和第三电荷存储区;第一晶体管,所述第一晶体管被配置为将所述生成电荷的第一部分转移到所述第一电荷存储区;第二晶体管,所述第二晶体管被配置为将所述生成电荷的第二部分转移到所述第二电荷存储区;以及第三晶体管,所述第三晶体管被配置为将所述生成电荷的所述第二部分从所述第二电荷存储区转移到所述第三电荷存储区。

[0008] 在一个实施例中,所述图像传感器像素单元还包括:第四晶体管,所述第四晶体管耦接在所述第一电荷存储区和所述第三电荷存储区之间;具有第一供电电压的第一电压源;以及第一重置晶体管,所述第一重置晶体管被配置为将所述第一电荷存储区重置为所述第一供电电压。

[0009] 在一个实施例中,所述第一晶体管插置在所述光电二极管和所述第一电荷存储区之间,并且其中所述第二晶体管插置在所述光电二极管和所述第二电荷存储区之间。

[0010] 在一个实施例中,所述图像传感器像素单元还包括:第四电荷存储区;第五晶体

管,所述第五晶体管被配置为将所述生成电荷从所述光电二极管转移到所述第四电荷存储区;具有第二供电电压的第二电压源;以及抗光晕晶体管,所述抗光晕晶体管耦接在所述第二电压源和所述光电二极管之间。

[0011] 在一个实施例中,所述图像传感器像素单元还包括第二重置晶体管,其中所述第二重置晶体管插置在所述第一电压源和所述第三电荷存储区之间。

[0012] 在一个实施例中,所述图像传感器像素单元还包括第六晶体管,其中所述第一电荷存储区为电容器,其中所述第三电荷存储区为浮动扩散区,并且其中当所述第四晶体管和所述第六晶体管生效时,所述生成电荷的所述第一部分从所述电容器转移到所述浮动扩散区。

[0013] 在一个实施例中,所述生成电荷的所述第一部分包括低增益信号,其中所述生成电荷的所述第二部分包括高增益信号,并且其中所述图像传感器像素单元被配置为在全局快门模式下操作。

[0014] 根据本实用新型的一个方面,提供一种系统,包括:透镜;以及全局快门图像像素单元,其中所述透镜与所述全局快门图像像素单元光学耦接,以及全局快门图像像素单元包括:光电二极管,所述光电二极管响应于光而生成图像信号;第一晶体管,所述第一晶体管设置阈值电压;电容器,所述电容器被配置为接收所述生成图像信号的超过所述阈值电压的一部分并且存储所述生成图像信号的所述部分;存储区;第二晶体管,所述第二晶体管被配置为将所述生成图像信号的由所述电容器存储的所述部分转移到所述存储区;以及电压源,所述电压源通过所述第二晶体管耦接到所述存储区。

[0015] 在一个实施例中,所述全局快门图像像素单元还包括存储结构,所述存储结构存储所述生成图像信号的第二部分,其中所述生成图像信号的存储在所述存储结构处的所述第二部分包括高增益信号。

[0016] 在一个实施例中,所述生成图像信号的由所述电容器接收的所述部分包括低增益信号,并且其中所述全局快门图像像素单元还包括读出电路,其中所述读出电路被配置为参考重置电压电平来执行所述低增益信号和所述高增益信号的双采样读出。

[0017] 本实用新型实现的一个技术效果是提供改进的图像传感器像素单元和改进的系统。

附图说明

[0018] 图1为根据一个实施方案的示例性电子设备的示意图,该电子设备具有图像传感器和处理电路以便使用图像像素单元阵列捕获图像。

[0019] 图2为根据一个实施方案的示例性像素单元阵列以及用于从该像素单元阵列读出图像信号的相关读出电路的示意图。

[0020] 图3A和图3B为根据一个实施方案的示例性图像传感器像素单元的电路图,该图像传感器像素单元被配置为将图像信号积聚在指定存储区处。

[0021] 图4为根据一个实施方案的示例性图像传感器像素单元的电路图,该图像传感器像素单元被配置为用双增益操作将图像信号积聚在指定存储区处。

[0022] 图5A为根据一个实施方案的示例性紧凑图像传感器像素单元的电路图,该紧凑图像传感器像素单元被配置为以高动态范围成像能力将图像信号积聚在指定存储区处。

[0023] 图5B为根据一个实施方案的具有高动态范围成像能力的示例性紧凑图像传感器像素单元的电路图。

[0024] 图6A和图6B为根据一个实施方案的用于操作示于图5A中的示例性图像传感器像素单元的时序图。

[0025] 图7A为根据一个实施方案的示例性紧凑图像传感器像素单元的电路图,该紧凑图像传感器像素单元被配置为以高动态范围成像能力将图像信号积聚在指定存储区处。

[0026] 图7B为根据一个实施方案的具有高动态范围成像能力的示例性紧凑图像传感器像素单元的电路图。

[0027] 图8A和图8B为根据一个实施方案的用于操作示于图7A中的示例性图像传感器像素单元的时序图。

[0028] 图9为根据一个实施方案的采用图1至图8的实施方案的处理器系统的框图。

具体实施方式

[0029] 电子设备,例如,数字相机、计算机、移动电话和其他电子设备可包括图像传感器,所述图像传感器收集入射光以捕获图像。图像传感器可包括图像像素单元阵列。图像传感器中的像素单元可包括光敏元件,例如,将入射光转换为图像信号的光电二极管。图像传感器可具有任何数量(如,数百或数千或更多)的像素单元。典型的图像传感器可例如具有数十万或数百万像素单元(如,百万像素单元)。图像传感器可包括控制电路(例如,用于操作图像像素单元的电路)和用于读出图像信号的读出电路,所述图像信号与光敏元件所生成的电荷相对应。

[0030] 图1为示例性成像系统(例如,电子设备)的示意图,该成像系统使用图像传感器捕获图像。图1的电子设备10可为便捷式电子设备,诸如相机、移动电话、平板计算机、网络相机、摄像机、视频监控系统、汽车成像系统、具有成像能力的视频游戏系统或者捕获数字图像数据的任何其他所需成像系统或设备。相机模块12可用于将入射光转换成数字图像数据。相机模块12可包括一个或多个透镜14以及一个或多个对应的图像传感器16。透镜14可包括固定透镜和/或可调透镜,并且可包括形成于图像传感器16的成像表面上的微透镜。在图像捕获操作期间,可通过透镜14将来自场景的光聚焦到图像传感器16上。图像传感器16可包括用于将模拟像素单元数据转换成要提供给存储和处理电路18的对应数字图像数据的电路。如果需要,相机模块12可设置有透镜14的阵列和对应图像传感器16的阵列。

[0031] 存储和处理电路18可包括一个或多个集成电路(如,图像处理电路、微处理器、诸如随机存取存储器和非易失性存储器的存储设备等),并且可使用与相机模块12分开和/或形成相机模块12的一部分的组件(如,形成包括图像传感器16的集成电路或者与图像传感器16相关的模块12内的集成电路的一部分的电路)来实施。可使用处理电路18处理和存储已被相机模块12捕获的图像数据(如,使用处理电路18上的图像处理引擎、使用处理电路18上的成像模式选择引擎等)。可根据需要使用耦接到处理电路18的有线和/或无线通信路径将经过处理的图像数据提供给外部设备(如,计算机、外部显示器或其他设备)。

[0032] 如图2所示,图像传感器16可包括含有被布置成行和列的图像传感器像素单元22(有时在本文称为图像像素单元或像素单元)的像素单元阵列20以及控制和处理电路24。阵列20可包含例如几百或几千行以及几百或几千列图像传感器像素单元22。控制电路24可耦

接到行控制电路26和图像读出电路28(有时称为列控制电路、读出电路、处理电路或列解码器电路)。行控制电路26可从控制电路24接收行地址,并且通过行控制路径30将对应的行控制信号,诸如重置控制信号、行选择控制信号、电荷转移控制信号、双转换增益控制信号和读出控制信号提供给像素单元22。可将一根或多根导线(例如,列线32)耦接至阵列20中的像素单元22的每一列。列线32可用于从像素单元22读出图像信号以及用于将偏置信号(如,偏置电流或偏置电压)提供给像素单元22。如果需要,在像素单元读出操作期间,可使用行控制电路26选择阵列20中的像素单元行,并且可沿列线32读出由该像素单元行中的图像像素单元22生成的图像信号。

[0033] 图像读出电路28可通过列线32接收图像信号(如,由像素单元22生成的模拟像素单元值)。图像读出电路28可包括用于对从阵列20读出的图像信号进行采样和暂时存储的采样保持电路、放大器电路、模拟-数字转换(ADC)电路、偏置电路、列存储器、用于选择性启用或禁用列电路的闩锁电路,或者耦接至阵列20中的一个或多个像素单元列以用于操作像素单元22以及用于从像素单元22读出图像信号的其他电路。读出电路28中的ADC电路可将阵列20接收的模拟像素单元值转换成对应的数字像素单元值(有时称为数字图像数据或数字像素单元数据)。图像读出电路28可针对一个或多个像素单元列中的像素单元通过路径25将数字像素单元数据提供给控制和处理电路24和/或处理器18(图1)。

[0034] 如果需要,图像像素单元22可包括一个或多个光敏区,以响应于图像光而生成电荷。图像像素单元22内的光敏区可成行成列地布置在阵列20上。图像阵列20可设置有滤色器阵列,该滤色器阵列具有多个滤色器元件以允许单个图像传感器对不同颜色的光进行采样。例如,诸如阵列20中的图像像素单元的图像传感器像素单元可设置有滤色器阵列,该滤色器阵列允许单个图像传感器使用被布置成拜耳马赛克图案的红色、绿色和蓝色图像传感器像素单元对对应的红光、绿光和蓝光(RGB)进行采样。拜耳马赛克图案由重复的 2×2 个图像像素单元的单元格组成,其中两个绿色图像像素单元沿对角线彼此相对,并且邻近与蓝色图像像素单元沿对角线相对的红色图像像素单元。在另一个合适的实例中,拜耳图案中的绿色像素单元被替换为具有宽带滤色器元件(例如,透明滤色器元件、黄色滤色器元件等)的宽带图像像素单元。这些实例仅仅是示例性的,并且一般来讲,可在任何所需数量的图像像素单元22上方形成任何所需颜色和任何所需图案的滤色器元件。

[0035] 图像传感器16可以被配置成支持全局快门操作(例如,像素单元22可以在全局快门模式下进行操作)。例如,阵列20中的图像像素单元22各自可包括光电二极管、浮动扩散区和本地电荷存储区。采用全局快门方案,图像传感器中的所有像素单元被同时重置。然后,使用电荷转移操作,将每个图像像素单元的光电二极管中收集的电荷同时转移至相关联的电荷存储区。接着例如可从每个存储区逐行读出数据。

[0036] 图3A为示例性图像传感器像素单元22的电路图。像素单元可包括光敏区50(例如,光电二极管50)。光电二极管50可在一段时间(即,曝光时间)内接收入射光,并生成对应于曝光时间内的入射光的图像信号。在常规成像系统中,图像伪影可能由移动物体、移动或抖动相机、闪烁光照以及图像帧中具有变化照明的物体引起。此类伪影可包括例如物体的缺失部分、边缘颜色伪影和物体失真。具有变化照明的物体的例子包括发光二极管(LED)交通标志(其可每秒闪烁几百次)以及现代汽车的LED刹车灯或车头灯。以短积聚时间和短曝光时间生成的图像信号可错过闪烁光(例如,在给定频率下的LED的闪光)。然而,通过将短积

聚时间扩散至较长的曝光时间，错过来自闪烁光（例如，脉冲光源、LED）的信号的可能性就较小。像素单元22可被设计成通过将短积聚时间扩散至较长的曝光时间来减少与闪烁照明相关联的伪影。为了实施闪烁抑制，光电二极管50可通过光电二极管重置晶体管52（本文中有时称为抗光晕晶体管52）耦接到具有第一供电电压V_{dd}的电压源51。当控制信号RST_PD生效（例如，脉冲到高）时，光电二极管50可被重置为第一供电电压V_{dd}。当控制信号RST_PD解除生效（例如，脉冲到低）时，光电二极管50可开始从入射光聚积电荷。

[0037] 在光电二极管重置后，可以开始给定的积聚周期，并且光电二极管50可开始生成并存储图像信号。像素单元22可包括第一转移晶体管54和存储区56。当给定的积聚周期结束时，第一转移晶体管54可将存储在光电二极管50处的图像信号转移到与转移晶体管54成一体存储区56。给定的积聚周期的开始和结束之间的时间可被称为第一积聚时间周期。转移晶体管54可包括源极端子、漏极端子、栅极端子和沟道区。存储区56可为掺杂半导体区（例如，通过离子注入、杂质扩散或其他掺杂技术在硅衬底中形成的掺杂硅区域），该掺杂半导体区具有电荷存储能力（例如，电容）。光电二极管50可连接到晶体管54的第一端子（例如，源极端子或漏极端子）。存储区56可连接到与第一端子相对的第二端子。例如，如果第一端子为源极端子，则第二端子可为漏极端子，或反之亦然。控制信号TX1可控制穿越晶体管54的沟道的电荷流动和进入存储区56中的电荷流动。当控制信号TX1生效时，存储在光电二极管50中的图像信号可经过晶体管54的沟道区并且进入存储区56中。控制信号TX1随后可解除生效，并且光电二极管50可使用控制信号RST_PD被重置到供电电压。

[0038] 第二积聚周期可跟随在第一积聚周期之后。光电二极管50可生成对应于第二积聚周期的图像信号。可使用控制信号TX1将来自第二积聚周期的图像信号转移到存储区56。可将来自第二积聚周期的图像信号与来自第一积聚周期的图像信号积聚（例如，求和或相加）。存储在存储区56处的积聚图像信号可被说成具有有效的积聚时间周期。有效积聚时间周期是第一积聚时间周期和第二积聚时间周期（对应于第二积聚周期的开始和结束之间的时间）的总和。一般来讲，可进行任何数量的期望的积聚过程（例如，将来自不同积聚周期的图像信号转移到存储区56以用于求和）。有效积聚周期通常可被定义为所有不同积聚时间周期的总和，在所述不同积聚时间周期内生成所有相应的各个图像信号。在期望数量的积聚周期和对应的图像信号在存储区56处的积聚之后，控制信号TX1可解除生效以添加最后的图像信号。通过将图像帧期间的有效积聚周期分解成跨越较长曝光时间的较短的非连续积聚周期，由移动物体、闪烁照明及具有变化照明的物体引起的图像伪影可被最小化而不影响像素单元积聚时间（即，同时保持期望的总积聚时间）。

[0039] 像素单元22可包括第二转移晶体管58。转移晶体管58可具有由第二转移控制信号TX2控制的栅极端子。可将转移控制信号TX2脉冲到高，以将电荷从存储区56转移到浮动扩散区60中。例如，浮动扩散区60可以是掺杂半导体区（例如，通过离子注入、杂质扩散或其他掺杂工艺在硅衬底中掺杂的区域）。浮动扩散区60可充当另一存储区，用于在图像数据收集操作期间存储电荷。浮动扩散区60可具有电荷存储容量（电容）。

[0040] 像素单元22可包括读出电路，该读出电路包括源极跟随器晶体管62和行选择晶体管64。晶体管64可具有受行选择控制信号SEL控制的栅极。当控制信号SEL生效时，晶体管64导通，并且对应信号PIXOUT（例如，大小与浮动扩散节点60处的电荷量成比例的输出信号）被传递到列读出路径66（本文中有时称为总线66）。像素单元22可包括浮动扩散重置晶体管

68。晶体管68可具有由浮动扩散重置控制信号RST_FD控制的栅极。晶体管68将浮动扩散区60耦接到第二供电电压(例如,Vdd),该第二供电电压可与第一供电电压Vdd相同或不同。当控制信号RST_FD生效时,晶体管68导通,并且浮动扩散节点被重置到第二供电电压电平。

[0041] 在读出电路读出图像信号以及浮动扩散区重置之后,新的积聚图像信号可从存储区56转移到浮动扩散区60。如果需要,在光电二极管50处将入射光转换成的对应图像信号可与图像信号读出同时进行。如果需要,多个图像信号在存储二极管56处的积聚可与图像信号读出同时进行。

[0042] 可使用相关双采样读出过程来从电荷存储区56对电荷进行采样。首先,可通过使控制信号RST_FD生效来将浮动扩散区60重置到第二供电电压电平。然后可使用读出电路对存储在浮动扩散区60处的重置电压电平进行采样。控制信号RST_FD可解除生效。然后可通过使控制信号TX2生效而将存储在存储区56处的求和的图像信号转移到浮动扩散区60中。可使用读出电路对存储在浮动扩散区60处的图像信号进行采样。可以将信号相减以抵消与浮动扩散区重置电平相关联的噪声。

[0043] 作为像素单元22的替代配置的示例,图3B示出具有存储二极管70的像素单元22。存储二极管70可为示于图3A中的存储区56的替代形式。存储二极管70可与第一转移晶体管56和第二转移晶体管58相邻并且插置在它们之间。如果需要,可以在晶体管54和58之间形成存储结构,而不是存储二极管。存储二极管70可形成至晶体管结构中(例如,形成晶体管的沟道区)。有时称为存储门的该晶体管结构可具有由存储门控制信号控制的栅极端子。存储门控制信号可控制进入和离开存储门的电荷流动。如图3B所示的像素单元22的操作方式与如图3A所示的像素单元22的操作方式类似。

[0044] 在图3A和图3B中,图像信号可积聚在存储区56和存储二极管70处。存储区56和存储二极管70具有比扩散区60低的暗电流。当图像信号在存储区56和存储二极管70而不是在浮动扩散区60处求和时,在多个图像信号的积聚过程期间发生的图像劣化较少。求和的图像信号存储在存储区56和存储二极管70处也允许相关双采样读出,这降低了读出噪声。

[0045] 一般来讲,存储结构(例如,存储区56和存储二极管70)可形成在任两个转移晶体管(例如,晶体管54和58)之间以允许在低暗电流环境中的图像信号积聚和相关双采样读出。然而,在图4-图8中,为了避免不必要地模糊本实用新型的实施方案以及图4-图8的附图,仅以存储结构57对存储结构进行一般性的说明和讨论。存储结构57可为存储区56、存储二极管70或用于本实用新型的实施方案阐述的目的的任何其他存储结构之一。

[0046] 图4示出本实用新型的一个实施方案,该实施方案使图3A或图3B中的像素单元22能够实现双增益操作。像素单元22可包括增益选择晶体管72和低增益电容器74。晶体管72可具有由增益选择控制信号G_SEL控制的栅极端子。当控制信号G_SEL生效时,晶体管72导通,并且低增益电容器74可耦接到浮动扩散区60。控制信号RST_FD和G_SEL可均生效以将浮动扩散区60重置为供电电压电平。

[0047] 在像素单元22的操作期间,第二转移晶体管58可设置有溢流阈值。存储结构57可耦接到晶体管58。存储结构57可存储将多个不同积聚周期内的各个信号结合而成的积聚图像信号。当在存储结构57(例如,存储区或存储二极管)处的积聚图像信号超过溢流阈值时,电荷可溢流到浮动扩散区60。通常,在存储结构57处进行的任何积聚过程期间,晶体管72将保持导通。由于晶体管72导通,所以溢流电荷将存储在低增益电容器74上,而低于溢流阈

值的电荷将保留在存储结构57中。

[0048] 在读出期间,可对低增益电容器74和存储区57二者上的图像信号进行采样。首先,可由读出电路对存储在电容器74上的低增益图像信号进行采样,该读出电路包括晶体管62和64。接下来,浮动扩散可被重置,并且可对重置电压电平进行采样。可以从低增益图像信号中减去重置电压电平用作低增益图像信号的带有不相关噪声的双采样读取。作为另外一种选择,针对重置电压电平校准的外部偏移可用于低增益图像信号。在对重置电压电平进行采样之后,可对高增益图像信号(在存储区57上)进行采样。在读出高增益图像信号之前,控制信号G_SEL可解除生效。高增益图像信号读出是相关双采样读出。高动态范围图像可使用低增益图像信号和高增益图像信号来构造。

[0049] 光电二极管50、供电电压源51、光电二极管重置晶体管52、转移晶体管54和存储结构57可与像素单元配置的任何子部分结合使用,该像素单元配置具有根据图3A和图3B的实施方案的可重置电荷存储区和读出电路。

[0050] 例如,图5A示出包括部分100和部分102的像素单元22。部分100可包括光电二极管50、供电电压源51、光电二极管重置晶体管52、转移晶体管54和存储结构57。积聚图像信号可通过先前在图3A中描述的过程暂时存储在存储结构57处。类似地,存储结构57可耦接到晶体管54的源极端子或漏极端子。

[0051] 部分102可包括可重置电荷存储区80和84。区域80(本文中有时称为积聚节点80)可被配置为积聚由来自光电二极管50的不同积聚周期生成的多个图像信号。区域84(本文中有时称为浮动扩散区84)可被配置为暂时存储准备好被采样的图像信号。浮动扩散区84可充当另一存储区,用于在图像数据收集操作期间存储电荷。浮动扩散区84可具有电荷存储容量(电容),如由具有电容 C_{fd} 的电容器86所示。像素单元22可在部分102中包括读出电路,该读出电路使用源极跟随器晶体管62、行选择晶体管64和总线66读出存储在浮动扩散区84处的图像信号。总线66上的对应图像信号PIXOUT可与存储在浮动扩散区84处的图像信号相关。像素单元22的部分100和102内的上述特征类似于先前在图3A中所示和所讨论的特征。

[0052] 图5A中的像素单元22可包括附加特征以补充图3A中的像素单元22的功能。像素单元可包括集成的电荷转移晶体管76。晶体管76可具有由存储的电荷转移控制信号TX_ST控制的栅极端子。像素单元22可包括低增益转移晶体管78。晶体管78可具有由低增益转移控制信号TX_LG控制的栅极端子。在期望数量的积聚周期之后,积聚图像信号可通过先前在图3A中详细讨论的过程存储在存储结构57处。存储结构57可共享节点80。积聚图像信号也可被说成在节点80处求和。晶体管78可设置溢流电荷势垒(例如,电压阈值)。当存储在存储结构57处的积聚图像信号超过阈值时,积聚图像信号的超过阈值的第一部分可通过晶体管78转移到低增益电容器88。低增益电容器88可将转移的图像信号存储为低增益图像信号,直到低增益信号准备好转移出低增益电容器88。低增益信号可在随后的时间读出。积聚图像信号的第二部分保留在存储结构57处。

[0053] 另外,转移晶体管76可将存储区57耦接到附加存储区82。当控制信号TX_ST生效(例如,提供逻辑高)时,求和的图像信号的存储在存储结构57处的第二部分被转移到附加的存储结构82。附加存储结构82与存储结构57相类似,可为存储区、存储二极管、存储门、或任何其他存储结构。存储区或存储二极管可包括先前讨论的特征,诸如为掺杂半导体区。积

聚图像信号的存储在附加存储结构82处的部分可称为高增益图像信号。高增益图像信号被存储在存储结构82处,直到高增益图像信号准备好被读出。

[0054] 像素单元22可包括浮动扩散重置晶体管68和增益选择晶体管72。晶体管68可具有由浮动扩散重置控制信号RST_FD控制的栅极端子。晶体管72可具有由增益选择控制信号G_SEL控制的栅极端子。浮动扩散区84可耦接到具有供电电压电平(例如,Vdd)的电压供应源。当控制信号RST_FD和G_SEL均生效时,浮动扩散区84可连接到电压供应源并且重置为供电电压电平。

[0055] 像素单元22可包括低增益信号连接晶体管90。晶体管90可具有由连接控制信号CNT_LG控制的栅极端子。当控制信号RST_FD解除生效并且控制信号CNT_LG和G_SEL均生效时,存储在电容器88处的低增益图像信号可被转移到浮动扩散区84以用于随后的读出。像素单元22可包括第二转移晶体管92。晶体管92可具有由转移控制信号TX2控制的栅极端子。当控制信号G_SEL解除生效并且控制信号TX2生效时,存储在存储结构82处的高增益图像信号可被转移到浮动扩散区84以用于随后的读出。高动态范围图像可使用低增益图像信号和高增益图像信号来构造。

[0056] 在另选的实施方案中,图5A的部分100可被光电二极管(例如,光电二极管50)替换,如图5B所示。示于图5B中的像素单元22比如图5A所示的像素单元22更紧凑,因为示于图5B中的像素单元22没有晶体管52和54、也没有存储区57以及对应的电连接。如图5B所示的像素单元22可使用与如图5A所示的像素单元22相似的方法操作。图5B中的像素单元22可使用存储在部分102中的低增益图像信号和高增益图像信号在HDR模式下操作,如图5A所述。以这种方式,图5B中的像素单元22可为专用于在HDR模式下操作的紧凑像素单元。

[0057] 图6A和图6B示出用于操作示于图5A中的示例性图像传感器像素单元的时序图。图6A示出用于图像信号生成操作的时序图。图6A包括周期T0,在该周期期间,控制信号RST_PD可生效以将光电二极管50重置为重置电压电平。在周期T0期间,控制信号TX_LG、CNT_LG和RST_FD也可生效以将存储区57和电容器88重置为重置电压电平。在周期T1期间,光电二极管50可开始在多个不同积聚周期中生成对应于入射光的图像信号。在不同积聚周期期间生成的不同图像信号可通过使用于晶体管54的控制信号TX1生效来在存储结构57处连续地求和。

[0058] 更具体地讲,周期T1可包括周期 t 、 t' 和 t'' 。在周期T0中重置光电二极管50之后,周期 t 可开始,在该周期 t 期间,控制信号RST_PD和TX1均解除生效。在周期 t 期间,光电二极管50可接收入射光(例如,接收曝光)并且生成对应的图像信号。在期望的曝光时间长度之后,周期 t 结束并且周期 t' 可开始。在周期 t' 期间,控制信号TX1可生效以将对应的图像信号转移到存储结构57。在 t' 期间在光电二极管50处生成的附加图像信号也可被转移到存储结构57。因此,积聚时间周期可在周期 t 开始时开始,并且在周期 t' 结束时结束。换句话讲,积聚时间周期可为时间周期 t 和 t' 的总和。在对应的图像信号已被转移之后,周期 t' 结束并且周期 t'' 可开始。在周期 t'' 期间,控制信号TX1可解除生效并且控制信号RST_PD可生效。将光电二极管50再次重置,使得周期 t_1'' 可开始。周期 t_1 、 t_1' 和 t_1'' 可分别类似于周期 t 、 t' 和 t'' 发生。一般来讲,可发生任何期望数量的周期 t_n 、 t_n' 和 t_n'' 。在周期 t_n' 期间,在周期 t_1 至 t_n 期间生成的图像信号全部在存储结构57处求和。在发生了期望数量的周期之后,周期T1可结束。

[0059] 在周期T1期间,如果在任何时间存储在存储结构57处的图像信号超过由晶体管78

设置的电压阈值,则图像信号的一部分可作为低增益图像信号存储在电容器88处。

[0060] 在周期T1结束时,低增益信号可存储在电容器88处并且高增益信号可存储在存储结构57处。周期T2可通过使控制信号TX_ST、G_SEL和RST_FD生效而开始。当控制信号TX_ST生效时,存储在存储结构57处的高增益信号可被转移到存储结构82。控制信号G_SEL可在周期T2期间连续生效以允许重置电压电平或低增益信号被转移到浮动扩散区84。当控制信号RST_FD生效时,浮动扩散区84可被重置为重置电压电平。在浮动扩散区84被重置之后,控制信号RST_FD可解除生效并且控制信号CNT_LG可生效以将低增益信号转移到浮动扩散区84以用于读出。

[0061] 图6B示出用于图像信号读出操作的时序图。在周期T3期间,存储在浮动扩散节点84处的低增益信号可通过使控制信号SEL生效而被读出。当控制信号SEL生效时,生成对应于低增益信号的图像像素单元输出。可通过启用SHS_LG将对应于低增益信号的图像像素单元输出发送到采样保持电路。在读出低增益信号之后,控制信号SEL和SHS_LG可解除生效。在周期T4期间,可通过使控制信号RST_FD和G_SEL生效来将浮动扩散区84重置为重置电压电平。可通过使控制信号SEL生效来类似地读出重置电压电平。采样保持电路可通过使控制信号SHR生效来存储重置电压电平。在周期T5期间,可通过使控制信号TX2生效来将高增益信号转移到浮动扩散区84。可通过使控制信号SEL生效来类似地读出高增益信号。采样保持电路可通过使控制信号SHS_HG生效来存储对应于高增益信号的图像像素单元输出。在高增益信号读出之后,可通过使控制信号RST_FD和G_SEL生效来使浮动扩散区84再次被重置。

[0062] 图7A示出图5A的另选配置的电路图。图7A中的像素单元22可包括与图5A的部分100相同的部分100以及与图5A的部分102相似的部分104。如前所述,包括在部分100中的电路可与具有至少可重置电荷存储区和读出电路的任何像素单元电路结合,以实施低噪声高动态范围像素单元操作。部分100可包括光电二极管50、供电电压源51、光电二极管重置晶体管52、转移晶体管54和存储结构57。积聚图像信号可通过先前在图3A中描述的过程暂时存储在存储结构57处。类似地,存储结构57可耦接到晶体管54的源极端子或漏极端子。

[0063] 部分104可包括可重置电荷存储区80和84。积聚节点80可被配置为积聚由来自光电二极管50的不同积聚周期生成的多个图像信号。浮动扩散区84可被配置为暂时存储准备好被采样的图像信号。浮动扩散区84可充当另一存储区,用于在图像数据收集操作期间存储电荷。浮动扩散区84可具有电荷存储容量(电容),如由具有电容Cfd的电容器86所示。像素单元22可在部分104中包括读出电路,该读出电路使用源极跟随器晶体管62、行选择晶体管64和总线66读出存储在浮动扩散区84处的图像信号。总线66上的对应图像信号PIXOUT可与存储在浮动扩散区84处的图像信号相关。像素单元22的部分100和104内的上述特征类似于先前在图3A中所示和所讨论的特征。

[0064] 像素单元可包括集成的电荷转移晶体管76。晶体管76可具有由存储的电荷转移控制信号TX_ST控制的栅极端子。像素单元22可包括低增益转移晶体管78。晶体管78可具有由低增益转移控制信号TX_LG控制的栅极端子。在期望数量的积聚周期之后,积聚图像信号可通过先前在图3A中详细讨论的过程存储在存储结构57处。存储结构57可共享节点80。积聚图像信号也可被说成在节点80处求和。晶体管78可设置溢流电荷势垒(例如,电压阈值)。当存储在存储结构57处的积聚图像信号超过阈值时,积聚图像信号的超过阈值的第一部分可通过晶体管78转移到低增益电容器88。低增益电容器88可将转移的图像信号存储为低增益

图像信号,直到低增益信号准备好被读出。积聚图像信号的第二部分保留在存储结构57处。

[0065] 另外,转移晶体管76可将存储区57耦接到附加存储区82。当控制信号TX_ST生效(例如,提供逻辑高)时,积聚图像信号的存储在存储结构57处的第二部分被转移到附加的存储结构82。附加存储结构82与存储结构57相类似,可为存储区、存储二极管、存储门、或任何其他存储结构。存储区或存储二极管可包括先前讨论的特征,诸如为掺杂半导体区。求和的图像信号的存储在附加存储结构82处的部分可称为高增益图像信号。高增益图像信号被存储在存储结构82处,直到高增益图像信号准备好被读出。

[0066] 图7A的部分104的上述特征与图5A的部分102的类似特征相同。然而,除了部分104的上述特征之外,部分104可包括低增益信号重置晶体管94。晶体管94可具有由低增益重置控制信号RST_LG耦接的栅极端子。晶体管94可将具有供电电压的电压源直接耦接到电容器88,该电容器存储低增益图像信号。当控制信号RST_LG生效时,电容器88可被重置为供电电压。像素单元22可在部分104中包括浮动扩散重置晶体管68。浮动扩散重置晶体管68将电压源直接耦接到浮动扩散区84。晶体管68可具有由浮动扩散重置控制信号RST_FD控制的栅极端子。当控制信号RST_FD生效时,浮动扩散区84可被重置为供电电压。像素单元22可在部分104中包括低增益信号连接晶体管90。晶体管90可将电容器88直接耦接到浮动扩散区84。晶体管90可具有由连接控制信号CNT_LG控制的栅极端子。当控制信号CNT_LG生效时,存储在电容器88处的低增益图像信号可被转移到浮动扩散区84以用于随后的读出。高动态范围图像可使用低增益图像信号和高增益图像信号来构造。

[0067] 在另选的实施方案中,图7A的部分100可被光电二极管(例如,光电二极管50)替换,如图7B所示。示于图7B中的像素单元22比如图7A所示的像素单元22更紧凑,因为示于图5B中的像素单元22没有晶体管52和54、也没有存储区57以及对应的电连接。如图7B所示的像素单元22可使用与如图7A所示的像素单元22相似的方法操作。图7B中的像素单元22可使用存储在部分104中的低增益图像信号和高增益图像信号在HDR模式下操作,如图7A所述。以这种方式,图7B中的像素单元22可为专用于在HDR模式下操作的紧凑像素单元。

[0068] 图8A和图8B示出用于操作示于图7A中的示例性图像传感器像素单元的时序图。图8A示出用于图像信号生成操作的时序图。图8A包括周期TA(类似于图6A的T0),在该周期期间,控制信号RST_PD可生效以将光电二极管50重置为供电电压电平。在周期TA期间,控制信号RST_LG和TX_LG也可生效以将存储区57和电容器88重置为重置电压电平。在周期TB(类似于图6A的T1)期间,光电二极管50可开始在多个不同积聚周期中生成对应于入射光的图像信号。在不同积聚周期期间生成的不同图像信号可通过使用于晶体管54的控制信号TX1生效来在存储结构57处连续地求和。

[0069] 更具体地讲,周期TB可包括周期 t 、 t' 和 t'' 。在周期TA中重置光电二极管50之后,周期 t 可开始,在该周期 t 期间控制信号RST_PD和TX1均解除生效。在周期 t 期间,光电二极管可接收入射光(例如,接收曝光)并且生成对应的图像信号。在期望的曝光时间长度之后,周期 t 结束并且周期 t' 可开始。在周期 t' 期间,控制信号TX1可生效以将对应的图像信号转移到存储结构57。在 t' 期间在光电二极管50处生成的附加图像信号也可被转移到存储结构57。因此,积聚时间周期可在周期 t 开始时开始,并且在周期 t' 结束时结束。换句话说讲,积聚时间周期可为时间周期 t 和 t' 的总和。在对应的图像信号已被转移之后,周期 t' 结束并且周期 t'' 可开始。在周期 t'' 期间,控制信号TX1可解除生效并且控制信号RST_PD可生效。将光电二极

管50再次重置,使得周期 t_1'' 可开始。周期 t_1 、 t_1' 和 t_1'' 可分别类似于周期 t 、 t' 和 t'' 发生。一般来讲,可发生任何期望数量的周期 t_n 、 t_n' 和 t_n'' 。在周期 t_n' 期间,在周期 t_1 至 t_n 期间生成的图像信号全部在存储结构57处求和。在发生了期望数量的周期之后,周期TB可结束。

[0070] 在周期TB期间,如果在任何时间存储在存储结构57处的图像信号超过由晶体管78设置的电压阈值,则图像信号的一部分可作为低增益图像信号存储在电容器88处。

[0071] 在周期TB结束时,低增益信号可存储在电容器88处并且高增益信号可存储在存储结构57处。周期TC可通过使控制信号TX_ST和RST_FD生效而开始。当控制信号TX_ST生效时,存储在存储结构57处的高增益信号可被转移到存储结构82。当控制信号RST_FD生效时,浮动扩散区84可被重置为重置电压电平。在浮动扩散区84被重置之后,控制信号RST_FD可解除生效并且控制信号CNT_LG可生效以将低增益信号转移到浮动扩散区84以用于读出。

[0072] 图8B示出用于图像信号读出操作的时序图。在周期TD(类似于图6B的T3)期间,存储在浮动扩散节点84处的低增益信号可通过使控制信号SEL生效而被读出。当控制信号SEL生效时,生成对应于低增益信号的图像像素单元输出。可通过启用SHS_LG将对应于低增益信号的图像像素单元输出发送到采样保持电路。在读出低增益信号之后,控制信号SEL和SHS_LG可解除生效。在周期TE期间,可通过使控制信号RST_FD生效来将浮动扩散区84重置为重置电压电平。可通过使控制信号SEL生效来类似地读出重置电压电平。采样保持电路可通过使控制信号SHR生效来存储重置电压电平。在周期TF(类似于图6B的T5)期间,可通过使控制信号TX2生效来将高增益信号转移到浮动扩散区84。可通过使控制信号SEL生效来类似地读出高增益信号。采样保持电路可通过使控制信号SHS_HG生效来存储对应于高增益信号的图像像素单元输出。在高增益信号读出之后,可通过使控制信号RST_FD生效来使浮动扩散区84再次被重置。

[0073] 图5和图7中的像素单元22的操作如图6B和图8B所示可具有包括低增益信号读出的读出过程,该低增益信号读出为具有图像信号和重置电压电平的双采样读出。由于重置电压电平读出在低增益信号读出之后进行,所以双采样读出具有不相关噪声。作为另外一种选择,低增益信号读出可与外部偏移校准数据相关。读出过程也包括高增益信号读出,该高增益信号读出是具有在重置电压电平和高增益信号之间的相关噪声的相关双采样读出。如图5A和图5B所示的像素单元22实现包括两个双采样读出的读出过程,该双采样读出可用仅一个源极跟随器晶体管在全局快门模式下操作。在某些像素单元中,不止一个源极跟随器晶体管可用于使像素单元能够在全局快门模式下操作。在像素单元22中,浮动扩散84充当像素单元采样保持电路,从而消除了对附加源极跟随器晶体管和伴随的读出电路的需要。这提供了可用于像素单元光电二极管的额外像素单元面积。

[0074] 另外,上述实施方案中的像素单元22的操作示出了电中性密度滤光器功能的实施方式。更具体地讲,光电二极管、光电二极管重置晶体管以及将生成的电荷转移到电荷存储结构的电荷转移晶体管允许电中性密度滤光器功能。换句话说讲,像素单元22的上述结构实施电中性密度滤光器。在像素单元操作期间,积聚时间有效地减少,而不会恶化运动模糊。这允许由像素单元22生成的图像在不使用物理中性密度滤光器时,获得在光路中生成具有物理中性密度滤光器的图像的益处。

[0075] 图9为包括成像设备1008(如图1所示相机模块)的示例性处理器系统1000(如数码相机)的简化图,该成像设备采用的成像器具有如上图1至图8所述的像素单元。在不进行限

制的前提下,这种系统可包括计算机系统、静态或视频摄像机系统、扫描仪、机器视觉系统、车辆导航系统、视频电话、监控系统、自动对焦系统、星体跟踪器系统、运动检测系统、图像稳定系统,以及其他采用成像设备的系统。

[0076] 处理器系统1000例如数字静态或视频摄像机系统一般包括透镜1114,该透镜用于在快门释放按钮1116被按下时,将图像聚焦到成像设备1008中的一个或多个像素单元阵列上;以及中央处理单元(CPU)1002,诸如微处理器,其控制相机和一个或多个图像流功能。处理单元1102可通过系统总线1006与一个或多个输入-输出(I/O)设备1110通信。成像设备1008还可通过总线1006与CPU 1002通信。系统1000还可包括随机存取存储器(RAM)1004并且可任选地包括可移动存储器1112,诸如闪存存储器,该存储器也可通过总线1006与CPU 1002通信。成像设备1008可在单个集成电路或不同芯片上与CPU相组合,无论是否具有存储器。尽管总线1006被示为单总线,但该总线也可以是一个或多个总线、桥接器或其他用于互连系统1000的系统组件的通信路径。

[0077] 已描述了各种实施方案,这些实施方案示出了使用具有高动态范围功能的图像传感器像素单元来生成图像的系统和方法。

[0078] 图像传感器像素单元可包括光电二极管、电荷存储区、浮动扩散节点和电容器。第一转移晶体管可耦接在光电二极管和电荷存储区之间。第二晶体管可耦接在电荷存储区与浮动扩散节点之间。增益选择晶体管可耦接在电容器与浮动扩散节点之间。光电二极管可生成对应于入射光的图像信号。光电二极管可由不同积聚周期生成不同图像信号。多个不同图像信号可积聚在电荷存储区处以生成积聚图像信号。第二晶体管可确定积聚图像信号的暂时存储在电荷存储区处的一部分,该部分可被发送到电容器以用于存储。

[0079] 图像信号的被发送到电容器的部分可为低增益信号,并且图像信号的剩余部分可为高增益信号。高动态范围图像可使用低增益信号和高增益信号来构造。图像传感器像素单元也可包括第一重置晶体管和第二重置晶体管,该第一重置晶体管将第一电压源耦接到光电二极管,并且该第二重置晶体管将第二电压源耦接到浮动扩散节点。图像传感器像素单元也可包括读出电路,该读出电路被配置为在双采样读出操作中读出存储在浮动扩散节点处的信号。

[0080] 在另选的实施方案中,图像传感器像素单元可包括响应于入射光而生成电荷的光电二极管。图像传感器像素单元可包括第一电荷存储区、第二电荷存储区和第三电荷存储区。图像传感器像素单元可包括第一晶体管和第二晶体管,该第一晶体管被配置为将生成的电荷从光电二极管转移到第一电荷存储区,该第二晶体管被配置为将生成的电荷的第一部分从第一电荷存储区转移到第二电荷存储区。图像传感器可包括第三晶体管和第四晶体管,该第三晶体管和第四晶体管被配置为将生成的电荷的第二部分从第一电荷存储区转移到第三电荷存储区。图像传感器像素单元可包括具有第一供电电压的第一电压源以及耦接在第一电压源和光电二极管之间的抗光晕晶体管。图像传感器像素单元可包括第五晶体管,该第五晶体管耦接在第二电荷存储区和第三电荷存储区之间。图像传感器像素单元可包括具有第二供电电压的第二电压源以及第一重置晶体管,该第一重置晶体管被配置为将第一电荷存储区、第二电荷存储区和第三电荷存储区重置为第二供电电压。图像传感器像素单元可包括第二重置晶体管,该第二重置晶体管插置在第二电压源和第三电荷存储区之间。

[0081] 另外,第二电荷存储区可为电容器,并且第三电荷存储区可为浮动扩散区。图像传感器像素单元可包括第六晶体管。当第五晶体管和第六晶体管生效时,电荷的第一部分从电容器转移到浮动扩散区。图像传感器像素单元可包括增益选择晶体管和低增益晶体管,该增益选择晶体管和低增益晶体管被配置为将生成的电荷的第一部分从第二存储区转移到第三电荷存储区。图像传感器像素单元可包括重置晶体管,该重置晶体管被配置为将第二电荷存储区和第三电荷存储区重置为重置电压电平。

[0082] 图像传感器像素单元也可包括插置在第三晶体管和第四晶体管之间的第四电荷存储区。图像传感器像素单元可包括读出晶体管电路,该读出晶体管电路被配置为执行读出操作并且具有输入端子,其中第三电荷存储区耦接到输入端子。生成的电荷的第一部分可为低增益信号。生成的电荷的第二部分可为高增益信号。图像传感器像素单元可被配置为在全局快门模式下操作。

[0083] 根据一个实施方案,图像传感器像素单元可包括:光电二极管,该光电二极管响应于入射光而生成电荷;第一电荷存储区、第二电荷存储区和第三电荷存储区;第一晶体管,该第一晶体管被配置为将生成的电荷的第一部分转移到第一电荷存储区;第二晶体管,该第二晶体管被配置为将生成的电荷的第二部分转移到第二电荷存储区;以及第三晶体管,该第三晶体管被配置为将生成的电荷的第二部分从第二电荷存储区转移到第三电荷存储区。

[0084] 根据另一个实施方案,图像传感器像素单元还可包括:第四晶体管,该第四晶体管耦接在第一电荷存储区和第三电荷存储区之间;具有第一供电电压的第一电压源;以及第一重置晶体管,该第一重置晶体管被配置为将第一电荷存储区重置为第一供电电压。

[0085] 根据另一个实施方案,第一晶体管插置在光电二极管和第一存储区之间,并且其中第二晶体管插置在光电二极管和第二存储区之间。

[0086] 根据另一个实施方案,图像传感器像素单元还可包括:第四电荷存储区;第五晶体管,该第五晶体管被配置为将生成的电荷从光电二极管转移到第四电荷存储区;具有第二供电电压的第二电压源;以及抗光晕晶体管,该抗光晕晶体管耦接在第二电压源和光电二极管之间。

[0087] 根据另一个实施方案,图像传感器像素单元还可包括第二重置晶体管,其中第二重置晶体管插置在第一电压源和第三电荷存储区之间。

[0088] 根据另一个实施方案,图像传感器像素单元还可包括第六晶体管,其中第一电荷存储区为电容器,其中第三电荷存储区为浮动扩散区,并且其中当第四晶体管和第六晶体管生效时,生成的电荷的第一部分从电容器转移到浮动扩散区。

[0089] 根据另一个实施方案,光电二极管响应于额外的入射光而生成附加电荷,并且其中第四电荷存储区被配置为将生成的电荷与生成的附加电荷求和。

[0090] 根据另一个实施方案,图像传感器像素单元还可包括增益选择晶体管和低增益晶体管,其中增益选择晶体管和低增益晶体管被配置为将生成的电荷的第一部分从第一电荷存储区转移到第三电荷存储区。

[0091] 根据另一个实施方案,图像传感器像素单元还可包括第三重置晶体管,其中第三重置晶体管被配置为将第一电荷存储区和第三电荷存储区重置为第三重置电压电平,并且其中当增益选择晶体管和第三重置晶体管生效时,第三电荷存储区被重置为第三重置电压

电平。

[0092] 根据另一个实施方案,图像传感器像素单元还可包括读出晶体管电路,该读出晶体管电路被配置为执行读出操作并且具有输入端子,其中第三电荷存储区耦接到输入端子。

[0093] 根据另一个实施方案,生成电荷的第一部分可包括低增益信号,其中生成电荷的第二部分可包括高增益信号,并且其中图像传感器像素单元被配置为在全局快门模式下操作。

[0094] 根据一个实施方案,一种操作图像传感器像素单元的方法,该图像传感器像素单元包括光敏区、电荷存储区、第一电荷转移晶体管和第二电荷转移晶体管、电压源、插置在电压源和光敏区之间的重置晶体管、和浮动扩散区;该方法可包括:使用电压源和重置晶体管;重置光敏区;使用光敏区;响应于光而生成电荷,其中响应于光而生成电荷可包括在多个积聚时间周期期间生成多个电荷;使用第一电荷转移晶体管;将生成的电荷从光敏区转移到电荷存储区;以及使用第二电荷转移晶体管;将生成的电荷的一部分从电荷存储区转移到浮动扩散区。

[0095] 根据另一个实施方案,图像传感器像素单元还包括电容器,并且其中将生成的电荷的部分从电荷存储区转移到浮动扩散区可包括将生成的电荷的部分从电荷存储区转移到电容器。

[0096] 根据另一个实施方案,该方法还可包括使用第二电荷转移晶体管,确定生成的电荷的被转移到电容器的部分。

[0097] 根据另一个实施方案,图像传感器像素单元还可包括低增益晶体管,该方法还包括使用低增益晶体管,改变图像传感器像素单元的增益状态。

[0098] 根据一个实施方案,系统可包括中央处理单元、存储器、透镜、输入-输出电路、和全局快门图像像素单元,其中全局快门图像像素单元可包括:光电二极管,该光电二极管响应于光而生成图像信号;第一晶体管,该第一晶体管设置阈值电压;电容器,该电容器被配置为接收所生成的图像信号的超过阈值电压的一部分并且存储所生成的图像信号的该部分;存储区;第二晶体管,该第二晶体管被配置为将所生成的图像信号的由电容器存储的部分转移到存储区;以及电压源,该电压源通过第二晶体管耦接到存储区。

[0099] 根据另一个实施方案,全局快门图像像素单元还可包括存储结构,该存储结构存储所生成的图像信号的第二部分。

[0100] 根据另一个实施方案,所生成的图像信号的存储在存储结构处的第二部分可包括高增益信号。

[0101] 根据另一个实施方案,所生成的图像信号的由电容器接收的部分可包括低增益信号。

[0102] 根据另一个实施方案,全局快门图像像素单元还可包括读出电路,其中读出电路被配置为参考重置电压电平来执行低增益信号和高增益信号的双采样读出。

[0103] 前述内容仅是对本实用新型原理的示例性说明,因此本领域技术人员可以在不脱离本实用新型的精神和范围的前提下进行多种修改。上述实施方案可单独地或以任意组合方式实施。

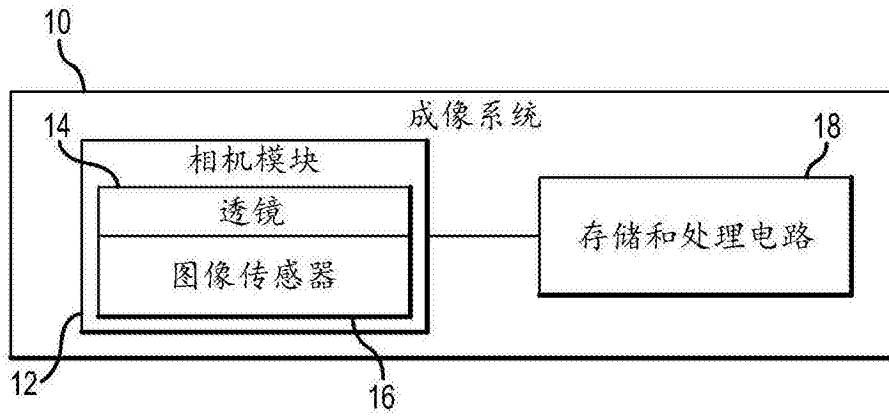


图1

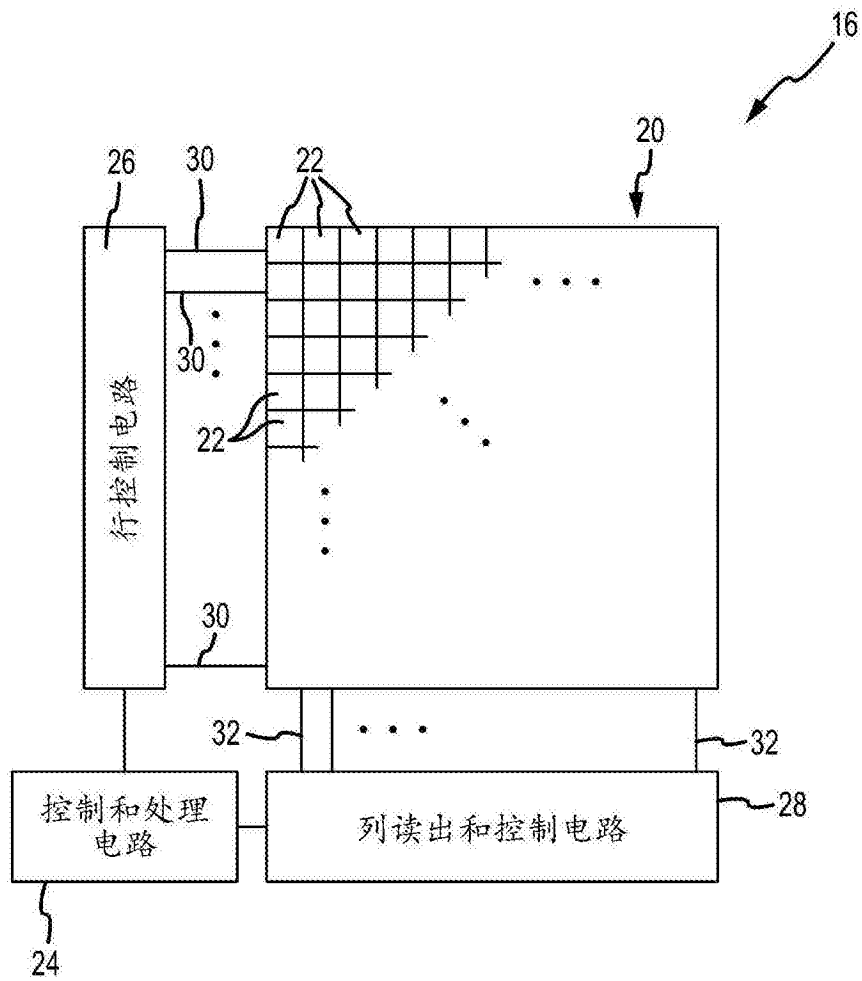


图2

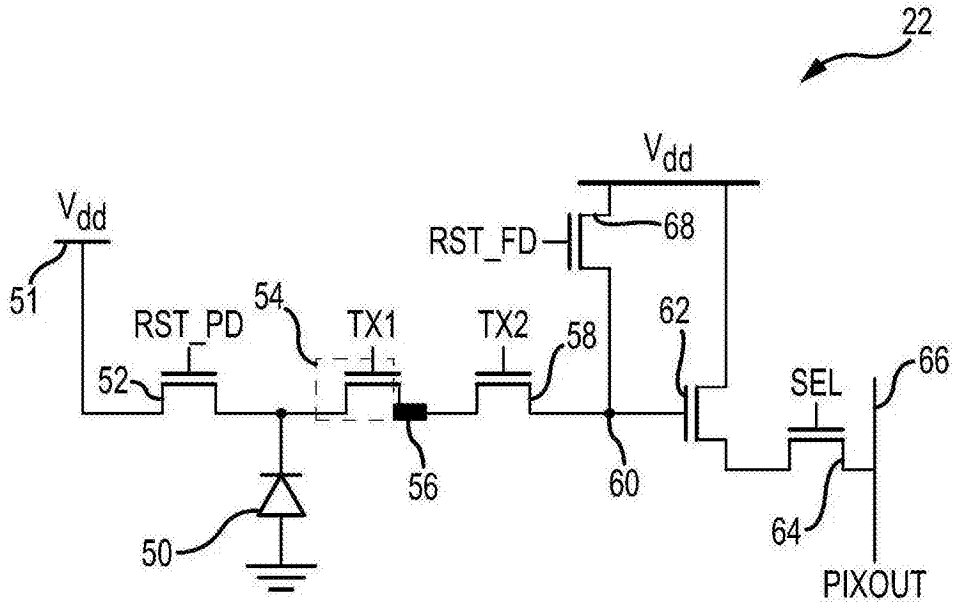


图3A

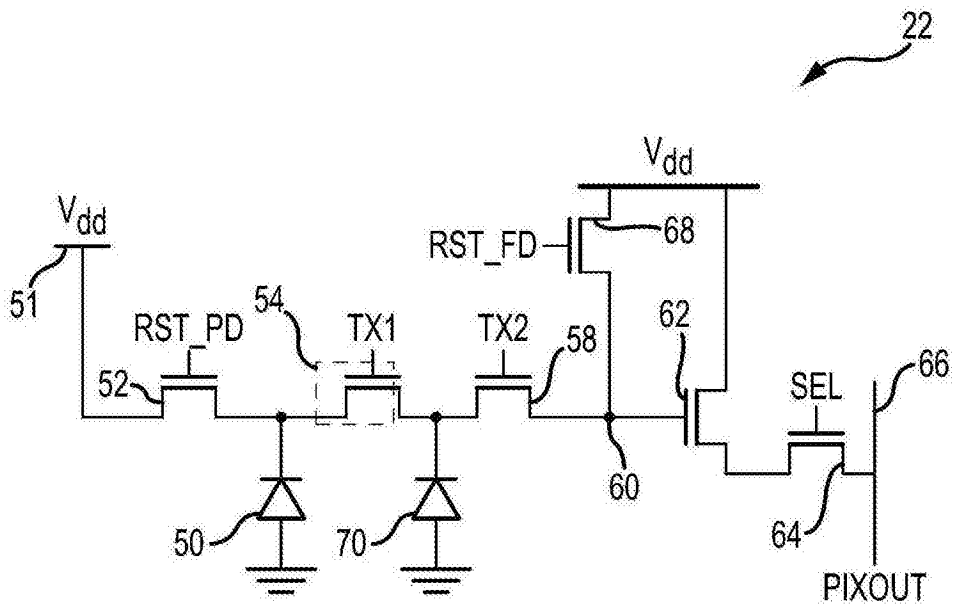


图3B

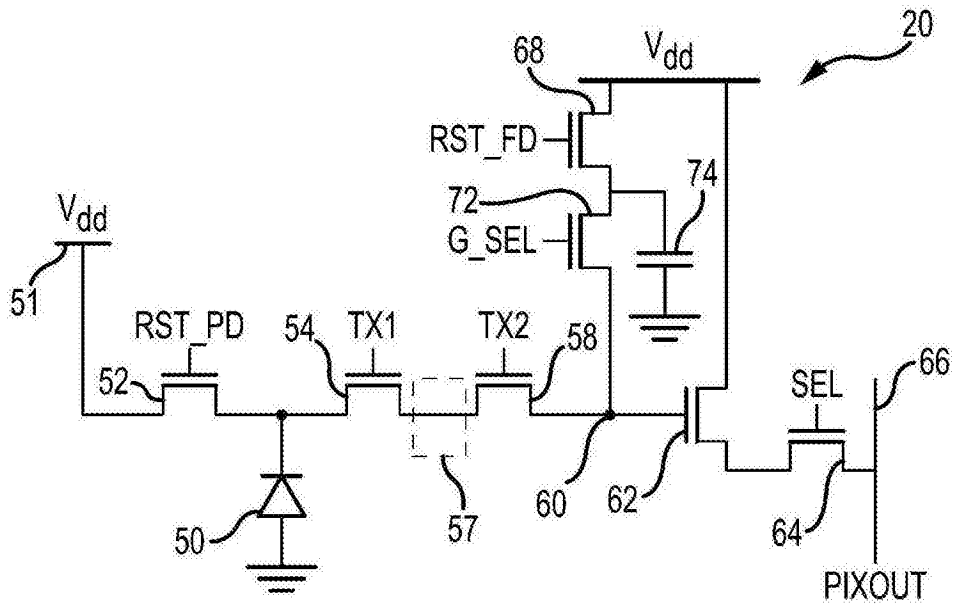


图4

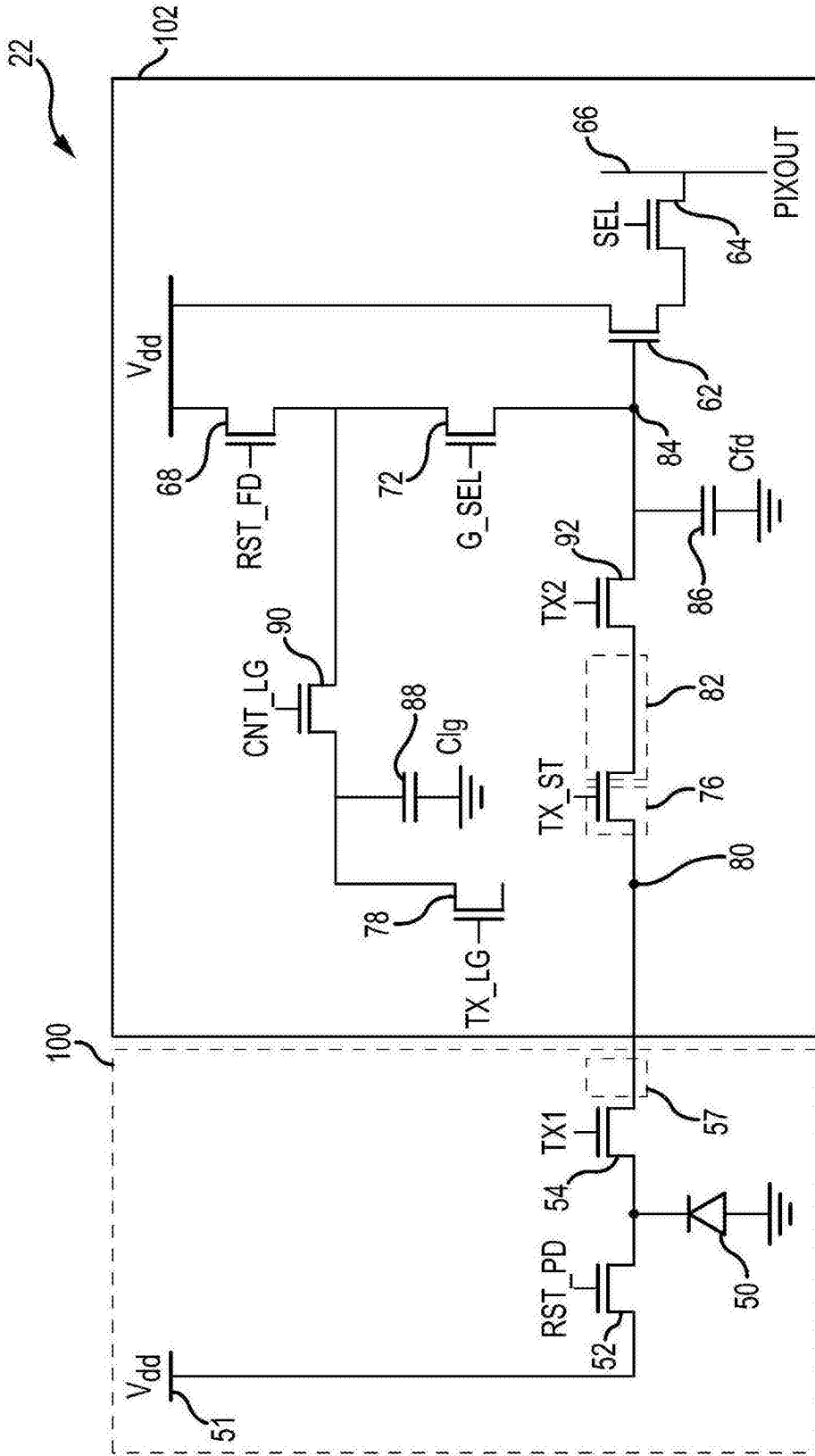


图5A

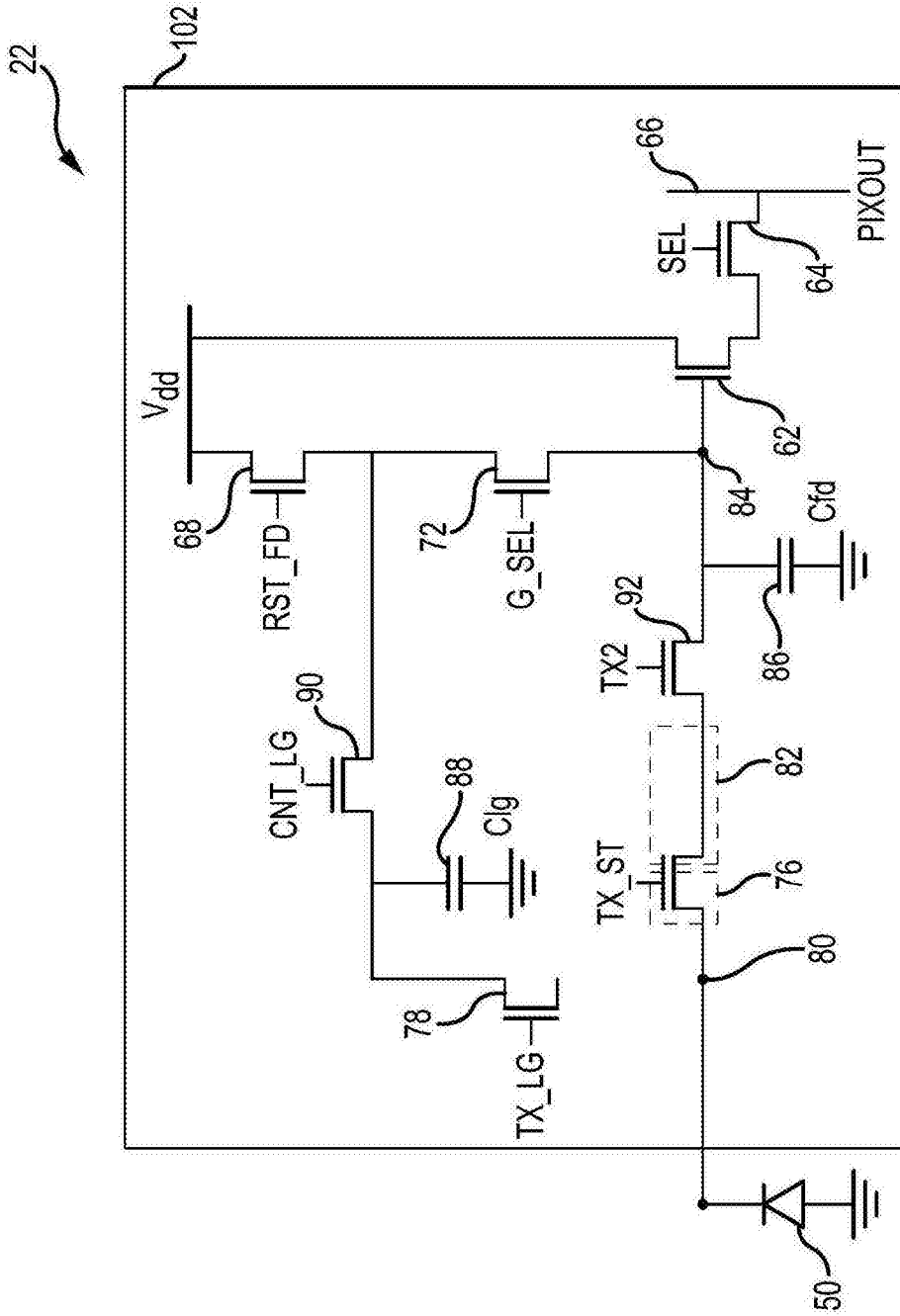


图5B

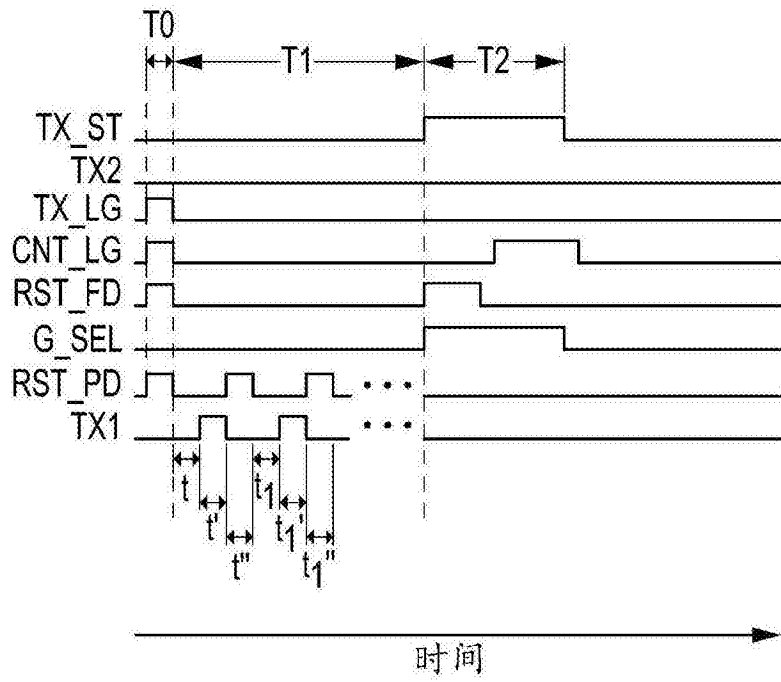


图6A

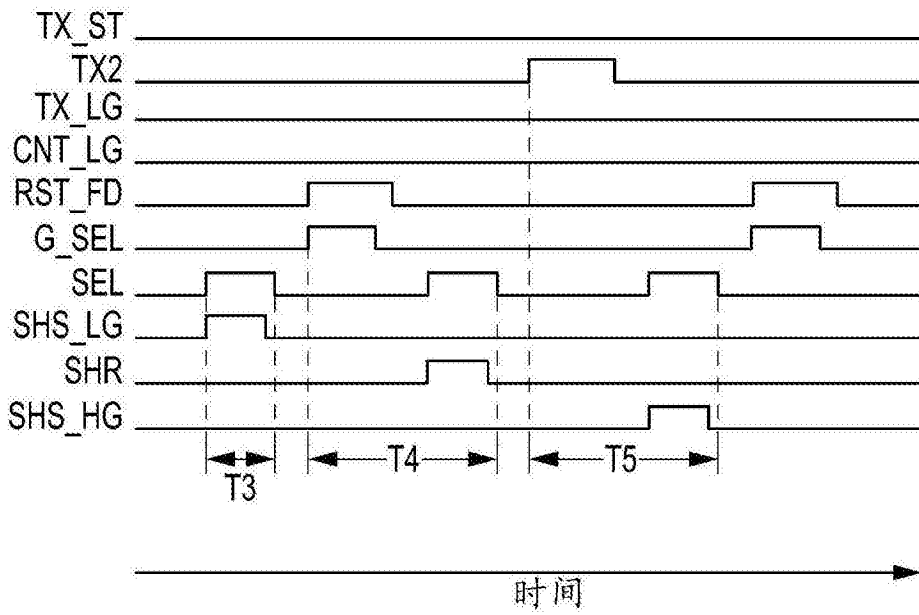


图6B

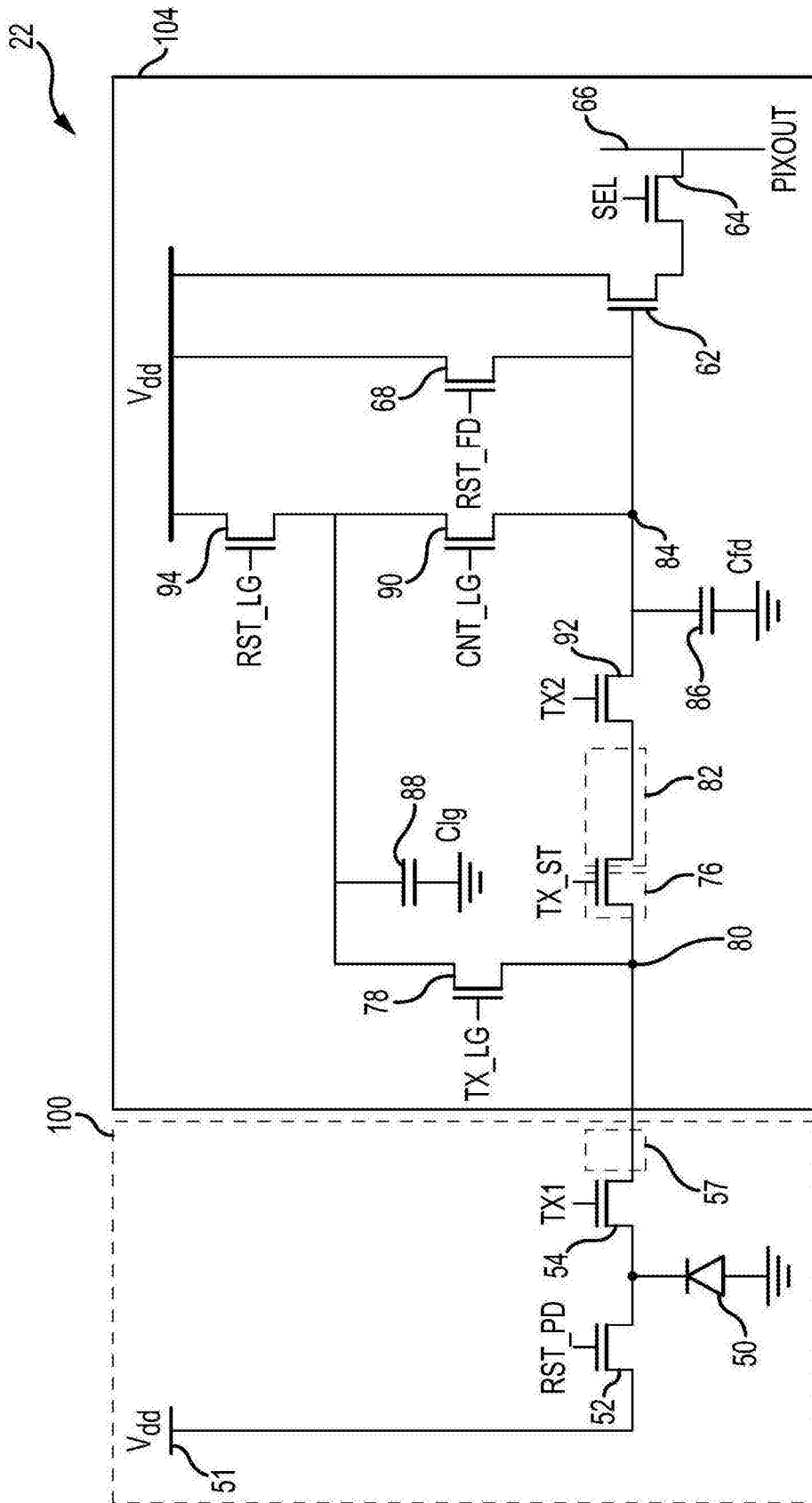


图7A

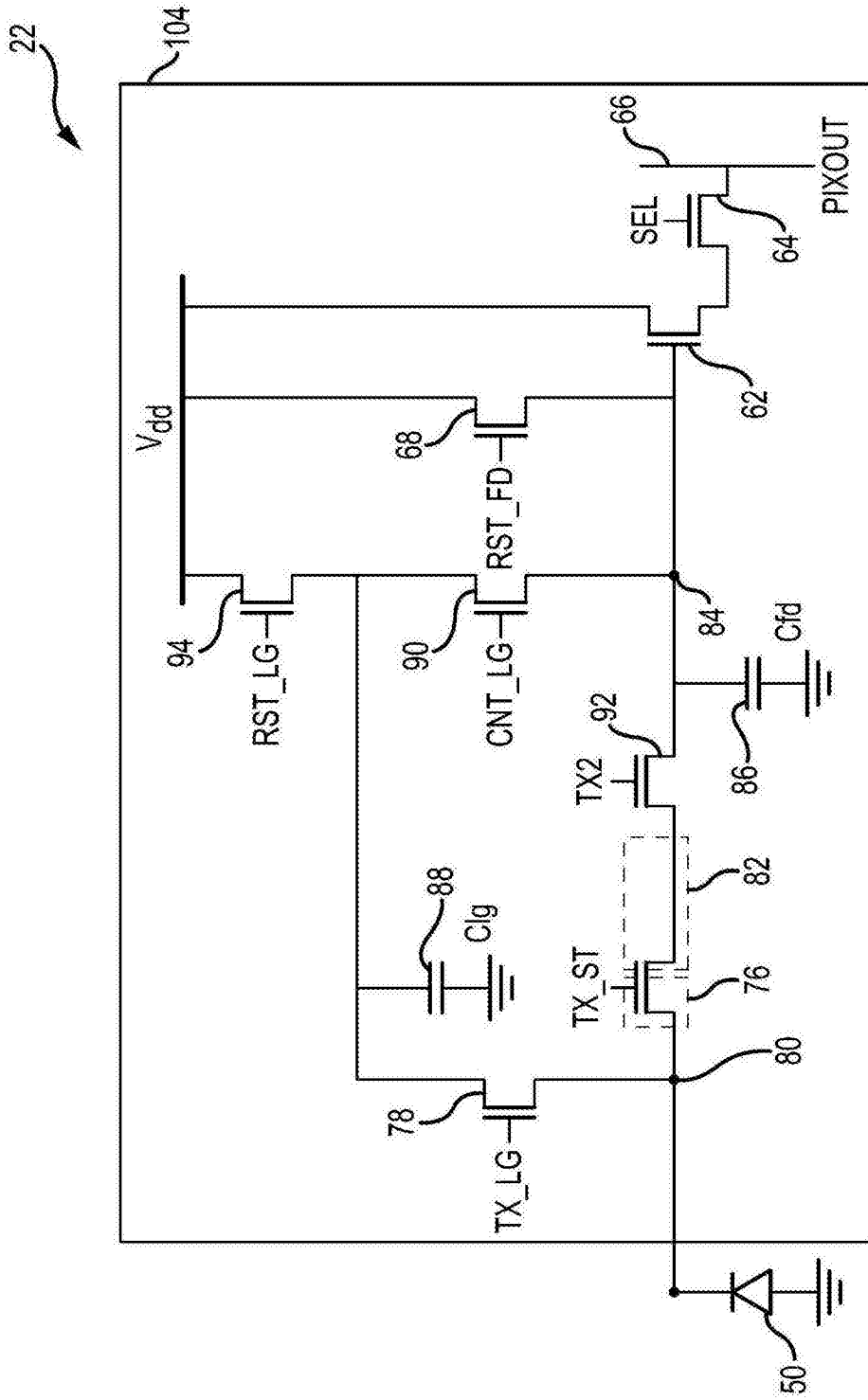


图7B

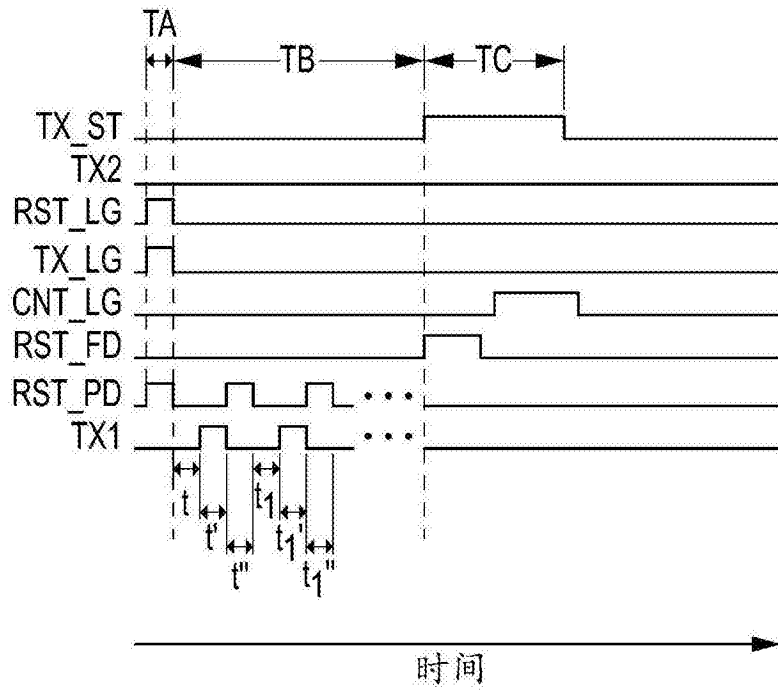


图8A

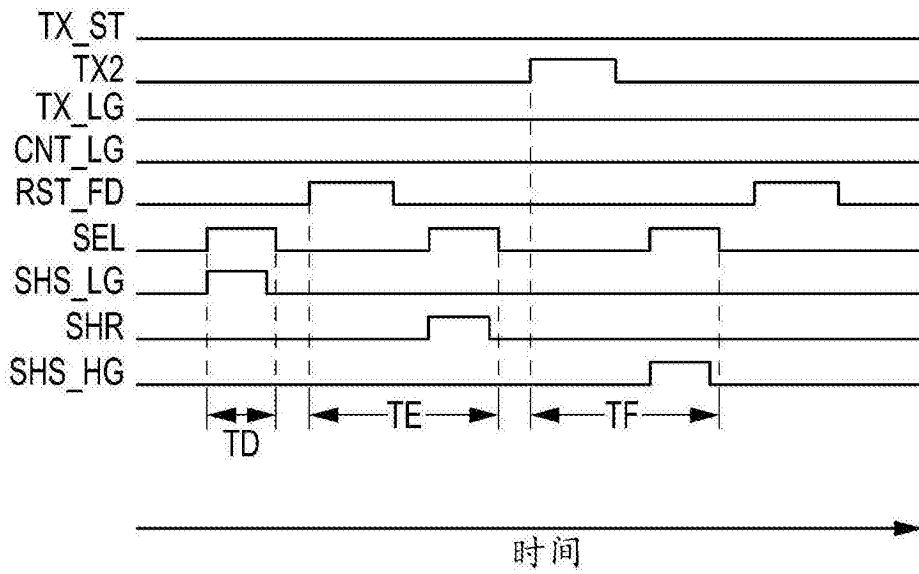


图8B

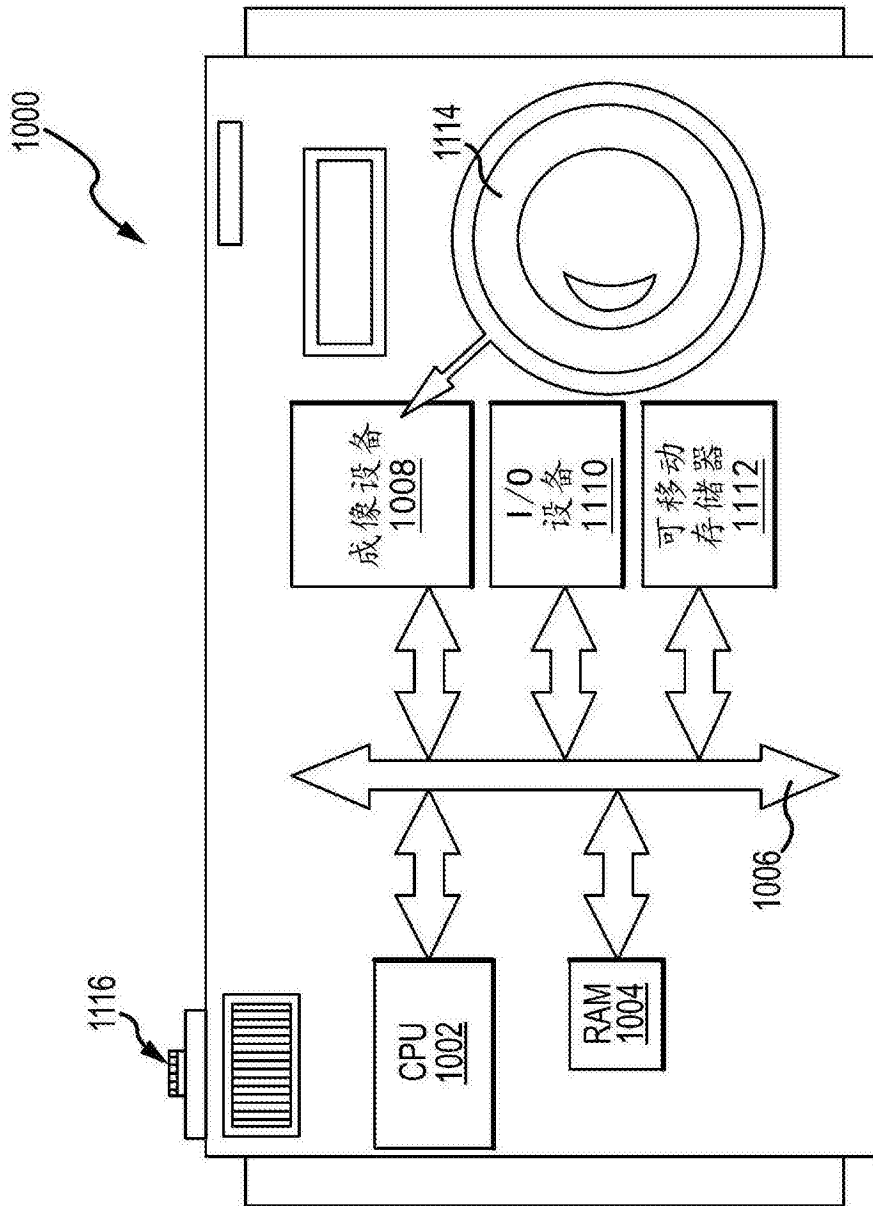


图9