

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.  
G11C 19/28 (2006.01)  
G09G 3/36 (2006.01)



# [12] 发明专利申请公布说明书

[21] 申请号 200710300398.0

[43] 公开日 2008年7月16日

[11] 公开号 CN 101221818A

[22] 申请日 2007.9.30

[21] 申请号 200710300398.0

[30] 优先权

[32] 2006.10.3 [33] JP [31] 2006-271555

[32] 2007.6.11 [33] JP [31] 2007-153434

[71] 申请人 三菱电机株式会社

地址 日本东京都

[72] 发明人 飞田洋一

[74] 专利代理机构 中国专利代理(香港)有限公司  
代理人 浦柏明 刘宗杰

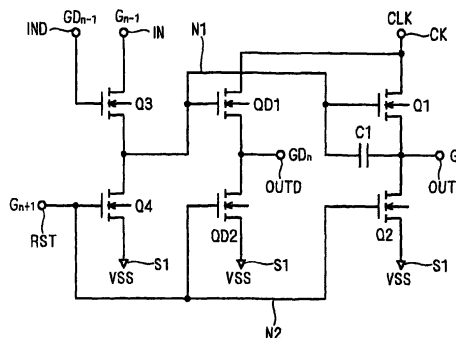
权利要求书4页 说明书27页 附图15页

## [54] 发明名称

移位寄存器电路以及包括该移位寄存器电路的图像显示装置

## [57] 摘要

本发明提供一种可高速动作的移位寄存器电路。该移位寄存器电路包括：将时钟信号 CLK 供给第一输出端子 OUT 的晶体管 Q1；将第一输出端子 OUT 进行放电的晶体管 Q2；将上述时钟信号 CLK 供给第二输出端子 OUTD 的晶体管 QD1；以及，将第二输出端子 OUTD 进行放电的晶体管 QD2。晶体管 Q1，QD1 的栅极共同连接到节点 N1，晶体管 Q2，QD2 的栅极共同连接到节点 N2。节点 N1 的充电是通过连接在该节点 N1 和第一输入端子 IN 之间且栅极连接到第二输入端子 IND 的晶体管 Q3 来实施的。



1. 一种移位寄存器电路, 包括:

第一和第二输入端子、第一和第二输出端子、第一时钟端子和复位端子;

将输入到上述第一时钟端子的第一时钟信号供给上述第一输出端子的第一晶体管;

将上述第一输出端子进行放电的第二晶体管;

将上述第一时钟信号供给上述第二输出端子的第三晶体管; 以及

将上述第二输出端子进行放电的第四晶体管;

该移位寄存器电路的特征在于:

上述第一和第三晶体的控制电极共同连接到第一节点,

上述第二和第四晶体的控制电极共同连接到第二节点,

该移位寄存器电路包括:

第五晶体管, 连接在上述第一节点和上述第一输入端子之间, 并具有连接到上述第二输入端子的控制电极;

第六晶体管, 具有连接到上述复位端子的控制电极, 且将上述第一节点进行放电。

2. 根据权利要求1记载的移位寄存器电路, 其特征在于:

上述第二节点与上述复位端子连接。

3. 根据权利要求1记载的移位寄存器电路, 其特征在于:

上述第二节点与第二时钟端子连接, 该第二时钟端子中输入了与上述第一时钟信号的相位不同的第二时钟信号。

4. 根据权利要求3记载的移位寄存器电路, 其特征在于:

上述第二晶体管连接在上述第一输出端子和上述第一时钟端子之间,

上述第四晶体管连接在上述第二输出端子和上述第一时钟端子之间。

5. 根据权利要求1记载的移位寄存器电路, 其特征在于:

还包括:

以上述第一节点为输入端, 以上述第二节点为输出端的逆变器。

6. 根据权利要求5记载的移位寄存器电路, 其特征在于:

还包括:

具有连接在上述第二节点的控制电极，且将上述第一节点进行放电的第七晶体管。

7. 根据权利要求3记载的移位寄存器电路，其特征在于：

还包括：

除上述第四晶体管之外，将上述第二输出端子进行放电的第八晶体管；

具有连接到上述第一节点的控制电极，并将连接上述第八晶体管的控制电极的第三节点进行放电的第九晶体管；以及

连接在上述第三节点和上述第一时钟端子之间的第一电容元件。

8. 根据权利要求7记载的移位寄存器电路，其特征在于：

上述第八晶体管连接在上述第二输出端子和上述第二时钟端子之间。

9. 根据权利要求7记载的移位寄存器电路，其特征在于：

进一步包括：具有连接到上述第三节点的控制电极，并将上述第一输出端子进行放电的第十晶体管。

10. 据权利要求9记载的移位寄存器电路，其特征在于：

上述第十晶体管连接在上述第一输出端子和上述第二时钟端子之间。

11. 根据权利要求1记载的移位寄存器电路，其特征在于：

还包括：

具有连接到上述第一节点的控制电极，并将上述第二节点进行放电的第十一晶体管；

连接在上述第二节点和上述第一时钟端子之间的第二电容元件；以及

除上述第四晶体管之外，将上述第二输出端子进行放电的第十二晶体管，

上述第十二晶体管的控制端子与第三时钟端子，该第三时钟端子中输入了与上述第一时钟信号相位不同的第三时钟信号。

12. 根据权利要求11记载的移位寄存器电路，其特征在于：

上述第十二晶体管连接在上述第二输出端子和上述第一时钟端子之间。

13. 根据权利要求1记载的移位寄存器电路，其特征在于：

还包括：

连接在第四时钟端子和上述第一节点之间的第三电容元件，其中，该第四时钟端子中输入了与上述第一时钟信号不同相位的第四时钟信号。

14. 一种移位寄存器电路，其是一种多级移位寄存器电路，各级是权利要求

1 记载的移位寄存器电路，其特征在于：

在上述各级中，

上述第一输入端子连接到自身前一级的上述第一输出端子上；

上述第二输入端子连接到自身前一级的上述第二输出端子上；

上述复位端子连接到比自身后一级的上述第一或第二输出端子上。

15. 根据权利要求 1 记载的移位寄存器电路，其特征在于：

上述第六晶体管连接在上述第一节点和上述第一或第二输入端子之间，

在上述复位端子中输入与上述第一时钟信号相位不同的第五时钟信号。

16. 一种移位寄存器电路，其是一种多级移位寄存器电路，各级是权利要求

15 记载的移位寄存器电路，其特征在于：

在上述各级中，

上述第一输入端子连接到自身前一级的上述第一输出端子上，

上述第二输入端子连接到自身前一级的上述第二输出端子上，

上述第五时钟信号与输入到自身前一级的上述第一时钟端子中的信号同相位。

17. 根据权利要求 14 或权利要求 16 记载的移位寄存器电路，其特征在于：

在上述各级中，来自上述第二输出端子的输出信号比来自上述第一输出端子的输出信号的电平跃迁速度快。

18. 一种图像显示装置，由多级移位寄存器电路构成，并具有对显示面板的栅极线进行驱动的栅极线驱动电路，其特征在于：

上述多级的各级包括：

第一和第二输入端子、第一和第二输出端子、第一时钟端子和复位端子；

将输入到上述第一时钟端子的第一时钟信号供给上述第一输出端子的第一晶体管；

将上述第一输出端子进行放电的第二晶体管；

将上述第一时钟信号供给上述第二输出端子的第三晶体管；

将上述第二输出端子进行放电的第四晶体管；

第五晶体管，连接在规定节点和上述第一输入端子之间且具有连接到上述第二输入端子上的控制电极，其中，上述第一和第三晶体管的控制电极共同连接到所述规定节点；以及

第六晶体管，具有连接到上述复位端子的控制电极，且将上述规定节点进行放电，

在上述各级中，

上述第一输入端子连接到自身前一级的上述第一输出端子上，

上述第二输入端子连接到自身前一级的上述第二输出端子上，

上述第一输出端子连接到上述显示面板的上述栅极线上，

上述复位端子连接到比自身后一级的上述第一或第二输出端子上。

19. 一种图像显示装置，由多级移位寄存器电路构成，并具有对显示面板的栅极线进行驱动的栅极线驱动电路，其特征在于：

上述多级的各级包括：

第一和第二输入端子、第一和第二输出端子、第一时钟端子和复位端子；

将输入到上述第一时钟端子的第一时钟信号供给上述第一输出端子的第一晶体管；

将上述第一输出端子进行放电的第二晶体管；

将上述第一时钟信号供给上述第二输出端子的第三晶体管；

将上述第二输出端子进行放电的第四晶体管；

第五晶体管，连接在规定节点和上述第一输入端子之间且具有连接到上述第二输入端子的控制电极，其中上述第一和第三晶体管的控制电极共同连接到所述规定节点；以及

第六晶体管，具有连接到上述复位端子的控制电极且将上述规定节点进行放电，

在上述各级中，

上述第六晶体管连接在上述规定节点和上述第一或第二输入端子之间，

在上述复位端子中输入与上述第一时钟信号不同相位的第二时钟信号，

上述第一输入端子连接到自身前一级的上述第一输出端子上，

上述第二输入端子连接到自身前一级的上述第二输出端子上，

上述第一输出端子连接到上述显示面板的上述栅极线上，

上述第二时钟信号与输入到自身前一级的上述第一时钟端子中的信号同相位。

## 移位寄存器电路以及包括该移位寄存器电路的图像显示装置

### 技术领域

本发明涉及一种移位寄存器电路，特别涉及一种例如在图像显示装置的扫描线驱动电路等中使用的、仅由相同的导电型场效应晶体管构成的移位寄存器电路。

### 背景技术

在液晶显示装置等的图像显示装置（以下称为“显示装置”）中，通过在多个像素成矩阵状排列的显示面板的像素行（像素线）的每一个中设置有栅极线（扫描线），并在显示信号的一个水平期间的周期内顺序选择并驱动该栅极线进行显示图像的更新。作为这种用于顺序选择并驱动像素线即栅极线的栅极线驱动电路（扫描线驱动电路），可使用在显示信号的一帧期间内进行一轮移位动作的多级移位寄存器。

为了减少在显示装置制造过程中的工序数，栅极线驱动电路中使用的移位寄存器，期望仅由相同的场效应晶体管构成。为此，提出了各种仅由N型或P型场效应晶体管构成的移位寄存器和安装了该移位寄存器的显示装置（例如专利文献1—4）。作为场效应晶体管，使用MOS（Metal Oxide Semiconductor）晶体管或薄膜晶体管（TFT：Thin Film Transistor）等。

此外，作为栅极线驱动电路使用的多级移位寄存器构成为设置在每一个像素线，即每一个栅极线中的多个移位寄存器电路纵向连接（级联连接）。在本说明书中，为了便于说明，构成栅极线驱动电路（多级移位寄存器）的多个移位寄存器电路的每一个称为“单位移位寄存器”。

【专利文献1】日本特开平8—87897号公报

【专利文献2】日本特表平10—500243号公报

【专利文献3】日本特开2001—52494号公报

【专利文献4】日本特开2002—133890号公报

【专利文献5】日本特开2006—24350号公报

如专利文献1—4（以及本说明书的图3）所示，现有的单位移位寄存器包括连接在时钟端子和输出端子之间的晶体管（以下称为“输出上拉晶体管”）（图3的晶体管Q1）。通过该输出上拉晶体管变为导通或输入到时钟端子的时钟信号被传输到输出端子，输出（激活）单位移位寄存器的输出信号。

因此，为了实现单位移位寄存器动作的高速化，需要输出信号的上升和下降的速度（电平跃迁的速度）为高速。为此，可以提高信号输出时的输出上拉晶体管的驱动能力（使电流流动的能力）。作为其中的一个方法，虽然列举了使输出上拉晶体管的沟道宽度增大，但是会出现电路的形成面积增大的问题。

提高输出上拉晶体管的驱动能力的其他方法，需要即使在信号输出时也较高地保持输出上拉晶体管的栅极·源极之间的电压。由于输出上拉晶体管的源极与输出端子连接，所以在信号输出时源极电位上升，由于此时通过栅极·沟道间电容量的电容量耦合使得栅极电位也被升压，所以仍然维持其间的栅极·源极间电压。即，为了提高信号输出时的输出上拉晶体管的栅极·源极之间的电压，在输出信号前（输入时钟信号之前），需要使输出上拉晶体管的栅极电位充分提高。为此，对该栅极电极高速地充电（预充电）是有效的。

在专利文献1—4的单位移位寄存器中，在输出上拉晶体管的栅极电极连接有二极管连接的晶体管（以下称为“充电用晶体管”）。输出上拉晶体管的栅极电极借助于该充电用晶体管，通过前一级单位移位寄存器的输出信号被供给而进行充电。

但是，移位寄存器在作为栅极线驱动电路使用的情况下，由于在单位移位寄存器的输出端子连接有大容量负载构成的栅极线，所以输出信号的上升速度变慢。由此，各个单位移位寄存器的输出上拉晶体管的栅极电极的充电速度降低。结果，各个单位移位寄存器的动作的高速化变得困难，且栅极线驱动电路的动作高速化也变得困难。

此外，充电用晶体管在输出上拉晶体管的栅极电极充电时，通过源极输出器模式动作。即，进行充电，充电用晶体管的栅极·源极间电压变小，驱动能力降低且充电速度变慢。特别是，由于栅极线这种大容量负载的影响，在各个单位移位寄存器的输出信号的上升速度变慢的情况下，由于充电用晶体管从充电过程的初始阶段进行源极输出器模式的动作，所以充电速度的降低将变得显著。这也是妨碍栅极线驱动电路的动作高速化的主要原因。

## 发明内容

本发明是为了解决以上问题而提出的，目的在于提供一种在用于栅极线驱动电路等中的移位寄存器中，使输出上拉晶体管的栅极电极的充电高速化，并由此可进行移位寄存器的高速动作。

本发明的移位寄存器电路包括：第一和第二输入端子、第一和第二输出端子；将输入到第一时钟端子的第一时钟信号供给上述第一输出端子的第一晶体管；将上述第一输出端子进行放电的第二晶体管；将上述时钟信号供给上述第二输出端子的第三晶体管；将上述第二输出端子进行放电的第四晶体管，上述第一和第三晶体管的控制电极共同连接到第一节点，第二和第四晶体管的控制电极共同连接到第二节点，该移位寄存器电路包括：连接在上述第一节点和上述第一输入端子之间并具有连接到上述第二输入端子的控制电极的第五晶体管；以及具有连接到规定的复位端子的控制电极且将上述第一节点进行放电的第六晶体管。

根据本发明的移位寄存器电路，通过将比输入到第一输入端子的输入信号的电平跃迁速度更高的输入信号输入到第二输入端子，可以在节点N1的充电过程的初始阶段使第五晶体管在非饱和区域动作，并且可以高速且高电位地对节点N1充电。结果，得到第一和第三晶体管的驱动能力被提高且来自第一和第二输出端子的输出信号的电平跃迁速度变快的效果。

进一步地，通过使彼此不同的负载连接到第一和第二输出端子，来自第一和第二输出端子的输出信号的电平的跃迁速度变得彼此不同。并且，在使该移位寄存器电路多个纵向连接时，如果将第一和第二输出端子的输出信号中电平跃迁高速的一个向下一级的第二输入端子输入，将另一个向下一级的第一输出端子输入，则在纵向连接的多个移位寄存器电路的每一个中，得到上述的效果。

## 附图说明

图1是表示本发明实施例的显示装置的结构简图的框图。

图2是表示现有的栅极线驱动电路的结构框图。

图3是表示现有的单位移位寄存器的结构的电路图。

图4是表示现有的单位移位寄存器的动作的时序图。

图5是表示实施例1的单位移位寄存器的结构的电路图。

图6是表示实施例1的栅极线驱动电路的结构框图。



图 7 是表示实施例 1 的栅极线驱动电路的结构的电路图。

图 8 是表示实施例 1 的单位移位寄存器的动作的时序图。

图 9 是说明实施例 1 的单位移位寄存器的效果的图。

图 10 是表示实施例 2 的单位移位寄存器的结构的电路图。

图 11 是表示实施例 3 的单位移位寄存器的结构的电路图。

图 12 是表示实施例 4 的单位移位寄存器的结构的电路图。

图 13 是表示实施例 5 的单位移位寄存器的结构的电路图。

图 14 是表示实施例 6 的单位移位寄存器的结构的电路图。

图 15 是表示实施例 7 的单位移位寄存器的结构的电路图。

图 16 是表示实施例 8 的单位移位寄存器的结构的电路图。

图 17 是表示实施例 9 的单位移位寄存器的结构的电路图。

图 18 是表示实施例 10 的单位移位寄存器的结构的电路图。

图 19 是表示实施例 11 的单位移位寄存器的结构的电路图。

符号说明

30 栅极线驱动电路、31 时钟发生器、SR 单位移位寄存器、IN 第一输入端子、IND 第二输入端子、OUT 第一输出端子、OUTD 第二输出端子、S1 第一电源端子、S2 第二电源端子、CK 时钟端子、CK1 第一时钟端子、CK2 第二时钟端子、RST 复位端子、Q1~Q8 晶体管、GL 栅极线、C1, C2, C3 电容元件。

具体实施方式

下面，参照附图说明本发明的实施例。还有，为了避免重复说明而变得冗长，在各个图中具有相同或相应功能的元件使用相同的符号。

<实施例 1>

图 1 是表示根据本发明实施例 1 的显示装置的结构简要框图，表示作为显示装置的代表例的液晶显示装置 10 的全部构成。

液晶显示装置 10 包括液晶阵列部 20、栅极线驱动电路（扫描线驱动电路）30、以及源极驱动器 40。从后面的说明可以知道，根据本发明实施例的移位寄存器安装在栅极线驱动电路 30 中。

液晶阵列部 20 含有配置成矩阵状的多个像素 25。在像素的每一行（以下也称为“像素线”）分别配置栅极线  $GL_1, GL_2, \dots$ （统称为“栅极线 GL”），此外在像素的

每一列(以下也称为“像素列”)分别配置数据线 $DL_1, DL_2, \dots$ (统称为“数据线DL”)。在图1中, 代表性地示出了第一行的第一列和第二列的像素25以及与此对应的栅极线 $GL_1$ 和数据线 $DL_1, DL_2$ 。

各个像素25具有设置在对应的数据线DL和像素节点 $N_p$ 之间的像素开关元件26, 在像素节点 $N_p$ 和公共电极节点NC之间并列连接的电容器27和液晶显示元件28。对应于像素节点 $N_p$ 和公共电极节点NC之间的电压差, 液晶显示元件28中的液晶定向性进行变化, 与此对应地, 液晶显示元件28的显示亮度变化。由此, 通过借助于数据线DL和像素开关元件26向像素节点 $N_p$ 传输的显示电压, 可以对各个像素的显示亮度进行控制。即, 通过将对应于最大亮度的电压差和对应于最小亮度的电压差之间的中间电压差施加在像素节点 $N_p$ 和公共电极节点NC之间, 可以得到中间的亮度。因此, 通过阶段性地设定上述显示电压, 可以得到阶段式亮度。

栅极线驱动电路30根据规定的扫描周期顺次地选择并驱动栅极线GL。像素开关元件26的栅极电压与分别对应的栅极线GL连接。选择特定的栅极线GL时, 在与其连接的各个像素中, 像素开关元件26变为导通状态并与像素节点 $N_p$ 对应的数据线DL连接。并且, 传输到像素节点 $N_p$ 的显示电压通过电容器27保持。一般地, 像素开关元件26由形成在与液晶显示元件28相同的绝缘基板(玻璃基板、树脂基板等)上的TFT构成。

源极驱动器40将通过N节点的数字信号, 即显示信号SIG阶段性设置的显示电压输出到数据线DL。这里, 作为一个例子, 显示信号SIG是6比特的信号, 由显示信号比特 $DB_0 \sim DB_5$ 构成。根据6比特的显示信号SIG, 在各个像素中, 可以进行 $2^6=64$ 阶段的灰度显示。还有, 如果通过R(Red)、G(Green)和B(Blue)三种像素形成一个颜色显示单位, 则可以进行约26万色的颜色显示。

此外, 如图1所示, 源极驱动器40由移位寄存器50、数字锁存电路53, 54、阶段电压生成电路60、解码电路70、模拟放大器80构成。

在显示信号SIG中, 与各个像素25的显示亮度对应的显示信号 $DB_0 \sim DB_5$ 级联产生。即, 各个时序中的显示信号比特 $DB_0 \sim DB_5$ 显示液晶阵列20中的任何一个像素25中的显示亮度。

移位寄存器50在与显示信号SIG的设定切换周期同步的定时对数据锁存电路52指示显示信号比特 $DB_0 \sim DB_5$ 的获取。数据锁存电路52顺次获取序列级联生

成的显示信号 SIG，并保持一个像素线的显示信号 SIG。

输入到数据锁存电路 54 的锁存信号 LT 在数据锁存电路 52 中获取一个像素量的显示信号 SIG 的定时被激活。数据锁存电路 54 对此进行应答，获取此时保持在数据锁存电路 52 中的一个像素线的显示信号 SIG。

阶段电压生成电路 60 由在高电压 VDH 和低电压 VDL 之间串联连接的 63 个分压阻抗构成，分别生成 64 阶梯的阶段电压 V1~V64。

解码电路 70 对保持在数据锁存电路 54 中的显示信号 SIG 进行解码，根据该解码结果从阶段电压 V1~V64 中选择并输出用于输出到输出节点 Nd<sub>1</sub>, Nd<sub>2</sub>... (统称“解码输出节点 Nd”) 的电压。

结果，同时向解码输出节点 Nd (并联) 输出与保持在数据锁存电路 54 中的一个像素线的显示信号 SIG 对应的显示电压 (阶段电压 V1~V64 中的一个)。还有，在图 1 中，代表性地示出了与第一列和第二列的数据线 DL<sub>1</sub>, DL<sub>2</sub> 对应的解码输出节点 Nd<sub>1</sub>, Nd<sub>2</sub>。

模拟放大器 80 将与从解码电路 70 输出到解码输出节点 Nd<sub>1</sub>, Nd<sub>2</sub>... 的各个显示电压对应的模拟电压分别输出到数据线 DL<sub>1</sub>, DL<sub>2</sub>...。

源极驱动器 40 根据规定的扫描周期，通过将一系列显示信号 SIG 对应的显示电压重复输出到每一个像素线的数据线 DL，栅极线驱动电路 30 与该扫描周期同步地顺序驱动栅极线 GL<sub>1</sub>, GL<sub>2</sub>...，在液晶显示阵列 20 中形成基于显示信号 SIG 的图像显示。

还有，在图 1 中，虽然示例性地示出栅极线驱动电路 30 与源极驱动器 40 以及液晶阵列部 20 一体形成的液晶显示装置 10 的结构，但是，对于栅极线驱动电路 30 和源极驱动器 40 也可以作为液晶阵列部 20 的外部电路来设置。

这里，为了使本发明的说明容易，针对使用现有的移位寄存器的栅极线驱动电路 30 进行说明。图 2 是表示现有的栅极线驱动电路 30 的结构的图。该栅极线驱动电路 30 由通过纵向连接 (级联连接) 的多个单位移位寄存器 SR<sub>1</sub>, SR<sub>2</sub>, SR<sub>3</sub>, SR<sub>4</sub>... 构成的移位寄存器构成 (以下，将单位移位寄存器 SR<sub>1</sub>, SR<sub>2</sub>... 统称为“单位移位寄存器 SR”)。在一个像素线，即一个栅极线 DL 上设置一个单位移位寄存器 SR。

此外，图 2 中示出的时钟发生器 31 将彼此相位不同的两相时钟信号 CLK, /CLK 输入到栅极线驱动电路 30 的单位移位寄存器 SR。控制这些时钟信号 CLK,

/CLK 使得在与显示装置的扫描周期同步的定时顺次激活。即，时钟信号 CLK，/CLK 是彼此互补的信号。

各个单位移位寄存器 SR 具有输入端子 IN，输出端子 OUT，复位端子 RST，时钟端子 CK。如图 2 所示，将时钟发射器 31 输出的时钟信号 CLK，/CLK 的任意一个提供到各个单位移位寄存器 SR 的时钟端子 CK。在单位移位寄存器 SR 的输出端子 OUT 分别连接栅极线 GL。即，输出到输出端子 OUT 的信号  $G_1, G_2, G_3, \dots$ （以下，统称“输出信号 G”）成为用于使栅极线 GL 激活的水平（或垂直）扫描脉冲。

在第一级（第一级）的单位移位寄存器  $SR_1$  的输入端子 IN 上输入与图像信号的各帧周期的头部对应的启动脉冲 SP。在第二级以后的单位移位寄存器 SR 的输入端子输入其前级的输出信号 G。即，第二级以后的单位移位寄存器 SR 的输入端子 IN 与其前级的单位移位寄存器 SR 的输出端子 OUT 连接。此外，各个单位寄存器 SR 的复位端子 RST 连接比其自身更后的级（在该例子中是下一级）的输出端子 OUT。

在该构成的栅极线驱动电路 30 中，各个单位移位寄存器 SR 与时钟信号 CLK，/CLK 同步，一边使从前级输入的信号（前级的输出信号 G）在时间移位，一边向对应的栅极线 GL 以及自身的下一级单位移位寄存器 SR 传送（单位移位寄存器 SR 的动作的详细说明在后面描述）。结果，一系列的单位移位寄存器 SR 具有在根据规定的扫描周期的定时顺次使栅极线 GL 激活，即作为栅极线驱动单元起作用。

图 3 是表示现有的单位移位寄存器 SR 的构成的一个例子的电路图。还有，在栅极线驱动电路 30 中，由于纵向连接的各个单位移位寄存器 SR 的构成实质上几乎相同，所以以下仅以一个单位移位寄存器 SR 的构成为代表进行说明。此外，构成该单位移位寄存器 SR 的晶体管全部是相同导电型的场效应晶体管，这里全部是 N 型 TFT。在 N 型 TFT 的情况下，栅极在 H（High）电平变为激活（导通）状态，在 L（Low）电平变为非激活（截止）状态。但是，在 P 型晶体管的情况下则相反。

如图 3 所示，现有的单位移位寄存器 SR 除了具有已经在图 2 中示出的输入端子 IN，输出端子 OUT，复位端子 RST 以及时钟端子 CK 以外，还具有供给低电位侧电源电位 VSS 的第一电源端子 S1。在以下的说明中，虽然使低电位侧电源电

位 VSS 为电路的基准电位 (=0V)，但是在实际使用中以写入到像素的数据电压为基准设定为基准电位，例如低电位侧电源电压 VSS 被设定为-12V 等。

在图 3 示出的现有的单位移位寄存器 SR 中，晶体管 Q1 是将输入到时钟端子 CK 的时钟信号供给到输出端子 OUT 的输出上拉晶体管。此外，晶体管 Q2 是通过将第一电源端子 S1 的电位 (VSS) 供给到输出端子 OUT 而使输出端子 OUT 放电的输出下拉晶体管。这里，分别将晶体管 Q1 的栅极节点定义为“节点 N1”，将晶体管 Q2 的栅极节点定义为“节点 N2”。

在晶体管 Q1 的栅极-源极之间，即节点 N1 与输出端子 OUT 之间设置电容元件 C1。该电容元件 C1 是随着输出端子 OUT 的电平的上升来提高节点 N1 的升压效果的电容元件。

连接在节点 N1 和输入端子 IN 之间，并二极管连接的晶体管 Q3 是节点 N1 的充电用晶体管。晶体管 Q4 连接在节点 N1 和第一电源端子 S1 之间，通过向节点 N1 供给第一电源端子 S1 的电位而对节点 N1 放电。晶体管 Q4 的栅极连接到复位端子 RST。此外，在该例子中，节点 N2 也连接到复位端子 RST。

现有的栅极线驱动电路 30，图 3 的单位移位寄存器 SR 通过如图 2 所示的纵向连接构成。以下，通过假定将该单位移位寄存器 SR 用于栅极线驱动电路 30 的情况来说明现有的单位移位寄存器 SR 的动作。

如上述的，由于构成栅极线驱动电路 30 的各个单位移位寄存器 SR 的构成实质上几乎相同，所以这里以第 n 级单位移位寄存器 SR<sub>n</sub> 的动作为代表进行说明。图 4 是用于说明单位移位寄存器 SR<sub>n</sub> 的动作的时序图。

这里，为了简单，以在单位移位寄存器 SR<sub>n</sub> 的时钟端子 CK 上输入时钟信号 CLK 的情况进行说明。此外，用 G<sub>i</sub> 表示来自第 i 级单位移位寄存器 SR<sub>i</sub> 的输出端子 OUT 的输出信号 G。此外，假设时钟信号 CLK，/CLK 的 H 电位的电位电平 (以下称为“电平”) 是彼此相等的，并使其值为 VDD。还有，假设构成单位移位寄存器 SR 的晶体管的阈值电压全部相等，并使其值为 V<sub>th</sub>。

参照图 4，首先在时刻 t<sub>0</sub> 的初始状态，使单位移位寄存器 SR<sub>n</sub> 的节点 N1 为 L 电平 (VSS) (以下，将节点 N1 为 L 电位的状态称为“复位状态”)。此外，使前一级单位移位寄存器 SR<sub>n-1</sub> 的输出信号 G<sub>n-1</sub> 以及下一级单位移位寄存器 SR<sub>n+1</sub> 的输出信号 G<sub>n+1</sub> 为 L 电平。此种情况下，由于单位移位寄存器 SR<sub>n</sub> 的晶体管 Q1, Q2 同样为截止，所以输出端子 OUT 为浮动状态，在该初始状态使输出信号 G<sub>n</sub> 为 L 电

平。

当在时钟信号/CLK 跃迁到 H 电平的时刻  $t_1$ ，前一级输出信号  $G_{n-1}$  变为 H 电平时，单位移位寄存器  $SR_n$  的晶体管 Q3 导通，节点 N1 充电并变为 H 电平 ( $V_{DD} - V_{th}$ ) (以下，将节点 N1 为 H 电平的的状态称为“置位状态”)。由此，晶体管 Q1 变为导通状态。但是，由于此时时钟信号 CLK 为 L 电平 ( $V_{SS}$ )，所以输出信号  $G_n$  维持在 L 电平。

当在时刻  $t_2$  时钟信号/CLK 下降时，虽然前一级输出信号  $G_{n-1}$  也变为 L 电平，由于晶体管 Q3 导通，晶体管 Q4 也仍然为截止，所以节点 N1 的电平为浮动并维持在 H 电平 ( $V_{DD} - V_{th}$ )。

并且，当在时刻  $t_3$  时钟信号 CLK 上升时，由于此时晶体管 Q1 导通，晶体管 Q2 截止，所以输出端子 OUT (输出信号  $G_n$ ) 的电平开始上升。此时，通过将晶体管 Q1 的栅极-沟道间电容和电容元件 C1 耦合，节点 N1 升压。因此，晶体管 Q1 在非饱和区域动作，伴随着输出信号  $G_n$  的电平各个晶体管 Q1 的阈值电压  $V_{th}$  的电压损失，变为 H 电平 ( $V_{DD}$ )。结果，节点 N1 的电平几乎上升到  $2 \times V_{DD} - V_{th}$ 。

此外，当输出信号  $G_n$  变为 H 电平时，由于其输入到下一级单位移位寄存器  $SR_{n+1}$  的输出端子 IN，所以在单位移位寄存器  $SR_{n+1}$  的晶体管 Q3 变为导通。由此，在时刻  $t_3$ ，单位移位寄存器  $SR_{n+1}$  的节点 N1 充电到  $V_{DD} - V_{th}$ 。

在时刻  $t_4$ ，当时钟信号 CLK 下降时，单位移位寄存器  $SR_n$  的输出信号  $G_n$  的电平也下降。此时由于电容元件 C1 和晶体管 Q1 的栅极-沟道间电容的耦合，节点 N1 的电平也下降，一直下降到  $V_{DD} - V_{th}$ 。但是，由于即使在这种情况下晶体管 Q1 也维持在导通，所以输出信号  $G_n$  跟随时钟信号 CLK 下降到  $V_{SS}$ ，变成 L 电平。

在时刻  $t_5$ ，当时钟信号/CLK 上升时，这一次在下一级单位移位寄存器  $SR_{n+1}$  的节点 N1 升压的同时输出信号  $G_{n+1}$  变为 H 电平 ( $V_{DD}$ )。由此，单位移位寄存器  $SR_n$  的复位端子 RST 变为 H 电平。相应的，由于晶体管 Q4 变为导通，所以节点 N1 放电并变为 L 电平，晶体管 Q1 变为截止。即，单位移位寄存器  $SR_n$  返回到复位状态。此外，由于复位端子 RST 也连接到晶体管 Q2 的栅极 (节点 N2)，所以晶体管 Q2 变为导通，输出信号  $G_n$  确实地变为  $V_{SS}$ 。

在时刻  $t_6$ ，当时钟信号/CLK 变为 L 电平时，由于下一级输出信号  $G_{n+1}$  变为 L 电平，所以单位移位寄存器  $SR_n$  的复位端子 RST 变为 L 电平。结果，晶体管 Q2，

Q4 变为导通，单位移位寄存器  $SR_n$  返回到上述初始状态（时刻  $t_0$  的状态）。

将以上动作总结如下，在单位移位寄存器  $SR_n$  中，在输入端子 IN 没有输入信号（前一级的输出信号  $G_{n-1}$  或起动脉冲 SP）期间，节点 N1 是 L 电平的复位状态。在复位状态，由于晶体管 Q1 为截止，所以与时钟信号 CLK 的电平无关的输出信号  $G_n$  维持在 L 电平。并且当在输入端子 IN 输入信号时，节点 N1 变为 H 电平的置位状态。在置位状态，晶体管 Q1 导通，由于此时晶体管 Q2 变为截止，所以与时钟信号 CLK 变为 H 电平相对应地，输出输出信号  $G_n$ 。此后，当输入复位端子 RST 的信号（下一级输出信号  $G_{n+1}$ ）时，由于返回复位状态的晶体管 Q1 变为截止，使得输出信号  $G_n$  维持在 L 电平。

如果这样动作的多个单位移位寄存器 SR 是如图2所示的纵向连接的多级移位寄存器（栅极线驱动电路 30），当在第一级单位移位寄存器  $SR_1$  输入起动脉冲 SP 时，对此进行剪切，输出信号 G 一边以与时钟信号 CLK， $1/CLK$  同步的定时被移位，一边顺序传送到单位移位寄存器  $SR_2$ ， $SR_3$ ...。由此，栅极线驱动电路 30 可以在规定的扫描周期顺次驱动栅极线  $GL_1$ ， $GL_2$ ， $GL_3$ ...。

以下，针对可以比图3的这种现有的移位寄存器电路更高速动作的根据本发明的移位寄存器电路进行说明。图5是本发明的实施例1的单位移位寄存器 SR 的结构电路图。如同图所示，该单位移位寄存器 SR 具有两个输入端子 IN，IND，两个输出端子 OUT，OUTD。此外，与图3的单位移位寄存器相同，也包括时钟端子 CK，复位端子 RST 和第一电源端子 S1。

此外，在本实施例中，构成单位移位寄存器 SR 的晶体管全部是相同的导电型场效应晶体管，这里全部是 N 型 TFT。N 型 TFT 的情况下，栅极由 H 电平变为激活（导通）状态，由 L 电平变为非激活（截止）状态。但是，P 型晶体管的情况与此相反。

如图5所示，在第一输出端子 OUT 连接晶体管 Q1，Q2。晶体管 Q1 是连接在第一输出端子 OUT 和时钟端子 CK 之间，将输入时钟端子 CK 的时钟信号供给第一输出端子 OUT 的输出上拉晶体管（第一晶体管）。此外，晶体管 Q2 是连接在第一输出端子 OUT 和第一电源端子 S1 之间，通过将第一电源端子 S1 电位（VSS）供给到第一输出端子 OUT 而使第一输出端子 OUT 放电的输出下拉晶体管（第二晶体管）。

另一方面，在第二输出端子 OUTD 连接晶体管 QD1，QD2。晶体管 QD1 是

连接在第二输出端子 OUTD 和时钟端子 CK 之间，是将输入时钟端子 CK 的时钟信号供给第二输出端子 OUTD 的输出上拉晶体管（第三晶体管）。此外，晶体管 QD2 是连接在第二输出端子 OUTD 和第一电源端子 S1 之间，通过将第一电源端子 S1 电位供给到第二输出端子 OUTD 而使第二输出端子 OUTD 放电的输出下拉晶体管（第四晶体管）。

这样连接第一输出端子 OUT 的晶体管 Q1, Q2 与连接第二输出端子 OUTD 的晶体管 QD1, QD2 彼此并联连接。此外，晶体管 Q1 的栅极（控制电极）和晶体管 QD1 的栅极彼此连接，晶体管 Q2 的栅极和晶体管 QD2 的栅极彼此连接。这里，如图 5 所示的晶体管 Q1, QD1 的栅极连接的节点（第一节点）定义为“节点 N1”，晶体管 Q2, QD2 的栅极连接的节点（第二节点）定义为“节点 N2”。

在图 5 的单位移位寄存器 SR 中，也与图 3 的电路相同，在晶体管 Q1 的栅极-源极之间，即节点 N1 和第一输出端子 OUT 之间设置电容元件 C1。该电容元件 C1 用于伴随着第一输出端子 OUT 的电平上升提高节点 N1 的升压效果。但是，由于电容元件 C1 在晶体管 Q1 的栅极-沟道间电容足够大的情况下可以由其置换，所以在这种情况下也可以省略。

此外，在节点 N1 连接晶体管 Q3, Q4。晶体管 Q3（第五晶体管）连接在节点 N1 和第一输入端子 IN 之间，其栅极连接第二输入端子 IND。此外，晶体管 Q4（第六晶体管）连接在节点 N1 和第一电源端子 S1 之间，通过将第一电源端子 S1 电位供给节点 N1 使节点 N1 放电。晶体管 Q4 的栅极连接复位端子 RST。此外，在本实施例中，节点 N2 也连接到复位端子 RST。

图 6 是根据实施例 1 的单位移位寄存器 SR 的栅极线驱动电路 30 的结构框图。在本实施例中，栅极线驱动电路 30 也是由通过纵向连接（级联连接）的多个单位移位寄存器 SR<sub>1</sub>, SR<sub>2</sub>, SR<sub>3</sub>, SR<sub>4</sub>... 构成的移位寄存器构成。此外，图 6 的时钟发生器 31 与图 2 所示的相同，也输出彼此互补的时钟信号 CLK, /CLK。在各个单位移位寄存器 SR 的时钟端子 CK 上供给时钟发生器 31 输出的时钟信号 CLK, /CLK 中的任意一个。

本实施例的单位移位寄存器 SR 具有两个输出端子 IN, IND。在第一级（第一级）单位移位寄存器 SR<sub>1</sub> 的输入端子 IN, IND 同时输入起动脉冲 SP。对于第二级以后的单位移位寄存器 SR，第一输入端子 IN 连接自身前一级的第一输出端子 OUT，第二输入端子 IND 连接自身前一级的第二输出端子 OUTD。



此外,本实施例的单位移位寄存器 SR 具有两个输出端子 OUT, OUTD, 显示面板的栅极线 GL 连接其中的第一输出端子 OUT。即,来自第一输出端子的输出信号  $G_1, G_2, G_3, \dots$  (以下,统称为“第一输出信号 G”)成为用于使栅极线 GL 激活的水平(或垂直)扫描脉冲。还有,第一输出端子 OUT 也连接到自身前一级的复位端子 RST 和自身下一级的第一输入端子 IN。另一方面,输出输出信号  $GD_1, GD_2, GD_3, \dots$  (以下,统称为“第二输出信号”)的第二输出端子 OUTD 不连接栅极线 GL,专门连接自身下一级的第二输入端子 IND。

该构成的栅极线驱动电路 30 中,各个单位移位寄存器 SR 也与时钟信号 CLK, /CLK 同步,一边在时间上使从前一级输入的信号(前一级第一和第二输出信号 G, GD)移位,一边与对应的栅极线 GL 一起传送到自身的下一级单位移位寄存器 SR。以下,针对构成该栅极线驱动电路 30 的单位移位寄存器 SR 的动作进行说明。

这里,也对第 n 级单位移位寄存器  $SR_n$  的动作进行代表性地说明。图 7 是表示第 n 级单位移位寄存器  $SR_n$ 、其前一级(第 n-1)级单位移位寄存器  $SR_{n-1}$  以及其后一级(第 n+1 级)单位移位寄存器  $SR_{n+1}$  的连接关系的电路图。此外,图 8 是用于说明单位移位寄存器  $SR_n$  的动作的定时图。以下,参照图 7 和图 8,说明图 5 中示出的根据本实施例的单位移位寄存器 SR 的动作。

这里,为了简单,针对在单位移位寄存器  $SR_n$  的时钟端子 CK 输入时钟信号 CLK,在单位移位寄存器  $SR_{n-1}, SR_{n+1}$  的时钟端子 CK 输入时钟信号 /CLK 进行说明。此外,用符号  $G_i$  表示来自第 i 级单位移位寄存器  $SR_i$  的第一输出端子 OUT 的第一输出信号 G,同样用符号  $GD_i$  表示来自第二输出端子 OUTD 的第二输出信号 GD。此外,假设时钟信号 CLK, /CLK 的高电平的电平彼此相等,并使其值为 VDD。还有,假设构成单位移位寄存器 SR 的晶体管的阈值电压全部相等,并使其值为  $V_{th}$ 。

参照图 8,首先在时刻  $t_0$  的初始状态,使单位移位寄存器  $SR_n$  的节点 N1 为 L 电平(VSS)(以下,称节点 N1 为 L 电平的的状态为“复位状态”)。使单位移位寄存器  $SR_{n-1}$  的第一输出信号  $G_{n-1}$  和第二输出信号  $GD_{n-1}$ ,以及单位移位寄存器  $SR_{n+1}$  的第一输出信号  $G_{n+1}$  和第二输出信号  $GD_{n+1}$  为 L 电平。此种情况下,由于单位移位寄存器  $SR_n$  的晶体管 Q1, Q2, QD1, QD2 全部截止,第一输出端子 OUT 和第二输出端子 OUTD 为浮动状态,在该初始状态使第一输出信号  $G_n$  和第二输出信号  $GD_n$  为 L 电平。

在时钟信号/CLK 跃迁到 H 电平的时刻  $t_1$ ，使前一级的第一和第二输出信号  $G_{n-1}$  和  $GD_{n-1}$  变为 H 电平。如此，单位移位寄存器  $SR_n$  的晶体管 Q3 导通，节点 N1 被充电成为 H 电平 ( $VDD-V_{th}$ ) (以下将节点 N1 为 H 电平的的状态称为“复位状态”)。由此，晶体管 Q1, QD1 为导通状态。但是，由于此时时钟信号 CLK 为 L 电平 (VSS)，所以输出信号  $G_n$  维持在 L 电平。

在时刻  $t_2$ ，当时钟信号/CLK 下降时，由于前一级的第一和第二输出信号  $G_{n-1}$ ,  $GD_{n-1}$  变为 L 电平，晶体管 Q3 截止，晶体管 Q4 也仍然截止，所以节点 N1 的电平为浮动且维持在 H 电平 ( $VDD-V_{th}$ )。

并且，在时刻  $t_3$ ，当时钟信号 CLK 上升时，由于此时晶体管 Q1, QD1 导通，晶体管 Q2, QD2 截止，所以第一和第二输出端子 OUT, OUTD (第一和第二输出信号  $G_n$ ,  $GD_n$ ) 的电平开始上升。此时，通过使晶体管 Q1, QD1 的栅极沟道间电容和电容元件 C1 耦合，节点 N1 被升压。因此，晶体管 Q1, QD1 在非饱和区域动作，第一和第二输出信号  $G_n$ ,  $GD_n$  的电平伴随着各个晶体管 Q1, QD1 的阈值电压  $V_{th}$  的电压损失成为 H 电平 (VDD)。结果，节点 N1 的电平几乎上升到  $2 \times VDD - V_{th}$ 。

此外，当第一和第二输出信号  $G_n$ ,  $GD_n$  变为 H 电平时，由于它们被输入到下一级单位移位寄存器  $SR_{n+1}$  的第一和第二输入端子 IN, IND，所以单位移位寄存器  $SR_{n+1}$  的晶体管 Q3 变为导通。由此，在时刻  $t_3$ ，单位移位寄存器  $SR_{n+1}$  的节点 N1 充电到  $VDD - V_{th}$ 。

在时刻  $t_4$ ，当时钟信号 CLK 下降时，单位移位寄存器  $SR_n$  的第一和第二输出信号  $G_n$ ,  $GD_n$  的电平也下降。由于此时晶体管 Q1, QD1 的栅极沟道间电容和电容元件 C1 的耦合，节点 N1 的电平也下降，降低到  $VDD - V_{th}$ 。但是，即使在该情况下，由于晶体管 Q1, QD1 维持在导通，所以第一和第二输出信号  $G_n$ ,  $GD_n$  追随时钟信号 CLK 下降到 VSS，变为 L 电平。

在时刻  $t_5$ ，当时钟信号/CLK 上升时，这一次与下一级单位移位寄存器  $SR_{n+1}$  的节点 N1 升压的同时，第一和第二输出信号  $G_{n+1}$ ,  $GD_{n+1}$  变为 H 电平 (VDD)。由此，单位移位寄存器  $SR_n$  的复位端子 RST 变为 H 电平。相应地，由于晶体管 Q4 变为导通，所以节点 N1 被放电变为 L 电平，晶体管 Q1, QD1 变为截止。即，单位移位寄存器  $SR_n$  返回到复位状态。此外，由于复位端子 RST 也连接到晶体管 Q2, QD2 的节点 (节点 N2)，所以晶体管 Q2, QD2 变为导通，第一和第二输出

信号  $G_n$ ,  $GD_n$  确实地变为  $VSS$ 。

在时刻  $t_6$ , 当时钟信号/CLK 变为 L 电平时, 由于下一级的第一和第二输出信号  $G_{n+1}$ ,  $GD_{n+1}$  变为 L 电平, 则相应地单位移位寄存器  $SR_n$  的复位端子 RST 变为 L 电平。结果, 晶体管 Q2, QD2, Q4, QD4 变为截止, 单位移位寄存器  $SR_n$  返回上述的初始状态 (时刻  $t_0$  的状态)。

将以上动作总结为, 在根据本实施例的单位移位寄存器  $SR_n$  中, 在第一和第二输入端子 IN, IND 上没有输入信号 (前一级的第一和第二输出信号  $G_{n-1}$ ,  $GD_{n-1}$  或起动脉冲 SP) 期间, 节点 N1 变为 L 电平的复位状态。在复位状态, 由于晶体管 Q1, QD1 为截止, 所以与时钟信号 CLK 的电平无关的第一和第二输出信号  $G_n$ ,  $GD_n$  维持在 L 电平。并且当在第一和第二输入端子 IN, IND 输入信号时, 节点 N1 变为 H 电平的置位状态。在置位状态, 晶体管 Q1, QD1 导通, 由于此时晶体管 Q2, QD2 变为截止, 所以与时钟信号 CLK 变为 H 电平相对应地, 输出第一和第二输出信号  $G_n$ ,  $GD_n$ 。此后, 当输入复位端子 RST 的信号 (下一级第一输出信号  $G_{n+1}$ ) 时, 由于节点 N1 返回 L 电平的复位状态, 使得第一和第二输出信号  $G_n$ ,  $GD_n$  维持在 L 电平。

如果这样动作的多个单位移位寄存器 SR 是如图 6 和图 7 所示的纵向连接的多级移位寄存器 (栅极线驱动电路 30), 当在第一级单位移位寄存器  $SR_1$  输入起动脉冲 SP 时, 对此进行剪切, 第一和第二输出信号 G, GD 一边在与时钟信号 CLK, /CLK 同步的定时被移位, 一边顺序传送到单位移位寄存器  $SR_2$ ,  $SR_3$ ...。由此, 栅极线驱动电路 30 可以在规定的扫描周期顺次驱动栅极线  $GL_1$ ,  $GL_2$ ,  $GL_3$ ...。

如上所述, 在根据本实施例的单位移位寄存器 SR 中, 连接第一输出端子 OUT 的晶体管 Q1, Q2 与连接第二输出端子 OUTD 的晶体管 QD1, QD2 具有彼此并联连接的关系。为此, 如图 8 所示, 在逻辑上, 第一和第二输出信号  $G_n$ ,  $GD_n$  的电平彼此相同地跃迁。因此, 栅极线驱动电路 30 的逻辑上的动作没有变成现有的单位移位寄存器 (参照图 3 和图 4) 的情况。但是, 根据本实施例的单位移位寄存器 SR 可以得到如下说明的效果。

图 9 是用于说明本发明的效果的图, 表示单位移位寄存器 SR 的节点 N1 的充电 (预充电) 和升压时的节点 N1 的电压波形。还有, 同图示出的时刻  $t_1 \sim t_5$  对应于图 8 中示出的情况。

在本实施例的栅极线驱动电路 30 中, 各个单位移位寄存器 SR 的第一输出端

子 OUTD 与其前一级的复位端子 RST、下一级的第一输入端子 IN、变为大容量负载的栅极线 GL 连接。与此相对地，由于第二输出端子 OUTD 仅专门与下一级的第二输入端子 IND 连接，所以与第一输出端子 OUT 相比，负载电容值以数量级减小。因此，各个单位移位寄存器 SR 的第二输出信号 GD 可以比第一输出信号 G 更高速地上升。

再有，当观察第  $n$  级的单位移位寄存器  $SR_n$  时，在时刻  $t_1$ ，当时钟信号/CLK 上升时，如图 9 所示，其前一级的第二输出信号  $GD_{n-1}$  比第一输出信号  $G_{n-1}$  更高速地上升。如图 7 所示，在对单位移位寄存器  $SR_n$  的节点 N1 进行充电的晶体管 Q3 的漏极（第一输入端子 IN）输入第一输出信号  $G_{n-1}$ ，在栅极（第二输入端子 IND）输入第二输出信号  $GD_{n-1}$ 。因此，当前一级第一和第二输出信号  $G_{n-1}$ ， $GD_{n-1}$  的电平上升时，单位移位寄存器  $SR_n$  的晶体管 Q3 变为导通并对节点 N1 充电，如图 9 的实线所示，节点 N1 的电平上升。

此时，由于前一级的第二输出信号  $GD_{n-1}$  比第一输出信号  $G_{n-1}$  更高速地上升，所以节点 N1 的充电过程的初始过程中的晶体管 Q3 的栅极电位比漏极电位足够大。因此，晶体管 Q3 在非饱和区域动作，节点 N1 的电平几乎以与第一输出信号  $G_{n-1}$  相同的电平上升。

此后，根据节点 N1 的电平上升，加之晶体管 Q3 开始移行到在饱和区域动作，由于根据节点 N1 附带的寄生电容的时间常数使节点 N1 电平上升延迟，容易使节点 N1 的电平和前一级的第一输出信号  $G_{n-1}$  的电平差缓慢变大。并且，在节点 N1 的充电过程的最后，晶体管 Q3 变为在完全饱和的区域动作，其电平差进一步变大。

并且，在时刻  $t_2$ ，时钟信号/CLK 下降时，节点 N1 的电平以比前一级第一输出信号  $G_{n-1}$  的 H 电平（VDD）低一些的电平（图 9 示出的电平 V1）停止上升。还有在时刻  $t_2$ ，由于在前一级单位移位寄存器  $SR_{n-1}$  的第一和第二输出端子 OUT，OUTD 之间具有负载电容值的差，所以第一输出信号  $G_{n-1}$  以比第二输出信号  $GD_{n-1}$  慢的速度使电平下降。

此后，在时刻  $t_3$ ，时钟信号 CLK 上升时，通过使晶体管 Q1，QD1 的栅极沟道间电容和电容元件 C1 电容耦合，节点 N1 的电平升压。升压后的节点 N1 的电平维持到时钟信号 CLK 下降的时刻  $t_4$ 。在该时刻  $t_3 \sim t_4$  之间，通过使节点 N1 维持在足够高的电平，可以较高地维持单位移位寄存器  $SR_n$  输出第一和第二输出信号

$G_n$ ,  $GD_n$ 时的晶体管 Q1, QD2 的驱动能力。由此, 第一和第二输出信号  $G_n$ ,  $GD_n$  可以高速地上升和下降。

另一方面, 图9示出的虚线的图表示现有的单位移位寄存器 SR (图3) 中的节点 N1 的电平的变化。对于现有的单位移位寄存器 SR, 由于晶体管 Q3 为二极管连接, 其漏极和栅极相互连接。为此, 晶体管 Q3 一直在饱和区域动作。由此, 从节点 N1 的充电过程的初期, 节点 N1 的电平比前一级的输出信号  $G_{n-1}$  的电平仅降低晶体管 Q3 的阈值电压  $V_{th}$ 。还有, 由于晶体管 Q3 从节点 N1 的充电过程的初期以源极输出器模式动作, 充电速度不会变快。为此, 如图9的虚线所示, 在时刻  $t_3$  的阶段, 使节点 N1 的电平仅上升到比上述电平  $V_1$  低的电平  $V_2$ 。

如果电平  $V_1$  和  $V_2$  电位差为  $\Delta V$ , 有时该电压差  $\Delta V$  在时刻  $t_4$  也维持使节点 N1 升压。即, 在根据本实施例的单位移位寄存器 SR, 可以使时刻  $t_3 \sim t_4$  之间的节点 N1 的电平仅比原来提高  $\Delta V$ 。由此, 第一和第二输出信号  $G_n$ ,  $GD_n$  的上升和下降比原来的单位移位寄存器 SR 的输出信号的上升和下降更高速。因此, 根据本实施例的移位寄存器可以比原来更高速的动作。

以上的效果在纵向连接的各个单位移位寄存器 SR 中通过输入到晶体管 Q3 的栅极 (第二输入端子 IND) 的第二输出信号 GD 高速上升得到, 其速度越大该效果变得越大。因此, 第二输出端子 OUTD 的电容负载越小越好。

对于本实施例, 如图6和图7所示, 构成为各个单位移位寄存器 SR 的第一输出信号 G 被供给其前一级复位端子 RST、后一级的第一输入端子 IN、以及栅极线 GL, 第二输出信号 GD 仅专门供给下一级的第二输入端子 IND。但是, 如图8所示, 由于第一输出信号 G 和第二输出信号 GD 是彼此几乎相同的波形, 所以例如也可以将第二输出信号 GD 供给前一级的复位端子 RST。即, 也可以构成为在各个单位移位寄存器 SR 中, 将第一输出端子 OUT 与其下一级的第一输入端子 IN 和栅极线 GL 连接, 将第二输出端子 OUTD 与其前一级复位端子 RST 和下一级的第二输入端子 IND 连接。

但是, 此时, 由于与第二输出端子 OUTD 相关的电容负载仅使前一级单位移位寄存器 SR 的晶体管 Q2, Q4 的栅极电容增大, 所以应该注意到与图6和图7的情况相比, 第二输出信号 GD 的上升速度下降, 本发明的效果稍微变小。

此外, 例如也可以动作使各个移位寄存器 SR 的第二输出信号 GD 也供给其下一级的第一输入端子 IN。但是, 在该情况下, 在第二输出端子 OUTD 中借助于下

一级晶体管 Q3 对下一级晶体管 Q1, QD1 的栅极电容和电容元件 C1 施加了负载, 关于第二输出端子 OUTD 的电容负载仅变大为该量。特别是, 用于栅极线 GL 充电的晶体管 Q1, 由于沟道宽度设定得大, 栅极电容特别大, 所以第二输出信号 GD 的上升速度下降, 本发明的效果变小。为了防止这种情况, 也可以提高晶体管 QD1 的驱动能力使得可以通过第二输出信号 GD 对下一级晶体管 Q1 的栅极电容高速地充电。但是, 为此, 由于需要增大晶体管 QD1 的沟道宽度, 会伴随出现电路形成面积的增大, 所以不是优选的。

还有, 在以上的说明中, 虽然在时钟信号 CLK 变为 H 电平的期间和时钟信号 /CLK 变为 H 电平期间之间设置一定的间隔, 但是也可以没有该间隔。即, 可以是在时钟信号 CLK 上升的同时时钟信号 /CLK 下降, 在时钟信号 CLK 下降的同时时钟信号 /CLK 上升这样的两相时钟。

此外, 本实施例的单位移位寄存器 SR 也可以与原来的移位寄存器同样使用 3 相时钟动作 (例如, 参照上述专利文献 1 的图 4)。此种情况下, 也可以在各个单位移位寄存器 SR 的复位端子 RST 输入其下下一级 (两个后级) 的第二输出信号 GD, 在该情况下也可以得到与上述同样的效果。

### <实施例 2>

图 10 是表示本发明的实施例 2 的单位移位寄存器 SR 的结构的电路图。在相同的图中, 具有与图 5 中示出的同样功能的元件使用相同的符号。

实施例 1 的单位移位寄存器 SR (图 5) 具有一个时钟端子 CK, 实施例 2 的单位移位寄存器 SR 具有如图 10 所示的两个时钟端子 CK1, CK2。以下, 将时钟端子 CK1 称为“第一时钟端子”, 将时钟端子 CK2 称为“第二时钟端子”。

第一时钟端子 CK1 相当于图 5 的单位移位寄存器 SR 中的时钟端子 CK。即, 在本实施例中, 输入到第一时钟端子 CK1 的时钟信号通过分别借助于晶体管 Q1, QD1 供给到第一和第二输出端子 OUT, OUTD, 使第一和第二输出信号 G, GD 被激活。

另一方面, 在第二时钟端子 CK2 输入与输入到第一时钟端子 CK1 不同相位的时钟信号。例如, 对于第一时钟端子 CK1 输入时钟信号 CLK 的单位移位寄存器 SR, 在其第二时钟端子 CK2 输入到时钟信号 /CLK。在该第二时钟端子 CK2 连接晶体管 Q2, QD2 的栅极 (节点 N2)。还有, 晶体管 Q4 的栅极与实施例 1 相同地连接到复位端子 RST。

这里，也以第  $n$  级单位移位寄存器  $SR_n$  为代表进行说明，假设在其第一时钟端子 CK1 输入时钟信号 CLK，在第二时钟端子 CK2 输入时钟信号/CLK。

在实施例 1 的单位移位寄存器  $SR_n$  中，晶体管 Q2, QD2 在其下一级第一输出信号  $G_{n+1}$  变为 H 电平期间变为导通，仅在该期间由于低阻抗使第一和第二输出端子 OUT, OUTD 变为 L 电平。即，在此以外的期间第一和第二输出端子 OUT, OUTD 由于浮动变为 L 电平。

与此相对地，对于根据本实施例的单位移位寄存器  $SR_n$ ，晶体管 Q2, QD2 在输入到第二时钟端子 CK2 的时钟信号/CLK 变为 H 电平时导通。由此，第一和第二输出端子 OUT, OUTD 以短的间隔重复低阻抗的 L 电平。因此，使第一和第二输出信号  $G_n$ ,  $GD_n$  的 L 电位的电位更稳定。结果，在防止栅极线驱动电路 30 的误动作的同时，由于使非选择状态的栅极线 GL 的电位稳定，难以产生显示装置的显示异常。

### <实施例 3>

作为构成显示装置的栅极线驱动电路的场效应晶体管，广泛采用非晶硅薄膜晶体管 (a-Si TFT)。我们知道，a-Si TFT，在栅极电极被连续偏置的情况下，会引起阈值电压大大偏移的现象。此现象引起如下问题，即成为引起栅极线驱动电路误动作的主要原因。此外，我们知道，不仅 a-Si TFT，即使是有机 TFT 也会产生同样的问题。

例如，在实施例 2 的单位移位寄存器 SR (图 10) 中，晶体管 Q2, QD2 的栅极通过输入到第二时钟端子 CK2 的时钟信号被重复偏置为 H 电平。为此，在单位移位寄存器 SR 由 a-Si TFT 或有机 TFT 构成的情况下，使晶体管 Q2, QD2 的阈值电压偏移为正方向。如此，可以降低晶体管 Q2, QD2 的驱动能力，由于足够低的阻抗，使第一和第二输出端子 OUT, OUTD 变为 L 电平。结果，降低实施例 2 的效果，容易产生栅极线驱动电路 30 的误动作。

为了抑制该问题，例如虽然考虑了加宽晶体管 Q2, QD2 的沟道宽度从而增大驱动能力，但是不希望电路形成面积的增大。因此，在实施例 3 中，示出了可以不增大电路的形成面积，解决该问题的实施例 2 的变形例。

图 11 是表示实施例 3 的单位移位寄存器 SR 的结构的电路图。在相同的图中，对于具有与图 10 示出的相同功能的元件使用相同的符号。对于图 11 的单位移位寄存器 SR，使晶体管 Q2, QD2 的源极连接第一时钟端子 CK1。即，在晶体管

Q2, QD2 的源极输入与输入到栅极的相位不同的时钟信号。除了这一点, 与图 10 的电路相同。

这里, 也以第  $n$  短单位移位寄存器  $SR_n$  为代表进行说明, 假设在该第一时钟端子 CK1 输入时钟信号 CLK, 在第二时钟端子 CK2 输入时钟信号/CLK。

由于时钟信号 CLK, /CLK 是彼此互补的信号, 在时钟信号/CLK 变为 H 电平且晶体管 Q2, QD2 导通期间, 这些源极由于时钟信号 CLK 变为 L 电平。由此, 与实施例 2 的情况相同, 晶体管 Q2, QD2 在时钟信号/CLK 变为 H 电平的期间, 可以使第一和第二输出端子 OUT, OUTD 变为低阻抗的 L 电平, 从而得到实施例 2 的效果。

相反的, 在时钟信号/CLK 变为 L 电平且晶体管 Q2, QD2 截止期间, 这些源极由于时钟信号 CLK 变为 H 电平。即, 成为与晶体管 Q2, QD2 的栅极相对于源极被反向偏置等价的状态。由此, 由于向正方向偏移的阈值电压向负方向返回并恢复, 防止了晶体管 Q2, QD2 的驱动能力的降低, 解决了上升问题。此外, 明显不出现电路形成面积的增大。

在本实施例中, 理论上说可以使用在时钟信号 CLK 上升的同时时钟信号/CLK 下降, 在时钟信号 CLK 下降的同时时钟信号/CLK 上升这样的两相时钟。但是, 在实际使用中, 由于时钟信号 CLK, /CLK 的上升、下降的定时离散, 还会产生单位晶体管  $SR_n$  的晶体管 Q2, QD2 还没有完全截止且源极电位就上升的情况。由此, 成为第一和第二输出端子 OUT, OUTD 的电平不必要地上升, 误动作的原因。因此, 在本实施例中, 如图 4 的例子所示, 优选在时钟信号 CLK 变为 H 电平的期间和时钟信号/CLK 变为 H 电平期间之间设置一定的间隔。

#### <实施例 4>

图 12 是表示实施例 4 的单位移位寄存器 SR 的结构的电路图。在相同的图中, 具有与图 5 示出的同样功能的源极使用与其相同的符号。

如图 12, 实施例 4 的单位移位寄存器 SR 具有供给高电位侧电源电位 VDD 的第二电源端子 S2。还有, 设置有连接在第二电源端子 S2 和节点 N2 (晶体管 Q2, QD2 的栅极) 之间的晶体管 Q5 和连接在节点 N2 和第一电源端子 S1 之间的晶体管 Q6。晶体管 Q5 的栅极连接在第二电源端子 S2 (即晶体管 Q5 被二极管连接), 晶体管 Q6 的栅极连接节点 N1 (晶体管 Q1, QD1 的栅极)。还有, 晶体管 Q4 的栅极与实施例 1 相同, 连接复位端子 RST。



晶体管 Q6 的导通阻抗设定得比晶体管 Q5 的导通阻抗足够小。由此, 当节点 N1 变为 H 电平, 从而使晶体管 Q6 导通时, 节点 N2 变为 L 电平。相反地, 节点 N1 为 L 电平时, 晶体管 Q6 截止, 节点 N2 通过晶体管 Q5 充电变为 H 电平。即, 这些晶体管 Q5, Q6 构成为以节点 N1 为输入端, 以节点 N2 为输出端的比率型逆变器。

因此, 在本实施例的单位移位寄存器 SR 中, 由于在节点 N1 为 L 电平的复位状态期间, 通过由晶体管 Q5, Q6 构成逆变器, 节点 N2 保持在 H 电平, 所以在此期间晶体管 Q2, QD2 变为导通。即, 在单位移位寄存器 SR 不输出输出信号 G 的期间 (栅极线 GL 的非选择期间), 第一和第二输出端子 OUT, OUTD 维持在低阻抗的 L 电平。因此, 第一和第二输出信号  $G_n$ ,  $GD_n$  的 L 电位的电位更稳定, 防止栅极线驱动电路 30 的误动作。

此外, 与实施例 2, 3 不同, 由于在晶体管 Q2, QD2 的栅极不必供给时钟信号, 所以可以降低由单位移位寄存器 SR 消耗的交流电力。即, 还具有时钟信号生成电路 (图 6 的时钟发生器 31) 的耗电被削减的优点。但是, 应该注意由于晶体管 Q2, QD2 的栅极继续变为 H 电平, 容易产生阈值电压的偏移。

#### <实施例 5>

本实施例表示实施例 4 (图 12) 的变形例。图 13 是表示实施例 5 的单位移位寄存器 SR 的结构的电路图。在相同的图中, 具有与图 12 示出的同样功能的元件使用与其相同的符号, 如图 13, 本实施例的单位移位寄存器 SR 连接在节点 N1 和第一电源端子 S1 (VSS) 之间, 包括具有与节点 N2 连接的栅极的晶体管 Q7, 除了这一点与图 12 的电路相同。

晶体管 Q7 具有在节点 N2 为 H 电平时导通, 从而使节点 N1 放电的功能。由此, 在该单位移位寄存器 SR 中, 晶体管 Q1, QD1 截止期间 (栅极线 GL 的非选择期间), 节点 N1 的电位通过晶体管 Q7 固定在 VSS。

对于没有晶体管 Q7 的实施例 4 的单位移位寄存器 SR (图 12), 在晶体管 Q1, QD1 截止期间, 当将时钟信号输入时钟端子 CK 时, 具有这样的可能性, 即由于借助于晶体管 Q1, QD1 的栅极·漏极间的重叠电容的电容耦合, 节点 N1 的电平上升。当节点 N1 电平上升时, 使得在晶体管 Q1, QD1 中流过电流, 在栅极线 GL 的非选择期间产生第一和第二输出信号 G, GD 不必变为 H 电平的问题。与此相对, 根据本实施例, 由于防止了在栅极线 GL 的非选择期间中节点 N1 的电平上升,

所以可以抑制该问题的产生。

#### <实施例 6>

实施例 5 中说明的,在栅极线 GL 的非选择期间中节点 N1 的电平上升的问题,在实施例 1~4 任何一个的单位移位寄存器 SR 中也会产生。在本实施例中提出了该对策的单位移位寄存器 SR。

图 14 是表示实施例 6 的单位移位寄存器 SR 的结构的电路图。在相同的图中,具有与图 10 中示出的同样功能的元件使用与其相同的符号。如图 14,本实施例的单位移位寄存器 SR 包括连接在节点 N1 和第二时钟端子 CK2 之间的电容元件 C2,除了这一点与图 10 的电路相同。

与实施例 2 相同,在第一和第二时钟端子 CK1, CK2 输入彼此相位不同的时钟信号。但是,在本实施例中,需要组合成使得输入到第一时钟端子 CK1 的时钟信号上升定时与输入到第二时钟端子 CK2 的时钟信号下降定时为同时。

这里也以第 n 级单位移位寄存器  $SR_n$  为代表进行说明,假设在其第一时钟端子 CK1 输入时钟信号 CLK,在第二时钟端子 CK2 输入时钟信号/CLK。

在单位移位寄存器  $SR_n$  中,在栅极线  $GL_n$  的非选择期间,晶体管 Q1, QD1 是截止的,但是当第一时钟端子 CK1 的时钟信号 CLK 上升时,由于借助于晶体管 Q1, QD1 的栅极-漏极之间的重叠电容的耦合使得节点 N1 的电平上升。但是,由于此时第二时钟端子 CK2 的时钟信号/CLK 下降,所以通过借助于电容元件 C2 的耦合,节点 N1 的电平被降低。即,电容元件 C2 动作以使抵消时钟信号 CLK 引起的节点 N1 的电平上升。

因此,根据本实施例,防止了栅极线 GL 的非选择期间中节点 N1 的电平的上升,可以在该期间抑制不需要的第一和第二输出信号 G, GD 变为 H 电平的误动作的发生。

还有,在图 14 中,虽然示出了对实施例 2 (图 10) 的单位移位寄存器 SR 设置电容元件 C2 的构成,但是本实施例对于实施例 1, 3~5 的电路(图 5, 图 5, 图 11~图 13)也是适用的。

#### <实施例 7>

图 15 是表示实施例 7 的单位移位寄存器 SR 的结构的电路图。在相同的图中,对于具有与图 10 中示出的同样功能的元件使用与其相同的符号。

如图 15,在本实施例的单位移位寄存器 SR 中,不使复位端子 RST 端子(晶

晶体管 Q4 的栅极)连接后一级单位移位寄存器 SR, 而是连接到第二时钟端子 CK2。由此, 在晶体管 Q4 的栅极输入与输入到第一时钟端子 CK1 不同相位的时钟信号。更具体地说, 在晶体管 Q4 输入与输入到自身的前一级的第一时钟端子 CK1 同相位的时钟信号。

还有, 晶体管 Q4 的源极连接到输入端子 IN。由此, 使得在晶体管 Q4 的源极输入前一级的第一输出信号  $G_{n-1}$ 。由于在图 15 的电路中, 将节点 N2 连接到第二时钟端子 CK2, 所以除了如上所述的改变输入到晶体管 Q4 的栅极和源极的信号以外, 与图 10 的电路相同。

这里也以第 n 级单位移位寄存器  $SR_n$  为代表进行说明。假设在该单位移位寄存器  $SR_n$  的第一时钟端子 CK1 输入时钟信号 CLK, 在第二时钟端子 CK2 输入时钟信号/CLK。还有, 由于本实施例的单位移位寄存器 SR 的动作也基本上与实施例 1 中说明的相同, 所以为了说明的简单, 参照图 8。

在时刻  $t_1$ , 在输入到单位移位寄存器  $SR_{n-1}$  的第一时钟端子 CK1 的时钟信号/CLK 变为 H 电平的同时, 使该前一级的第一和第二输出信号  $G_{n-1}$ ,  $GD_{n-1}$  变为 H 电平。此时虽然单位移位寄存器  $SR_n$  的晶体管 Q4 的栅极变为 H 电平, 由于其源极也变为 H 电平, 所以晶体管 Q4 不导通。为此, 节点 N1 通过晶体管 Q3 被充电到 H 电平。由此, 单位移位寄存器  $SR_n$  从复位状态移到置位状态。

在时刻  $t_2$ , 当时钟信号/CLK 下降时, 虽然前一级的第一和第二输出信号  $G_{n-1}$ ,  $GD_{n-1}$  也变为 L 电平, 但是由于晶体管 Q3 截止, 晶体管 Q4 也仍然截止, 所以节点 N1 的电平通过浮动维持在 H 电平 ( $VDD - V_{th}$ )。

在时刻  $t_3$ , 当时钟信号 CLK 上升时, 在节点 N1 升压的同时, 第一和第二输出信号  $G_n$ ,  $GD_n$  变为 H 电平 ( $VDD$ )。并且, 在时刻  $t_4$ , 当时钟信号 CLK 变为 L 电平时, 单位移位寄存器  $SR_n$  的第一和第二输出信号也  $G_n$ ,  $GD_n$  变为 L 电平。由此, 节点 N1 的电平也降低到  $VDD - V_{th}$ 。

并且, 在时刻  $t_5$ , 当时钟信号/CLK 上升时, 由于此时第一输出信号  $G_{n-1}$  变为 L 电平, 所以晶体管 Q4 变为导通, 节点 N1 被放电变为 L 电平。即, 单位移位寄存器  $SR_n$  返回到复位状态, 晶体管 Q1, QD1 变为截止。在此后的时刻  $t_6$ , 当时钟信号/CLK 变为 L 电平时, 晶体管 Q4 返回截止。

如上所述, 根据实施例 7 的单位移位寄存器 SR 可以与实施例 1 的单位移位寄存器 SR 同样地动作。即, 由于晶体管 Q3 使用前一级的第一和第二输出信号  $G_{n-1}$

1,  $GD_{n-1}$  高速充电, 所以得到与实施例 1 同样的效果。

此外, 在本实施例中, 不必将各个单位移位寄存器 SR 连接到其下一级单位移位寄存器。因此, 可以增加电路布置的自由度, 有利于电路形成面积的缩小化。但是, 应该留意由于在晶体管 Q4 的栅极连续地供给时钟信号, 时钟信号生成电路 (图 6 的时钟发生器 31) 的交流功率变大这一点。

此外, 在本实施例中, 虽然构成为在单位移位寄存器 SR 的晶体管 Q4 的源极输入前一级第一输出信号 G, 但是也可以代替地输入前一级的第二输出信号 GD。但是在该情况下, 由于增加了与在各个单位移位寄存器 SR 的第二输出端子 OUTD 关联的电容负载, 所以应该留意第二输出信号 GD 的上升速度下降且本发明的效果被稍微降低。

还有, 虽然在图 15 中示出了对于实施例 2 (图 10) 的单位移位寄存器 SR, 如上所述改变输入到晶体管 Q4 的栅极和源极的信号的构成, 但是本实施例也可以适用于上述实施例 1, 3~6 的电路 (图 5, 图 11~图 14) 和后述的实施例 8~11 的电路 (图 16~图 19) 各自的晶体管 Q4。

#### <实施例 8>

如上所述, 对于实施例 4, 5 的单位移位寄存器 SR (图 12, 图 13), 在节点 N1 为 L 电平期间 (栅极线 GL 的非选择期间), 由晶体管 Q5, Q6 构成的逆变器使节点 N2 保持在 H 电平。由此, 其间对第一和第二输出端子 OUT, OUTD 放电的晶体管 Q2, QD2 保持导通。由此, 由于第一和第二输出端子 OUT, OUTD 被维持在低阻抗的 L 电平, 所以防止误信号的发生。但是, 由于晶体管 Q2, QD2 的栅极继续为 H 电平, 将会产生它们的阈值电压的偏移。

另一方面, 对于实施例 2, 3 的单位移位寄存器 SR (图 10, 图 11), 在晶体管 Q2, QD2 的栅极输入时钟信号/CLK。即, 由于这些栅极的电平以一定的周期漂移, 不会继续为 H 电平, 所以抑制了阈值电压的偏移。但是, 由于第一和第二输出端子 OUT, OUTD 以一定的周期变为高阻抗状态, 所以误信号防止的效果也比实施例 4, 5 降低。

在上述专利文献 5 (特开 2006-24350 号公报) 的图 7, 图 11 中, 提出了可以解决这些问题的单位移位寄存器。特别是, 其图 11 的单位移位寄存器与本申请同样具有两个输出端子 (OUT, CR)。在实施例 8 中, 将专利文献 5 的图 11 的技术应用于本发明的单位移位寄存器 SR。

图 16 是实施例 8 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 相对于实施例 5 的单位移位寄存器 SR (图 13) 也适用专利文献 5 的图 11 的技术。在图 16 中, 具有与图 13 中示出的相同功能的元件使用与其相同的符号。但是, 图 16 的第一时钟端子 CK1 相当于图 13 的时钟端子 CK。

图 13 的单位移位寄存器 SR 作为驱动用于下拉第一和第二输出端子 OUT, OUTD 的晶体管 Q2, QD2 的“下拉驱动电路”, 具有比率型的逆变器 (图 13 的晶体管 Q5, Q6), 图 16 的单位移位寄存器 SR 为替代它而具有包括由电容元件 C3 和晶体管 Q6 构成的电容性负载型逆变器。

该逆变器也以晶体管 Q1, QD1 的栅极 (节点 N1) 作为输入端, 以晶体管 Q2, QD2 的栅极 (节点 N2) 作为输出端。但是, 该逆变器在以输入到第一时钟端子 CK1 的时钟信号作为电源供应这一点上与通常的不同。即, 在该逆变器中, 电容元件 C3 连接在节点 N2 和第一时钟端子 CK1 之间。电容元件 C3 不仅作为该逆变器的负载, 还具有作为使第一时钟端子 CK1 的时钟信号耦合到节点 N2 的耦合电容的功能。晶体管 Q6 与图 13 的相同, 连接在节点 N2 和第一电源端子 S1 之间, 其栅极连接到节点 N1。

该单位移位寄存器 SR 还包括连接在第一输出端子 OUT 和第一电源端子 S1 之间的晶体管 Q8 和连接在第二输出端子 OUTD 和第一电源端子 S1 之间的晶体管 QD8。这些晶体管 Q8, QD8 的栅极同时连接在第二时钟端子 CK2。在第二时钟端子 CK2 输入与输入到第一时钟端子 CK1 不同相位的时钟信号。如与图 10 相对比可知, 晶体管 Q8, QD8 相当于实施例 2 的晶体管 Q2, QD2。

这里也以在第一和第二时钟端子 CK1, CK2 分别输入时钟信号 CLK, /CLK 的第 n 端单位移位寄存器 SR<sub>n</sub> 的动作为代表进行说明。

首先, 针对栅极线 GL<sub>n</sub> 的非选择期间的动作进行说明。在该期间, 单位移位寄存器 SR<sub>n</sub> 的节点 N1 是 L 电平。由于由电容元件 C3 和晶体管 Q6 构成的逆变器在提供电源时被时钟信号 CLK 信号激活, 所以时钟信号 CLK 变为 H 电平时, 将 H 电平输出到节点 N2。更详细地, 由于在节点 N1 为 L 电平期间晶体管 Q6 是截止的, 所以节点 N2 的电平通过借助于电容元件 C3 的耦合, 追随时钟信号 CLK 变为 H 电平也变为 H 电平。

由此, 晶体管 Q2, QD2 在时钟信号 CLK 变为 H 电平时导通, 由于低阻抗分别使第一和第二输出端子 OUT, OUTD 变为 L 电平。另一方面, 晶体管 Q8, QD8

在输入到第二时钟端子 CK2 的时钟信号/CLK 变为 H 电平时导通。

即，在栅极线  $GL_n$  的非选择期间，晶体管 Q2, QD2 对和晶体管 Q8, QD8 对与时钟信号 CLK, /CLK 同步交互导通。由此，第一和第二输出端子 OUT, OUTD 在几乎整个期间成为低阻抗的 L 电平，抑制误信号发生的效果与实施例 5 的相同，是很高的。

此外，晶体管 Q2, QD2, Q8, QD8 的栅极的电平分别以一定的周期漂移，由于没有继续的变为 H 电平，所以能抑制它们的阈值电压的偏移。

接下来，针对栅极线  $GL_n$  的选择周期的动作进行说明。在该周期，单位移位寄存器  $SR_n$  的节点 N1 是 H 电平。在节点 N1 为 H 电平期间，由于晶体管 Q6 变为导通，所以由电容元件 C3 和晶体管 Q6 构成的逆变器将 L 电平输出到节点 N2。此外，在该周期，时钟信号/CLK 是 L 电平。因此，由于晶体管 Q2, QD2, Q8, QD8 维持在截止，所以单位移位寄存器  $SR_n$  可以正常地输出第一和第二输出信号  $G_n, GD_n$ 。

根据这样的本实施例，可以防止晶体管 Q2, QD2, Q8, QD8 的阈值电压的偏移（即，驱动能力的降低），得到防止误信号发生的很高效果。

#### <实施例 9>

在本实施例中，对实施例 8 的单位移位寄存器 SR（图 16）适用在实施例 3 中使用的技术。

图 17 是表示实施例 9 的单位移位寄存器 SR 的电路图。该单位移位寄存器 SR 对图 16 的电路，使晶体管 Q2, QD2 的源极连接到第二时钟端子 CK2，此外，使晶体管 Q8, QD8 的源极连接到第一时钟端子 CK1。即，在晶体管 Q2, QD2, Q8, QD8 的源极输入与输入到栅极不同相位的时钟信号。除了这一点与图 16 的电路相同。

这里，也以第  $n$  级单位移位寄存器  $SR_n$  为代表进行说明。假设在其第一时钟端子 CK1 输入时钟信号 CLK，在第二时钟端子 CK2 输入时钟信号/CLK。

时钟信号 CLK, /CLK 是彼此互补的信号。由此，在时钟信号 CLK 变为 H 电平且晶体管 Q2, QD2 导通期间，这些源极由于时钟信号/CLK 而成为 L 电平，此外在时钟信号/CLK 变为 H 电平且晶体管 Q8, QD8 导通期间，这些源极由于时钟信号 CLK 而变为 L 电平。由此，晶体管 Q2, QD2, Q8, QD8 如同源极连接到第一电源端子 S1 的情况，可以使第一和第二输出端子 OUT, OUTD 放电。

此外,在时钟信号 CLK 变为 L 电平且晶体管 Q2, QD2 截止期间,这些源极由于时钟信号/CLK 而成为 H 电平,在时钟信号/CLK 变为 L 电平且晶体管 Q8, QD8 截止期间,这些源极由于时钟信号 CLK 而变为 H 电平。即,在晶体管 Q2, QD2, Q8, QD8 截止时,其栅极相对于源极成为与被负偏置等价的状态。由此,由于向正方向偏移的阈值电压返回负方向而恢复,所以能防止晶体管 Q2, QD2, Q8, QD8 的驱动能力的降低。

#### <实施例 10>

图 18 是表示实施例 10 的单位移位寄存器 SR 的结构的电路图。该单位移位寄存器 SR 相对于图 16 的电路省略了晶体管 Q2。

在没有晶体管 Q2 的情况,时钟信号/CLK 为 H 电平以外时,第一输出端子 OUT 变为高阻抗。即,第一输出端子 OUT 的误信号的发生防止效果成为与图 10 的电路相同的程度。还有,由于不具有晶体管 Q2,所以对显示装置的显示特性产生恶劣影响的情况下,相对于像素电位使 VSS 电平更低,则可以改善该情况。

根据本实施例,不仅可以省略晶体管 Q2 还可以削减电路面积。此外,由于节点 N2 的寄生电容变小,节点 N2 的充电变得容易,所以可以较小地设定电容源元件 C3 的值。即,在可缩小电容元件 C3 的形成面积的这一点上,就可实现电路面积的缩小化。进一步,由于削减了 Q2 的栅极电容消耗的电量,所以也可实现电路的低功耗。

还有,对于电路面积缩小化的目的,考虑到不仅省略晶体管 Q2 还省略晶体管 QD2 (如果省略晶体管 Q2, QD2 两个,则变为与实施例 2 (图 10) 相同)。但是,省略晶体管 QD2 时,由于比省略晶体管 Q2 的情况容易引起误动作,所以不优选。其理由如下。

即,省略了晶体管 QD2 的情况,在第一时钟端子 CK1 的时钟信号上升时,第二输出端子 OUTD 变为高阻抗状态。第二输出端子 OUTD 的电容负载(即,下一级晶体管 Q3 的栅极电容)比第一输出端子 OUT 的电容负载(即,栅极线 GL 附带的电容)小。为此,当第二输出端子 OUTD 变为高阻抗状态时,由于噪音的影响等,将会比第一输出端子 OUT 变为高阻抗状态的情况更简单的使其电平上升。即,容易输出作为误信号的第二输出信号 GD。因此,应该防止这种情况,优选保留晶体管 QD2。

上述实施例 9 对本实施例也可以适用。即,对于图 18 的电路,也可以使晶体

管 QD2 的源极连接到第二时钟端子 CK2，使晶体管 Q8，QD8 的源极连接到第一时钟端子 CK1。

#### <实施例 11>

图 19 是表示实施例 11 的单位移位寄存器 SR 的结构的电路图。该单位移位寄存器 SR 对于图 16 的电路省略了晶体管 Q8。此种情况下，在栅极线 GL 的非选择期间，在时钟信号 CLK 为 H 电平以外的时间，第一输出端子 OUT 变为高阻抗。虽然第一输出端子 OUT 变为高阻抗的定时不同，但是防止产生误信号的效果则几乎与图 18 的电路相同。

由于省略了晶体管 Q8，可以使单位移位寄存器 SR 的形成面积缩小化。此外，还具有削减由晶体管 Q8 的栅极电容所消耗的功率的优点。

还有，根据电路面积缩小化的目的，虽然不仅可以省略晶体管 Q8 也可以省略晶体管 QD8，但是为了防止误动作，优选保留晶体管 QD8。如前所述，第二输出端子 OUTD 比其电容负载为第一输出端子 OUT 的情况小。为此，由于省略晶体管，当第二输出端子 OUTD 变为高阻抗状态时，由于噪音的影响等，容易产生作为误信号的第二输出信号 GD（比不上实施例 10 中省略晶体管的情况）。因此，应该防止这种情况，优选保留晶体管 QD8。

上述实施例 9 对于本实施例也可以适用。即，对于图 19 的电路，也可以使晶体管 Q2，QD2 的源极连接到第二时钟端子 CK2，使晶体管 QD8 的源极连接到第一时钟端子 CK1。



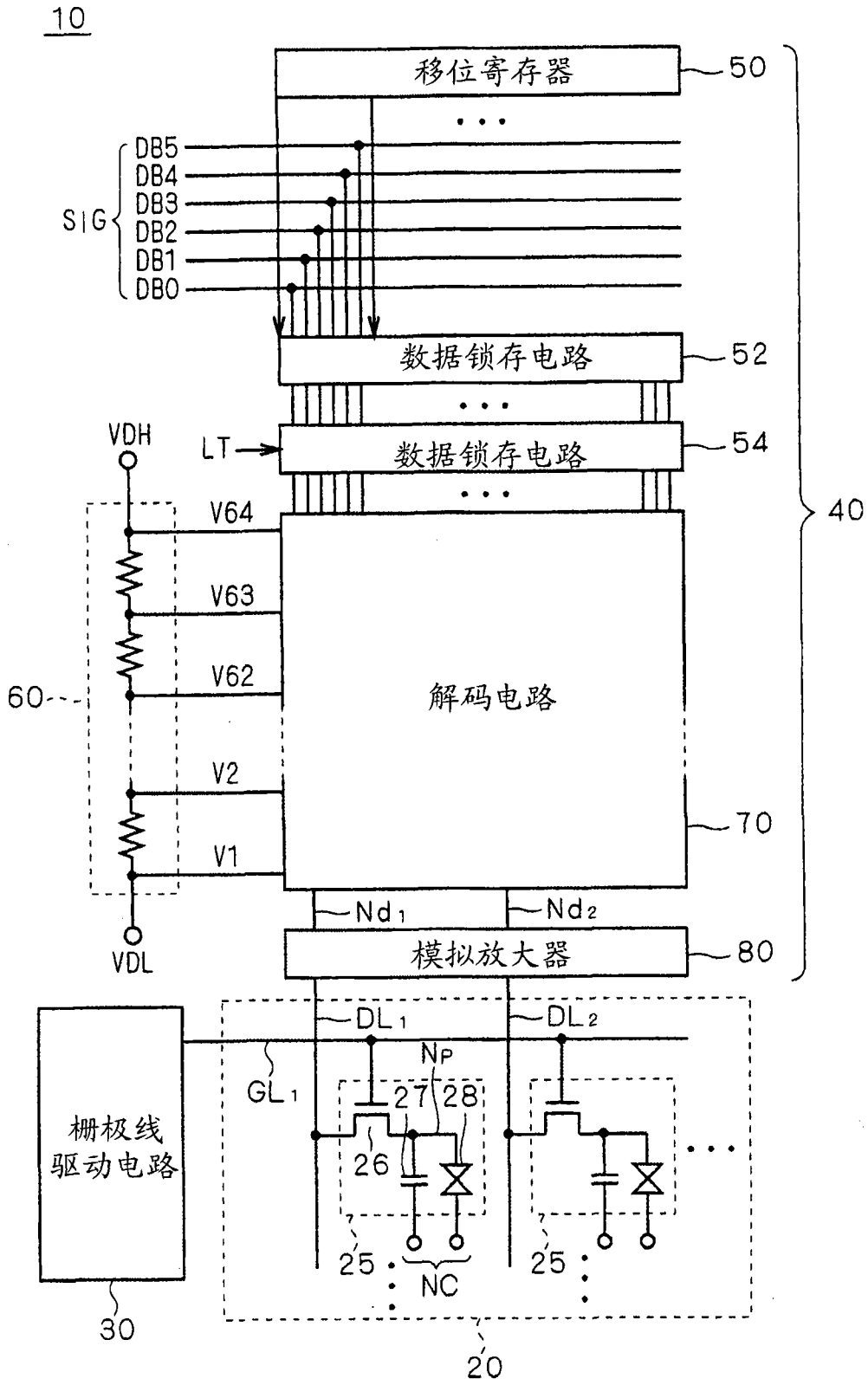


图 1

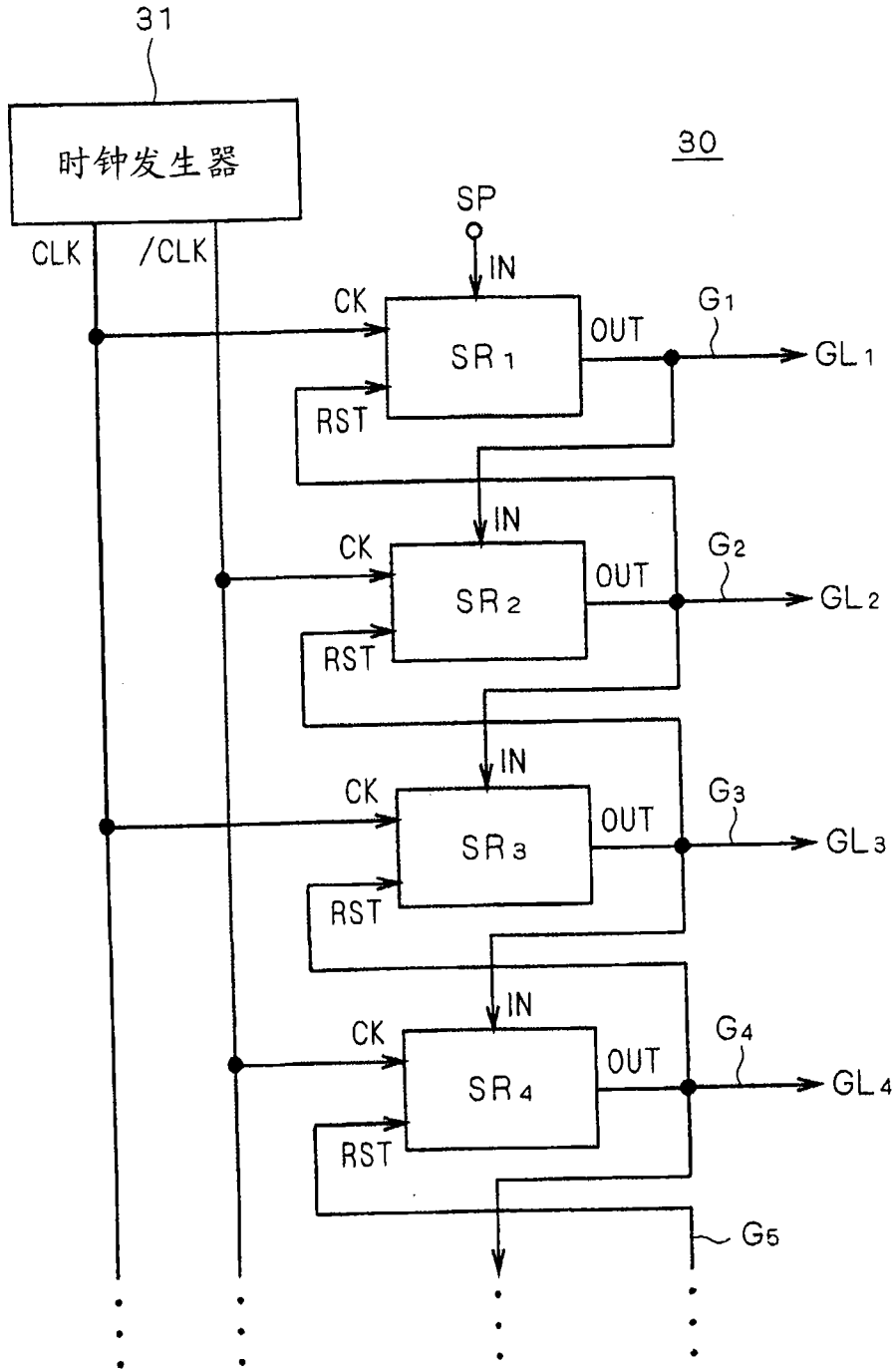
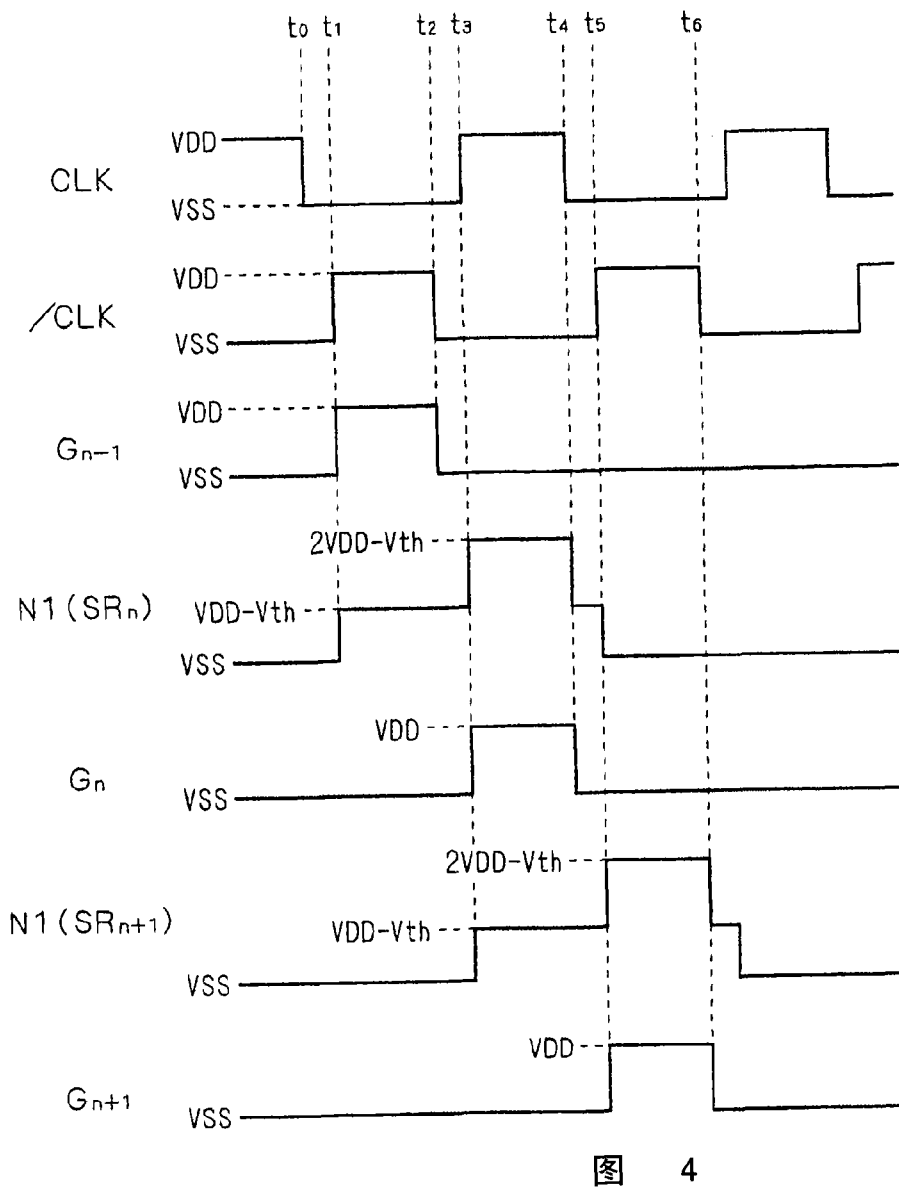
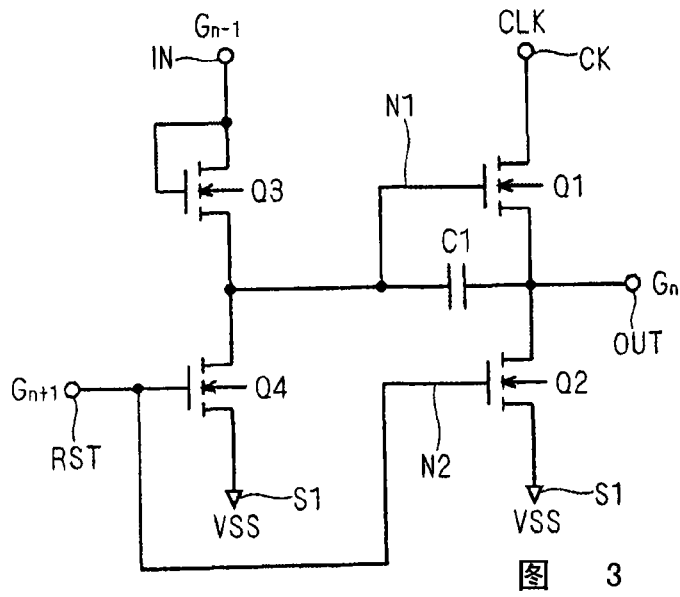


图 2



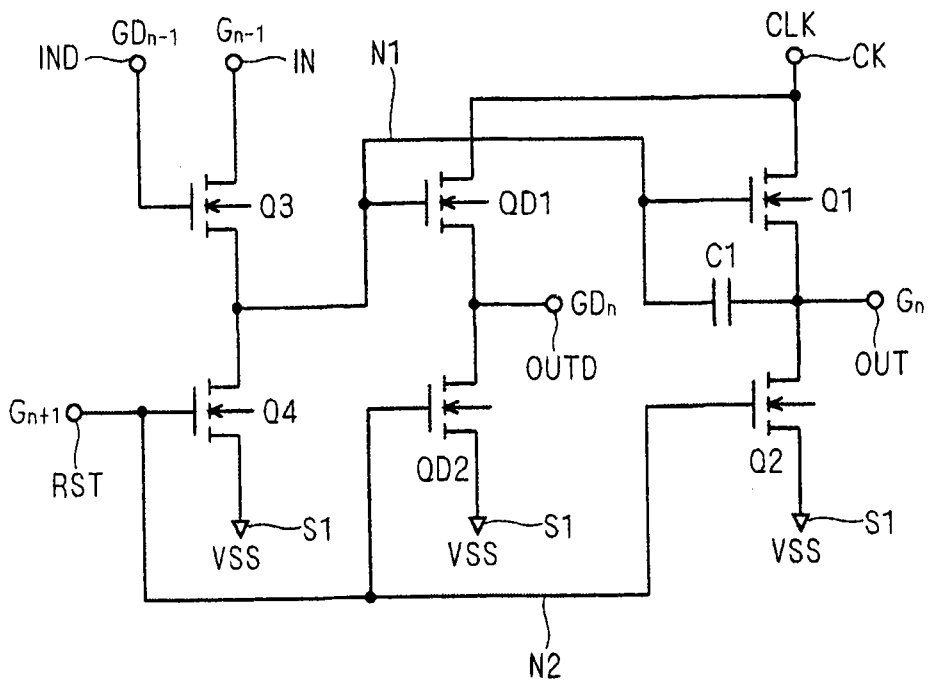


图 5

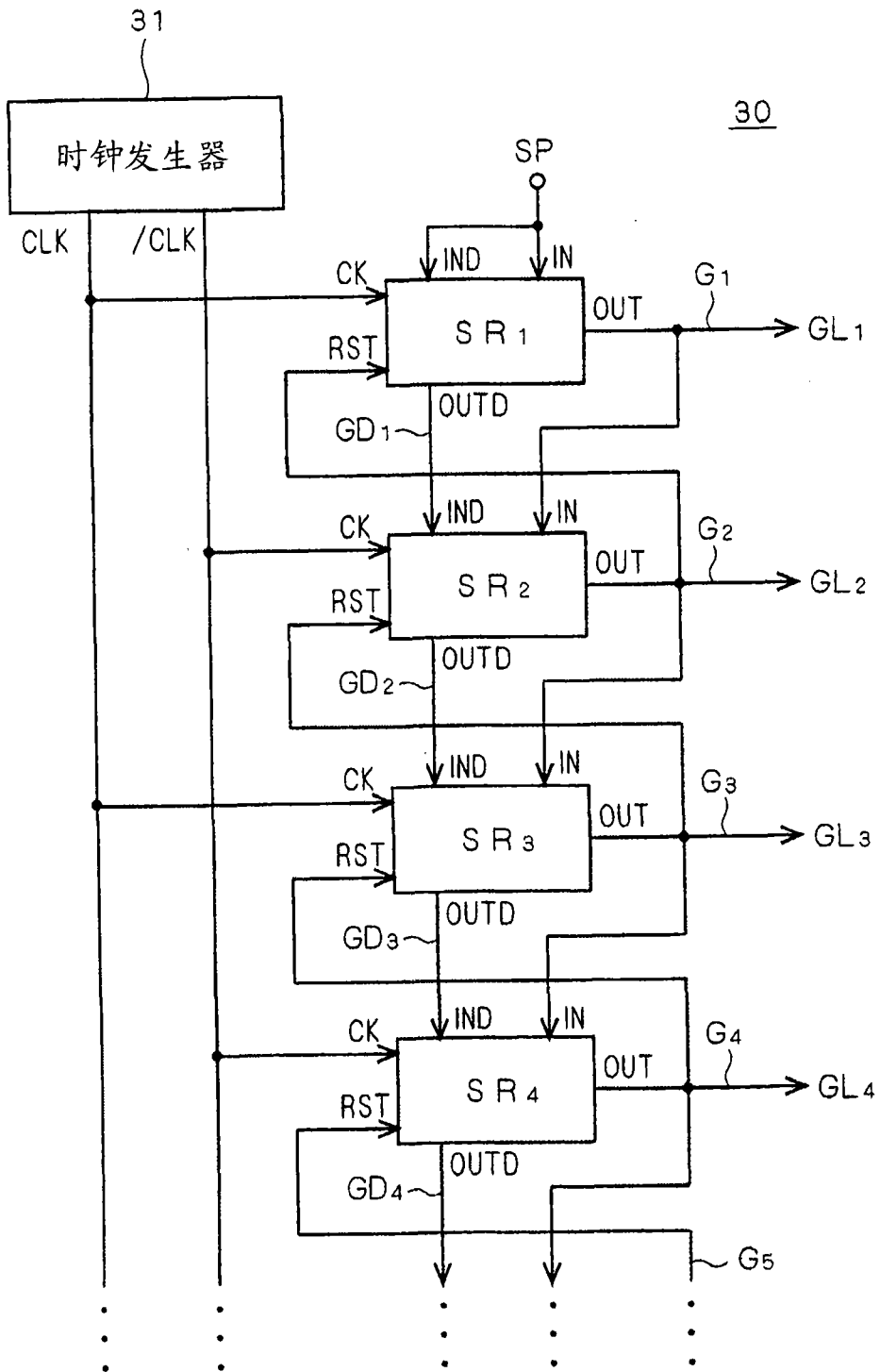


图 6

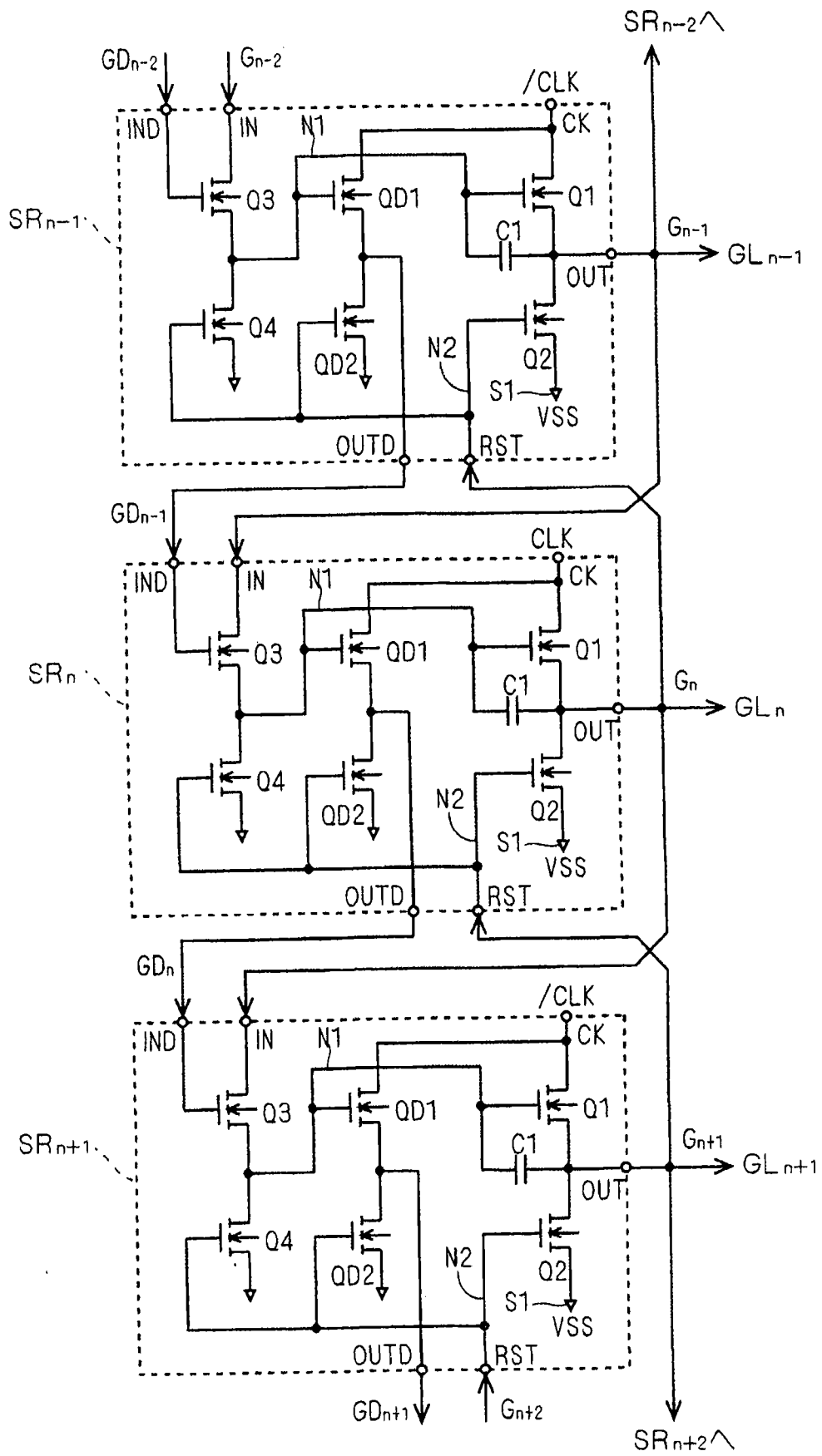


图 7

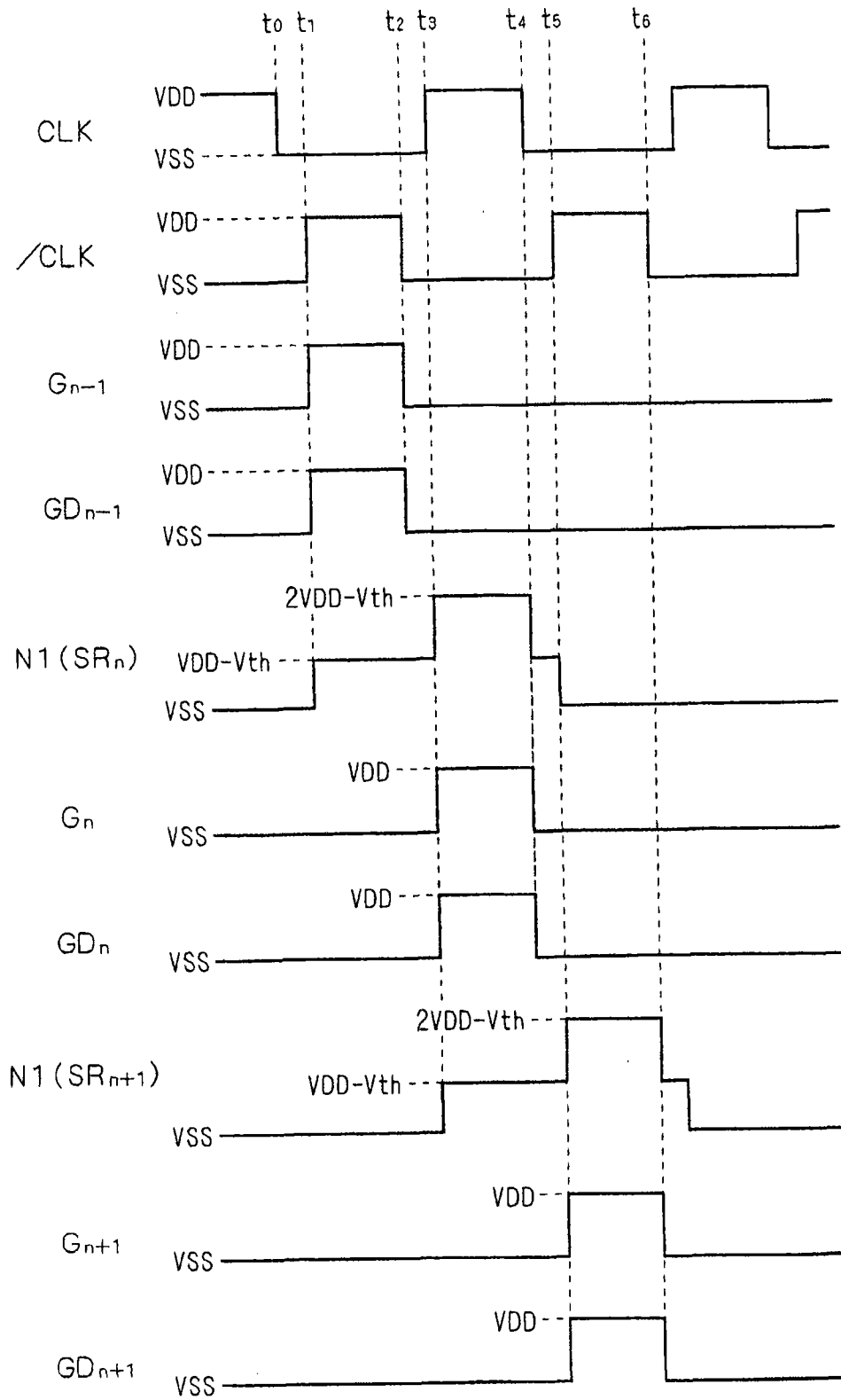


图 8

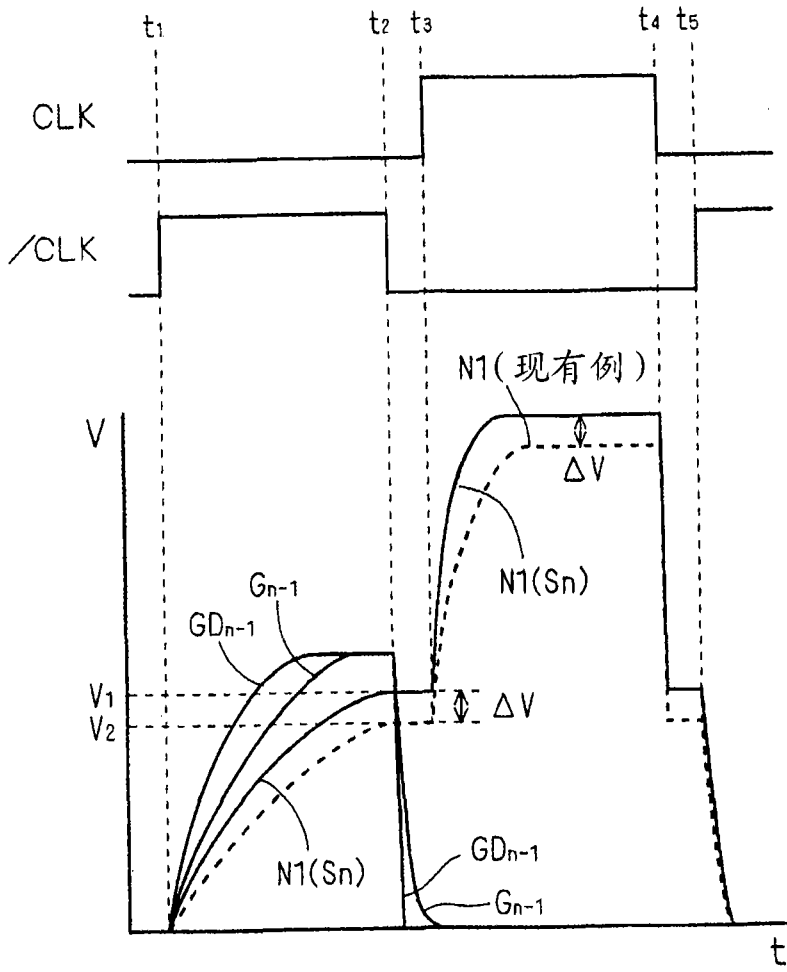


图 9

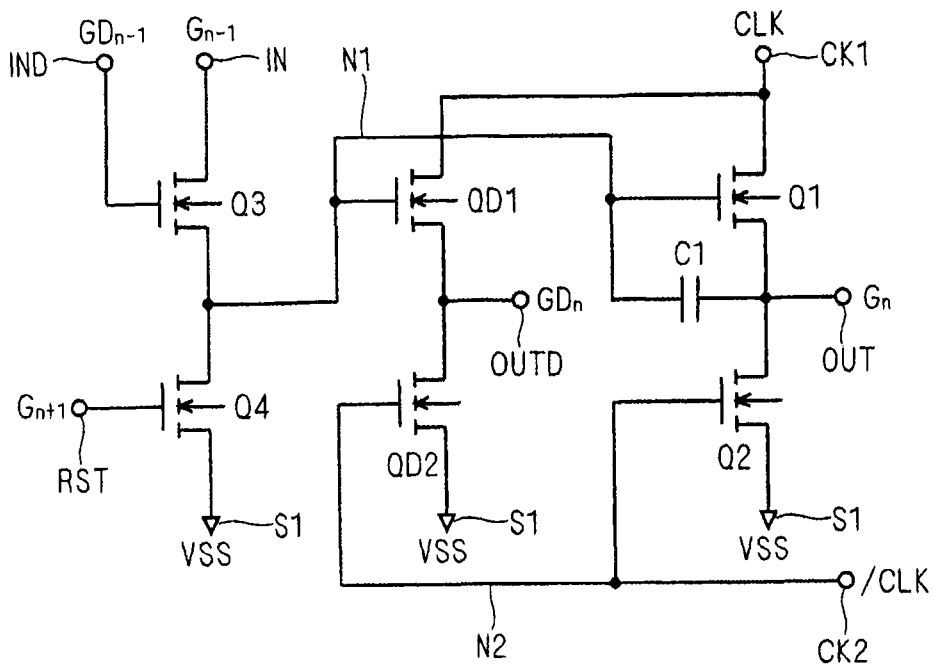


图 10



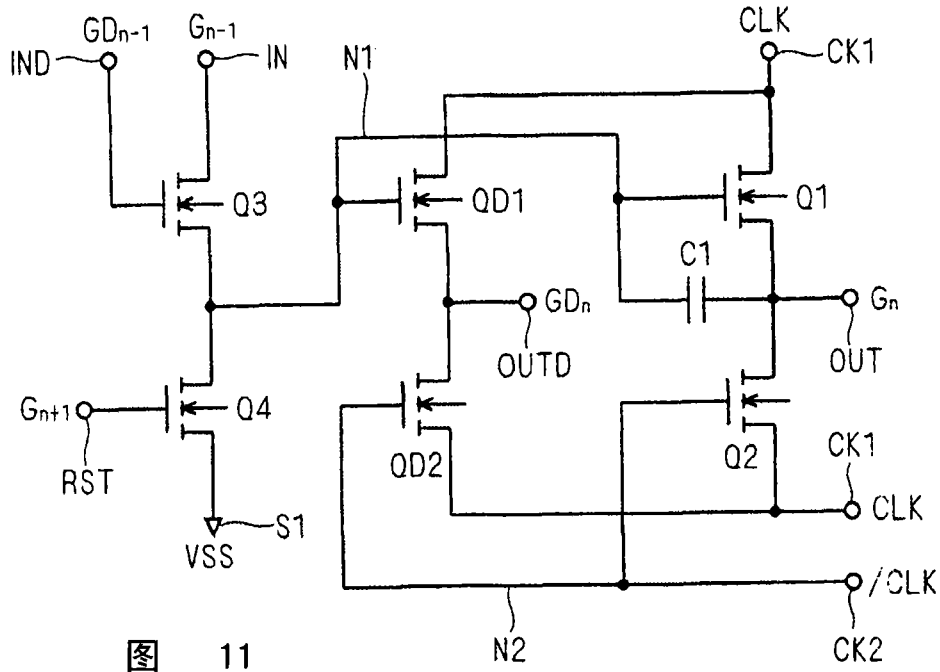


图 11

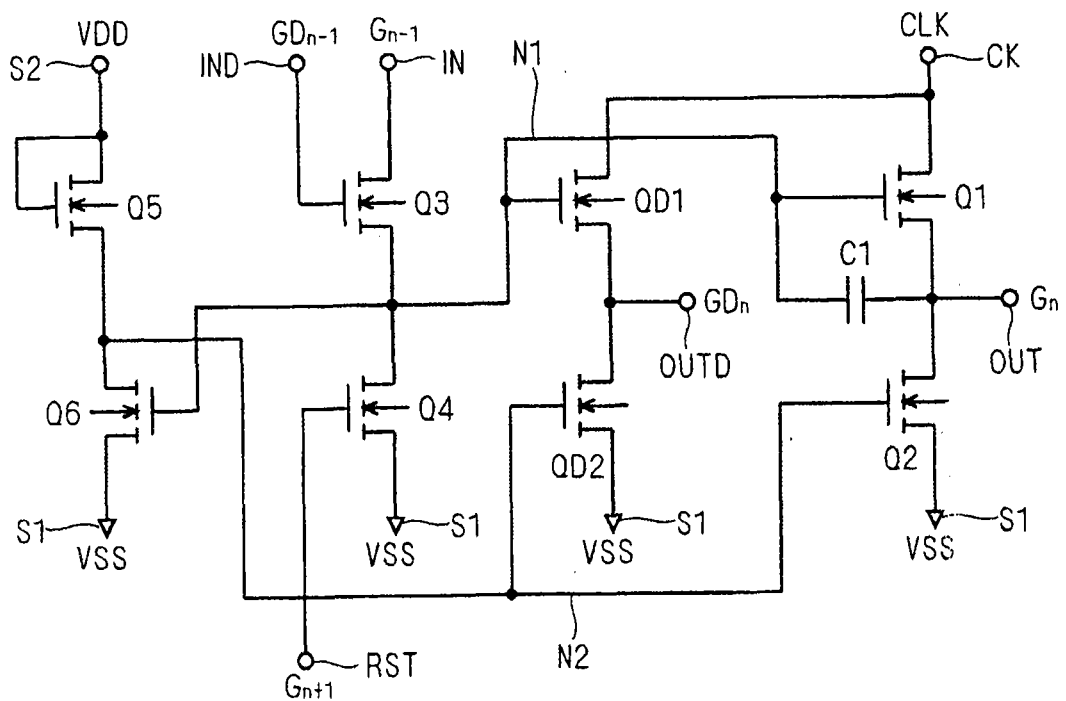


图 12

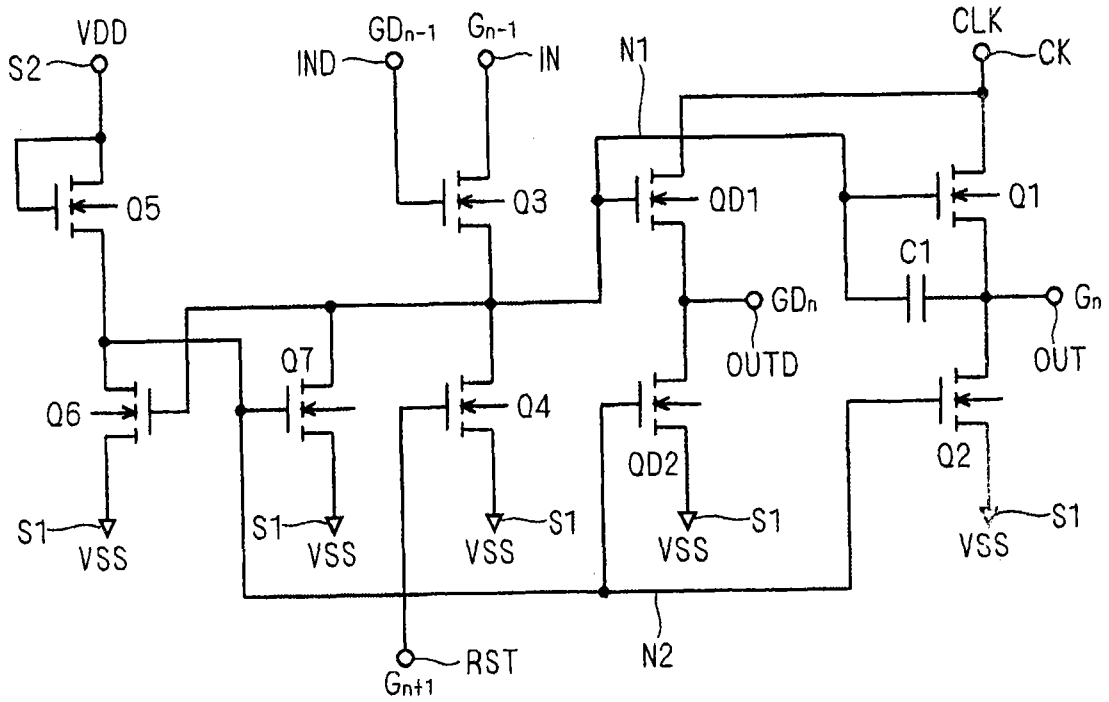


图 13

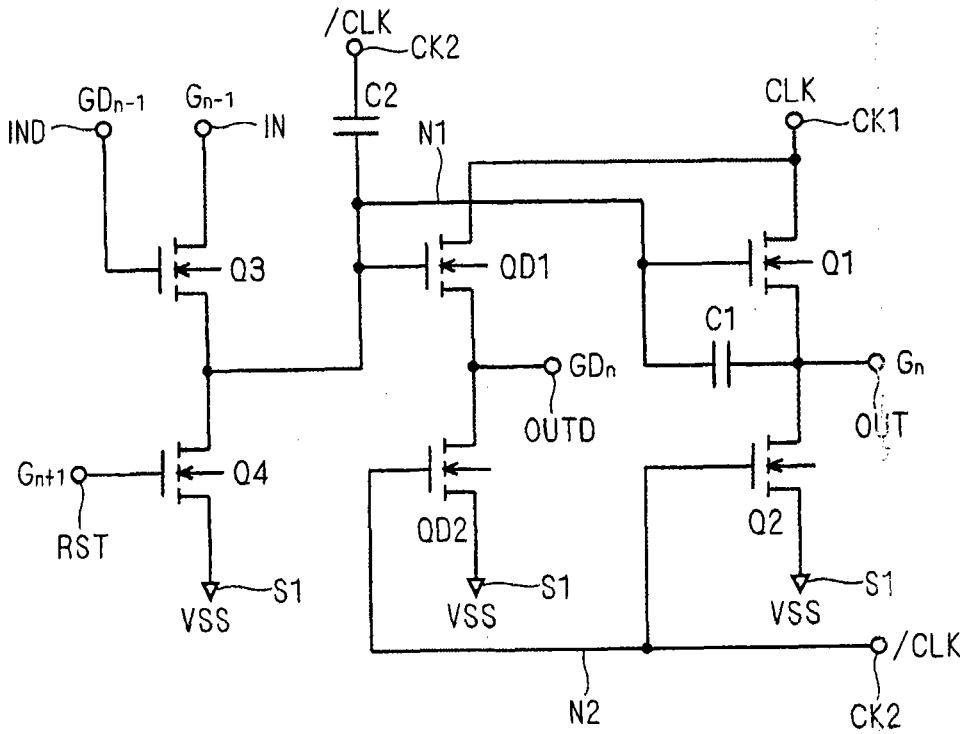


图 14

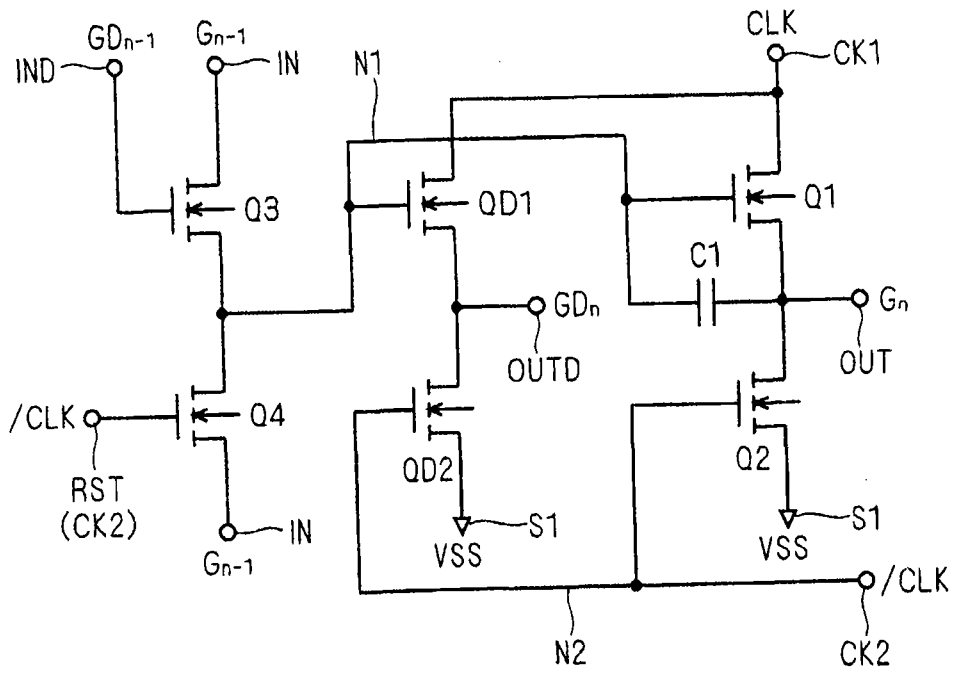


图 15

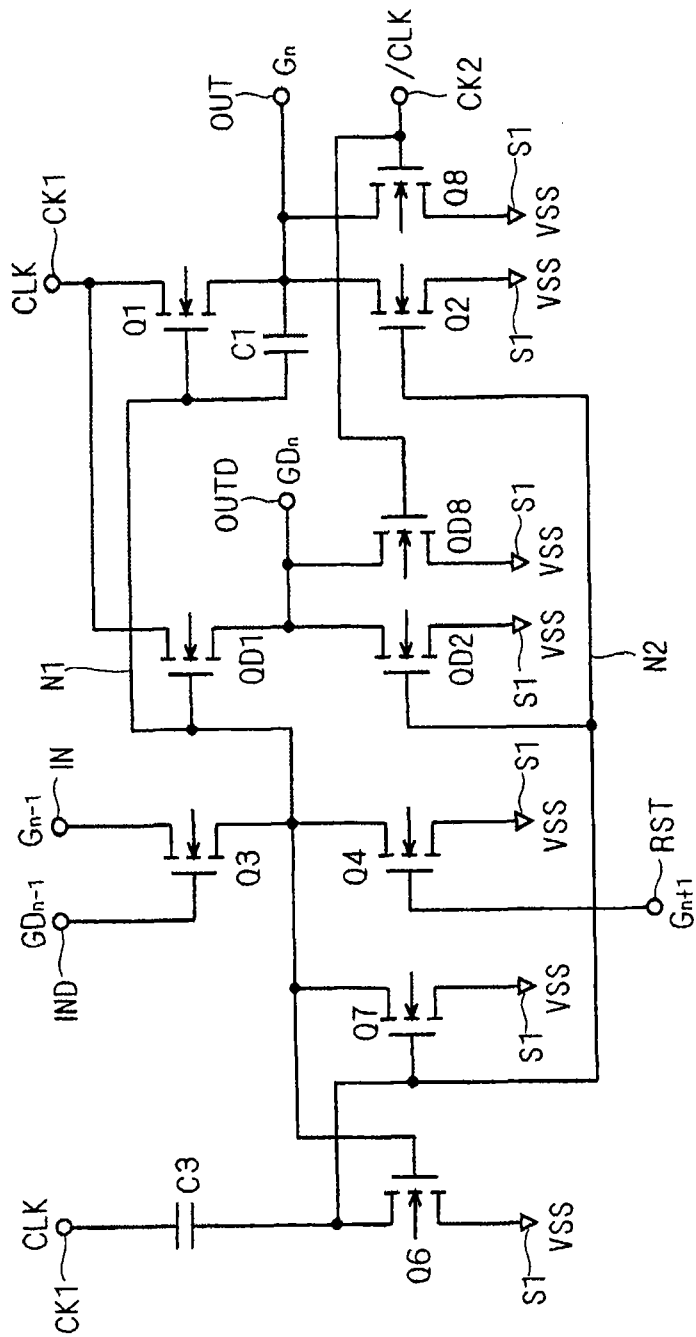


图 16

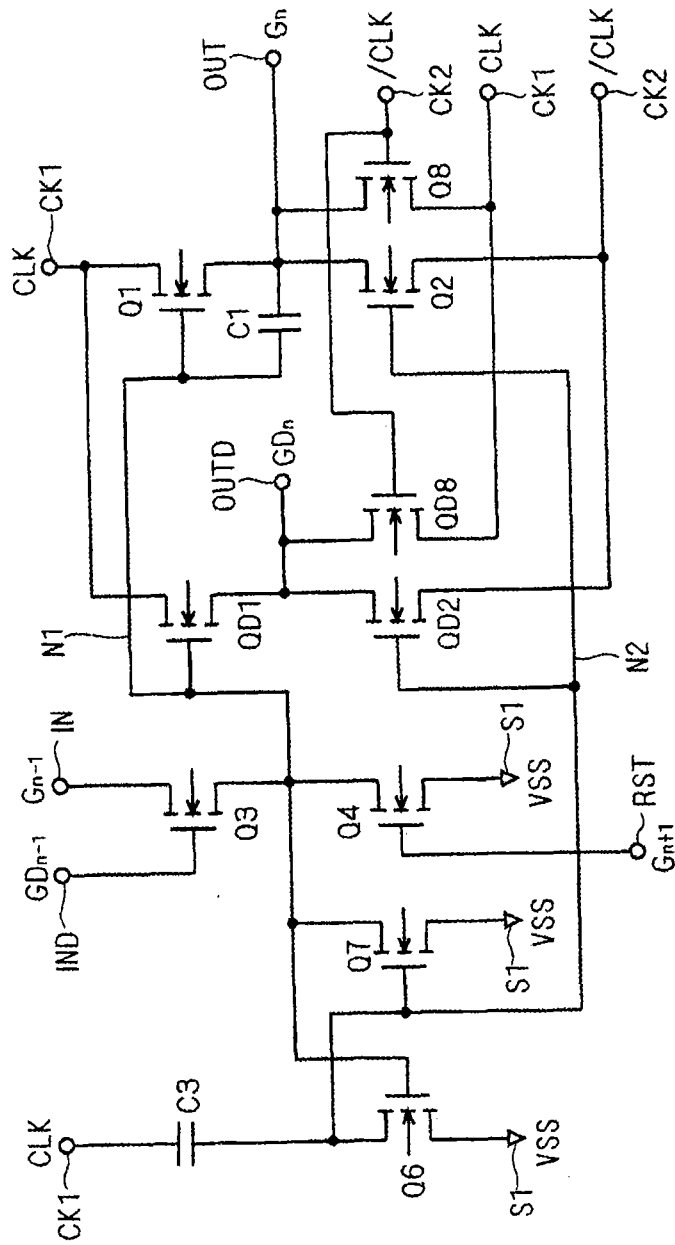


图 17

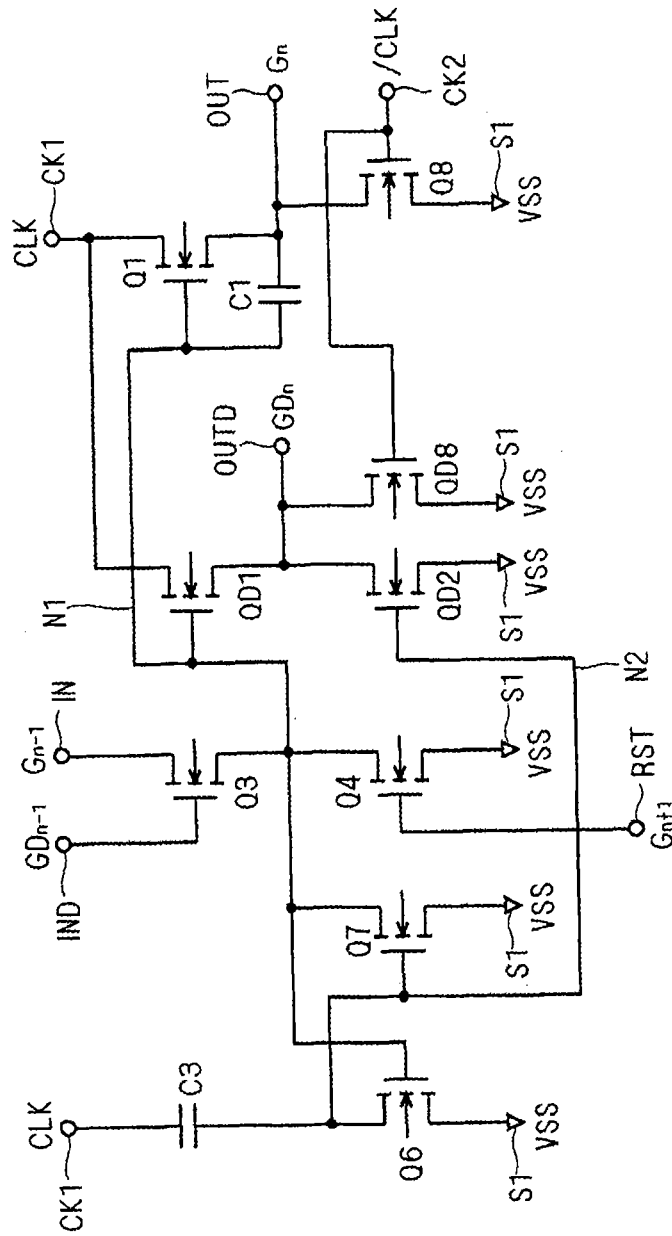


图 18

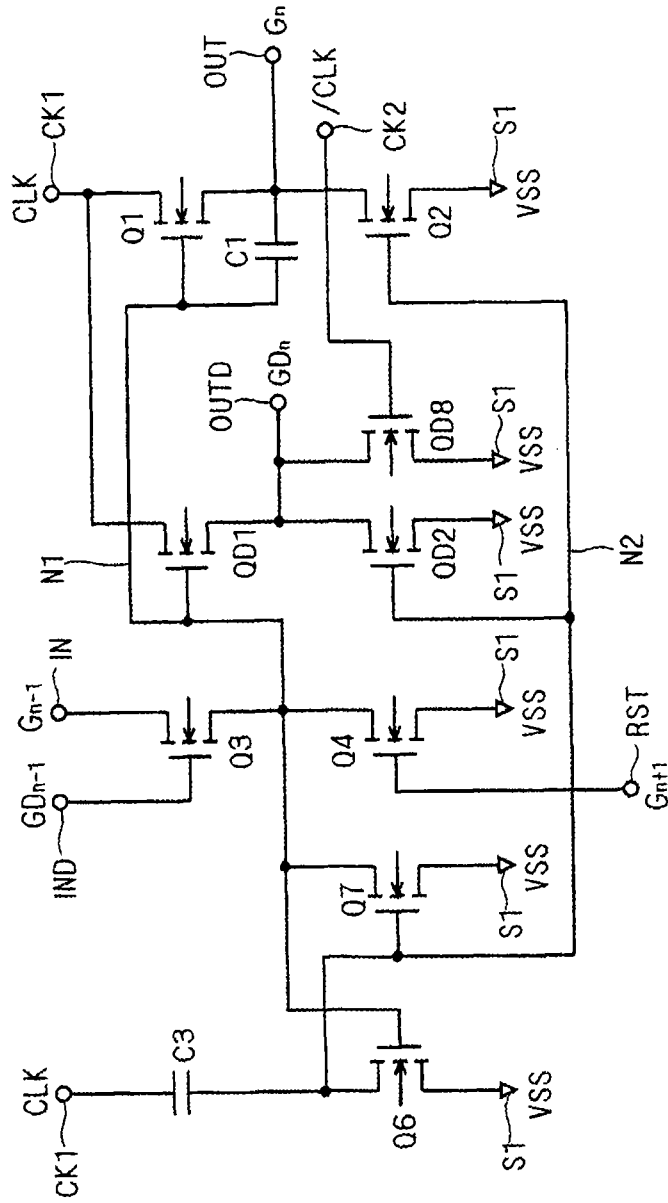


图 19