



(12) 发明专利

(10) 授权公告号 CN 107293321 B

(45) 授权公告日 2021.03.26

(21) 申请号 201610851524.0
 (22) 申请日 2016.09.26
 (65) 同一申请的已公布的文献号
 申请公布号 CN 107293321 A
 (43) 申请公布日 2017.10.24
 (30) 优先权数据
 10-2016-0044100 2016.04.11 KR
 (73) 专利权人 爱思开海力士有限公司
 地址 韩国京畿道
 (72) 发明人 郑会三
 (74) 专利代理机构 北京弘权知识产权代理有限公司 11363
 代理人 李少丹 许伟群

(51) Int.Cl.
 G11C 7/24 (2006.01)
 G11C 16/22 (2006.01)
 G11C 17/18 (2006.01)
 (56) 对比文件
 US 2009003033 A1,2009.01.01
 US 2012235708 A1,2012.09.20
 US 2014043928 A1,2014.02.13
 CN 101375345 A,2009.02.25
 CN 1592936 A,2005.03.09
 US 6421296 B1,2002.07.16

审查员 王浩同

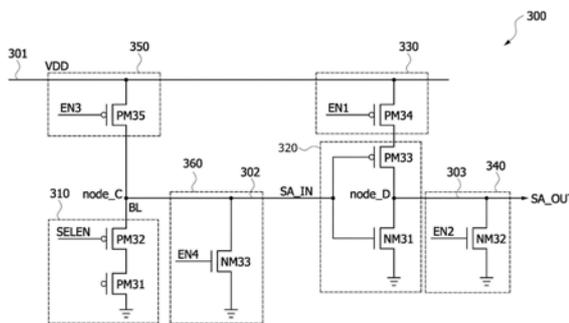
权利要求书2页 说明书10页 附图11页

(54) 发明名称

用于抑制读取干扰的非易失性存储器件

(57) 摘要

一种非易失性存储器件包括非易失性存储单元;感测电路,耦接在耦接至非易失性存储单元的位线的感测输入线和感测输出线之间;感测输出接地部分,如果感测电路的输出信号具有低电平,则所述感测输出接地部分将感测电路的输出信号固定在低电平;以及位线接地部分,如果感测电路的输出信号固定在低电平,则所述位线接地部分将位线电压固定在接地电压。



1. 一种非易失性存储器件,包括:

非易失性存储单元,耦接在位线与接地端子之间,并且包括第一PMOS晶体管和第二PMOS晶体管;

感测电路,包括第三PMOS晶体管和第一NMOS晶体管,其中,第三PMOS晶体管的栅极和第一NMOS晶体管的栅极耦接至感测输入线,第三PMOS晶体管的漏极和第一NMOS晶体管的漏极耦接至感测输出线,以及第一NMOS晶体管的源极耦接至接地端子;

第一开关部分,包括第四PMOS晶体管,所述第四PMOS晶体管具有被施加第一使能信号的栅极、耦接至电源电压线的源极以及耦接至第三PMOS晶体管的源极的漏极感测输出接地部分,包括第二NMOS晶体管,所述第二NMOS晶体管具有被施加第二使能信号的栅极、耦接至感测输出线的漏极以及耦接至接地端子的源极;

电阻式负载/第二开关部分,包括第五PMOS晶体管,所述第五PMOS晶体管具有被施加第三使能信号的栅极、耦接至电源电压线的源极以及耦接至位线的漏极;

位线接地部分,包括第三NMOS晶体管,所述第三NMOS晶体管具有被施加第四使能信号的栅极、耦接至位线的漏极以及耦接至接地端子的源极;以及

使能信号发生器,接收感测放大器使能信号和来自感测输出线的感测输出信号,以及产生第一使能信号到第四使能信号,

其中,使能信号发生器被配置成:如果感测输出线的感测输出信号从高电平改变为低电平,则使能信号发生器顺序供应高电平的第一使能信号到第四使能信号。

2. 如权利要求1所述的非易失性存储器件,其中,所述第一PMOS晶体管具有浮置栅、源极和耦接到接地端子的漏极,以及

所述第二PMOS晶体管具有耦接至选择使能信号线的栅极、耦接至位线的源极、以及耦接至第一PMOS晶体管的源极的漏极。

3. 如权利要求1所述的非易失性存储器件,其中,所述使能信号发生器包括:

第一反相器,被施加感测输出信号;

第一与非门,被施加来自第一反相器的输出信号和感测放大器使能信号;

第二反相器,被施加第一与非门的输出信号,以及输出第一使能信号;

第二与非门,被施加第二反相器的输出信号和感测放大器使能信号;

第三反相器,被施加第二与非门的输出信号,以及输出第二使能信号;

第三与非门,被施加第二与非门的输出信号和感测放大器使能信号,以及输出第三使能信号;

第四反相器,被施加第三与非门的输出信号;以及

第五反相器,被施加第四反相器的输出信号,以及输出第四使能信号。

4. 如权利要求1所述的非易失性存储器件,

其中,高电平的所述感测输出信号和低电平的感测放大器使能信号在非易失性存储单元的读取操作之前被分别施加给第一反相器和第一与非门,以及

其中,高电平的感测放大器使能信号在非易失性存储单元的读取操作开始之后被施加给第一与非门。

5. 如权利要求4所述的非易失性存储器件,其中,使能信号发生器被配置成:在非易失性存储单元的读取操作之前,顺序供应低电平的第一使能信号、低电平的第二使能信号、高

电平的第三使能信号和高电平的第四使能信号。

6. 如权利要求5所述的非易失性存储器件,其中,使能信号发生器被配置成:在开始非易失性存储单元的读取操作以后,顺序供应低电平的第一使能信号到第四使能信号。

用于抑制读取干扰的非易失性存储器件

[0001] 相关申请的交叉引用

[0002] 本申请要求2016年4月11日提交的申请号为10-2016-0044100的韩国申请的优先权,其通过引用整体合并于此。

技术领域

[0003] 本公开的各种实施例涉及一种半导体存储器件,以及更具体地,涉及一种用于抑制读取干扰的非易失性存储器件。

背景技术

[0004] 半导体存储器件根据其数据易失性通常分为随机存取存储(RAM)器件和只读存储(ROM)器件。RAM器件是在RAM器件的电源中断时丢失储存的数据的易失性器件。与此相反,ROM器件在ROM器件的电源中断时保留储存的数据。ROM器件根据数据输入方法(即,数据编程方法)也可以分为可编程ROM(PROM)器件和掩模型ROM器件。PROM器件可以在未被编程的情况下制造和销售,并且可以在PROM器件制造以后由消费者(例如,用户)直接编程。掩模型ROM器件在其制造过程中可以使用注入掩模来编程,所述注入掩模基于用户要求的数据来制造。PROM器件可以包括一次PROM(OTPROM)器件、可擦除PROM(EPROM)器件和电可擦除PROM(EEPROM)器件。一旦OTPROM器件被编程,则OTPROM器件的编程数据不能被改变。

[0005] 非易失性存储器件(例如,OTPROM器件)采用NMOS晶体管或PMOS晶体管作为单元晶体管。如果PMOS晶体管被用作非易失性存储器件的单元晶体管,则PMOS晶体管可以具有关断状态作为初始状态,以及可以具有导通状态作为编程状态。PMOS晶体管的读取操作可以通过感测连接至从PMOS晶体管中选中的任意一个PMOS晶体管的位线的电压水平来执行。在此情况下,位线的电压水平可以通过耦接在电源电压线和位线之间的负载电阻器的电阻和选中的PMOS晶体管的等效电阻的电阻比来确定。

发明内容

[0006] 各种实施例针对一种用于抑制读取干扰的非易失性存储器件。

[0007] 根据实施例的非易失性存储器件包括非易失性存储单元;感测电路,设置在耦接至非易失性存储单元的位线的感测输入线和感测输出线之间;感测输出接地部分,在感测电路的输出信号具有低电平时,所述感测输出接地部分将感测电路的输出信号固定在低电平;以及位线接地部分,在感测电路的输出信号固定在低电平时,所述位线接地部分将位线电压固定在接地电压。

附图说明

[0008] 根据附图和所附详细描述,本发明构思的各种实施例将变得更加明显,其中:

[0009] 图1是图示常规非易失性存储器件的示例的电路图。

[0010] 图2是图示常规非易失性存储器件的另一示例的电路图。

[0011] 图3是图示根据本公开的一个实施例的非易失性存储器件的电路图。

[0012] 图4是图示根据本公开的一个实施例在非易失性存储器件中采用的使能信号发生器的电路图。

[0013] 图5是图示在读取操作之前,图3的非易失性存储器件中采用的使能信号发生器的操作的电路图。

[0014] 图6是图示在读取操作之前,图3的非易失性存储器件的状态的电路图。

[0015] 图7是图示在开始单元晶体管的读取操作以后,在图3的非易失性存储器件中采用的使能信号发生器的操作的电路图。

[0016] 图8是图示在开始被编程的单元晶体管的读取操作以后,图3的非易失性存储器件的读取操作的电路图。

[0017] 图9是图示在开始具有初始状态的单元晶体管的读取操作以后,图3的非易失性存储器件的读取操作的电路图。

[0018] 图10是图示通过单元晶体管的读取操作确定单元晶体管的初始状态之后,在图3的非易失性存储器件中采用的使能信号发生器的操作的电路图。

[0019] 图11是图示在确定具有初始状态的单元晶体管的状态之后,图3的非易失性存储器件的操作的电路图。

具体实施方式

[0020] 下面将参照附图通过各种实施例来描述本公开。

[0021] 然而,本公开可以以不同的形式来实施,而不应当被解释为局限于本文说明的实施例。相反地,这些实施例作为示例被提供以使得本公开将彻底且完整,而且将本公开的各个方面和特点充分传达给本领域技术人员。

[0022] 将理解的是,虽然在本文中可以使用术语“第一”、“第二”和“第三”等来描述各种元件,但这些元件不受这些术语的限制。这些术语是用来将一个元件与另一元件区分开。因此,在不脱离本公开的精神和范围的情况下,下面描述的第一元件也可以被称作第二元件或第三元件。

[0023] 附图不一定成比例,在某些情况下,为了清楚地图示实施例的特征,比例可能已经被夸大。

[0024] 本文中使用的术语仅用于描述特定实施例的目的,而非意在限制本公开。如本文中所用,除非上下文清楚地另外指出,否则单数形式意在也包括复数形式。还将理解的是,术语“包含”、“包含有”、“包括”和“包括有”在本说明书中使用,表示所述元件的存在,但不排除一个或更多个其它元件的存在或添加。如本文中所用,术语“和/或”包括一个或更多个相关联的列出项的任意组合和所有组合。

[0025] 除非另外定义,否则本文中所使用的所有术语(包括技术术语和科学术语)具有与本公开所属领域技术人员通常所理解的意思相同的意思。还将理解的是,诸如在通用词典中定义的术语应当被解释为具有与它们在相关领域的背景中的意思一致的意思,而不以理想化或过度形式化的意义来解释,除非本文中明确如此定义。

[0026] 在下面的描述中,阐述了大量具体细节以提供对本公开的透彻理解。可以在无这些具体细节中的一些或全部的情况下实施本公开。在其它情况下,未详细描述公知的工艺

结构和/或工艺,以免不必要地混淆本公开。

[0027] 此外,当将一元件称作位于另一元件“上”、“之上”、“上方”、“下”、“下面”时,其意在表示相对位置关系,但不是用来限制该元件直接接触另一元件或在两者之间存在至少一个中间元件的特定情况。因此,在文中使用的术语(诸如“上”、“之上”、“上方”、“下”、“下面”等)仅是出于描述特定实施例之目的,不是意在限制本公开的范围。此外,当将一个元件被称作“连接”或“耦接”至另一元件时,该元件可以直接电连接或直接机械连接或直接电耦接或直接机械耦接至另一元件,或可以通过替换两者之间的其它元件而形成连接关系或耦接关系。

[0028] 图1是图示常规非易失性存储器件100的示例的电路图。参照图1,非易失性存储器件100包括非易失性存储单元110、电阻式负载部分120和感测电路130。非易失性存储单元110包括用作单元晶体管的第一PMOS晶体管PM01和用作选择晶体管的第二PMOS晶体管PM02。第一PMOS晶体管PM01的栅极对应于浮置栅,并且第一PMOS晶体管PM01的漏极耦接至接地端子。第一PMOS晶体管PM01的源极直接耦接至第二PMOS晶体管PM02的漏极。选择使能信号SELEN被施加到第二PMOS晶体管PM02的栅极。第二PMOS晶体管PM02的源极经由位线BL耦接至第一节点A。

[0029] 电阻式负载部分120包括耦接在电源电压线101和第一节点A之间的电阻式负载。电阻式负载使用第三PMOS晶体管PM03来实现。感测放大器使能信号SAEN被施加到第三PMOS晶体管PM03的栅极。第三PMOS晶体管PM03的源极和漏极分别耦接至电源电压线101和第一节点A。如果第三PMOS晶体管PM03导通,则第三PMOS晶体管PM03用作耦接在电源电压线101和第一节点A之间的电阻式组件。

[0030] 感测电路130具有包括第一NMOS晶体管NM01和第四PMOS晶体管PM04的互补金属氧化物半导体(CMOS)反相器的结构。第一NMOS晶体管NM01的栅极和第四PMOS晶体管PM04的栅极接收经由感测输入线102施加的感测输入信号SA_IN。感测输入线102耦接至第一节点A。第一NMOS晶体管NM01的源极耦接至接地端子。第一NMOS晶体管NM01的漏极耦接至第四PMOS晶体管PM04的漏极。第四PMOS晶体管PM04的源极耦接至施加了电源电压VDD的电源电压线101。第一NMOS晶体管NM01的漏极和第四PMOS晶体管PM04的漏极耦接至感测输出线103。感测输出信号SA_OUT经由感测输出线103输出。

[0031] 用作单元晶体管的第一PMOS晶体管PM01在单元晶体管被编程之前具有关断状态作为初始状态,以及在编程单元晶体管之后具有导通状态作为编程状态。初始状态表示第一PMOS晶体管PM01具有关断状态,以及编程状态表示第一PMOS晶体管PM01具有导通状态。

[0032] 为了读出第一PMOS晶体管PM01的状态,施加低电平的选择使能信号SELEN以使第二PMOS晶体管PM02导通。施加低电平的感测放大器使能信号SAEN以使第三PMOS晶体管PM03导通。第一节点A的位线电压具有通过从经由电源电压线101施加的电源电压VDD减去电压降而获得的值,其中电压降是由于导通的第三PMOS晶体管PM03的电阻式组件引起的。位线电压对应于感测输入信号SA_IN。感测输入信号SA_IN被施加到感测电路130。

[0033] 如果第一PMOS晶体管PM01具有关断状态作为初始状态,则第一节点A和接地端子之间的电阻在理想情况下具有无限值。然而,该电阻实质上不是无限大,而是与导通的第三PMOS晶体管PM03的电阻相比显示出非常大的值。因此,第一节点A的电压(即感测输入信号SA_IN)具有实质上等于电源电压VDD的电压。如果等于电源电压VDD的感测输入信号SA_IN

被施加到感测电路130,则第一NMOS晶体管NM01导通,而第四PMOS晶体管PM04未导通。由于仅第一NMOS晶体管NM01导通,因此接地电压(例如0V)作为感测输出信号SA_OUT来输出。照此,当接地电压作为感测电路130的感测输出信号SA_OUT来输出时,用作单元晶体管的第一PMOS晶体管PM01被确定为具有初始状态。

[0034] 如果第一PMOS晶体管PM01具有编程状态,则在第一节点A和接地端子之间的电阻在理想情况下具有零的值。然而,所述电阻实质上不是零,而是与导通的第三PMOS晶体管PM03的电阻相比显示出非常小的值。因此,第一节点A的电压(即感测输入信号SA_IN)具有实质上等于接地电压(例如,0V)的电压。如果0V的感测输入信号SA_IN被输入到感测电路130,则第一NMOS晶体管NM01不导通,而第四PMOS晶体管PM04导通。由于仅第四PMOS晶体管PM04导通,因此电源电压VDD可以作为感测输出信号SA_OUT来输出。照此,当电源电压VDD作为感测电路130的感测输出信号SA_OUT来输出时,用作单元晶体管的第一PMOS晶体管PM01被确定为具有编程状态。

[0035] 当第一PMOS晶体管PM01具有初始状态时,如果第三PMOS晶体管PM03导通以对第一PMOS晶体管PM01执行读取操作,则接近电源电压VDD的位线电压可以被施加到第一节点A。在第一PMOS晶体管PM01的读取操作期间,位线电压被持续地施加到用作单元晶体管的第一PMOS晶体管PM01。随着电源电压VDD大小增加,第一PMOS晶体管PM01的特性可能改变。在某些情况下,可能发生电流经由第一PMOS晶体管PM01流到接地端子的读取干扰现象。

[0036] 图2是图示常规非易失性存储器件200的另一示例的电路图。参见图2,非易失性存储器件200包括非易失性存储单元210、电阻式负载部分220、读取干扰抑制部分230和感测电路240。非易失性存储单元210包括用作单元晶体管的第一PMOS晶体管PM11和用作选择晶体管的第二PMOS晶体管PM12。第一PMOS晶体管PM11的栅极对应于浮置栅,并且第一PMOS晶体管PM11的漏极耦接至接地端子。第一PMOS晶体管PM11的源极直接耦接至第二PMOS晶体管PM12的漏极。选择使能信号SELEN被施加到第二PMOS晶体管PM12的栅极。第二PMOS晶体管PM12的源极耦接至位线BL。

[0037] 电阻式负载部分220包括耦接在电源电压线201和第一节点B之间的电阻式负载。电阻式负载使用第三PMOS晶体管PM13来实现。第一感测放大器使能信号SAEN1被施加到第三PMOS晶体管PM13的栅极。第三PMOS晶体管PM13的源极和漏极分别耦接至电源电压线201和第一节点B。如果第三PMOS晶体管PM13导通,则第三PMOS晶体管PM13用作在电源电压线201和第一节点B之间的电阻式组件。

[0038] 读取干扰抑制部分230包括第一NMOS晶体管NM11。第二感测放大器使能信号SAEN2被输入到第一NMOS晶体管NM11的栅极。第二感测放大器使能信号SAEN2具有与反相的第一感测放大器使能信号SAEN1相对应的值。第一NMOS晶体管NM11的漏极和源极分别耦接至第一节点B和位线BL。因此,从第一节点B分叉的感测输入线202和位线BL通过第一NMOS晶体管NM11分离。

[0039] 感测电路240具有包括第二NMOS晶体管NM12和第四PMOS晶体管PM14的CMOS反相器的结构。第二NMOS晶体管NM12的栅极和第四PMOS晶体管PM14的栅极接收经由感测输入线202施加的感测输入信号SA_IN。感测输入线202耦接至第一节点B。第二NMOS晶体管NM12的源极耦接至接地端子。第二NMOS晶体管NM12的漏极耦接至第四PMOS晶体管PM14的漏极。第四PMOS晶体管PM14的源极耦接至施加了电源电压VDD的电源电压线201。第二NMOS晶体管

NM12的漏极和第四PMOS晶体管PM14的漏极耦接至感测输出线203。感测输出信号SA_OUT经由感测输出线203而输出。

[0040] 为了用作单元晶体管的第一PMOS晶体管PM11的读取操作,如果低电平的第一感测放大器使能信号SAEN1和高电平的第二感测放大器使能信号SAEN2被分别施加到第三PMOS晶体管PM13的栅极和第一NMOS晶体管NM11的栅极,则耦接至感测输入线202的第一节点B的电压具有通过从电源电压VDD减去电压降而获得的值,所述电压降是由于第三PMOS晶体管PM13的电阻式组件引起的。

[0041] 施加到位线BL的电压具有通过从第一节点B的电压减去第一NMOS晶体管NM11的阈值电压而获得的值。照此,位线BL的电压可以通过设置第一NMOS晶体管NM11而从第一节点B的电压减小了第一NMOS晶体管NM11的阈值电压。因此,可以抑制具有初始状态的第一PMOS晶体管PM11的特性在读取操作期间通过位线电压而改变的现象。然而,耦接至感测输入线202的第一节点B的电压需要具有使第一NMOS晶体管NM11导通所必需的值,因此可以减少在低电源电压VDD处的读取裕量。

[0042] 图3是图示根据本公开的一个实施例的非易失性存储器件300的电路图。参见图3,非易失性存储器件300可以包括非易失性存储单元310、感测电路320、第一开关部分330、感测输出接地部分340、电阻式负载/第二开关部分350以及位线接地部分360。非易失性存储单元310可以耦接在第一节点C和接地端子之间。非易失性存储单元310的位线BL可以耦接至第一节点C。

[0043] 感测电路320可以耦接在耦接至第一节点C的感测输入线302和感测输出线303之间。第一开关部分330可以耦接在电源电压线301和感测电路320之间。感测输出接地部分340可以耦接在感测输出线303和接地端子之间。电阻式负载/第二开关部分350可以耦接在电源电压线301和第一节点C之间。位线接地部分360可以耦接在感测输入线302和接地端子之间。

[0044] 非易失性存储单元310可以包括用作单元晶体管的第一PMOS晶体管PM31和用作选择晶体管的第二PMOS晶体管PM32。第一PMOS晶体管PM31可以具有浮置栅。第一PMOS晶体管PM31的漏极可以耦接至接地端子。第一PMOS晶体管PM31的源极可以直接耦接至第二PMOS晶体管PM32的漏极。选择使能信号SELEN可以被施加到第二PMOS晶体管PM32的栅极。第二PMOS晶体管PM32的源极可以经由位线BL耦接至第一节点C。

[0045] 感测电路320可以具有包括第一NMOS晶体管NM31和第三PMOS晶体管PM33的CMOS反相器的结构。第一NMOS晶体管NM31的栅极和第三PMOS晶体管PM33的栅极可以共同耦接至感测输入线302。感测输入线302可以传输感测输入信号SA_IN。感测输入线302可以耦接至第一节点C。第一NMOS晶体管NM31的源极可以耦接至接地端子。第一NMOS晶体管NM31的漏极可以耦接至第三PMOS晶体管PM33的漏极。第三PMOS晶体管PM33的源极可以经由第一开关部分330耦接至电源电压线301。耦接在第一NMOS晶体管NM31的漏极和第三PMOS晶体管PM33的漏极之间的第二节点D可以耦接至感测输出线303。感测输出信号SA_OUT可以经由感测输出线303输出。

[0046] 第一开关部分330可以包括耦接在电源电压线301和感测电路320的第三PMOS晶体管PM33之间的第四PMOS晶体管PM34。第四PMOS晶体管PM34的源极可以耦接至电源电压线301,而第四PMOS晶体管PM34的漏极可以耦接至第三PMOS晶体管PM33的源极。第一使能信号

EN1可以被输入到第四PMOS晶体管PM34的栅极。如果第四PMOS晶体管PM34关断,则感测电路320的第三PMOS晶体管PM33也可以关断。

[0047] 感测输出接地部分340可以包括耦接在感测输出线303和接地端子之间的第二NMOS晶体管NM32。第二NMOS晶体管NM32的漏极和源极可以分别耦接至感测输出线303和接地端子。第二使能信号EN2可以被输入到第二NMOS晶体管NM32的栅极。如果高电平的第二使能信号EN2被施加到第二NMOS晶体管NM32的栅极,则第二NMOS晶体管NM32可以导通。在此情况下,如果用作单元晶体管的第一PMOS晶体管PM31具有初始状态并且第三PMOS晶体管PM33和第四PMOS晶体管PM34二者都关断,则感测电路320的输出信号可以固定在接地电压(即,低电平的输出信号)。

[0048] 电阻式负载/第二开关部分350可以使用耦接在电源电压线301和包括第一节点C的位线BL之间的电阻式负载来实现。在一些实施例中,电阻式负载可以包括第五PMOS晶体管PM35。第五PMOS晶体管PM35可以用作开关器件,同时用作电阻式负载。第三使能信号EN3可以被施加到第五PMOS晶体管PM35的栅极。第五PMOS晶体管PM35的源极和漏极可以分别耦接至电源电压线301和第一节点C。如果第五PMOS晶体管PM35导通,则第五PMOS晶体管PM35可以用作在电源电压线301和第一节点C之间的电阻式组件。如果第五PMOS晶体管PM35关断,则电源电压线301和第一节点C可以电开路。

[0049] 位线接地部分360可以包括第三NMOS晶体管NM33,并且耦接在感测输入线302和接地端子之间。第三NMOS晶体管NM33的漏极和源极可以分别耦接至感测输入线302和接地端子。第四使能信号EN4可以被施加到第三NMOS晶体管NM33的栅极。如果高电平的第四使能信号EN4被施加到第三NMOS晶体管NM33的栅极,则第三NMOS晶体管NM33可以导通。在此情况下,如果用作单元晶体管的第一PMOS晶体管PM31具有初始状态,并且第二PMOS晶体管PM32和第五PMOS晶体管PM35分别导通和关断,则感测输入线302(即位线BL)可以固定在接地电压,并且感测电路320的输出信号固定在低电平。

[0050] 第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4可以通过使能信号发生器来输出,所述第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4被施加到根据实施例的非易失性存储器件300的第四PMOS晶体管PM34的栅极、第二NMOS晶体管NM32的栅极、第五PMOS晶体管PM35的栅极和第三NMOS晶体管NM33的栅极。从使能信号发生器输出的使能信号可以以第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4的次序输出。因此,可以顺序地执行第四PMOS晶体管PM34的开关操作、第二NMOS晶体管NM32的开关操作、第五PMOS晶体管PM35的开关操作和第三NMOS晶体管NM33的开关操作。

[0051] 图4是图示根据本公开的一个实施例在非易失性存储器件中采用的使能信号发生器400的电路图。参考图4,使能信号发生器400可以接收来自感测输出线303(见图3)的感测输出信号SA_OUT和感测放大器使能信号SAEN,并且可以输出第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4。第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4可以顺序地输出。使能信号发生器400可以包括施加了感测输出信号SA_OUT的第一反相器401。第一反相器401的输出信号可以与感测放大器使能信号SAEN一起被施加到第一与非门411。第一与非门411的输出信号可以被施加到第二反相器402。第二反相器402的输出信号可以构成第一使能信号EN1。

[0052] 第二反相器402的输出信号与感测放大器使能信号SAEN可以被施加到第二与非门412。第二与非门412的输出信号可以被施加到第三反相器403。第三反相器403的输出信号可以构成第二使能信号EN2。第二与非门412的输出信号与感测放大器使能信号SAEN可以被施加到第三与非门413。第三与非门413的输出信号可以构成第三使能信号EN3。第三与非门413的输出信号可以被施加到第四反相器404。第四反相器404的输出信号可以被施加到第五反相器405。第五反相器405的输出信号可以构成第四使能信号EN4。

[0053] 图5是图示在图3的非易失性存储器件的读取操作之前,使能信号发生器400的操作的电路图。图6是图示在读取操作之前,图3的非易失性存储器件的状态的电路图。在图5和图6中,与在图3和图4中所使用的相同的附图标记或标志符表示相同的元件。

[0054] 参考图5和图6,在非易失性存储器件的读取操作之前,如果感测放大器使能信号SAEN具有低电平,则感测输出信号SA_OUT可以设置为高电平(例如,高信号)。由于尚未执行读取操作,因此不能判断用作单元晶体管的第一PMOS晶体管PM31具有编程状态还是初始状态。感测放大器使能信号SAEN维持低电平状态。如在图5所示,高电平的感测输出信号SA_OUT和低电平的感测放大器使能信号SAEN被施加到使能信号发生器400。

[0055] 第一反相器401可以输出低电平的信号。第一与非门411接收低电平的信号和低电平的感测放大器使能信号SAEN,并且第一与非门411可以输出高电平的信号以及传输该信号到第二反相器402。当第一与非门411接收低电平的感测放大器使能信号SAEN时,第一与非门411可以输出高电平的信号,而不管感测输出信号SA_OUT的信号电平如何。第二反相器402可以输出低电平的信号。从第二反相器402输出的信号可以构成低电平的第一使能信号EN1。

[0056] 第二与非门412接收从第二反相器402输出的低电平的信号以及低电平的感测放大器使能信号SAEN,可以输出高电平的信号以及传输该信号到第三反相器403。第二与非门412接收低电平的感测放大器使能信号SAEN并可以输出高电平的信号,而不管第二反相器402的输出信号的信号电平如何。第三反相器403可以输出低电平的信号。第三反相器403的输出信号可以构成低电平的第二使能信号EN2。第三与非门413接收从第二与非门412输出的高电平的信号和低电平的感测放大器使能信号SAEN,并可以输出高电平的信号。第三与非门413接收低电平的感测放大器使能信号SAEN,可以输出高电平的信号而不管第二与非门412的输出信号的信号电平如何。第三与非门413的输出信号可以构成高电平的第三使能信号EN3。从第三与非门413的输出的高电平的信号可以被输入第四反相器404。第四反相器404可以输出低电平的信号并传输该信号到第五反相器405。第五反相器405的输出信号可以构成高电平的第四使能信号EN4。

[0057] 在非易失性存储单元的读取操作之前,可以供应低电平的第一使能信号EN1、低电平的第二使能信号EN2、高电平的第三使能信号EN3和高电平的第四使能信号EN4。照此,如果低电平的第一使能信号EN1、低电平的第二使能信号EN2、高电平的第三使能信号EN3和高电平的第四使能信号EN4顺序输出,如图6所示,则第一开关部分330的第四PMOS晶体管PM34可以导通。感测输出接地部分340的第二NMOS晶体管NM32可以关断。电阻负载/第二开关部分350的第五PMOS晶体管PM35可以关断。位线接地部分360的第三NMOS晶体管NM33可以导通。由于第五PMOS晶体管PM35关断且第三NMOS晶体管NM33导通,则接地电压可以被施加到第一节点C(即位线BL和感测输入线302)。由于第二NMOS晶体管NM32关断且低电平的信号被

施加到感测输入线302,则感测电路320的第一NMOS晶体管NM31可以关断,同时感测电路320的第三PMOS晶体管PM33可以导通。因此,感测输出信号SA_OUT可以维持高电平的状态。

[0058] 图7是图示在开始图3的非易失性存储器件的单元晶体管的读取操作以后,使能信号发生器400的操作的电路图。在图7中,与在图4中所使用的相同的附图标记或标志符表示相同的元件。参照图7,在读取操作开始以后,感测放大器使能信号SAEN从低电平改变为高电平。由于感测放大器使能信号SAEN改变为高电平,因此对单元晶体管执行读取操作。如果感测放大器使能信号SAEN从低电平改变为高电平,则使能信号发生器400产生新的使能信号。具体地,如在图7中所示,高电平的感测输出信号SA_OUT和高电平的感测放大器使能信号SAEN被施加到使能信号发生器400。第一反相器401可以输出低电平的信号。第一与非门411接收从第一反相器401输出的低电平的信号和高电平的感测放大使能信号SAEN,并且第一与非门411可以输出高电平的信号以及将该信号传输到第二反相器402。第二反相器402的输出信号可以构成低电平的第一使能信号EN1。

[0059] 第二与非门412接收从第二反相器402输出的低电平的信号和高电平的感测放大器使能信号SAEN,并且第二与非门412可以输出高电平的信号以及将该信号传输到第三反相器403。第三反相器403可以输出低电平的信号。第三反相器403的输出信号可以构成低电平的第二使能信号EN2。第三与非门413接收从第二与非门412输出的高电平的信号和高电平的感测放大器使能信号SAEN,并且可以输出低电平的信号。第三与非门413的输出信号可以构成低电平的第三使能信号EN3。从第三与非门413输出的低电平的信号可以被施加到第四反相器404。第四反相器404可以输出高电平的信号并且将该信号传输到第五反相器405。第五反相器405的输出信号可以构成低电平的第四使能信号EN4。

[0060] 图8是图示在开始图3的非易失性存储器件的被编程的单元晶体管的读取操作以后,读取操作的电路图。在图8中,与在图3中所使用的相同的附图标记和标志符表示相同的元件。参考图8,由于第一使能信号EN1维持低信号的状态,因此第一开关部分330的第四PMOS晶体管PM34可以维持导通状态。此外,由于第二使能信号EN2维持低信号的状态,因此感测输出接地部分340的第二NMOS晶体管NM32可以维持关断状态。因此,感测电路320可以输出第二节点D的电压作为感测输出信号SA_OUT。由于第三使能信号EN3从高信号改变为低信号,因此电阻式负载/第二开关部分350的第五PMOS晶体管PM35可以导通。由于第四使能信号EN4从高信号改变为低信号,因此第三NMOS晶体管NM33可以关断。照此,在开始非易失性存储单元的读取操作之后,可以供应每个都具有低电平的第一使能信号EN1、第二使能信号EN2、第三使能信号EN3和第四使能信号EN4。

[0061] 当第一PMOS晶体管PM31是具有编程状态的存储单元时,感测输入信号(即施加到第一节点C的电压)可以变成低电平的信号。因此,构成感测电路320的第一NMOS晶体管NM31关断,同时构成感测电路320的第三PMOS晶体管PM33可以导通。由于第二NMOS晶体管NM32维持关断状态,而第四PMOS晶体管PM34维持导通状态,因此从感测输出线303输出的感测输出信号SA_OUT可以维持高信号的状态。照此,如果感测输出信号SA_OUT在预定时间段被感测为高电平的信号,则用作单元晶体管的第一PMOS晶体管PM31可以被确定为被编程单元。在具有编程状态的第一PMOS晶体管PM31的读取操作期间,因为位线BL电压维持接近接地电压的电压,所以第一PMOS晶体管PM31可以不会受到来自位线电压的压力。

[0062] 图9是图示在开始具有初始状态的单元晶体管的读取操作以后,图3的非易失性存

储器件的读取操作的电路图。在图9中,与在图3中所使用的相同的附图标记和标志符表示相同的元件。参考图9,由于第一使能信号EN1维持低信号的状态,因此第一开关部分330的第四PMOS晶体管PM34可以维持导通状态。此外,由于第二使能信号EN2维持低信号的状态,因此感测输出接地部分340的第二NMOS晶体管NM32可以维持关断状态。因此,感测电路320输出第二节点D的电压作为感测输出信号SA_OUT。由于第三使能信号EN3从高信号改变为低信号,因此电阻式负载/第二开关部分350的第五PMOS晶体管PM35可以导通。由于第四使能信号EN4从高信号改变为低信号,因此第三NMOS晶体管NM33可以关断。

[0063] 当第一PMOS晶体管PM31是具有初始状态的存储单元时,感测输入信号SA_IN可以从低信号改变为高信号。因此,构成感测电路320的第一NMOS晶体管NM31可以导通,同时构成感测电路320的第三PMOS晶体管PM33可以关断。由于第二NMOS晶体管NM32维持关断状态,因此从感测输出线303输出的感测输出信号SA_OUT可以从高信号改变为低信号。当感测输出信号SA_OUT被感测为低信号时,第一PMOS晶体管PM31可以被确定为具有初始状态的存储单元。如果第一PMOS晶体管PM31的状态被确定为具有初始状态的存储单元(即,低电平的感测输出信号被输出),则在维持低电平的感测输出信号SA_OUT的同时,接地电压被施加到位线BL,因此抑制非易失性存储单元310受到来自位线BL电压的压力。

[0064] 图10是图示通过单元晶体管的读取操作确定单元晶体管的初始状态之后,在图3的非易失性存储器件中采用的使能信号发生器的操作的电路图。在图10中,与在图4中所使用的相同的附图标记和标志符表示相同的元件。参考图10,在确定单元晶体管的初始状态以后,如果感测输出信号SA_OUT从高信号改变为低信号,则使能信号发生器400可以产生新的使能信号。具体地,低电平的感测输出信号SA_OUT和高电平的感测放大器使能信号SAEN被施加到使能信号发生器400。第一反相器401可以输出高电平的信号。第一与非门411接收从第一反相器401输出的高电平的信号和高电平的感测放大器使能信号SAEN,可以输出低电平的信号,并且第一与非门411将该信号传输到第二反相器402。第二反相器402可以输出高电平的信号。第二反相器402的输出信号可以构成高电平的第一使能信号EN1。

[0065] 第二与非门412接收从第二反相器402输出的高电平的信号和高电平的感测放大器使能信号SAEN,第二与非门412可以输出低电平的信号并将该信号传输到第三反相器403。第三反相器403可以输出高电平的信号。第三反相器403的输出信号可以构成高电平的第二使能信号EN2。第三与非门413接收从第二与非门412输出的低电平的信号和高电平的感测放大器使能信号SAEN,并且第三与非门413可以输出高电平的信号。第三与非门413的输出信号可以构成高电平的第三使能信号EN3。从第三与非门413输出的高电平的信号可以被施加到第四反相器404。第四反相器404可以输出低电平的信号并将该信号传输到第五反相器405。第五反相器405的输出信号可以构成高电平的第四使能信号EN4。照此,如果感测输出信号SA_OUT在非易失性存储单元的读取操作期间从高信号改变为低信号,则使能信号发生器400可以产生高信号(即,第一使能信号到第四使能信号EN1、EN2、EN3和EN4)。

[0066] 图11是图示在确定具有初始状态的单元晶体管的状态之后,图3的非易失性存储器件的操作的电路图。在图11中,与在图3中所使用的相同的附图标记和标志符表示相同的元件。参考图11,由于第一使能信号EN1从低信号改变为高信号,因此第一开关部分330的第四PMOS晶体管PM34可以关断。因此,在电源电压线301和感测电路320之间的电连接可以变成开路状态。由于第二使能信号EN2从低信号改变为高信号,因此感测输出接地部分340的

第二NMOS晶体管NM32可以导通。因此,感测输出线303可以维持接地电压,并且感测输出信号SA_OUT可以维持为低信号。

[0067] 由于第三使能信号EN3从低信号改变为高信号,因此电阻式负载/第二开关部分350的第五PMOS晶体管PM35可以关断。因此,在电源电压线301和位线BL之间的电连接可以变成开路状态。由于第四使能信号EN4从低信号改变为高信号,因此第三NMOS晶体管NM33可以导通。因此,接地电压可以被施加到第一节点C(即接地电压可以被施加到位线BL和感测输入线302)。换言之,用作单元晶体管的第一PMOS晶体管PM31不会受到来自位线BL电压的压力,直到所有的读取操作结束为止。

[0068] 根据一些实施例,当对具有初始状态的单元晶体管执行读取操作时,在确定单元晶体管的状态以后,在维持感测输出电压的同时,位线电压被固定在接地电压。因此,单元晶体管不会受到来自位线BL电压的压力,直到所有的读取操作结束为止。

[0069] 已经出于说明目的公开了本发明构思的实施例。本领域技术人员可以意识到:在不脱离所附权利要求所公开的本发明构思的范围和精神的情况下,各种修改、添加和替换是可能的。

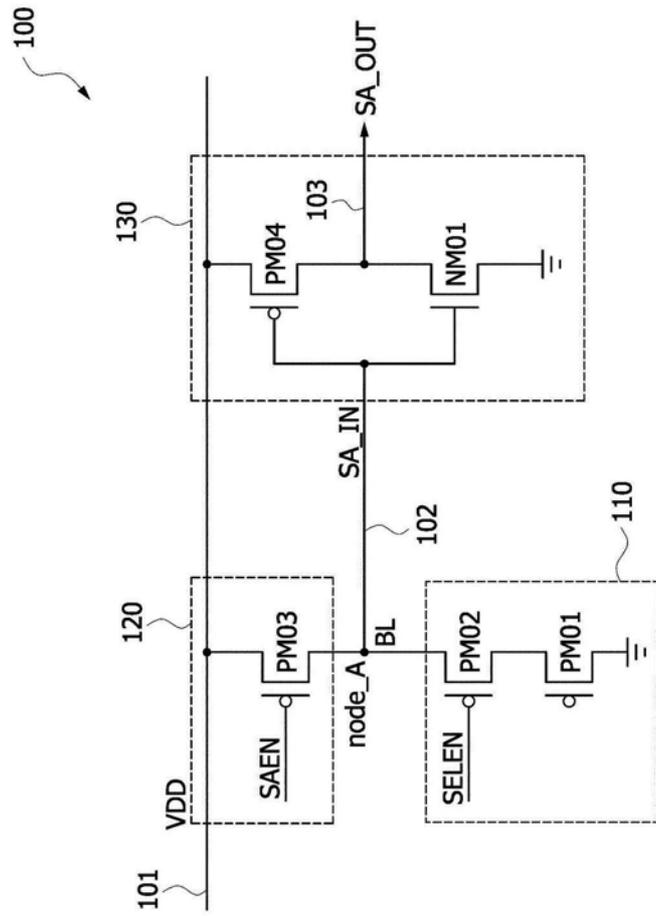


图1

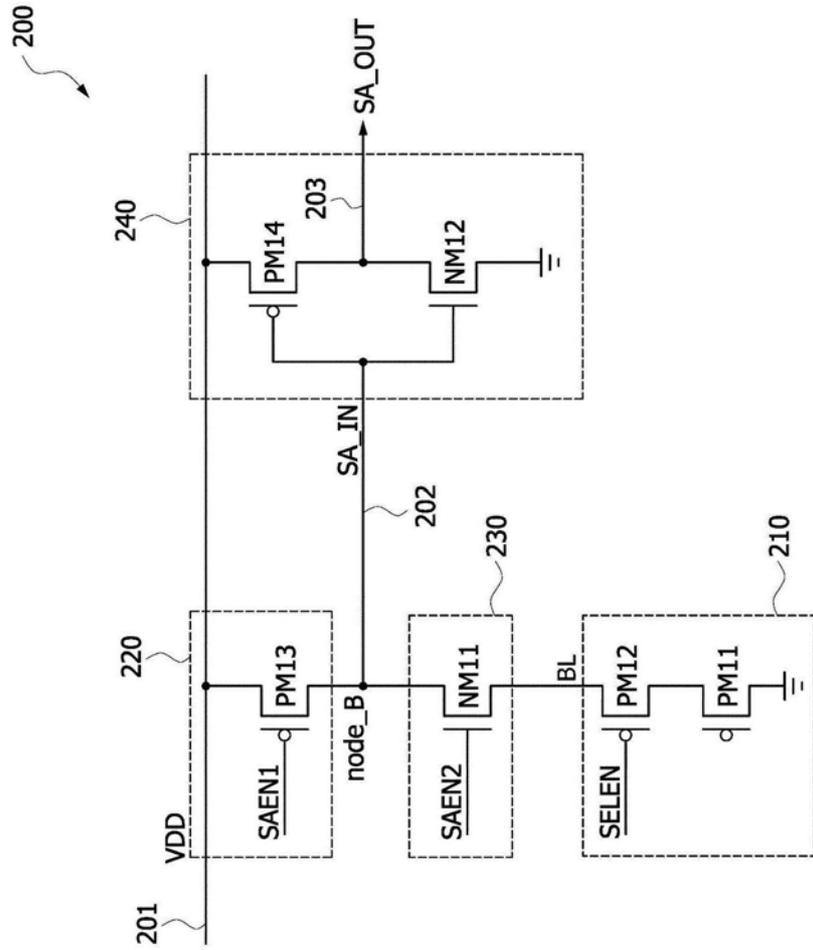


图2

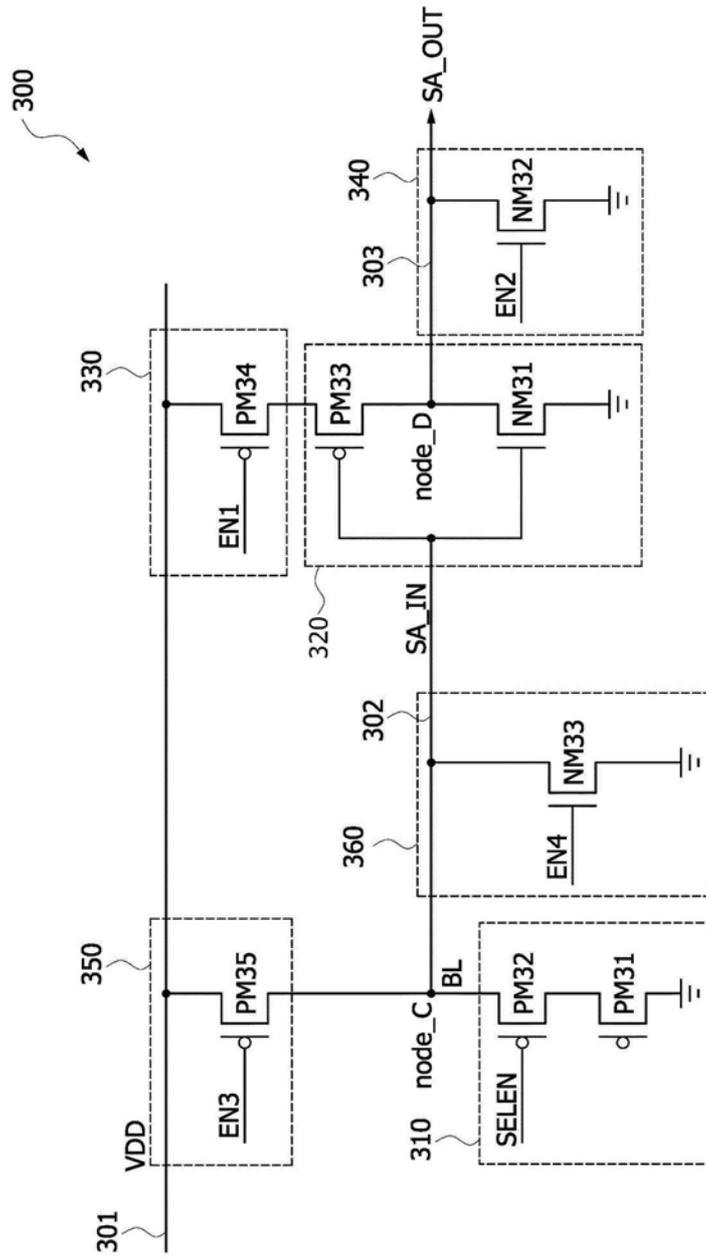


图3

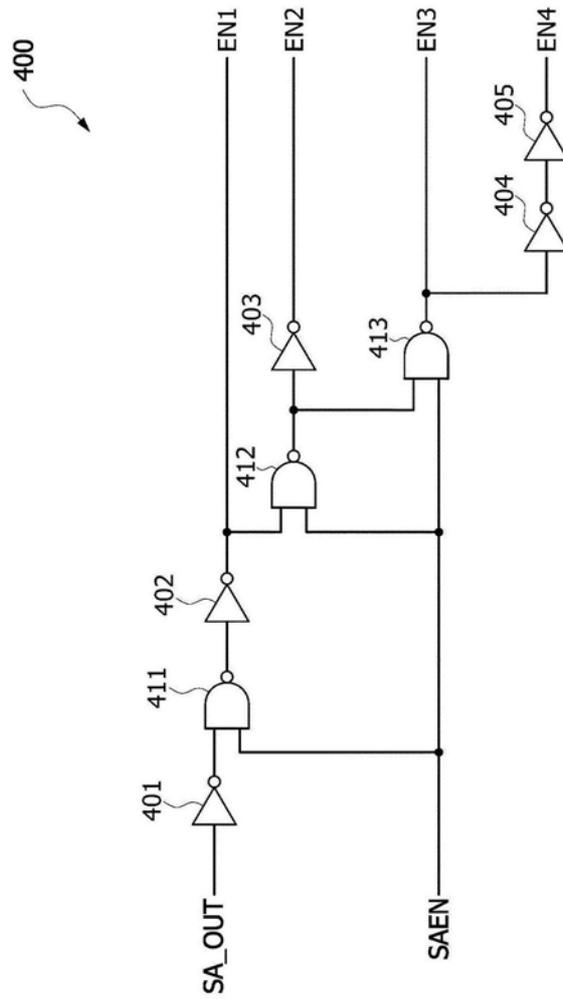


图4

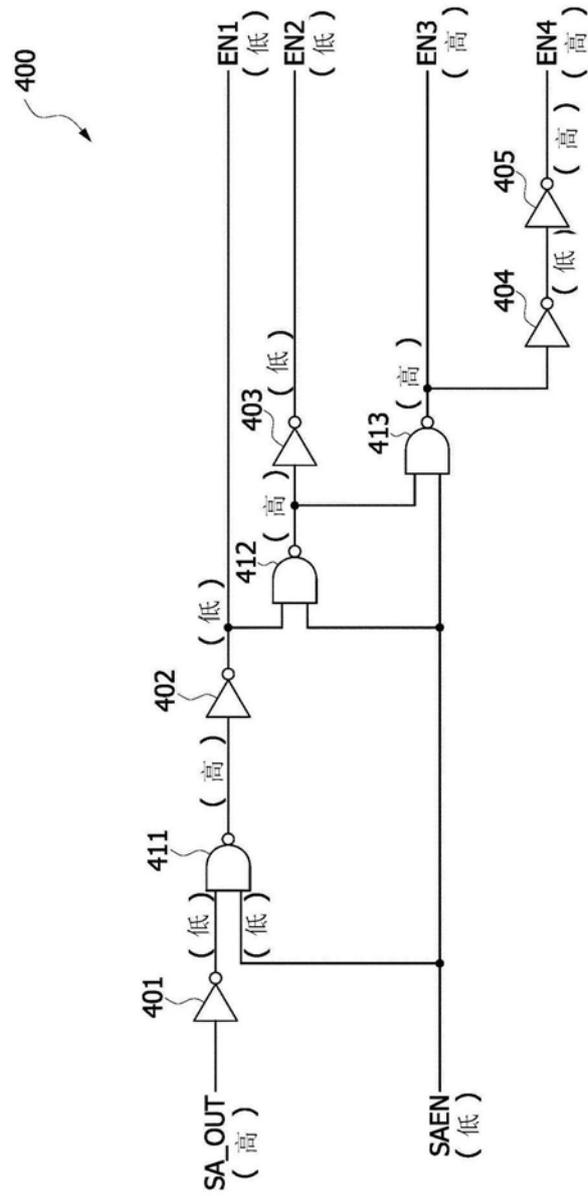


图5

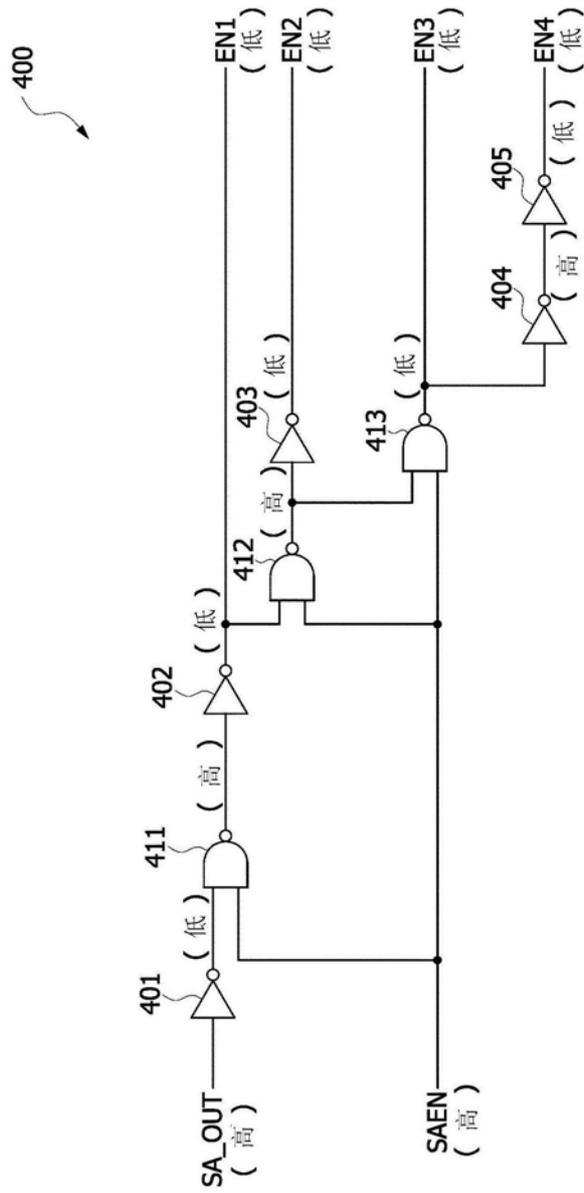


图7

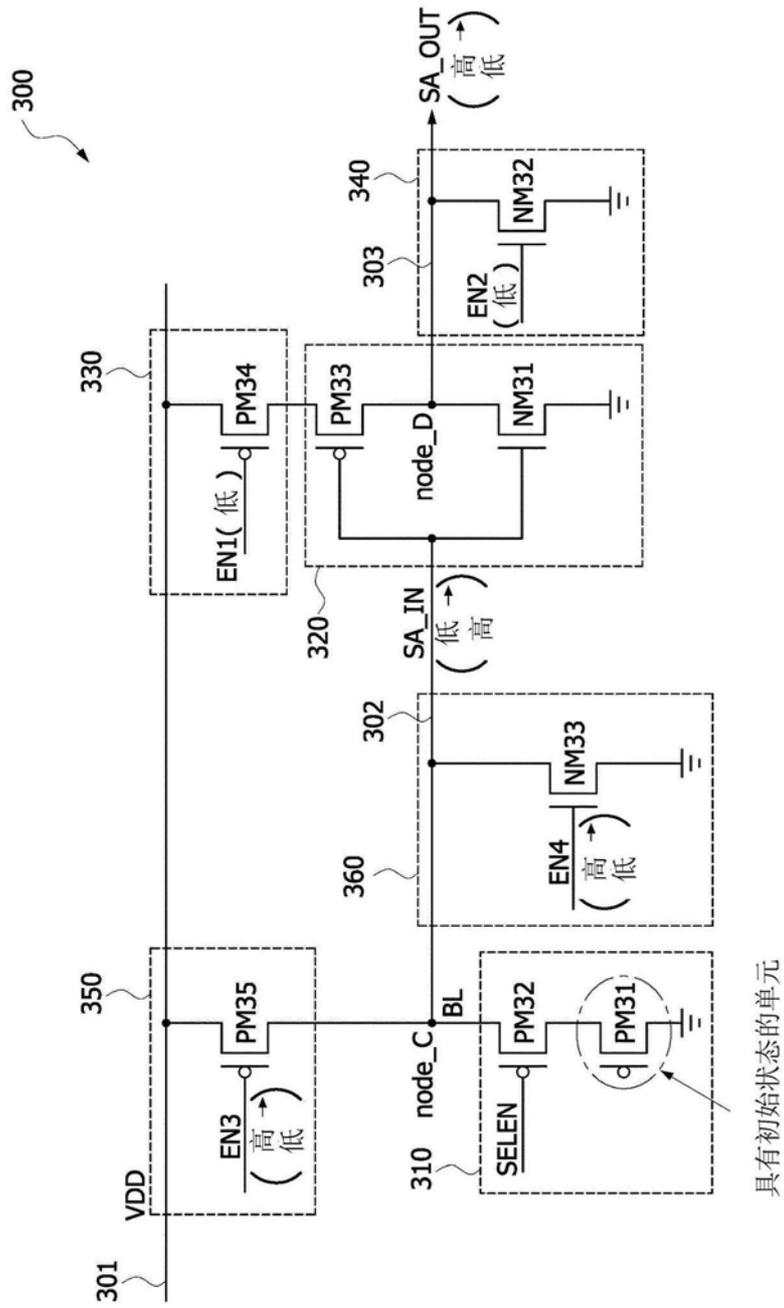


图9

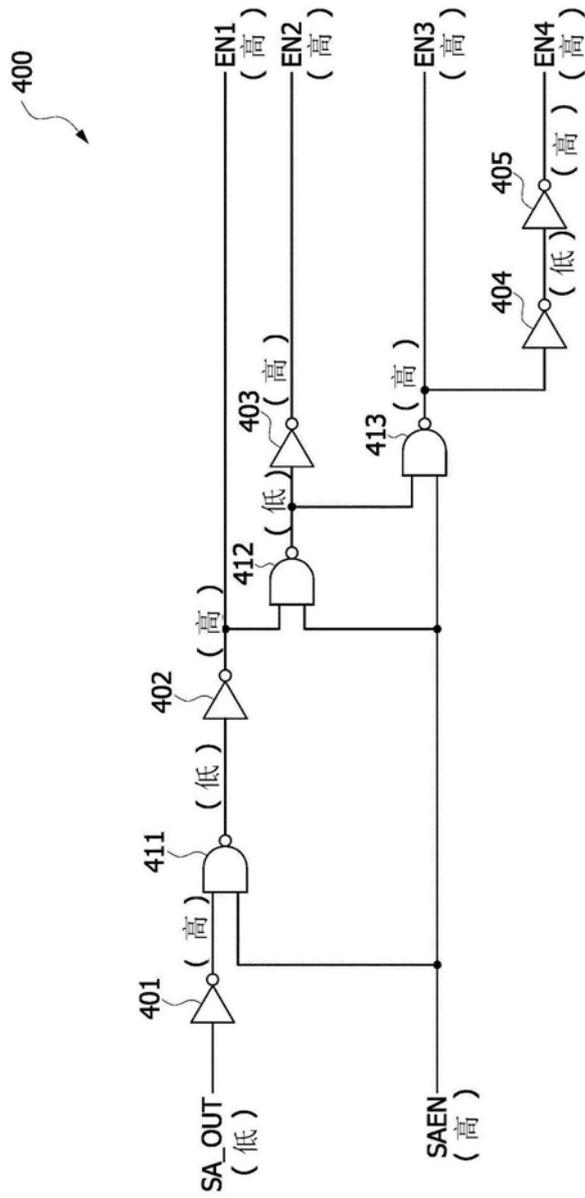


图10

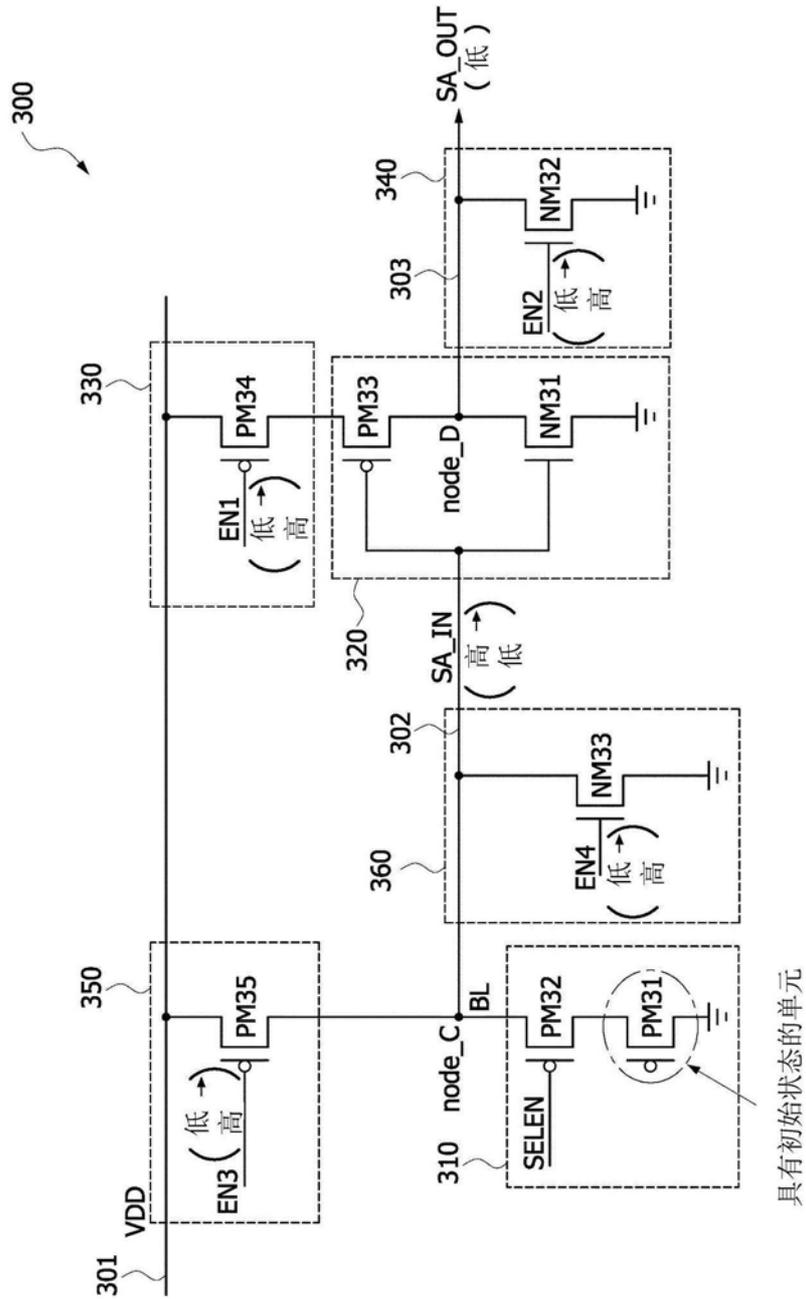


图11