

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

無主張專利法第二十七條第一項國際優先權：

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明是有關於一種堆疊型晶片封裝結構及其封裝製程，且特別是有關於一種可藉由重配置線路來改變晶片與打線導線接合位置的堆疊型晶片封裝結構及其封裝製程。

【先前技術】

在高度情報化社會的今日，為符合電子裝置的高速處理化、多功能化、積集化及小型輕量化等多方面的要求，積體電路之封裝技術也不斷朝向微型化及高密度化發展，例如晶片尺寸封裝（Chip Scale Package, CSP）、覆晶（Flip Chip）封裝以及多晶片模組（Multi-Chip Module, MCM）封裝等晶片封裝技術亦應運而生。

多晶片模組封裝係將多個不同功能或相同功能的晶片一併封裝於同一承載器（carrier）上，而承載器例如為基板或導線架，並透過承載器與外部電路電性連接。舉例而言，堆疊型晶片封裝結構（stacked chip package）便是常見的多晶片模組之一，堆疊型晶片封裝結構可將多個相同類型之晶片以堆疊的方式封膠在同一封裝結構內，以期藉由相同晶片之整合，提供較佳之處理效能。堆疊型晶片封裝結構不僅具有更快的傳輸速度、更短的傳輸路徑以及更佳的電氣特性，更可進一步縮小晶片封裝結構的尺寸及面積，故堆疊型晶片封裝結構已普遍應用於各種電子產品之中，並成為未來的主流產品。

以動態隨機存取記憶體（Dynamic Random Access Memory, DRAM）為例，利用堆疊型晶片封裝結構可將具有相同儲存容量的多個記憶晶片整合於一封裝結構內，以增加處理速度。其中，由於此種晶片堆疊方式在封裝完成後不會在封裝件的外觀上造成任何顯著的改變，因此可達到提高構裝密度、減少空間需求的目的。此外，此堆疊型封裝不需對晶片重新進行電路佈局的設計，便可提供較佳的處理效能，因而可大量降低研發的成本，並有助於提高產品在市場上的競爭力。

請參考圖 1 與 2，其分別繪示習知之一種開口球格陣列型態（window BGA）之堆疊型晶片封裝結構的示意圖。堆疊型晶片封裝結構 100 係將相同類型之一第一晶片 110 與第二晶片 120 以背對背（back-to-back）的方式相互堆疊，並分別以打線方式電性連接至一基板 130，以藉由基板 130 上之錫球 190 與外界連接。如圖 1 與 2 所示，第一晶片 110 具有一第一主動表面 110a 與對應之一第一背面 110b，而第二晶片具有一第二主動表面 120a 與對應之一第二背面 120b，且第一晶片 110 與第二晶片 120 係藉由第一背面 110b 與第二背面 120b 相互堆疊。此外，基板 130 具有一上表面 130a 與對應之一下表面 130b，其中上表面 130a 上具有多個第一接點 132，而下表面 130b 具有多個第二接點 134，且基板 130 中央更具有一開孔 136，而第一晶片 110 係藉由第一主動表面 110a 配置於基板 130 之上表面 130a 上。

承上述，隨著晶片上之晶片接墊的配置方式不同，晶片與基板之間的打線接合情形亦有所差異。如圖 1 所示，第二晶片 120 之晶片接墊 122 係配置於第二主動表面 120a 的中央區域，並藉由第二打線導線 160 連接至基板 130 之第一接點 132。此外，第一晶片 110 之第一晶片接墊 112 亦配置於第一主動表面 110a 的中央區域，而第一打線導線 150 係通過開孔 136 並對應連接第一晶片接墊 112 與基板 130 之第二接點 134。其中，接合第二晶片 120 與基板 130 時，由於打線導線 160 需由第二主動表面 120a 的中央區域延伸至基板 130 之上表面 130a 上，使得第二打線導線 160 之長度較長，因而影響第二晶片 120 之訊號傳遞時的電性表現。

如圖 2 所示，第一晶片 110 之第一晶片接墊 112 係配置於第一主動表面 110a 的周邊區域，同樣地，第二晶片 120 之第二晶片接墊 122 亦配置於第二主動表面 120a 的周邊區域。然而，此種晶片接墊的線路佈局雖可拉近第二晶片 120 之晶片接墊 122 與基板 130 之第一接點 132 的距離，藉以縮短第二打線導線 160 的長度，但第一晶片 110 之第一晶片接墊 112 卻因為受到基板 130 之阻擋，而無法以打線接合的方式連接至基板 130 上之第二接點 134。

為解決上述問題，習知技術大多在晶片製作的過程中，分別針對第一晶片與第二晶片，提供不同之晶片接墊的線路佈局，例如將第一晶片的晶片接墊配置於主動表面外圍，而第二晶片的晶片接墊配置於主動表面中央。然而，

這樣的方式，必須要對晶片下層之電子元件或線路重新佈局，但如此大費周章的更改線路佈局卻僅是開發出相同功能的晶片，甚不符合成本效益。

【發明內容】

有鑑於此，本發明的另一目的更在提供一種堆疊型晶片封裝製程，其係於晶片上形成一重配置線路，以提供利於打線接合之線路佈局，進而簡化晶片製程，降低生產成本。

基於上述目的，本發明提出一種堆疊型晶片封裝結構，其例如包括一基板、多條重配置線路、一第一晶片、一第二晶片、多條第一導線打線、多條第二導線打線以及一封裝材料。其中，基板例如具有多個第一基板接墊及多個第二基板接墊，其分別配置在基板之一上表面上及一下表面上，且基板更具有一開孔，其係貫穿基板。此外，第一晶片例如具有多個第一晶片接墊及一第一保護層，其係配置於第一晶片之一主動表面上，其中第一保護層具有多個開口，用以暴露出第一晶片接墊。第二晶片例如具有多個第二晶片接墊及一第二保護層，其係配置於第二晶片之一主動表面上，且第二保護層例如具有多個開口，用以暴露出第二晶片接墊。另外，第一晶片係以第一主動表面接合至基板之上表面上，而第二晶片之一背面係接合在第一晶片之一背面上。第一打線導線係經由基板之開孔電性連接第一晶片與基板，而第二打線導線係電性連接第二晶片與基板，且封裝材料係包覆第一打線導線及第二打線導線。

承上所述，本發明之堆疊型晶片封裝結構的重配置線路分別配置於第一晶片之主動表面上或第二晶片之主動表面上，以藉由重配置線路提供新的打線接合位置，進而解決習知之打線導線過長或晶片接墊受到基板阻擋等問題。

在本發明之一較佳實施例中，第一晶片接墊例如位於第一晶片之主動表面的外圍區域，由於本發明之重配置線路可以配置於第一保護層上，且與第一晶片接墊電性連接之重配置接墊可位於第一晶片之主動表面的中央區域，並藉由基板上之開孔暴露於外。如此一來，第一打線導線只需經由基板之開孔連接至重配置接墊，便可達到電性連接第一晶片與基板之目的。

針對上述之本發明的堆疊型晶片封裝結構，本發明之堆疊型晶片封裝製程如下。首先，形成重配置線路於第一保護層上，其中重配置線路上之多個重配置接墊係與第一晶片接墊電性連接，且重配置接墊的線路佈局係不同於第一晶片接墊之線路佈局。接著，將第一晶片以其主動表面貼附至基板之上表面上，其中重配置接墊係暴露在基板之開孔中。然後，將第二晶片以其背面貼附在第一晶片之一背面上。接著，進行一打線製程，使重配置接墊與第二晶片接墊分別藉由第一打線導線與第二打線導線電性連接至第二基板接墊與第一基板接墊。最後，形成封裝材料於基板之上表面與下表面，並使封裝材料覆蓋第一打線導線與第二打線導線。

此外，在本發明之另一較佳實施例中，第二晶片接墊

例如位於第二晶片之主動表面的中央區域，而本發明之堆疊型晶片封裝結構的重配置線路係配置於第二保護層上。其中，重配置線路上之重配置接墊係與第二晶片接墊電性連接，且重配置接墊例如位於第二晶片之主動表面的周邊區域。如此一來，只需將第二打線導線連接至位於第二晶片之周邊區域重配置接墊，便可電性連接第二晶片與基板之目的，以縮短第二打線導線之長度。

針對上述之本發明的另一種堆疊型晶片封裝結構，本發明之另一種堆疊型晶片封裝製程如下。首先，形成重配置線路於第二保護層上，其中重配置線路上之多個重配置接墊係與第二晶片接墊電性連接，且重配置接墊的線路佈局係不同於第二晶片接墊之線路佈局。接著，將第一晶片以其主動表面貼附至基板之上表面上，其中第一晶片接墊係暴露在基板之開孔中。然後，將第二晶片以其背面貼附在第一晶片之一背面上。接著，進行一打線製程，使第一晶片接墊與重配置接墊分別藉由第一打線導線與第二打線導線，而電性連接至第二基板接墊與第一基板接墊。最後，形成封裝材料於基板之上表面與下表面，並使封裝材料覆蓋第一打線導線與第二打線導線。

基於上述，本發明之堆疊型晶片封裝結構及其封裝製程係於晶片上形成一重配置線路，並藉由此重配置線路提供較佳位置之重配置接墊，以便於打線導線之連接。其中，針對具有不同線路佈局之接墊的晶片，本發明可選擇性地形成重配置線路於第一晶片上或第二晶片上，當然更可同

時形成重配置線路於第一晶片與第二晶片上，以因應同一封裝結構具有不同類型之晶片的情形。藉由本發明之堆疊型晶片封裝結構及其封裝製程可簡化晶片之製作過程，並可達到降低生產成本、提高生產效率之目的。

為讓本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉較佳實施例，並配合所附圖式，作詳細說明如下。

【實施方式】

[第一實施例]

請依序參考圖 3~6，其分別繪示本發明之第一實施例之一種堆疊型晶片封裝製程的示意圖。如圖 3~6 所示，本發明之堆疊型晶片封裝製程係對具有相同線路佈局的第一晶片 310 與第二晶片 320 進行堆疊型晶片封裝製程。其中，第一晶片 310 例如具有多個第一晶片接墊 312 及一第一保護層 314，其係配置於第一晶片 310 之一第一主動表面 310a 上。第一晶片接墊 312 係位於第一主動表面 310a 之周邊區域，而第一保護層 314 具有多個開口 314a，用以暴露出第一晶片接墊 312。此外，第二晶片 320 例如具有多個第二晶片接墊 322 及一第二保護層 324，其係配置於第二晶片 320 之一第二主動表面 320a 上。第二晶片接墊 322 同樣位於第二主動表面 320a 之周邊區域，而第二保護層 324 具有多數個開口 324a，其係暴露出第二晶片接墊 322。

本發明之堆疊型片封裝製程如下：

首先，如圖 3 所示，形成多條第一重配置線路 340 於

第一晶片 310 之第一保護層 314 上，其中第一重配置線路 340 具有多個第一重配置接墊 342，其係與第一晶片接墊 312 電性連接，且第一重配置接墊 342 係位於第一晶片 310 之第一主動表面 310a 的中央區域。

接著，如圖 4 所示，將第一晶片 310 配置於一基板 330 上，其中基板 330 具有多個第一基板接墊 332 及多個第二基板接墊 334，其分別配置在基板 330 之一上表面 330a 上及一下表面 330b 上，且基板 330 更具有一開孔 336，其係貫穿基板 330。此外，第一晶片 310 以其第一主動表面 310a 貼附至基板 330 之上表面 330a 上，其中第一重配置接墊 342 係暴露在基板 330 之開孔 336 中。

然後，如圖 5 所示，將第二晶片 320 之一背面 320b 以背對背的方式接合在第一晶片 310 之一背面 310b 上。

接著，如圖 6 所示，進行一打線製程，使第一打線導線 350 穿過基板 330 之開孔 336 電性連接於第一重配置接墊 342 與第二基板接墊 334 之間，而使第二打線導線 360 電性連接於第二晶片接墊 322 與第一基板接墊 332 之間。並且，進行一封膠製程，形成第一封裝材料 370 與第二封裝材料 380 於基板 330 之下表面 330b 與上表面 330a，並使第一封裝材料 370 與第二封裝材料 380 分別覆蓋第一打線導線 350 與第二打線導線 360，而完成本發明之堆疊型晶片封裝製程。

值得一提的是，上述圖 4 與圖 5 所述之步驟的順序係可相反，亦即先將第一晶片 310 與第二晶片 320 疊合後，

再將第一晶片 310 與第二晶片所構成之晶片組配置於基板 330 上。此外，圖 6 所示之打線製程與封膠製程並不限定第一晶片 310 與第二晶片 320 進行的先後順序，例如可先依序形成第一打線導線 350 以及第一封膠材料 370 之後，再依序形成第二打線導線 360 以及第二封膠材料 380。此外，亦可先依序形成第二打線導線 360 以及第二封膠材料 380 之後，再依序形成第一打線導線 350 以及第一封膠材料 370。另外，也可先形成第一打線導線 350 以及第二打線導線 360 之後，再形成第一封膠材料 370 以及第二封膠材料 380。

上述實施例已揭露本發明之堆疊型晶片封裝結構的主要構件，然在實際情形下，本發明之堆疊型晶片封裝製程更包括其他步驟，例如：於基板之下表面形成錫球、於保護層上形成聚合物層、於重配置線路上形成聚合物層、以及形成具有單層或多層之圖案化線路層的重配置線路等，有關上述之其他構件的詳細說明係配合圖 7 於下文中揭露。

請參考圖 7，其繪示本發明之第一實施例之一種堆疊型晶片封裝結構的示意圖，圖中係採用與圖 3~6 相同之標號表示相同的構件，而有關基板 330、第一晶片 310、第二晶片 320、第一打線導線 350、第二打線導線 360、第一封裝材料 370、第二封裝材料 380 之配置與其連接關係請參考前述實施例之說明，在此不再詳細贅述。

如圖 7 所示，堆疊型晶片封裝結構 300 例如包括第一

晶片 310、第二晶片 320、基板 330、第一重配置線路 340、第一打線導線 350、第二打線導線 360、第一封裝材料 370、第二封裝材料 380 以及錱球 390。其中，第一晶片 310 與第二晶片 320 係以背對背方式相互堆疊，並配置於基板 330 上，第一重配置線路 340 係配置於第一晶片 310 之第一保護層 314 上，用以提供多個第一重配置接墊 342 至第一主動表面 310a 中央，以與第一打線導線 350 電性連接。此外，錱球 390 係配置於基板 330 之下表面 330b 上，以作為第一晶片 310 以及第二晶片 320 與外界電性連接之途徑。且錱球 390 的材質比如是錫鉛合金或錫銀銅合金。

請再參考圖 7，在本發明之堆疊型晶片封裝結構 300 中，第一保護層 314 與第二保護層 324 的厚度 s_1 與 s_2 比如大於 0.35 微米，其結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

值得注意的是，本發明之第一重配置線路 340 可由一或多個圖案化線路層所構成，且圖案化線路層之結構與材質可有多種變化，例如圖 7 即繪示為具有單一圖案化線路層之第一重配置線路 340，其中第一重配置線路 340 之厚度 t 比如大於 1 微米。此外，請參考圖 8A~8C，其分別繪示多種具有不同圖案畫線路層之第一重配置線路 340 的示意圖。

承上所述，如圖 8A 所示，第一重配置線路 340 係比如由一層或多層之金屬層與一黏著/阻障層所構成，黏著/阻障層例如可為一鈦層、一鈦鎢合金層或是由一鉻層與一

鉻銅合金層所構成的複合層。就其中一實施例而言，黏著/阻障層 14 比如係為一鈦鎢合金層，而金屬層 12 例如為一金層。此外，如圖 8B 所示，第一重配置線路 340 亦可依序由一鈦層 28、一銅層 26、一鎳層 24 及一金層 22 所構成，其中鈦層 28 係作為一黏著/阻障層，而金層 22 與鎳層 24 係可選擇性地形成於銅層 26 上。另外，如圖 8C 所示，第一重配置線路 340 亦可為單一之鋁層 32。

[第二實施例]

上述之第一實施例係配置一重配置線路於第一晶片上，以避免配置於主動表面之周邊區域的晶片接墊受到基板之阻擋而無法進行打線製程的問題。

同理可知，本發明之堆疊型晶片封裝結構及其封裝製程同樣可解決晶片鐳墊位於主動表面之中央區域，而導致打線導線過長之問題。

請依序參考圖 9~12，其分別繪示本發明之第二實施例之一種堆疊型晶片封裝製程的示意圖。如圖 9~12 所示，本發明之堆疊型晶片封裝製程同樣對具有相同線路佈局的第一晶片 410 與第二晶片 420 進行堆疊型晶片封裝製程。其中，第一晶片 410 之多個第一晶片接墊 412 係配置於主動表面 410a 之中央區域，而第一保護層 414 具有多個開口 414a，且第一保護層 414 係配置於第一主動表面 410a 上，並暴露出第一晶片接墊 412。此外，第二晶片 420 例如具有多個第二晶片接墊 422 及一第二保護層 424，其係配置於第二晶片 420 之一第二主動表面 420a 上。第二晶片

接墊 422 同樣位於第二主動表面 420a 之中央區域，而第二保護層 424 具有多數個開口 424a，其係暴露出第二晶片接墊 422。

本發明之堆疊型片封裝製程如下：

首先，如圖 9 所示，形成多條第二重配置線路 440 於第二晶片 420 之第二保護層 424 上，其中第二重配置線路 440 具有多個第二重配置接墊 442，其係與第二晶片接墊 422 電性連接，且第二重配置接墊 442 係位於第二晶片 420 之第二主動表面 420a 的周邊區域。

接著，如圖 10 所示，將第一晶片 410 配置於一基板 430 上，其中基板 430 具有多個第一基板接墊 432 及多個第二基板接墊 434，其分別配置在基板 430 之一上表面 430a 上及一下表面 430b 上，且基板 430 更具有一開孔 436，其係貫穿基板 430。此外，第一晶片 410 以其第一主動表面 410a 貼附至基板 430 之上表面 430a 上，其中第一晶片接墊 412 係暴露在基板 430 之開孔 436 中。

然後，如圖 11 所示，將第二晶片 420 之一背面 420b 以背對背的方式接合在第一晶片 410 之一背面 410b 上。

接著，如圖 12 所示，進行一打線製程，使第一打線導線 450 穿過基板 430 之開孔 436 電性連接於第一晶片接墊 412 與第二基板接墊 434 之間，而使第二打線導線 460 電性連接於第二重配置接墊 442 與第一基板接墊 432 之間。並且，進行一封膠製程，形成第一封裝材料 470 與第二封裝材料 480 於基板 430 之下表面 430b 與上表面 430a，

並使第一封裝材料 470 與第二封裝材料 480 分別覆蓋第一打線導線 450 與第二打線導線 460，而完成本發明之堆疊型晶片封裝製程。

當然，如本發明之第一實施例所述，上述圖 10 與圖 11 所述之步驟的順序係可相反，而圖 12 所示之打線製程與封膠製程同樣不限定第一晶片 410 與第二晶片 420 進行的先後順序，其詳細說明請參照第一實施例。

請參考圖 13，其繪示本發明之第二實施例之一種堆疊型晶片封裝結構的示意圖，圖中係採用與圖 9~12 相同之標號表示相同的構件，而有關基板 430、第一晶片 410、第二晶片 420、第一打線導線 450、第二打線導線 460、第一封裝材料 470、第二封裝材料 480 之配置與其連接關係請參考前述實施例之說明，在此不再詳細贅述。

如圖 13 所示，堆疊型晶片封裝結構 400 例如包括第一晶片 410、第二晶片 420、基板 430、第一重配置線路 440、第一打線導線 450、第二打線導線 460、第一封裝材料 470、第二封裝材料 480 以及錫球 490。其中，第一晶片 410 與第二晶片 420 係以背對背方式相互堆疊，並配置於基板 430 上，第二重配置線路 440 係配置於第二晶片 420 之第二保護層 424 上，用以提供多個第二重配置接墊 442 至第二主動表面 410a 之周邊區域，以縮短第二打線導線 460 之長度。此外，錫球 490 係配置於基板 430 之下表面 430b 上，以作為第一晶片 410 以及第二晶片 420 與外界電性連接之途徑。且錫球 490 的材質係選自於由錫鉛合金及錫銀銅合

金所組成之族群中之一種材質。

值得注意的是，上述之本發明之第二實施例的堆疊型晶片封裝結構及其封裝製程，其保護層與重配置線路的材質與結構同樣具有多種變化，然詳細敘述請參考上述之第一實施例，在此不再重複贅述。

[第三實施例]

在上述之本發明的第一實施例與第二實施例中，第一晶片與第二晶片係為一樣的晶片，亦即第一晶片接墊之線路佈局係相同於第二晶片之線路佈局，並且在對應相同位置處之第一晶片接墊與第二晶片接墊係在電性上具有相同的功能。然而，依照本發明之特徵，本發明之堆疊型晶片封裝結構及其封裝製程係可應用於不同晶片之堆疊，亦即第一晶片與該第二晶片係為不一樣的晶片，第一晶片接墊之線路佈局係不同於第二晶片接墊之線路佈局。

請參考圖 14，其繪示本發明之第三實施例之一種堆疊型晶片封裝結構的示意圖。如圖 14 所示，第一晶片 510 之第一晶片接墊 512 係配置於第一主動表面 510a 之周邊區域，並為基板 530 所阻擋，而第二晶片 520 之第二晶片接墊 522 係配置於第二主動表面 520a 之中央區域。在本實施例中，第一晶片 510 之第一保護層 514 上係配置有一第一重配置線路 540，其中第一重配置線路 540 係與第一晶片接墊 512 電性連接，且第一重配置線路 540 之第一重配置接墊 542 係位於第一主動表面 510a 之中央區域，並藉由基板 530 上之開孔 536 暴露於外。此外第二晶片 520 之第二

保護層 524 上係配置有第二重配置線路 544，其中第二重配置線路 544 係與第二晶片接墊 522 電性連接，且第二重配置線路 544 之第二重配置接墊 546 係位於第二主動表面 520a 之外圍區域。如此一來，第一打線導線 550 便可穿過基板 530 之開孔 536 電性連接於第一重配置接墊 542 與第二基板接墊 534 之間，且第二打線導線 560 亦可直接電性連接於第二重配置接墊 546 與第一基板接墊 532 之間，因而使得第二打線導線 560 具有較短之長度。

[第四實施例]

除上述實施例之外，第一晶片與第二晶片之晶片接墊更可部分位於周邊區域，而部份為於中央區域。請分別參考圖 15 與 16，其分別繪示本發明之第四實施例之兩種堆疊型晶片封裝結構的示意圖。如圖 15 所示，第二晶片 620 之部分第二晶片接墊 622 係位於第二主動表面 620a 之中央區域，因此只需在此些位於中央區域的部分第二晶片接墊 622 上配置重配置線路 640，以提供多個重配置接墊 642 至第二主動表面 620a 的周邊區域，即可縮短第二打線導線 660 的長度。

此外，如圖 16 所示，第一晶片 710 之部分第一晶片接墊 712 係位於第一主動表面 710a 之周邊區域，因此只需在此些位於周邊區域的部分第一晶片接墊 712a 上配置重配置線路 740，以提供多個重配置接墊 742 至第一主動表面 710a 的中央區域，便可使此些位於周邊區域的部分第一晶片接墊 712a 藉由第一打線導線 750a 電性連接至第二基

板接墊 734a。此外，位於第一主動表面 710a 之中央區域的第一晶片接墊 712b 則不需藉由重配置線路 740，便可直接藉由第一打線導線 750a 電性連接至第二基板接墊 734b。

綜上所述，本發明之堆疊型晶片封裝結構及其封裝製程係藉由於晶片上形成重配置線路的方式，來改變晶片與打線導線接合的位置，以避免下層晶片之晶片接墊被基板覆蓋，而導致無法進行打線製程，或上層晶片之晶片接墊過度遠離晶片邊緣，而使得打線導線過長等情形。值得注意的是，本發明之堆疊型晶片封裝結構及其封裝製程適用於相同晶片或不同晶片之堆疊，且重配置線路之位置更可隨不同晶片接墊的線路佈局而有所改變。

值得一提的是，本發明之堆疊型晶片封裝結構還可以選擇性地形成至少一聚合物層於前述任一實施例中的第一晶片上及/或第二晶片上。請參考圖 17A~17D，其分別繪示本發明之多種具有聚合物層之晶片的局部放大圖。下述圖 17A~17D 所示之結構可以應用在前述之第一晶片上及/或第二晶片上。

如圖 17A 所示，重配置線路 840 上例如配置有一聚合物層 848，其中聚合物層 848 之材質比如是聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂或彈性材料，而聚合物層 848 的厚度 $m1$ 比如大於 1 微米，重配置線路 840 之厚度 t 比如大於 1 微米，而保護層 814 之厚度 $s1$ 比如大於 0.35 微米，其結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述

材質所構成的複合層。

如圖 17B 所示，重配置線路 840 與保護層 814 之間亦可形成有一聚合物層 816，其材質同樣可為聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂或彈性材料，且聚合物層 816 的厚度 m_2 比如大於 1 微米。此外，重配置線路 840 之厚度 t 比如大於 1 微米，而保護層 814 之厚度 s_1 比如大於 0.35 微米，其結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

如圖 17C 所示，重配置線路 840 上，以及重配置線路 840 與保護層 814 之間，更可同時配置有聚合物層 848 與聚合物層 816，其材質與厚度係如前文之圖 17A 與 9B 所示。此外，重配置線路 840 之厚度 t 比如大於 1 微米，而保護層 814 之厚度 s_1 比如大於 0.35 微米，其結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

承上述，當重配置線路 840 係由多個圖案化線路層所構成時，則相鄰之圖案化線路層之間亦可配置例如上述之聚合物層。如圖 17D 所示，重配置線路 840 例如係由一第一圖案化線路層 840a 以及一第二圖案畫線路層 840b 所構成，其中第一圖案畫線路層 840a 上係配置有一聚合物層 844，其材質同樣可為聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂或彈性材料，且聚合物層 844 的厚度 m_3 比如大於 1 微米。此外，第一圖案

化線路層 840a 之厚度 t_1 與第二圖案畫線路層 840b 之厚度 t_2 分別大於 1 微米，而保護層 814 之厚度 s_1 比如大於 0.35 微米，其結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。當然，第一圖案化線路層 840a、第二圖案畫線路層 840b 與保護層 814 之間亦可選擇性地配置有聚合物層，然其相關配置與結構請參考圖 17A~17C，在此不再重複贅述。

由於在本發明之堆疊型晶片封裝結構中，晶片之保護層與重配置線路之間、重配置線路上、或重配置線路之多層圖案化線路層之間皆可配置一聚合物層，而重配置線路可由單層或多層之圖案化線路層所構成，且圖案化線路層之材質與結構更如第一實施例所述具有多種選擇。如此一來，將可使重配置線路之佈局更富彈性，並可隨實際情況與需求而對重配置線路之材質與結構進行調整，以提供最佳之電性表現。

因此，本發明之堆疊型晶片封裝結構及其封裝製程至少具有下列優點：

(一) 可縮短打線導線之長度，以使訊號透過打線導線傳遞時具有較佳之電性表現。

(二) 可避免晶片接墊被基板覆蓋之問題，而不需再對晶片之線路佈局進行重新設計，因而可簡化晶片之製作過程。

(三) 可整合具有相同之線路佈局的晶片於同一封裝結構內，有助於降低整體生產成本，並可提高生產效率。

雖然本發明已以一較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作些許之更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。

【圖式簡單說明】

圖 1 與 2 分別繪示為習知之一種開口球格陣列型態之堆疊型晶片封裝結構的示意圖。

圖 3~6 依序繪示為本發明之第一實施例之一種堆疊型晶片封裝製程的示意圖。

圖 7 繪示為本發明之第一實施例之一種堆疊型晶片封裝結構的示意圖。

圖 8A~8C 分別繪示為多種具有不同圖案畫線路層之第一重配置線路的示意圖。

圖 9~12 依序繪示為本發明之第二實施例之一種堆疊型晶片封裝製程的示意圖。

圖 13 繪示為本發明之第二實施例之一種堆疊型晶片封裝結構的示意圖。

圖 14 繪示為本發明之第三實施例之一種堆疊型晶片封裝結構的示意圖。

圖 15 與 16 分別繪示本發明之第四實施例之兩種堆疊型晶片封裝結構的示意圖。

圖 17A~17D 分別繪示為本發明之多種具有聚合物層之晶片的局部放大圖。

【圖式標示說明】

100：堆疊型晶片封裝結構

110：第一晶片

110a：第一主動表面

110b：第一背面

120：第二晶片

120a：第二主動表面

120b：第二背面

130：基板

130a：上表面

130b：下表面

132：第一接點

134：第二接點

136：開孔

150：第一打線導線

160：第二打線導線

190：鐳球

300：堆疊型晶片封裝結構

310：第一晶片

310a：第一主動表面

312：第一晶片接墊

314：第一保護層

314a：開口

320：第二晶片

320a：第二主動表面

- 322：第二晶片接墊
- 324：第二保護層
- 324a：開口
- 330：基板
- 330a：上表面
- 330b：下表面
- 332：第一基板接墊
- 334：第二基板接墊
- 336：開孔
- 340：第一重配置線路
- 342：第一重配置接墊
- 350：第一打線導線
- 360：第二打線導線
- 370：第一封裝材料
- 380：第二封裝材料
- 390：鐳球
- 12：金屬層
- 14：黏著/阻障層
- 22：金層
- 24：鎳層
- 26：銅層
- 28：鈦層
- 32：鋁層
- 400：堆疊型晶片封裝結構

- 410：第一晶片
- 410a：主動表面
- 412：第一晶片接墊
- 414：第一保護層
- 414a：開口
- 420：第二晶片
- 420a：第二主動表面
- 422：第二晶片接墊
- 424：第二保護層
- 424a：開口
- 430：基板
- 430a：上表面
- 430b：下表面
- 432：第一基板接墊
- 434：第二基板接墊
- 436：開孔
- 440：第二重配置線路
- 442：第二重配置接墊
- 450：第一打線導線
- 460：第二打線導線
- 470：第一封裝材料
- 480：第二封裝材料
- 490：鐳球
- 510：第一晶片

- 510a：第一主動表面
- 512：第一晶片接墊
- 514：第一保護層
- 520：第二晶片
- 520a：第二主動表面
- 522：第二晶片接墊
- 524：第二保護層
- 530：基板
- 536：開孔
- 540：第一重配置線路
- 542：第一重配置接墊
- 544：第二重配置線路
- 546：第二重配置接墊
- 550：第一打線導線
- 560：第二打線導線
- 620：第二晶片
- 620a：第二主動表面
- 622：第二晶片接墊
- 640：重配置線路
- 642：重配置接墊
- 660：第二打線導線
- 710：第一晶片
- 710a：第一主動表面
- 712a、712b：第一晶片接墊

734a、734b：第二基板接墊

740：重配置線路

742：重配置接墊

750a、750b：第一打線導線

814：保護層

816：聚合物層

840：重配置線路

840a：第一圖案畫線路層

840b：第二圖案畫線路層

844：聚合物層

848：聚合物層

m1、m2、m3：聚合物層的厚度

s1：第一保護層之厚度

s2：第一保護層之厚度

t：第一重配置線路之厚度

t1：第一圖案化線路層之厚度

t2：第二圖案化線路層之厚度

五、中文發明摘要：

一種堆疊型晶片封裝結構及其封裝製程，其係於晶片上形成一重配置線路，並藉由此重配置線路提供較佳位置之重配置接墊，以便於打線導線之連接。其中，針對具有不同線路佈局之接墊的晶片，此堆疊型晶片封裝結構及其封裝製程可選擇性地形成重配置線路於第一晶片上或第二晶片上。藉由此堆疊型晶片封裝結構及其封裝製程可簡化晶片之製作過程，並可達到降低生產成本、縮減體積、提高生產效率、效能及整體良率之目的。

六、英文發明摘要：

A stacked chip package and the process thereof are provided, wherein a redistributed layer is formed on a chip. Thus, the redistributed layer can provide redistributed pads in better arrangement for wire bonding. The redistributed layer can be selectively formed on a first chip or a second chip according to different circuit distributions thereof. The stacked chip package and the process thereof can simplify the manufacturing process of a chip for reducing the production cost and improving the production efficiency.

七、指定代表圖：

十、申請專利範圍：

1. 一種堆疊型晶片封裝結構，包括：

一基板，具有多數個第一基板接墊及多數個第二基板接墊，分別配置在該基板之一上表面上及一下表面上，該基板更具有開孔，貫穿該基板；

多數條第一重配置線路，具有多數個第一重配置接墊；

一第一晶片，具有多數個第一晶片接墊及一第一保護層，配置於該第一晶片之一主動表面上，該第一保護層具有多數個開口，暴露出該些第一晶片接墊，該些第一重配置線路係配置於該第一保護層上，該些第一重配置接墊係與該些第一晶片接墊電性連接，該些第一重配置接墊的線路佈局係不同於該些第一晶片接墊之線路佈局，該第一晶片係以該第一主動表面接合至該基板之該上表面上，且該些第一重配置接墊係暴露在該基板之該開孔中；

一第二晶片，具有多數個第二晶片接墊及一第二保護層，配置於該第二晶片之一主動表面上，該第二保護層具有多數個開口，暴露出該些第二晶片接墊，其中該第二晶片之一背面係接合在該第一晶片之一背面上；

多數條第一打線導線，經由該基板之該開孔電性連接該些第一重配置接墊與該些第二基板接墊；

多數條第二打線導線，電性連接該些第二晶片接墊與該些第一基板接墊；以及

一封裝材料，包覆該些第一打線導線及該些第二打線

導線。

2.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該些第一晶片接墊係位於該第一晶片之該主動表面之周邊區域，而該些第一重配置接墊係位於該第一晶片之該主動表面之中間區域。

3.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該些第二晶片接墊係位於該第二晶片之該主動表面之周邊區域。

4.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，更包括多數條第二重配置線路，配置於該第二保護層上，該些第二重配置線路具有多數個第二重配置接墊，該些第二重配置接墊係電性連接於該些第二晶片接墊，該些第二重配置接墊的線路佈局係不同於該些第二晶片接墊之線路佈局，該些第二打線導線係連接在該些第二重配置接墊上，並經由該些第二重配置線路與該些第二晶片接墊電性連接。

5.如申請專利範圍第 4 項所述之堆疊型晶片封裝結構，其中該些第二晶片接墊係位於該第二晶片之該主動表面之中間區域，而該些第二重配置接墊係位於該第二晶片之該主動表面之周邊區域。

6.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中含有該些第一重配置線路之一圖案化線路層的結構係為由一金層與一黏著/阻障層所構成的複合層，該黏著/阻障層係位在該第一保護層上，該金層係位在該黏著/阻

障層上。

7.如申請專利範圍第 6 項所述之堆疊型晶片封裝結構，其中該黏著/阻障層之材質係為鈦鎢合金。

8.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中含有該些第一重配置線路之一圖案化線路層的結構係為至少由一銅層與一黏著/阻障層所構成的複合層，該黏著/阻障層係位在該第一保護層上，該銅層係位在該黏著/阻障層上。

9.如申請專利範圍第 8 項所述之堆疊型晶片封裝結構，其中該黏著/阻障層之結構係為一鈦層、一鈦鎢合金層或是由一鉻層與一鉻銅合金層所構成的複合層。

10.如申請專利範圍第 9 項所述之堆疊型晶片封裝結構，其中該圖案化線路層還包括一鎳層，位在該銅層上。

11.如申請專利範圍第 10 項所述之堆疊型晶片封裝結構，其中該圖案化線路層還包括一金層，位在該鎳層上。

12.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該些第一重配置線路之材質包括鋁。

13.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中含有該些第一重配置線路之一圖案化線路層的厚度係大於 1 微米。

14.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，更包括一聚合物層，且該聚合物層係配置於該些第一重配置線路上。

15.如申請專利範圍第 14 項所述之堆疊型晶片封裝結

構，其中該聚合物層之材質係選自於聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂與彈性材料所組成之族群中之一種材質。

16.如申請專利範圍第 14 項所述之堆疊型晶片封裝結構，其中該聚合物層的厚度係大於 1 微米。

17.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，更包括一聚合物層，且該聚合物層係配置於該些第一重配置線路與該第一保護層之間。

18.如申請專利範圍第 17 項所述之堆疊型晶片封裝結構，其中該聚合物層之材質係選自於聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂與彈性材料所組成之族群中之一種材質。

19.如申請專利範圍第 17 項所述之堆疊型晶片封裝結構，其中該聚合物層的厚度係大於 1 微米。

20.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，更包括至少一聚合物層，其中該些第一重配置線路係由多數層圖案化線路層所構成，且該聚合物層係位於該些圖案化線路層之間。

21.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該些第一重配置線路係由單層之圖案化線路層所構成。

22.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第一保護層的厚度係大於 0.35 微米。

23.如申請專利範圍第 1 項所述之堆疊型晶片封裝結

構，其中該第一保護層的結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

24.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第二保護層的厚度係大於 0.35 微米。

25.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第二保護層的結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

26.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，還包括多數個錳球，配置在該基板之該下表面上。

27.如申請專利範圍第 25 項所述之堆疊型晶片封裝結構，其中該些錳球的材質係選自於由錫鉛合金及錫銀銅合金所組成之族群中之一種材質。

28.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第一晶片與該第二晶片係為一樣的晶片，該些第一晶片接墊之線路佈局係相同於該些第二晶片之線路佈局，並且在對應相同位置處之該些第一晶片接墊與該些第二晶片係在電性上具有相同的功能。

29.如申請專利範圍第 1 項所述之堆疊型晶片封裝結構，其中該第一晶片與該第二晶片接墊係為不一樣的晶片，該些第一晶片接墊之線路佈局係不同於該些第二晶片接墊之線路佈局。

30.一種堆疊型晶片封裝結構，包括：

一基板，具有多數個第一基板接墊及多數個第二基板接墊，分別配置在該基板之一上表面上及一下表面上，該基板更具有開孔，貫穿該基板；

一第一晶片，具有多數個第一晶片接墊及一第一保護層，配置於該第一晶片之一主動表面上，該第一保護層具有多數個開口，暴露出該些第一晶片接墊，該第一晶片係以該第一主動表面接合至該基板之該上表面上，且該些第一晶片接墊係暴露在該基板之該開孔中；

一第二晶片，具有多數個第二晶片接墊及一第二保護層，配置於該第二晶片之一主動表面上，該第二保護層具有多數個開口，暴露出該些第二晶片接墊，其中該第二晶片之一背面係接合在該第一晶片之一背面上；

多數條重配置線路，配置於該第二保護層上，該些重配置線路具有多數個重配置接墊，與該些第二晶片接墊電性連接，該些重配置接墊的線路佈局係不同於該些第二晶片接墊之線路佈局；

多數條第一打線導線，經由該開口電性連接該些第一晶片接墊與該些第二基板接墊；

多數條第二打線導線，電性連接該些重配置接墊與該些第一基板接墊；以及

一封裝材料，包覆該些第一打線導線及該些第二打線導線。

31.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該些第一晶片接墊係位於該第一晶片之該主動表

面之中間區域。

32.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該些第二晶片接墊係位於該第二晶片之該主動表面之中間區域，而該些重配置接墊係位於該第二晶片之該主動表面之周邊區域。

33.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中含有該些重配置線路之一圖案化線路層的結構係為由一金層與一黏著/阻障層所構成的複合層，該黏著/阻障層係位在該第二保護層上，該金層係位在該黏著/阻障層上。

34.如申請專利範圍第 33 項所述之堆疊型晶片封裝結構，其中該黏著/阻障層之材質係為鈦鎢合金。

35.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中含有該些重配置線路之一圖案化線路層的結構係為至少由一銅層與一黏著/阻障層所構成的複合層，該黏著/阻障層係位在該第二保護層上，該銅層係位在該黏著/阻障層上。

36.如申請專利範圍第 35 項所述之堆疊型晶片封裝結構，其中該黏著/阻障層之結構係為一鈦層、一鈦鎢合金層或是由一鉻層與一鉻銅合金層所構成的複合層。

37.如申請專利範圍第 36 項所述之堆疊型晶片封裝結構，其中該圖案化線路層還包括一鎳層，位在該銅層上。

38.如申請專利範圍第 37 項所述之堆疊型晶片封裝結構，其中該圖案化線路層還包括一金層，位在該鎳層上。

39.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該些重配置線路之材質包括鋁。

40.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中含有該些重配置線路之一圖案化線路層的厚度係大於 1 微米。

41.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，更包括一聚合物層，且該聚合物層係配置於該些重配置線路上。

42.如申請專利範圍第 41 項所述之堆疊型晶片封裝結構，其中該聚合物層之材質係選自於聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂與彈性材料所組成之族群中之一種材質。

43.如申請專利範圍第 31 項所述之堆疊型晶片封裝結構，其中該聚合物層的厚度係大於 1 微米。

44.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，更包括一聚合物層，且該聚合物層係配置於該些重配置線路與該第二保護層之間。

45.如申請專利範圍第 44 項所述之堆疊型晶片封裝結構，其中該聚合物層之材質係選自於聚醯亞胺、苯基環丁烯、多孔性介電材料、聚對二甲苯類高分子、環氧樹脂與彈性材料所組成之族群中之一種材質。

46.如申請專利範圍第 44 項所述之堆疊型晶片封裝結構，其中該聚合物層的厚度係大於 1 微米。

47.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構

構，更包括至少一聚合物層，其中該些重配置線路係由多數層圖案化線路層所構成，且該聚合物層係位於該些圖案化線路層之間。

48.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該些重配置線路係由單層之圖案化線路層所構成。

49.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第一保護層的厚度係大於 0.35 微米。

50.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第一保護層的結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

51.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第二保護層的厚度係大於 0.35 微米。

52.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第二保護層的結構係為一氮矽化合物層、一氧矽化合物層、一磷矽玻璃層或至少一上述材質所構成的複合層。

53.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，還包括多數個錳球，配置在該基板之該下表面上。

54.如申請專利範圍第 53 項所述之堆疊型晶片封裝結構，其中該些錳球的材質係選自於由錫鉛合金及錫銀銅合金所組成之族群中之一種材質。

55.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第一晶片與該第二晶片係為一樣的晶片，其中

該第一晶片與該第二晶片係為一樣的晶片，該些第一晶片接墊之線路佈局係相同於該些第二晶片接墊之線路佈局，並且在對應相同位置處之該些第一晶片接墊與該些第二晶片接墊係在電性上具有相同的功能。

56.如申請專利範圍第 30 項所述之堆疊型晶片封裝結構，其中該第一晶片與該第二晶片係為不一樣的晶片，該些第一晶片接墊之線路佈局係不同於該些第二晶片接墊之線路佈局。

57.一種堆疊型晶片封裝製程，適於將一第一晶片與一第二晶片封裝在一基板上，其中該基板具有多數個第一基板接墊及多數個第二基板接墊，分別配置在該基板之一上表面上及一下表面上，該基板更具有一開孔，貫穿該基板，該第一晶片具有多數個第一晶片接墊及一第一保護層，配置於該第一晶片之一主動表面上，該第一保護層具有多數個開口，暴露出該些第一晶片接墊，而該第二晶片具有多數個第二晶片接墊及一第二保護層，配置於該第二晶片之一主動表面上，該第二保護層具有多數個開口，暴露出該些第二晶片接墊，該堆疊型晶片封裝製程包括：

形成多數條第一重配置線路於該第一保護層上，該些第一重配置線路具有多數個第一重配置接墊，該些第一重配置接墊係與該些第一晶片接墊電性連接，該些第一重配置接墊的線路佈局係不同於該些第一晶片接墊之線路佈局；

將該第一晶片以其該主動表面貼附至該基板之該上

表面上，其中該些第一重配置接墊係暴露在該基板之該開孔中；

將該第二晶片以其背面貼附在該第一晶片之一背面上；

進行一打線製程以形成多數條第一打線導線，該些第一打線導線係穿過該基板之該開孔並電性連接該些第一重配置接墊與該些第二基板接墊；

形成一第一封裝材料，包覆該些第一打線導線；

進行一打線製程以形成多數條第二打線導線，電性連接該些第二晶片接墊與該些第一基板接墊；以及

形成一第二封裝材料，包覆該些第二打線導線。

58.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在將該第一晶片以其該第一表面貼附至該基板之該上表面上之後，再將該第二晶片以其背面貼附在該第一晶片之該背面上。

59.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在將該第二晶片以其背面貼附在該第一晶片之該背面上之後，再將該第一晶片以其該第一表面貼附至該基板之該上表面上。

60.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在形成該些第一打線導線之後，再形成該第一封裝材料，之後再形成該些第二打線導線，然後再形成該第二封裝材料。

61.如申請專利範圍第 57 項所述之堆疊型晶片封裝製

程，其中在形成該些第二打線導線之後，再形成該第二封裝材料，之後再形成該些第一打線導線，然後再形成該第一封裝材料。

62.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在形成該些第一打線導線及該些第二打線導線之後，再形成該第一封裝材料及該第二封裝材料。

63.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，還包括形成多數個錫球在該基板之該下表面上。

64.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，還包括形成一聚合物層於該第一保護層上，之後再形成該些第一重配置線路於該聚合物層上。

65.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在形成該些第一重配置線路於該第一保護層上之後，還包括形成一聚合物層於該些第一重配置線路上。

66.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中形成該些第一重配置線路於該第一保護層上之步驟包括形成單一之圖案化線路層於該第一保護層上。

67.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中形成該些第一重配置線路於該第一保護層上之步驟包括形成多數層之圖案化線路層及至少一層之聚合物層於該第一保護層上，該聚合物層係位於該些圖案化線路層之間。

68.如申請專利範圍第 57 項所述之堆疊型晶片封裝製程，其中在將該第二晶片以其背面貼附在該第一晶片之該

背面上之前，還包括形成複數條第二重配置線路於該第二保護層上，該些第二重配置線路具有多數個第二重配置接墊，該些第二重配置接墊係與該些第二晶片接墊電性連接，該些第二重配置接墊的線路佈局係不同於該些第二晶片接墊之線路佈局，當在形成該些第二打線導線時，該些第二打線導線係連接在該些第二重配置接墊上。

69.一種堆疊型晶片封裝製程，適於將一第一晶片與一第二晶片封裝在一基板上，其中該基板具有多數個第一基板接墊及多數個第二基板接墊，分別配置在該基板之一上表面上及一下表面上，該基板更具有開孔，貫穿該基板，該第一晶片具有多數個第一晶片接墊及一第一保護層，配置於該第一晶片之一主動表面上，該第一保護層具有多數個開口，暴露出該些第一晶片接墊，而該第二晶片具有多數個第二晶片接墊及一第二保護層，配置於該第二晶片之一主動表面上，該第二保護層具有多數個開口，暴露出該些第二晶片接墊，該堆疊型晶片封裝製程包括：

形成多數條重配置線路於該第二保護層上，該些重配置線路具有多數個重配置接墊，該些重配置接墊係與該些第二晶片接墊電性連接，該些重配置接墊的線路佈局係不同於該些第二晶片接墊之線路佈局；

將該第一晶片以其該第一表面貼附至該基板之該上表面上，其中該些第一晶片接墊係暴露在該基板之該開孔中；

將該第二晶片以其背面貼附在該第一晶片之一背面

上；

進行一打線製程以形成多數條第一打線導線，該些第一打線導線係穿過該基板之該開孔並電性連接該些第一晶片接墊與該些第二基板接墊；

形成一第一封裝材料，包覆該些第一打線導線；

進行一打線製程以形成多數條第二打線導線，電性連接該些重配置接墊與該些第一基板接墊；以及

形成一第二封裝材料，包覆該些第二打線導線。

70.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在將該第一晶片以其該第一表面貼附至該基板之該上表面上之後，再將該第二晶片以其背面貼附在該第一晶片之該背面上。

71.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在將該第二晶片以其背面貼附在該第一晶片之該背面上之後，再將該第一晶片以其該第一表面貼附至該基板之該上表面上。

72.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在形成該些第一打線導線之後，再形成該第一封裝材料，之後再形成該些第二打線導線，然後再形成該第二封裝材料。

73.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在形成該些第二打線導線之後，再形成該第二封裝材料，之後再形成該些第一打線導線，然後再形成該第一封裝材料。

74.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在形成該些第一打線導線及該些第二打線導線之後，再形成該第一封裝材料及該第二封裝材料。

75.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，還包括形成多數個錫球在該基板之該下表面上。

76.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，還包括形成一聚合物層於該第二保護層上，之後再形成該些重配置線路於該聚合物層上。

77.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中在形成該些重配置線路於該第二保護層上之後，還包括形成一聚合物層於該些重配置線路上。

78.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中形成該些重配置線路於該第二保護層上之步驟包括形成單一之圖案化線路層於該第二保護層上。

79.如申請專利範圍第 69 項所述之堆疊型晶片封裝製程，其中形成該些重配置線路於該第二保護層上之步驟包括形成多數層之圖案化線路層及至少一層之聚合物層於該第二保護層上，該聚合物層係位於該些圖案化線路層之間。

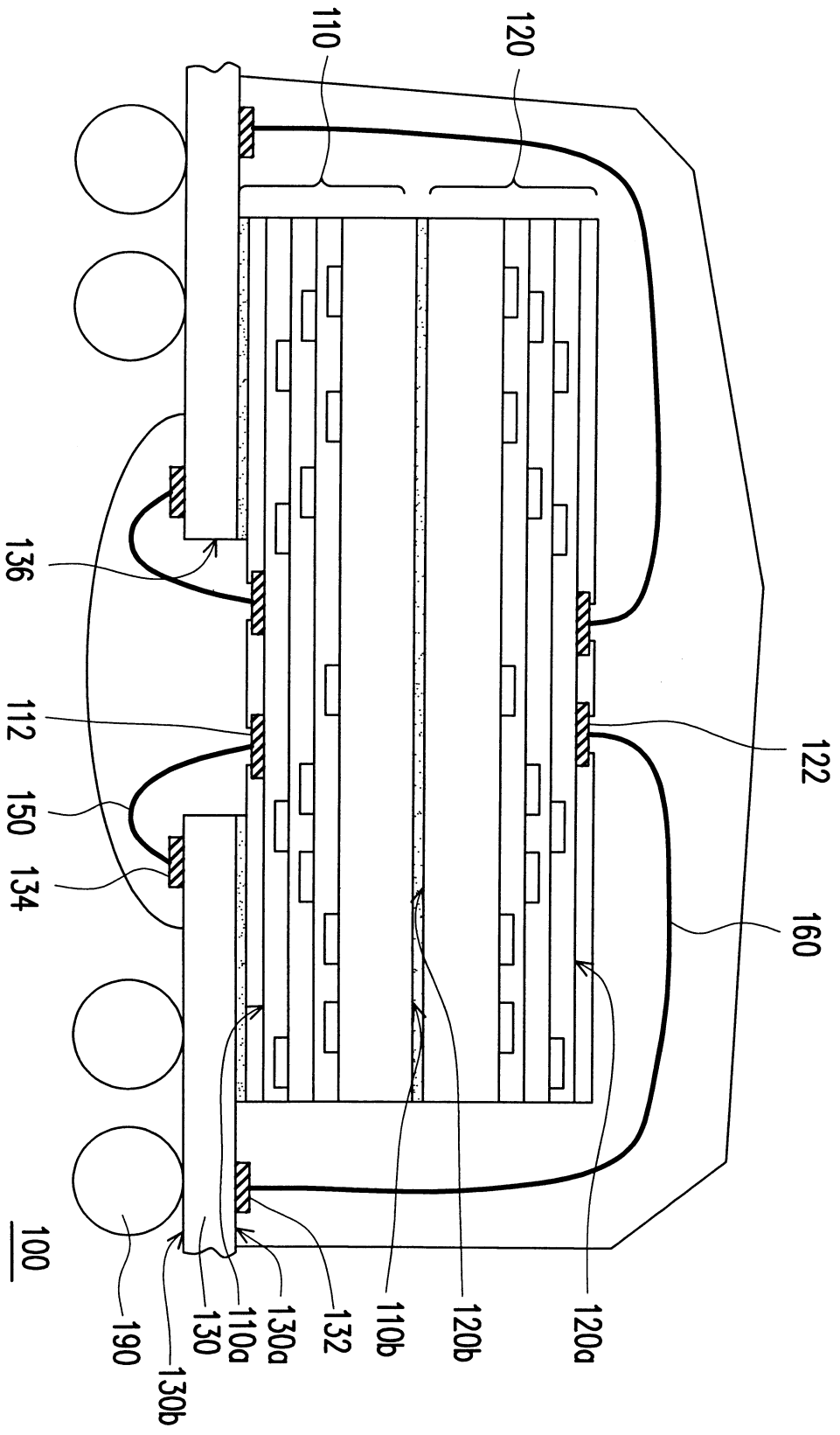


圖 1

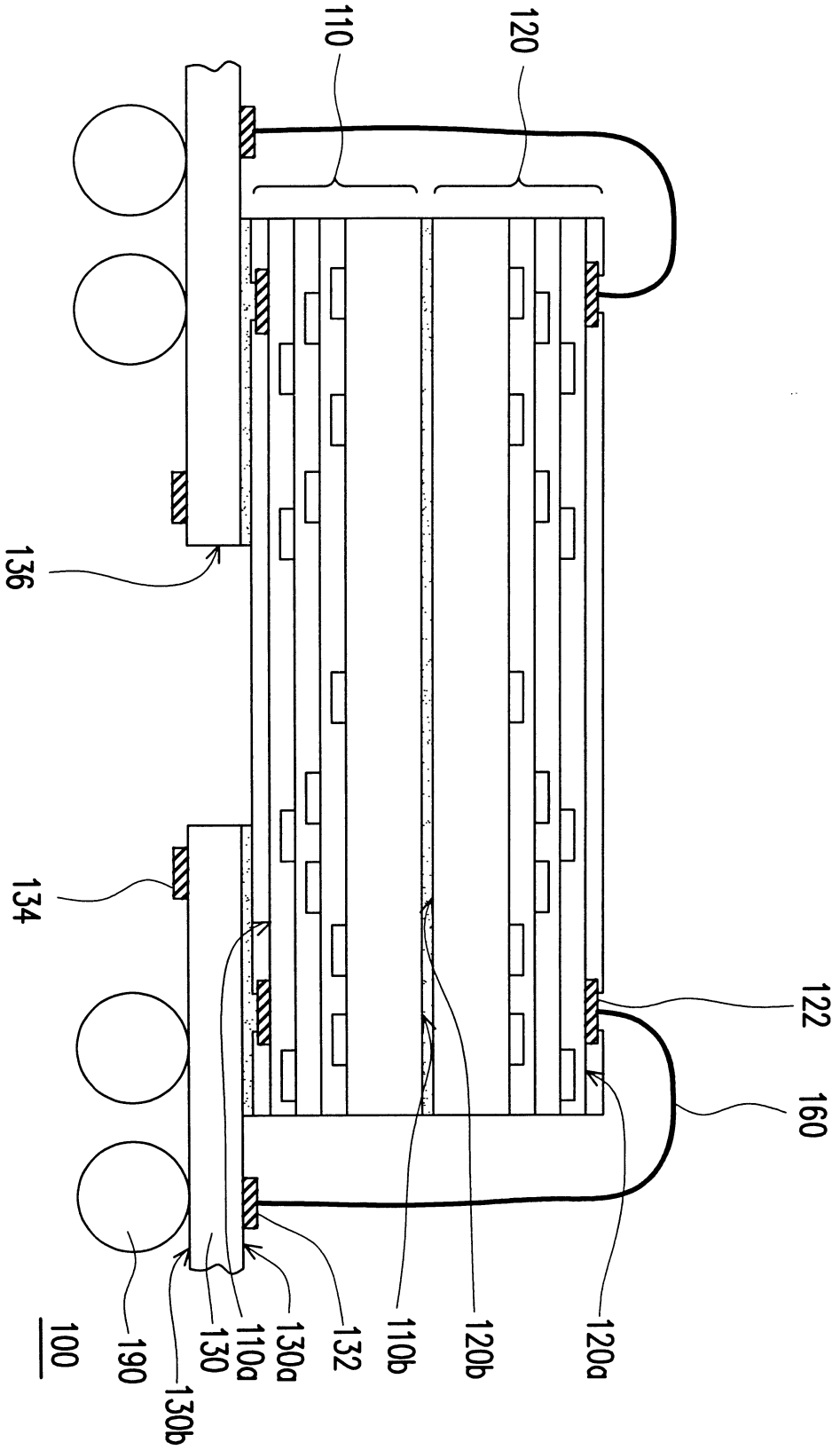


圖 2

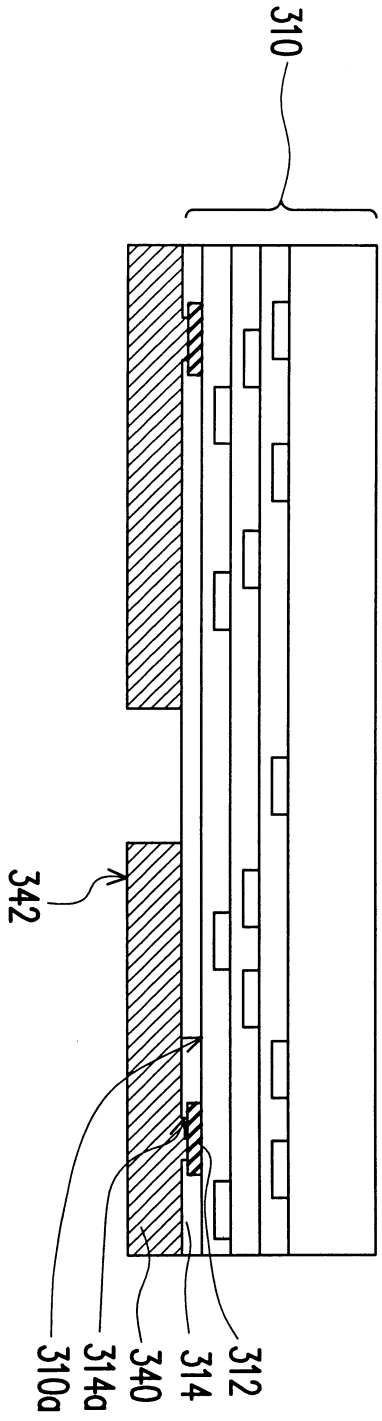


圖 3

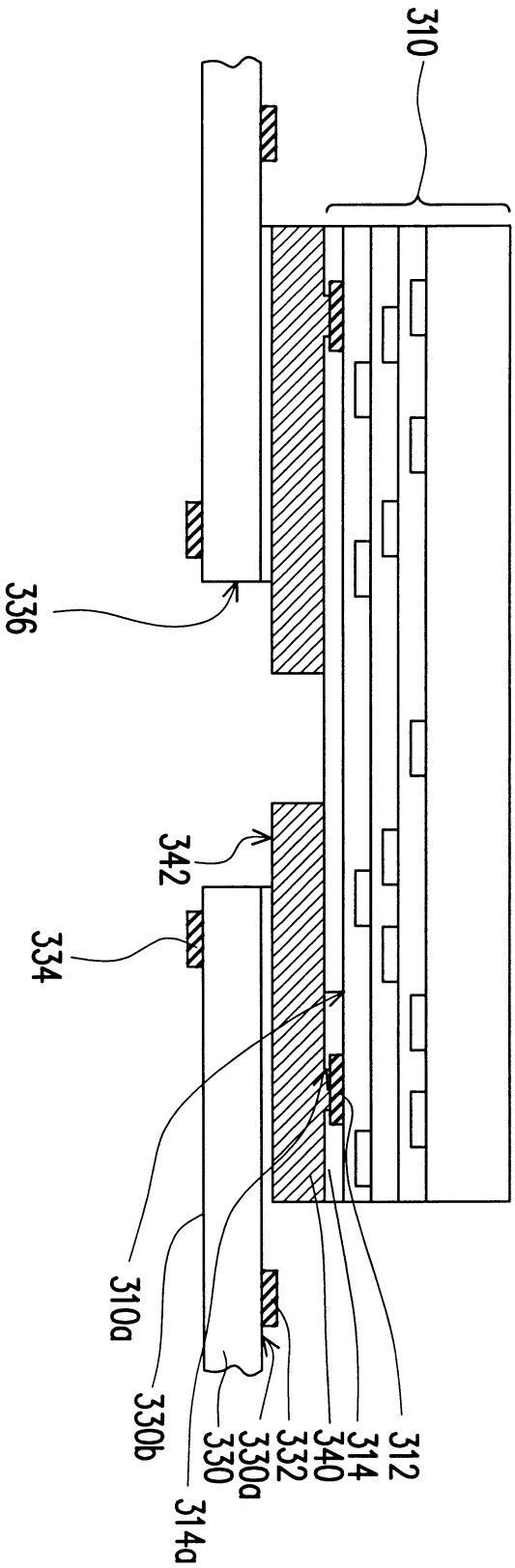


圖 4

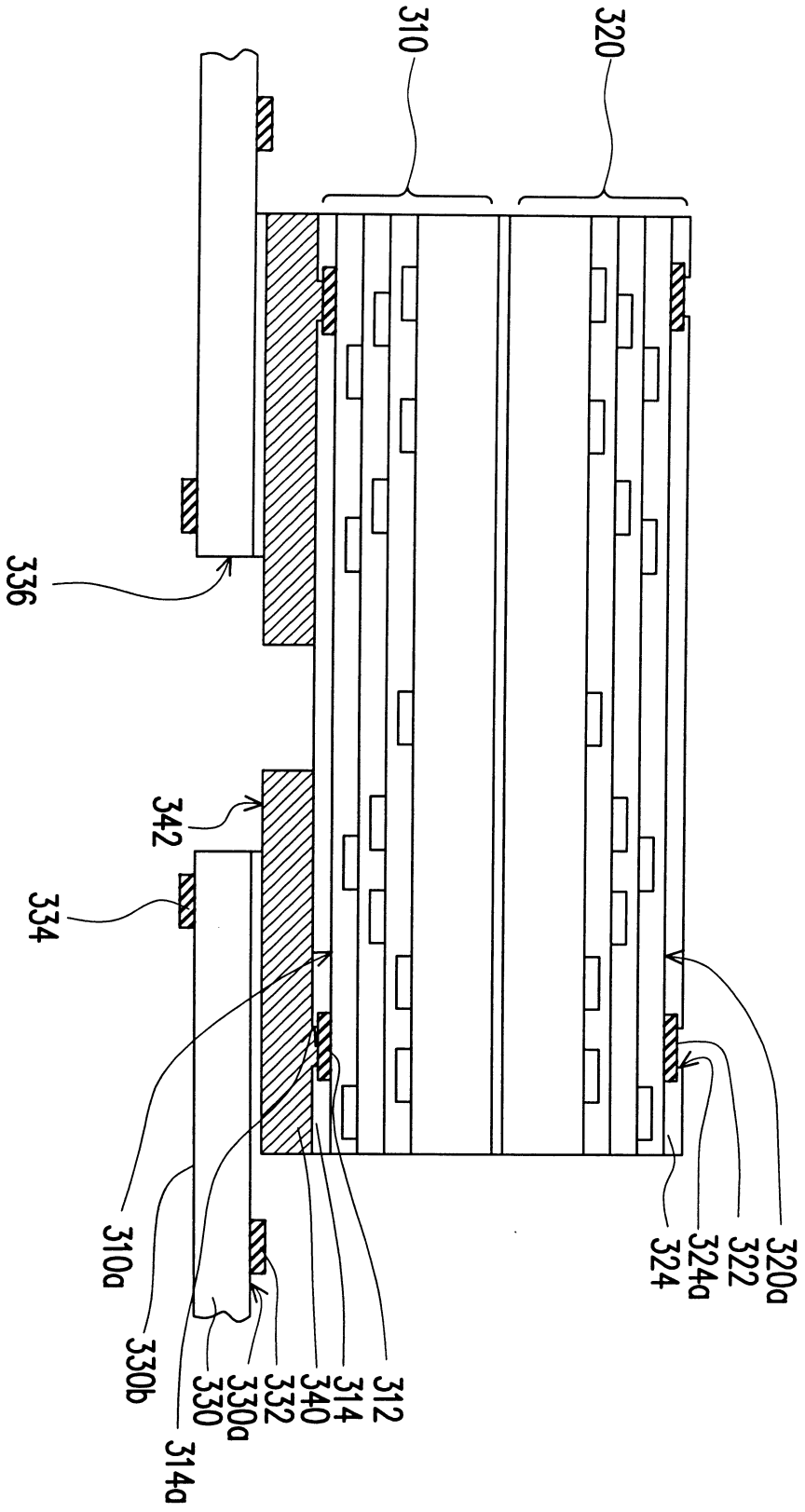


圖 5

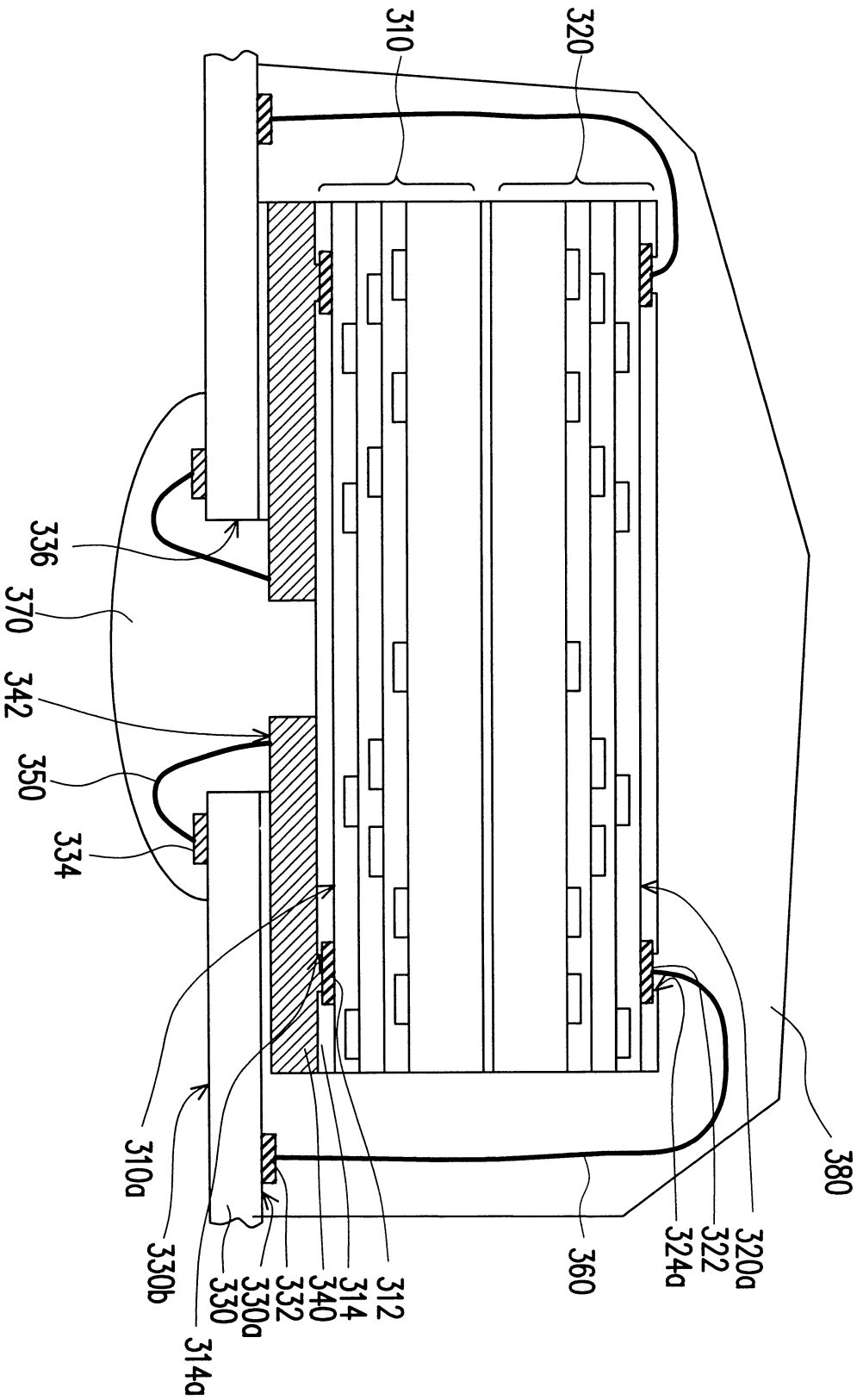


圖 6

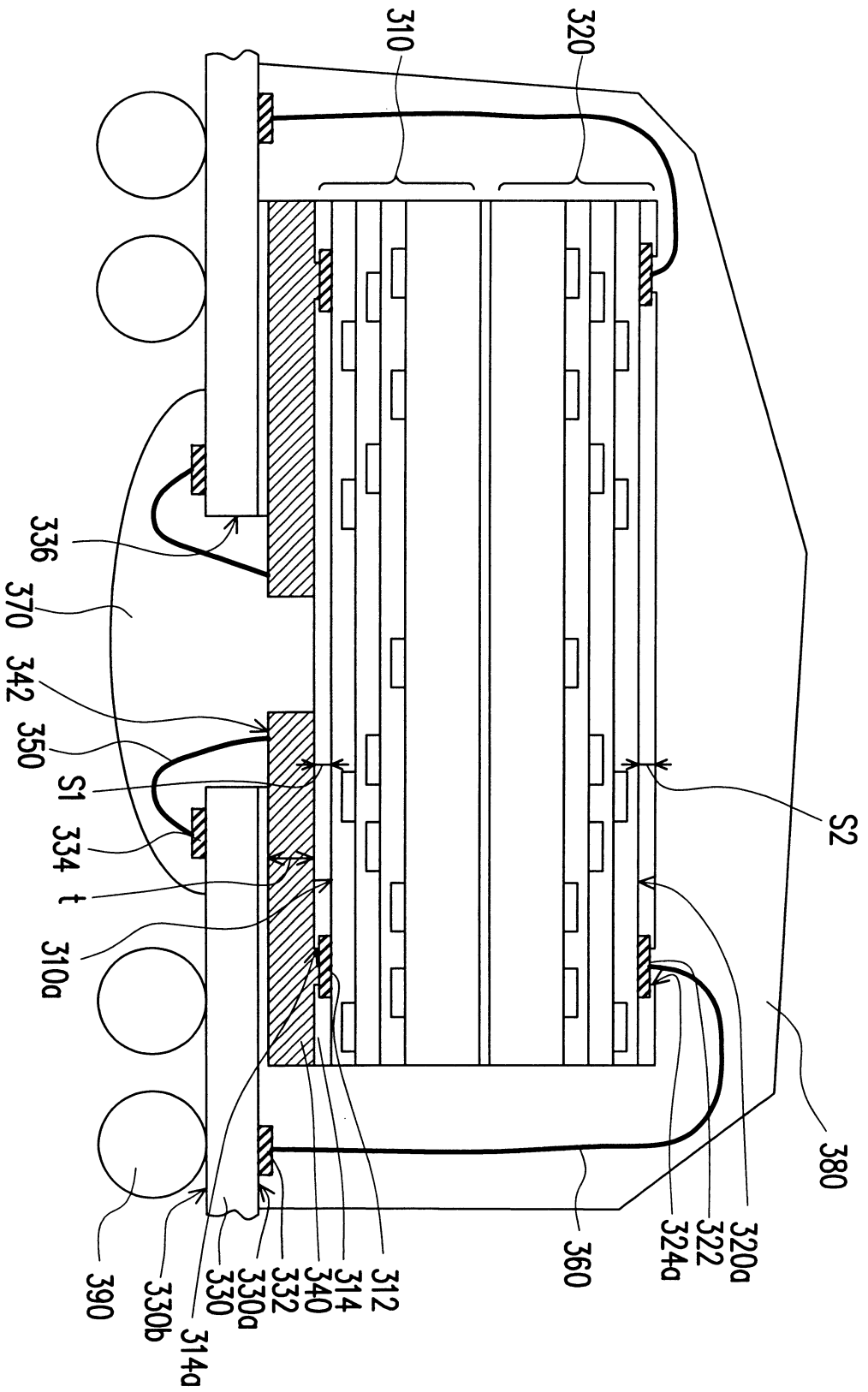
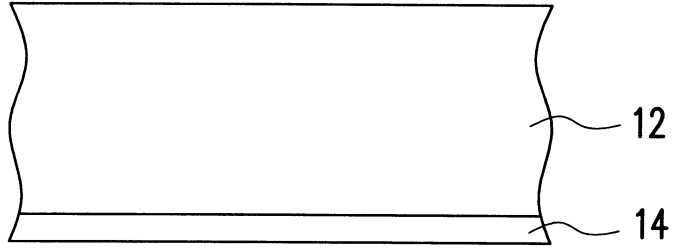
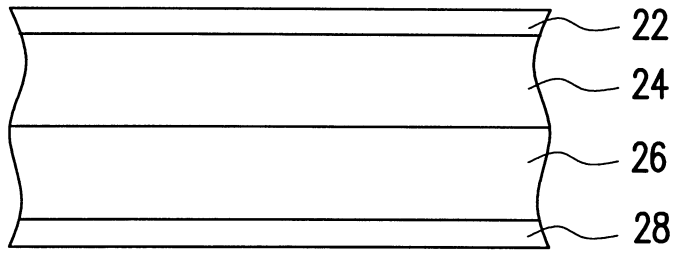


圖 7



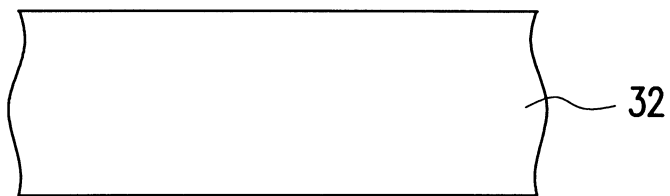
340

圖 8A



340

圖 8B



340

圖 8C

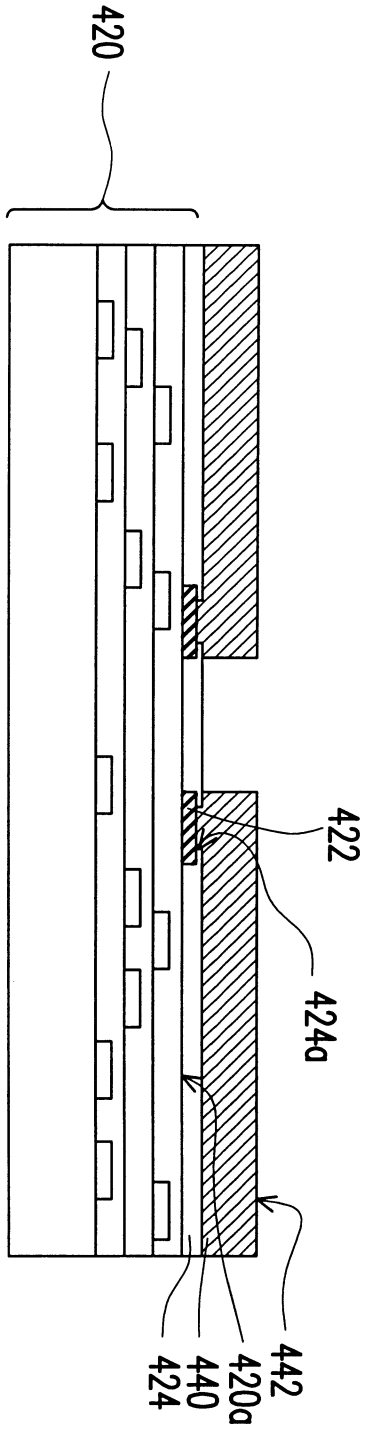


圖 9

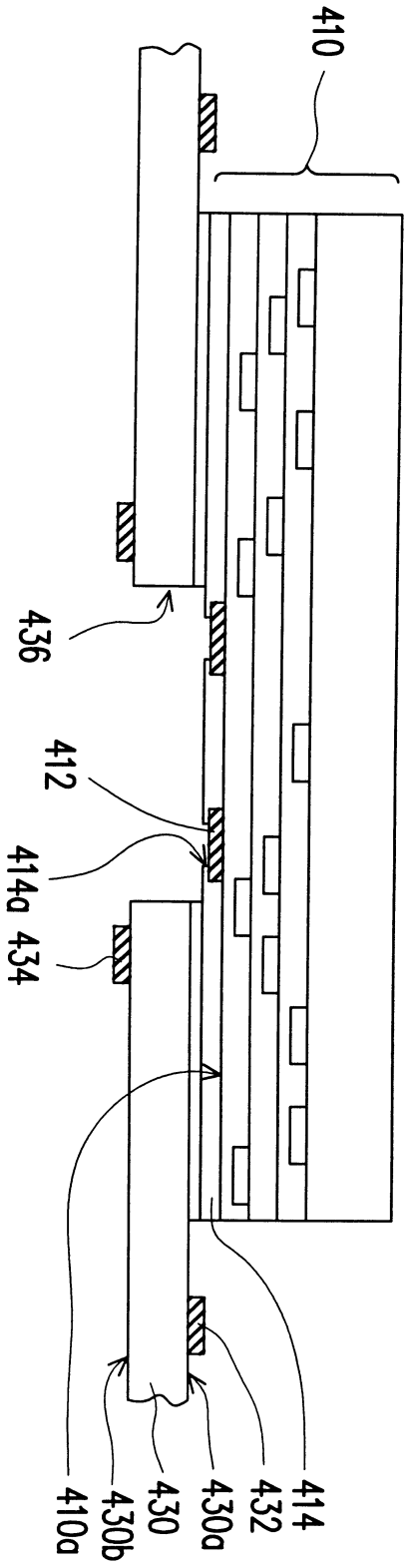


圖 10

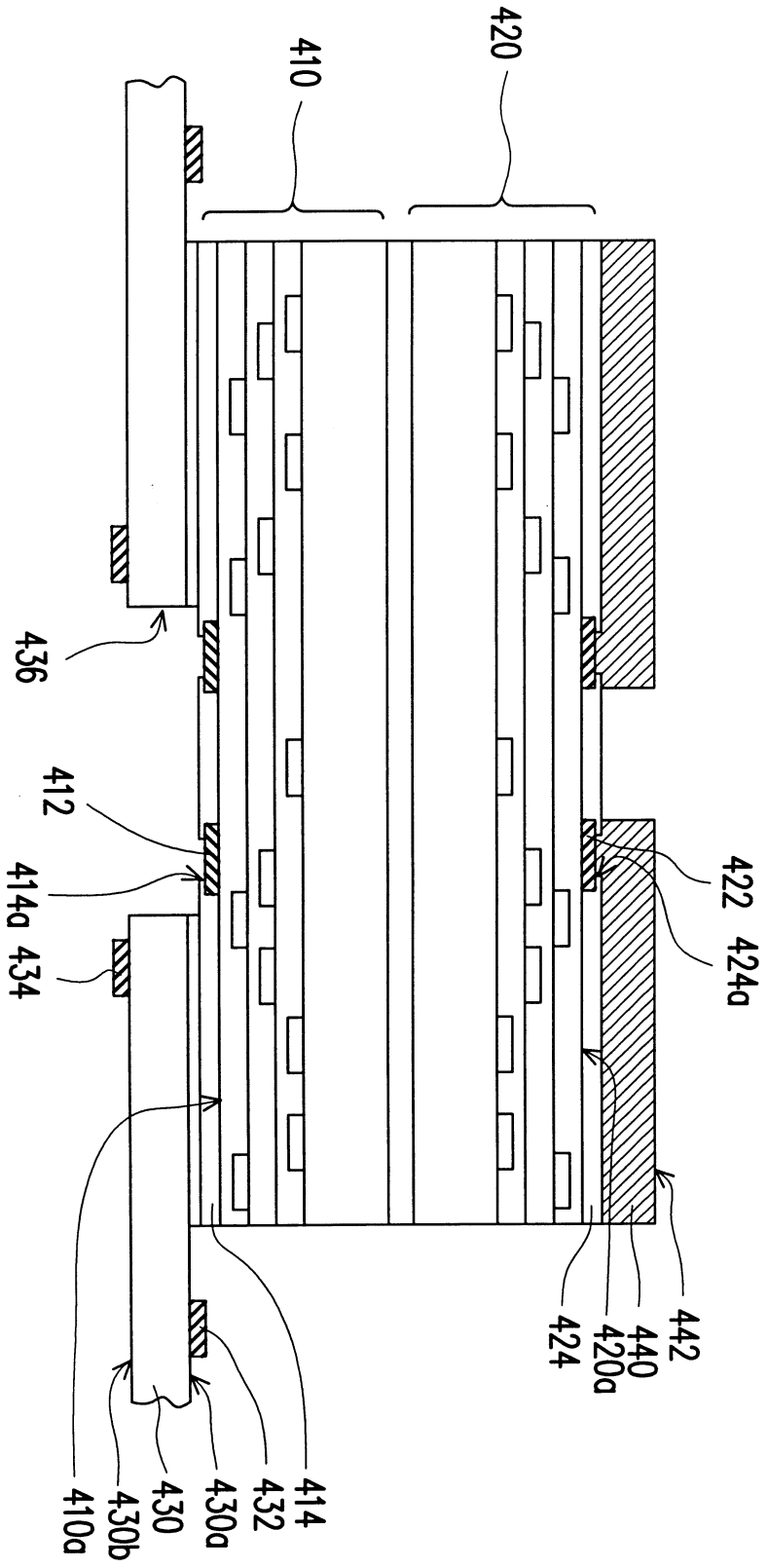


圖 11

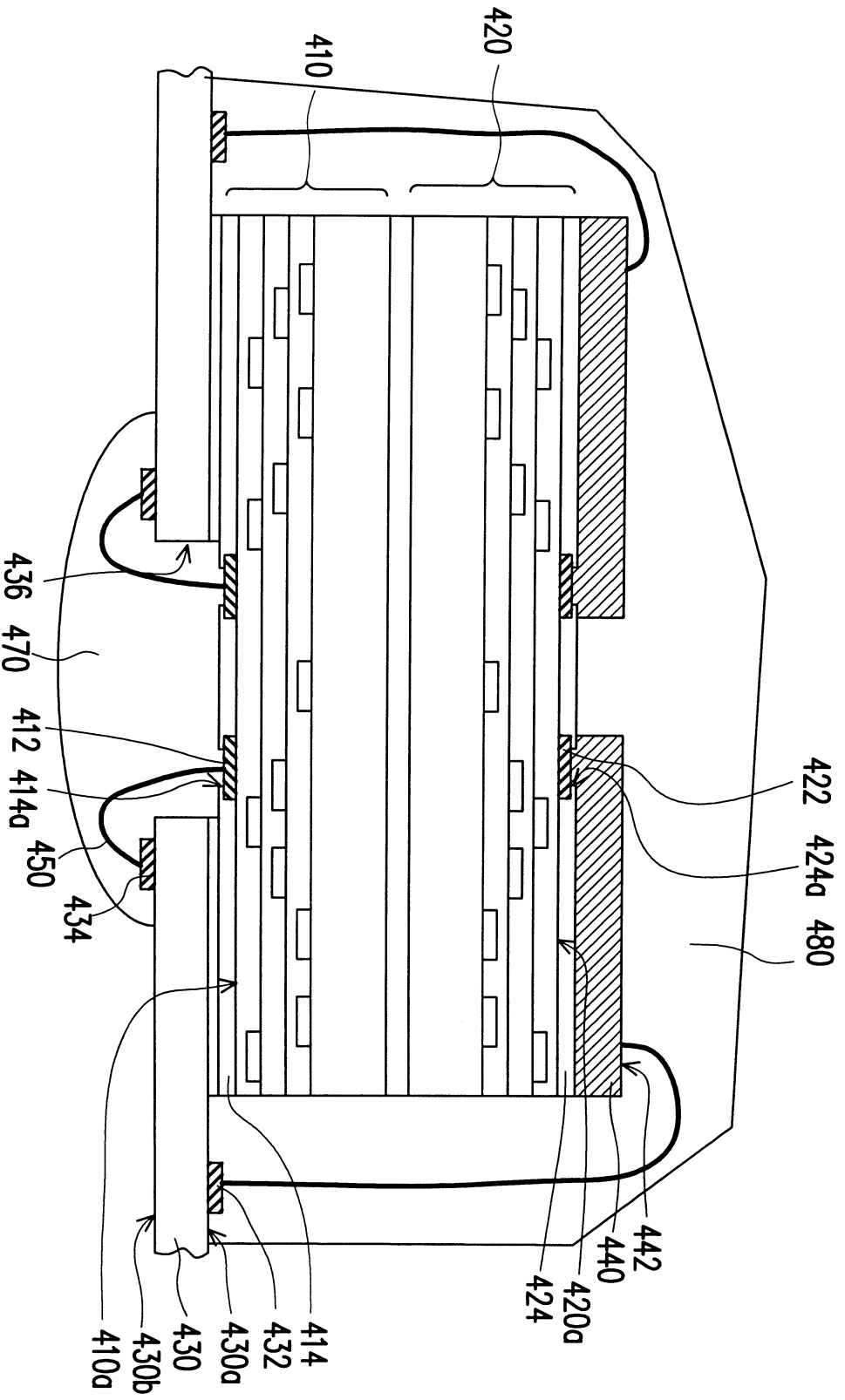


圖 12

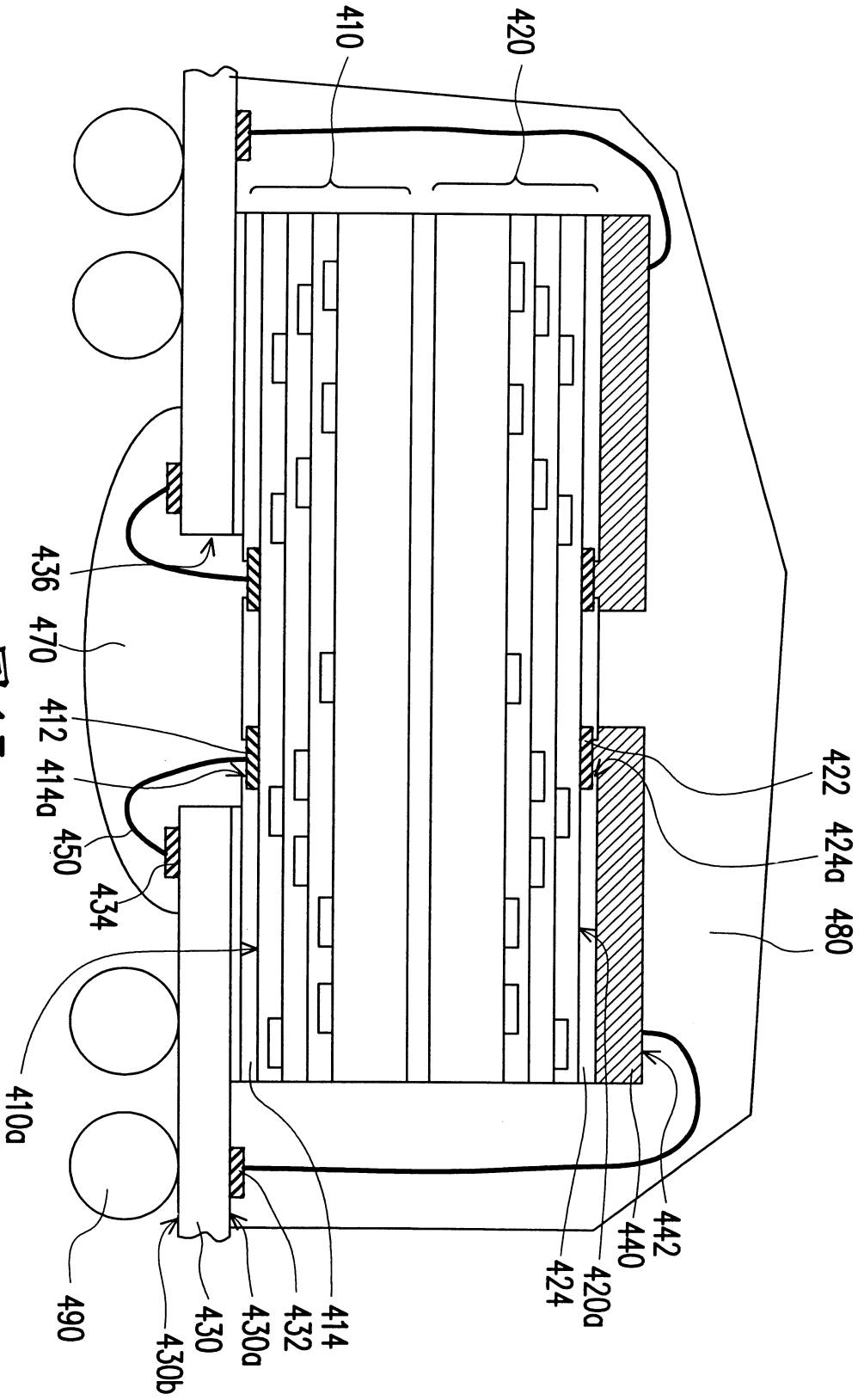


圖 13

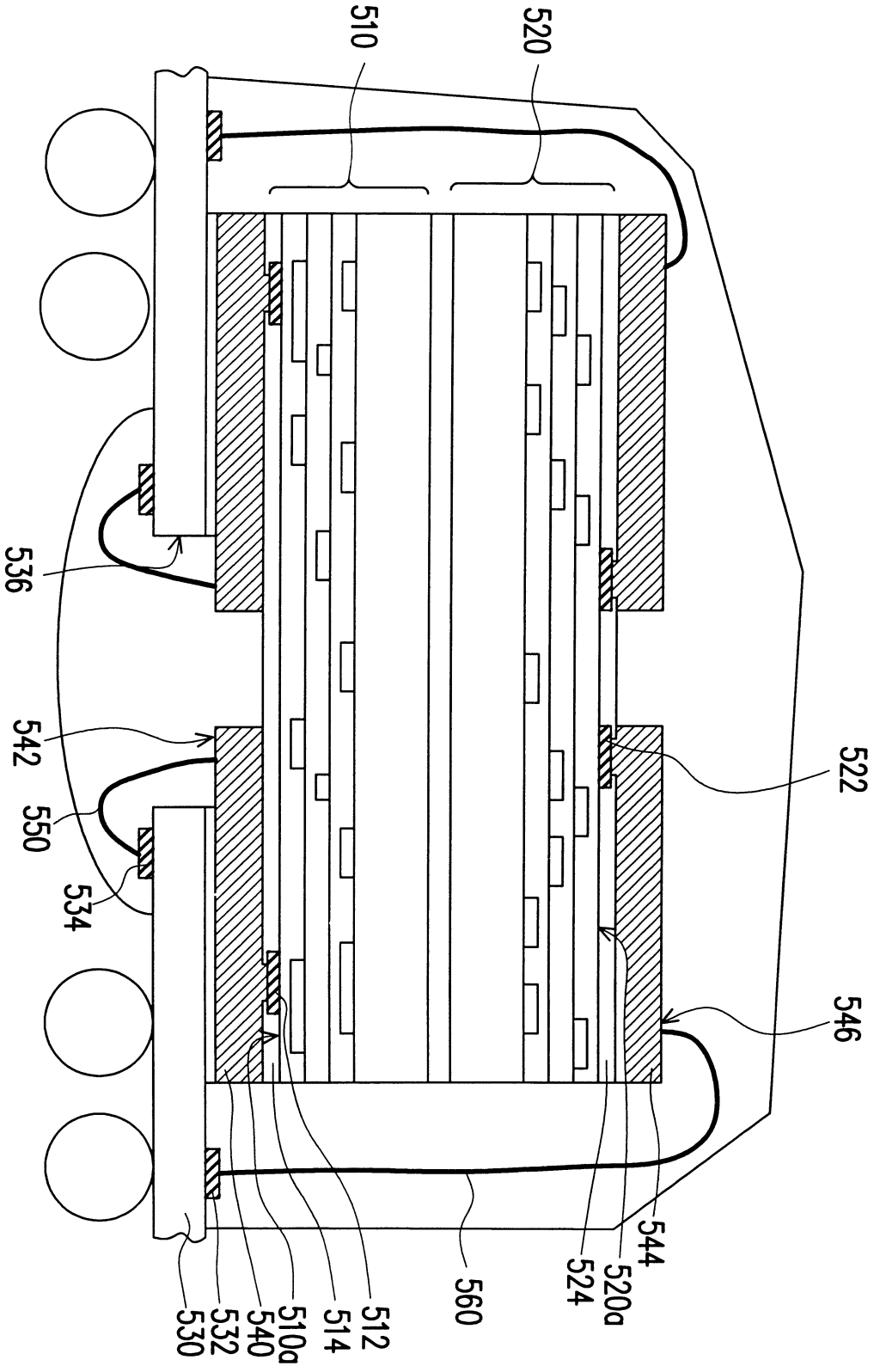


圖 14

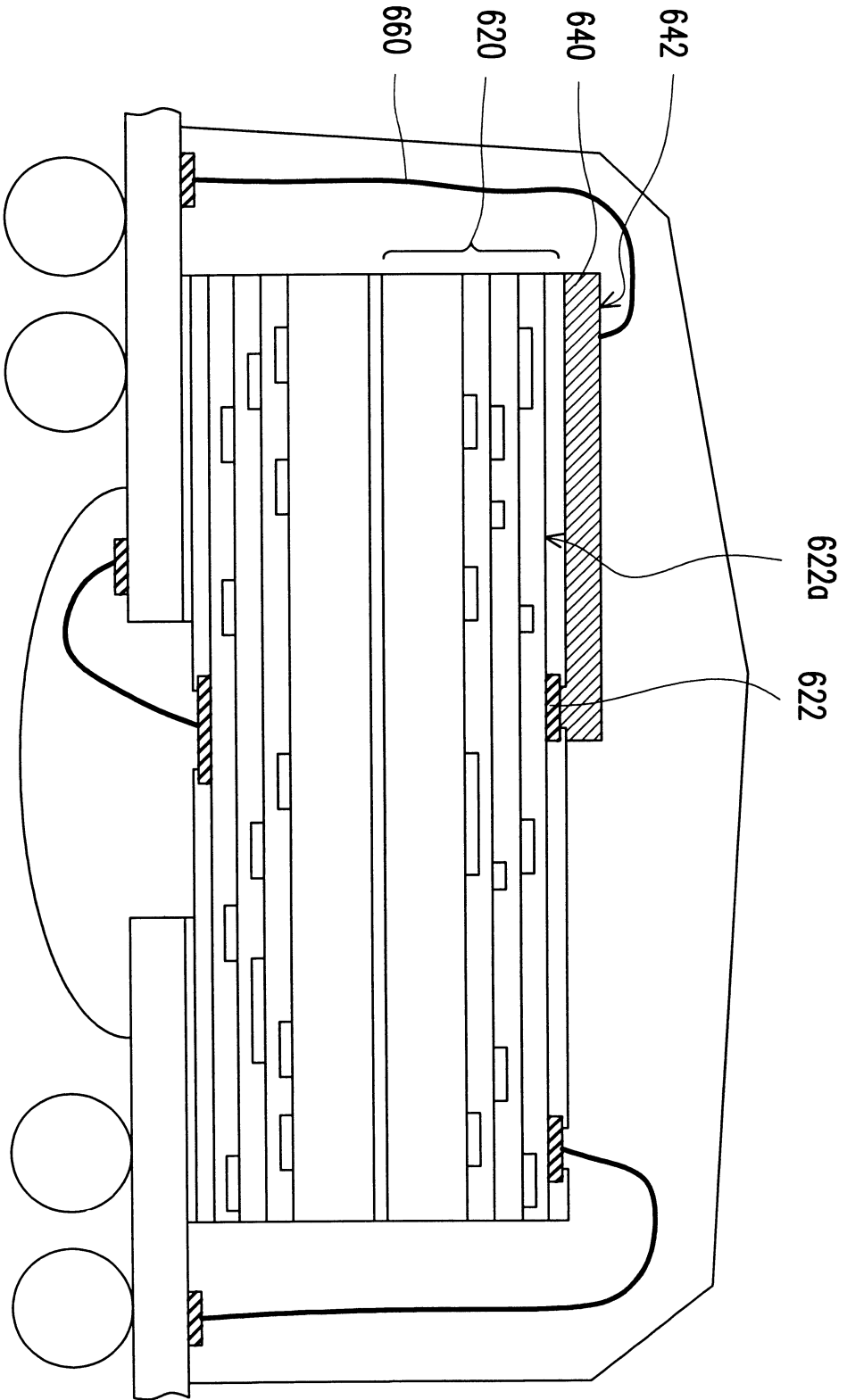


圖 15



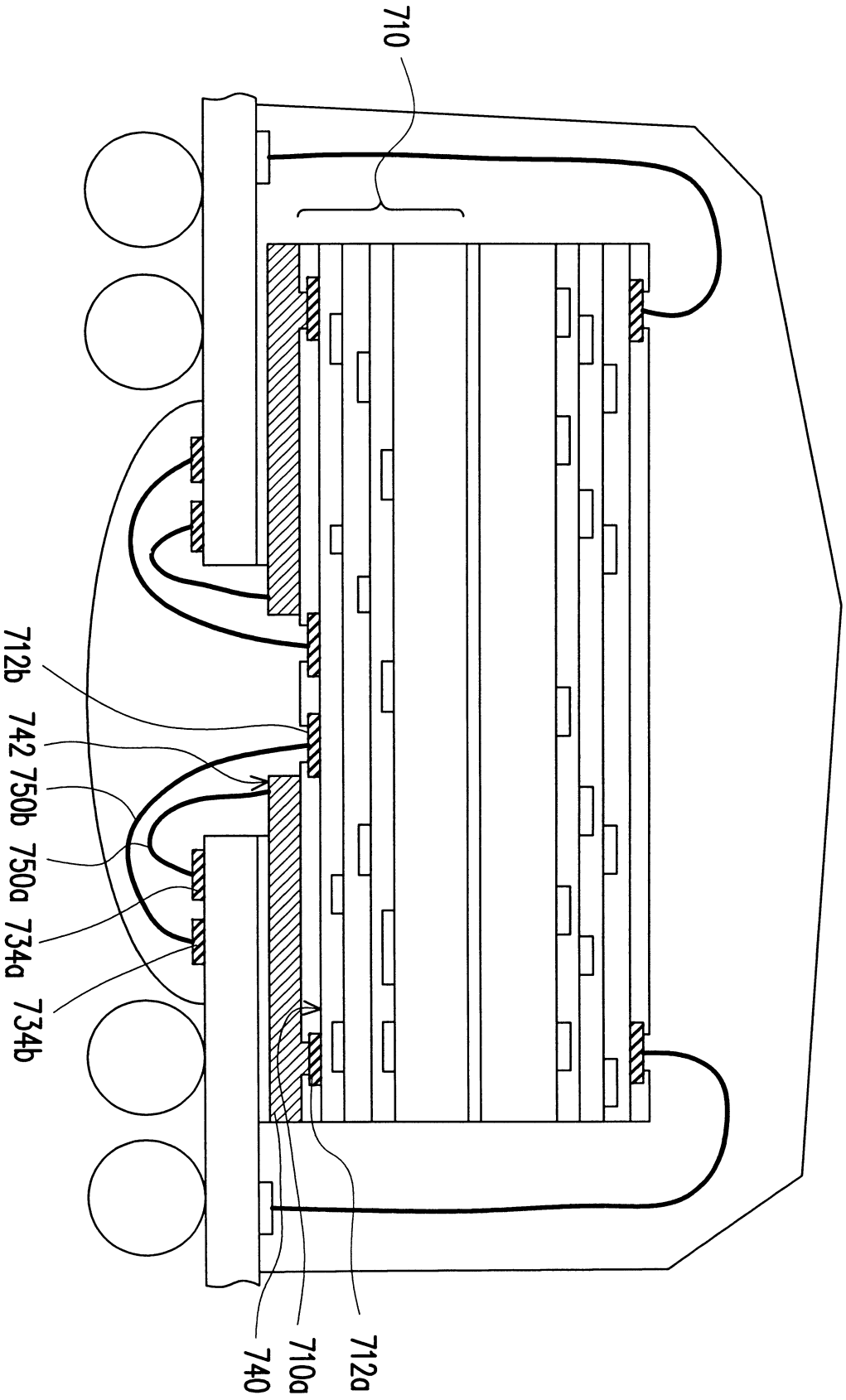


圖 16

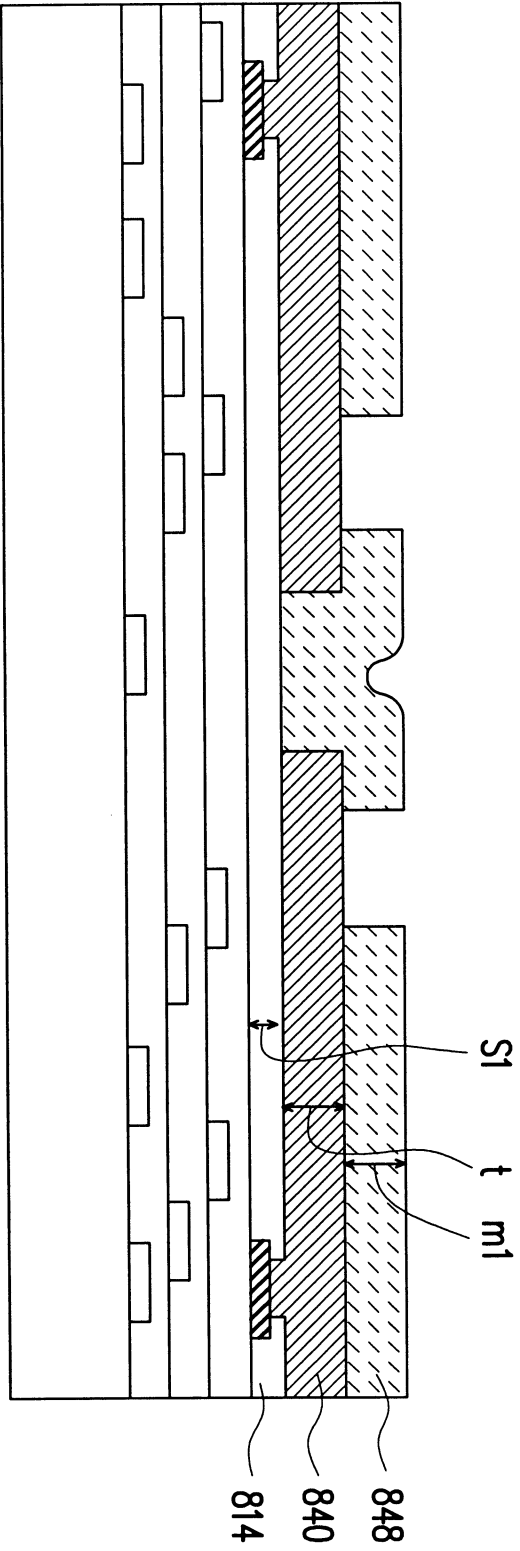


圖 17A

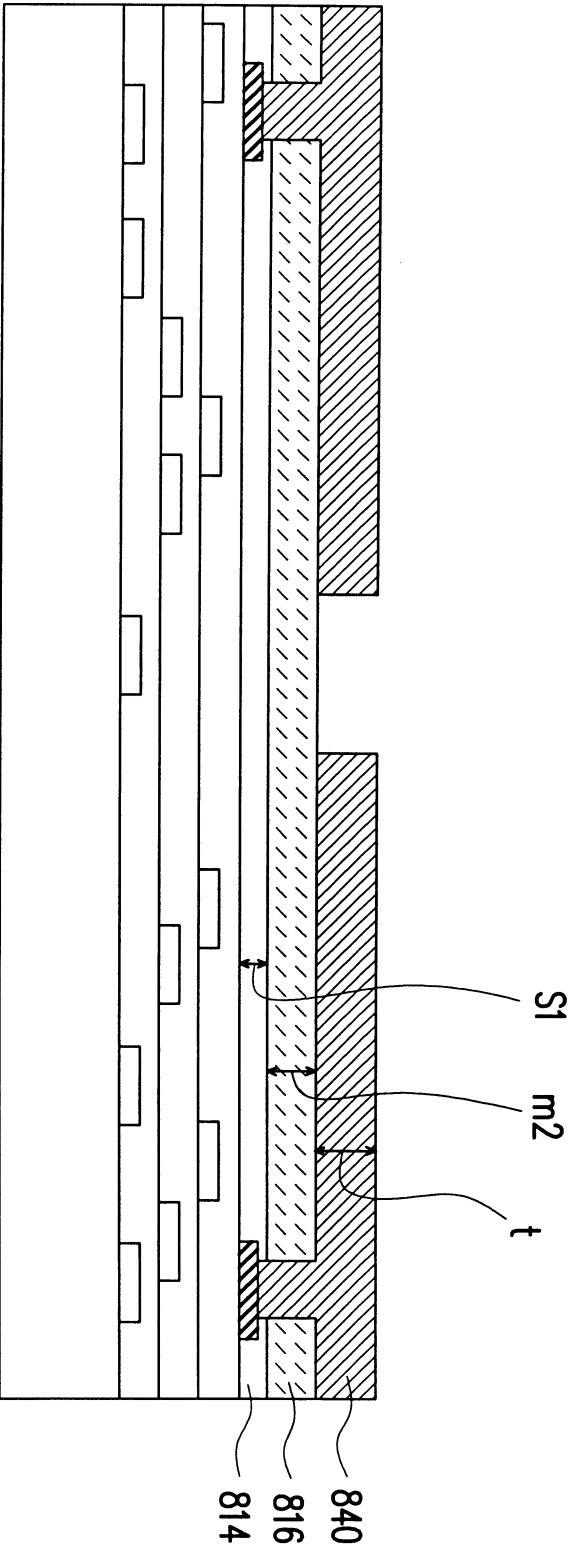


圖 17B

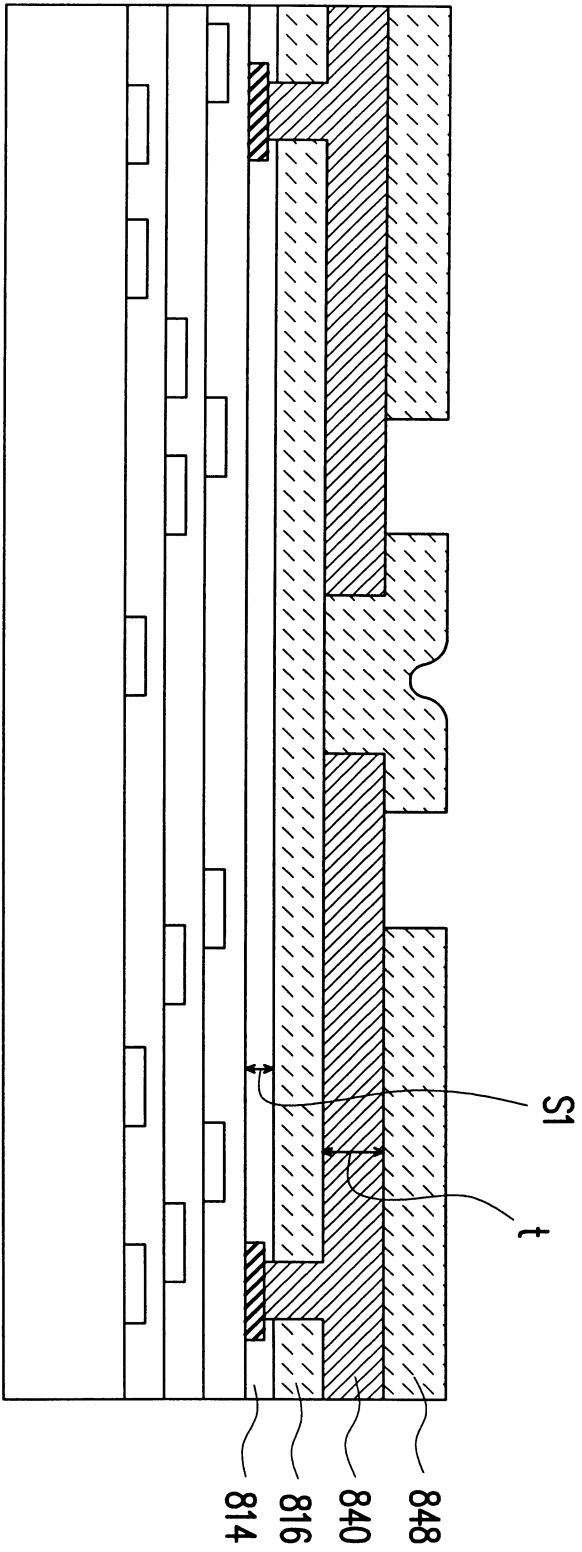


圖 17C

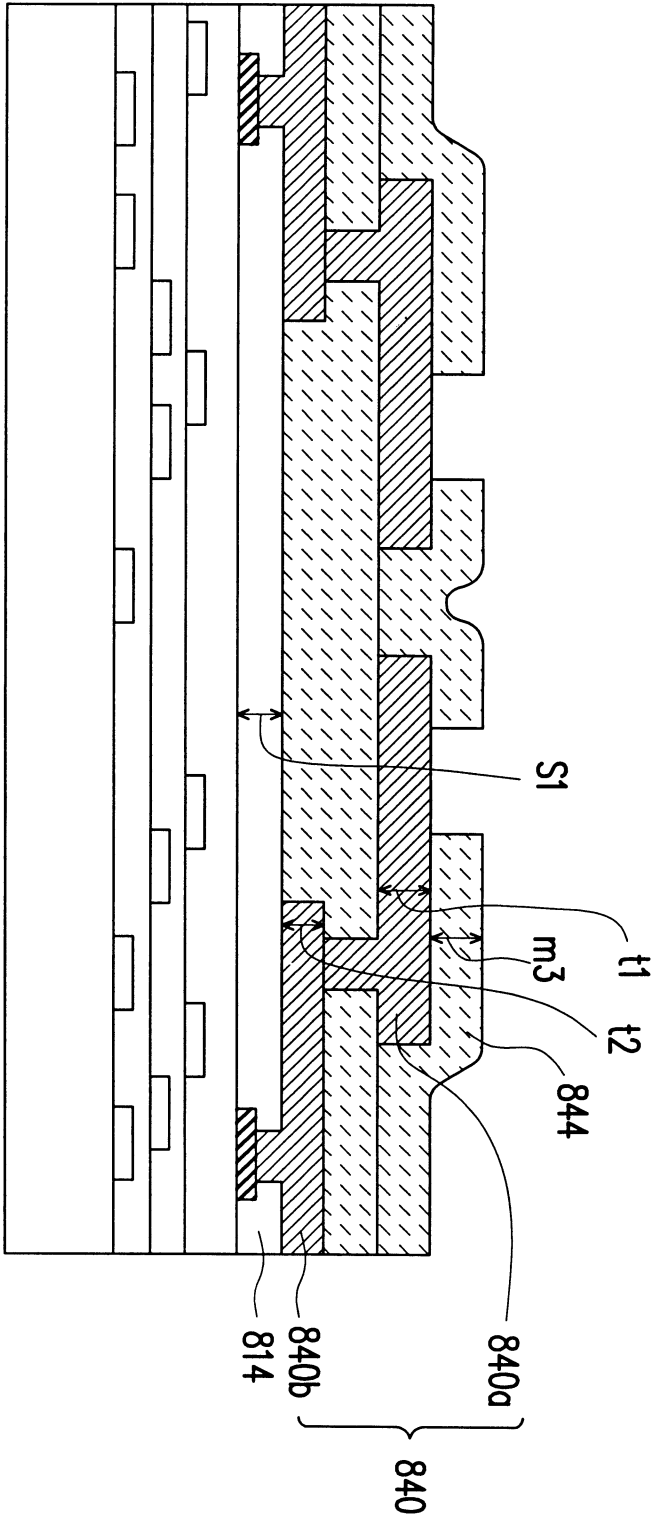


圖 17D

五、中文發明摘要：

一種堆疊型晶片封裝結構及其封裝製程，其係於晶片上形成一重配置線路，並藉由此重配置線路提供較佳位置之重配置接墊，以便於打線導線之連接。其中，針對具有不同線路佈局之接墊的晶片，此堆疊型晶片封裝結構及其封裝製程可選擇性地形成重配置線路於第一晶片上或第二晶片上。藉由此堆疊型晶片封裝結構及其封裝製程可簡化晶片之製作過程，並可達到降低生產成本、縮減體積、提高生產效率、效能及整體良率之目的。

六、英文發明摘要：

A stacked chip package and the process thereof are provided, wherein a redistributed layer is formed on a chip. Thus, the redistributed layer can provide redistributed pads in better arrangement for wire bonding. The redistributed layer can be selectively formed on a first chip or a second chip according to different circuit distributions thereof. The stacked chip package and the process thereof can simplify the manufacturing process of a chip for reducing the production cost and improving the production efficiency.

七、指定代表圖：

(一)本案指定代表圖為：圖 7。

(二)本代表圖之元件符號簡單說明：

310：第一晶片

310a：第一主動表面

312：第一晶片接墊

314：第一保護層

314a：開口

320：第二晶片

320a：第二主動表面

322：第二晶片接墊

324：第二保護層

324a：開口

330：基板

330a：上表面

330b：下表面

332：第一基板接墊

334：第二基板接墊

336：開孔

340：第一重配置線路

342：第一重配置接墊

350：第一打線導線

360：第二打線導線

370：第一封裝材料

380：第二封裝材料

390：鐳球

s1：第一保護層之厚度

s2：第一保護層之厚度

t：第一重配置線路之厚度

八、本案若有化學式時，請揭示最能顯示發明特徵
的化學式：略

95年6月/日修(更)正替換頁

公告本

發明專利說明書

I269420

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※ 申請案號：94114203

※ 申請日期：94/5/3

※IPC 分類：H01L²³/₄₈,²³/₂₈

一、發明名稱：(中文/英文)

堆疊型晶片封裝結構及其封裝製程

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

米頓電子股份有限公司 / MEGICA CORPORATION

代表人：(中文/英文)

林茂雄 / MOU-SHIUNG LIN

住居所或營業所地址：(中文/英文)

新竹科學工業園區園區二路 47 號 301/302 室 / Room 301/302, No.47, Park 2nd Rd.,
Science-Based Industrial Park Hsinchu, Taiwan, R.O.C.

國籍：(中文/英文) 中華民國 / Taiwan, R.O.C.

三、發明人：(共 4 人)

姓名：(中文/英文)

1. 林茂雄 / MOU-SHIUNG LIN
2. 林世雄 / SHIN-HSIUNG LIN
3. 陳盈志 / YING-CHIH CHEN
4. 周秋明 / CHIU-MING CHOU

國籍：(中文/英文) (均同) 中華民國 / Taiwan, R.O.C