



(12) 发明专利

(10) 授权公告号 CN 110347621 B

(45) 授权公告日 2020.09.29

(21) 申请号 201910546627.X

(56) 对比文件

(22) 申请日 2019.06.24

US 2008040531 A1, 2008.02.14

(65) 同一申请的已公布的文献号

审查员 邹盼盼

申请公布号 CN 110347621 A

(43) 申请公布日 2019.10.18

(73) 专利权人 广东高云半导体科技股份有限公司

地址 510000 广东省广州市黄埔区科学大道243号1001房

(72) 发明人 汤博先 刘烈 韩志伟

(74) 专利代理机构 深圳众鼎专利商标代理事务所(普通合伙) 44325

代理人 黄章辉

(51) Int. Cl.

G06F 13/16 (2006.01)

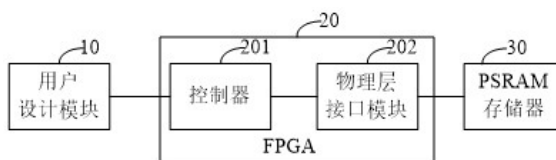
权利要求书2页 说明书5页 附图3页

(54) 发明名称

与PSRAM存储器连接的FPGA及存储系统

(57) 摘要

本发明提出了一种与PSRAM存储器连接的FPGA及存储系统,能够使用户层通过FPGA与PSRAM进行相互通信,FPGA包括控制器和物理层接口模块,控制器连接用户设计模块,物理层接口模块连接PSRAM存储器,控制器接收来自用户层的命令,通过物理层接口模块向PSRAM存储器的接口提供满足时序与顺序要求的信号,本发明通过与PSRAM存储器连接,可以控制产品成本、简化控制逻辑和减小芯片面积,同时达到高速传输的目的。



1. 一种与PSRAM存储器连接的FPGA,其特征在于,所述FPGA包括控制器和物理层接口模块,所述控制器连接用户设计模块,所述物理层接口模块连接PSRAM存储器;

所述控制器获取所述用户设计模块发送的写数据命令、地址以及写数据信息,将所述写数据命令和所述地址进行处理后发送至所述物理层接口模块,并将所述写数据信息进行处理后发送至所述物理层接口模块,其中,所述写数据命令包括时钟信号和复位信号,所述写数据信息包括写数据使能信号、写数据掩码信号以及写数据,所述控制器对所述地址进行转换、对所述写数据使能信号和所述写数据掩码信号进行逻辑计算获取写使能信号;

所述物理层接口模块根据所述写数据命令对所述写数据信息进行缓存处理后,将所述写数据信息、所述写数据命令以及所述地址进行时钟域转换后发送给所述PSRAM存储器;

所述控制器还包括读数据模块;

所述读数据模块获取所述用户设计模块发送的读数据命令信号,将所述读数据命令信号发送至所述物理层接口模块;

所述读数据模块检测到所述物理层接口模块发送的第一读有效信号时接收读数据,并根据所述读数据生成第二读有效信号,并将所述第二读有效信号发送至所述用户设计模块。

2. 根据权利要求1所述的FPGA,其特征在于:所述控制器获取所述用户设计模块发送的读数据命令信号,将所述读数据命令信号发送至所述物理层接口模块;

所述物理层接口模块接收所述PSRAM存储器发送的读数据指示信号,根据所述读数据指示信号在所述PSRAM存储器发送的数据中选择相应的数据,并生成读有效信号,将所述读有效信号和所选择的数据发送至所述控制器,所述控制器将所选择的数据发送至所述用户设计模块。

3. 根据权利要求2所述的FPGA,其特征在于:所述控制器包括命令模块和写数据模块;

所述命令模块获取所述用户设计模块发送的写数据命令和地址,对所述地址进行转换并与所述写数据命令进行组合后发送至所述物理层接口模块;

所述写数据模块获取写数据使能信号、写数据掩码信号以及写数据,对所述写数据使能信号和所述写数据掩码信号进行逻辑计算后得到写使能信号,并将所述写数据和所述写使能信号发送至所述物理层接口模块。

4. 根据权利要求3所述的FPGA,其特征在于:所述命令模块将所述地址映射为所述PSRAM存储器对应的ROW地址、Upper Column地址以及Lower Column地址。

5. 根据权利要求3所述的FPGA,其特征在于:所述物理层接口模块包括数据通路模块、控制通路模块以及I/O逻辑模块;

所述控制通路模块获取所述写数据命令以及所述地址,根据所述写数据命令获取时延参数,并将所述时延参数发送至所述数据通路模块,以及将所述写数据命令以及所述地址发送至所述I/O逻辑模块;

所述数据通路模块根据所述时延参数对所述写数据信息中的数据进行缓存处理后,并将所述写数据信息发送给所述I/O逻辑模块;

所述I/O逻辑模块将所述写数据信息、所述写数据命令以及所述地址进行时钟域转换后发送给所述PSRAM存储器。

6. 根据权利要求5所述的FPGA,其特征在于:所述控制通路模块获取所述读数据命令信

号,将所述读数据命令信号通过所述I/O逻辑模块发送至所述PSRAM存储器;

所述I/O逻辑模块接收所述PSRAM存储器发送的读数据指示信号,并发送给所述控制通路模块;

所述控制通路模块根据所述读数据指示信号控制所述数据通路模块在所述PSRAM存储器发送的数据中选择相应的数据,并生成读有效信号,将所述读有效信号发送至所述控制器。

7. 根据权利要求5所述的FPGA,其特征在于:所述物理层接口模块还包括初始化模块;所述初始化模块根据PSRAM协议标准在上电时对PSRAM颗粒进行初始化。

8. 一种存储系统,其特征在于,所述存储系统包括权利要求1至7任意一项所述的FPGA、用户设计模块以及PSRAM存储器,所述FPGA包括控制器和物理层接口模块,所述控制器连接用户设计模块,所述物理层接口模块连接PSRAM存储器。

## 与PSRAM存储器连接的FPGA及存储系统

### 技术领域

[0001] 本发明涉及集成电路技术领域,尤其涉及一种与PSRAM存储器连接的FPGA及存储系统。

### 背景技术

[0002] IP核(Intellectual Property Core,知识产权核)是指某一方提供的形式为逻辑单元、芯片设计的模块。设计人员能够以IP核为基础进行专用集成电路或现场可编程逻辑门阵列的逻辑设计,以缩短设计周期、提高设计质量与效率。

[0003] PSRAM(Pseudo static random access memory,伪静态随机存储器)是采用DRAM的工艺和技术,实现类似于SRAM一样的RAM器件,与SRAM采用6T的技术相比,PSRAM采用的是1T+1C的技术,PSRAM容量比SRAM大很多,体积更为轻巧,价格比SRAM便宜很多,售价更具有竞争力,而且PSRAM的I/O接口协议与SRAM相同。与DRAM的相比,PSRAM采用的是自行刷新(Self-Refresh),不需要刷新电路即能保存它内部存储的数据,而DRAM控制逻辑复杂,每隔一段时间,要刷新充电一次;否则内部的数据即会消失,因此PSRAM具有更高的性能,而且PSRAM拥有比DRAM更简化的数据存取接口。现有技术中存在如何使用PSRAM存储器取代DRAM与FPGA进行通信的问题。

### 发明内容

[0004] 本发明的目的在于提供一种与PSRAM存储器连接的FPGA及存储系统,以实现PSRAM存储器与FPGA之间进行通信。

[0005] 本发明是这样实现的,本发明第一方面提供一种与PSRAM存储器连接的FPGA,所述FPGA包括控制器和物理层接口模块,所述控制器连接用户设计模块,所述物理层接口模块连接PSRAM存储器;

[0006] 所述控制器获取所述用户设计模块发送的写数据命令、地址以及写数据信息,将所述写数据命令和所述地址进行处理后发送至所述物理层接口模块,并将所述写数据信息进行处理后发送至所述物理层接口模块;

[0007] 所述物理层接口模块根据所述写数据命令对所述写数据信息进行缓存处理后,将所述写数据信息、所述写数据命令以及所述地址进行时钟域转换后发送给所述PSRAM存储器。

[0008] 本发明第二方面提供一种存储系统,所述存储系统包括FPGA、用户设计模块以及PSRAM存储器,所述FPGA包括控制器和物理层接口模块,所述控制器连接用户设计模块,所述物理层接口模块连接PSRAM存储器。

[0009] 本发明提出了一种与PSRAM存储器连接的FPGA及存储系统,能够使用户层通过FPGA与PSRAM进行相互通信,FPGA包括控制器和物理层接口模块,控制器连接用户设计模块,物理层接口模块连接PSRAM存储器,控制器接收来自用户层的命令,通过物理层接口模块向PSRAM存储器的接口提供满足时序与顺序要求的信号,本发明通过与PSRAM存储器连

接,可以控制产品成本、简化控制逻辑和减小芯片面积,同时达到高速传输的目的。

### 附图说明

[0010] 为了更清楚地说明本发明实施例中的技术方案,下面将对实施例或现有技术描述中所需要使用的附图作简单地介绍,显而易见地,下面描述中的附图仅仅是本发明的一些实施例,对于本领域普通技术人员来讲,在不付出创造性劳动性的前提下,还可以根据这些附图获得其他的附图。

[0011] 图1是本发明实施例一提供的一种与PSRAM存储器连接的FPGA的结构示意图;

[0012] 图2是本发明实施例一提供的一种与PSRAM存储器连接的FPGA的具体结构示意图;

[0013] 图3是本发明实施例二提供的一种存储系统的结构示意图;

[0014] 图4是本发明实施例二提供的一种存储系统中的用户设计模块突发长度32的写时序示意图;

[0015] 图5是本发明实施例二提供的一种存储系统中的存储器端口总线上的写时序示意图;

[0016] 图6是本发明实施例二提供的一种存储系统中的用户设计模块突发长度32的读时序示意图;

[0017] 图7是本发明实施例二提供的一种存储系统中的存储器端口总线上的读时序示意图。

### 具体实施方式

[0018] 为了使本发明的目的、技术方案及优点更加清楚明白,以下结合附图及实施例,对本发明进行进一步详细说明。应当理解,此处所描述的具体实施例仅仅用以解释本发明,并不用于限定本发明。

[0019] 为了说明本发明的技术方案,下面通过具体实施例来进行说明。

[0020] 本发明实施例一提供一种与PSRAM存储器连接的FPGA20,如图1所示,FPGA 20包括控制器201和物理层接口模块202,控制器201连接用户设计模块10,物理层接口模块202连接PSRAM存储器30。

[0021] 当用户设计模块10通过FPGA20向PSRAM存储器30写数据时,控制器201获取用户设计模块10发送的写数据命令、地址以及写数据信息,将写数据命令和地址进行处理后发送至物理层接口模块202,并将写数据信息进行处理后发送至物理层接口模块202;

[0022] 物理层接口模块202根据写数据命令对写数据信息进行缓存处理后,将写数据信息、写数据命令以及地址进行时钟域转换后发送给PSRAM存储器30。

[0023] 其中,控制器201用于与用户设计模块10进行通信,获取用户设计模块10发送的写数据命令、地址以及写数据信息,写数据命令包括时钟信号和复位信号,写数据信息包括写数据使能信号、写掩码信号以及写数据,控制器201对地址进行转换、对后写数据使能信号和写数据掩码信号进行逻辑计算获取写使能信号,并发送至物理层接口模块202,物理层接口模块202对数据进行缓存并将写数据信息、写数据命令以及地址进行时钟域转换后发送给PSRAM存储器30,以将数据存储存储在PSRAM存储器30中。

[0024] PSRAM存储器30相比SRAM存储器具有容量大、体积轻巧以及价格便宜等优势,及相

比DRAM存储器的自行刷新及简化接口优势,并且PSRAM存储器30具有逻辑简单、使用接口少、成本控制低、存储芯片面积小、功耗低、高速传输的优势,基于上述市场需求及PSRAM的存储特性,本发明提出了一种与PSRAM存储器30连接的FPGA 20,能够使用户层通过FPGA 20与PSRAM进行相互通信,FPGA 20包括控制器201和物理层接口模块202,控制器201连接用户设计模块10,物理层接口模块202连接PSRAM存储器30,控制器201接收来自用户层的命令,通过物理层接口模块202向PSRAM存储器30的接口提供满足时序与顺序要求的信号;且本发明适用于双倍速率PSRAM存储器,在控制成本、简化控制逻辑和减小芯片面积的同时,达到高速传输的目的。

[0025] 作为一种实施方式,如图2所示,控制器201包括命令模块212和写数据模块211。

[0026] 命令模块212获取用户设计模块10发送的写数据命令和地址,对地址进行转换并与写数据命令进行组合后发送至物理层接口模块202;

[0027] 写数据模块211获取写数据使能信号、写数据掩码信号以及写数据,对写数据使能信号和写数据掩码信号进行逻辑计算后得到写使能信号,并将写数据和写使能信号发送至物理层接口模块202。

[0028] 其中,命令模块212主要功能是接收并存储用户发送的地址与命令,命令模块212对用户发送的地址进行转换,映射为PSRAM对应的ROW地址、Upper Column地址、Lower Column地址,并对用户发送的命令和地址进行拆分、重组,例如,按照预设规则排序命令和地址并发送给物理层接口模块202。

[0029] 其中,写数据模块211主要功能是接收并存储用户发送的写数据使能信号、写数据信号与写掩码信号,对写数据使能信号和写数据掩码信号进行逻辑计算后得到写使能信号,并根据目前存储的写数据与控制器201接收到的写命令、配置的突发长度等,为物理层接口模块202提供写数据,并向物理层接口模块202传送写使能信号。其中,对于深度为M宽度为N的存储器来说,地址0~M中的每个地址的存储数据都对应一个比特数为N位的掩码信号,掩码信号的每个比特位对应相应地址内存存储数据的每个比特位,用于掩饰存储数据中不改写相应寄存器的值的比特位或需改写相应寄存器的值的比特位。如掩码高有效,即掩码为1的比特位会被掩饰而不改写相应比特寄存器的值;同理,如果掩码低有效,即掩码为0的比特位会被掩饰而不改写相应比特寄存器的值。存储器还具有位宽为单比特的写使能信号,用于控制存储器是否可以写数据。由于写使能信号是单比特的,其二进制表示为0或1,写使能信号为低有效,即写使能信号为0时存储器可以写数据;写使能信号为高有效,即写使能信号为1时存储器可以写数据。其要与多比特位的掩码信号进行逻辑运算之前,首先,要将写使能信号扩展为与掩码信号位宽相同的写使能信号,写使能信号扩展为掩码信号位宽相同后,再将扩展后的写使能信号与掩码信号进行逻辑运算,得到与掩码信号位宽相同的写使能信号。具体地,如掩码信号和写使能信号均为高有效,则先将多比特掩码信号按位取反,然后分别与扩展后的写使能信号进行按位与操作,得到一个扩展的与写数据及掩码信号相同位宽的写使能信号。

[0030] 作为一种实施方式,物理层接口模块202包括数据通路模块221、控制通路模块222以及I/O逻辑模块223;

[0031] 控制通路模块222获取写数据命令以及地址,根据写数据命令获取时延参数,并将时延参数发送至数据通路模块221,以及将写数据命令以及地址发送至I/O逻辑模块223;

[0032] 数据通路模块221根据时延参数对写数据信息中的数据进行缓存处理后,并将写数据信息发送给I/O逻辑模块223;

[0033] I/O逻辑模块223将写数据信息、写数据命令以及地址进行时钟域转换后发送给PSRAM存储器30。

[0034] 其中,数据通路模块221在写数据时,接收来自控制器201的数据和写使能信号,并根据延时参数对数据进行缓存处理,然后将数据和写使能信号发送到I/O逻辑模块223。

[0035] 其中,控制通路模块222为单向通路,接收控制器201发送的命令与地址信号,并与数据通路模块221配合,处理写数据的时延参数并发送给数据通路模块221,并将命令发送到I/O逻辑模块223。

[0036] 其中,I/O逻辑模块223主要是对数据通路模块221和控制通路模块222传递过来的数据、命令、地址信号进行时钟域的转换,从clk\_x1时钟域转换到clk\_x2时钟域,从而产生PSRAM存储器30需要的信号。

[0037] 作为另一种实施方式,当用户设计模块10通过FPGA20从PSRAM存储器30读数据时,控制器201获取用户设计模块10发送的读数据命令信号,将读数据命令信号发送至物理层接口模块202;

[0038] 物理层接口模块202接收PSRAM存储器30发送的读数据指示信号,根据读数据指示信号在PSRAM存储器30发送的数据中选择相应的数据,并生成读有效信号,将读有效信号和所选择的数据发送至控制器201,控制器201将所选择的数据发送至用户设计模块10。

[0039] 进一步的,如2所示,控制器201还包括读数据模块213;

[0040] 读数据模块213获取用户设计模块10发送的读数据命令信号,将读数据命令信号发送至物理层接口模块202;

[0041] 读数据模块213检测到物理层接口模块202发送的第一读有效信号时接收读数据,并根据读数据生成第二读有效信号,并将第二读有效信号发送至用户设计模块10。

[0042] 其中,读数据模块213主要功能是接收物理层接口模块202返回的读数据,并将其发送给用户设计模块10;物理层接口模块202在返回读数据时,会提供相应的读有效信号,读数据模块213在读信号有效时接收读数据,将数据整理后发送给用户,并为用户设计模块10产生合适的读有效信号,用户设计模块10在读信号有效时接收读数据。

[0043] 在读数据的过程中,物理层接口模块202中的控制通路模块222获取读数据命令信号,将读数据命令信号通过I/O逻辑模块223发送至PSRAM存储器30。

[0044] I/O逻辑模块223接收PSRAM存储器30发送的读数据指示信号,并发送给控制通路模块222。

[0045] 控制通路模块222根据读数据指示信号控制数据通路模块221在PSRAM存储器30发送的数据中选择相应的数据,并生成第一读有效信号,将第一读有效信号发送至控制器201。

[0046] 其中,在读数据时,物理层接口模块202根据I/O逻辑模块223发送过来的数据指示信号来选择其传递过来的数据,并将该数据发送给控制器201。

[0047] 进一步的,物理层接口模块202还包括初始化模块224;

[0048] 初始化模块224根据PSRAM协议标准在上电时对PSRAM颗粒进行初始化。

[0049] 本发明实施例二体用一种存储系统,如图1所示,存储系统包括FPGA20、用户设计

模块10以及PSRAM存储器30,FPGA20包括控制器201和物理层接口模块202,控制器201连接用户设计模块10,物理层接口模块202连接PSRAM存储器30。

[0050] 如图3所示,在写数据时,用户设计模块10向FPGA20发送时钟信号、复位信号、写数据信息以及地址信号,FPGA20向PSRAM存储器30发送时钟信号、差分信号、片选信号、复位信号以及数据信号,在读数据时,PSRAM存储器30向FPGA20发送数据信号和数据指示信号,FPGA20根据数据指示信号接收数据,并向用户设计模块10发送读数据和读数据有效信号,用户设计模块10在接收读数据有效信号时进行读数据操作。

[0051] 如图4为用户设计模块10输出长度为32的写时序示意图,其中,CLK为时钟信号,\_addr为地址信号,CMD为写命令信号,CMD\_EN为命令有效信号,WR\_DATA为写数据,DATA\_MASK为写掩码信号。

[0052] 如图5为PSRAM存储器端口总线上的写时序示意图,其中,PSRAM\_CK为时钟信号,PSRAM\_DQ为数据,PSRAM\_CS\_N为片选信号,PSRAM\_RWDS为写掩码信号,PSRAM\_RESET\_N为复位信号。

[0053] 如图6为用户设计模块突发长度32的读时序示意图,其中,CLK为时钟信号,CMD为读命令信号信号,CMD\_EN为命令有效信号,RD\_DATA\_VALID为读有效信号,RD\_DATA为读数据。

[0054] 如图7为PSRAM存储器端口总线上的读时序示意图,其中,PSRAM\_CK为时钟信号,PSRAM\_DQ为数据,PSRAM\_CS\_N为片选信号,PSRAM\_RWDS为读指示信号,PSRAM\_RESET\_N为复位信号。

[0055] 以上实施例仅用以说明本发明的技术方案,而非对其限制;尽管参照前述实施例对本发明进行了详细的说明,本领域的普通技术人员应当理解:其依然可以对前述各实施例所记载的技术方案进行修改,或者对其中部分技术特征进行等同替换;而这些修改或者替换,并不使相应技术方案的本质脱离本发明各实施例技术方案的精神和范围,均应包含在本发明的保护范围之内。



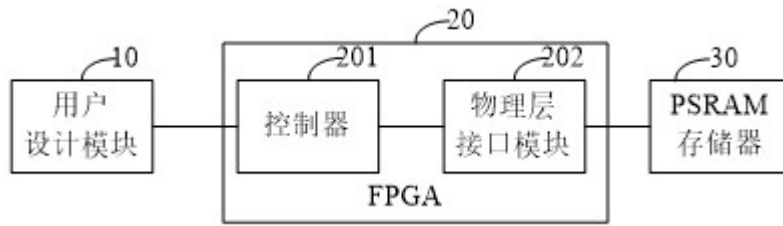


图1

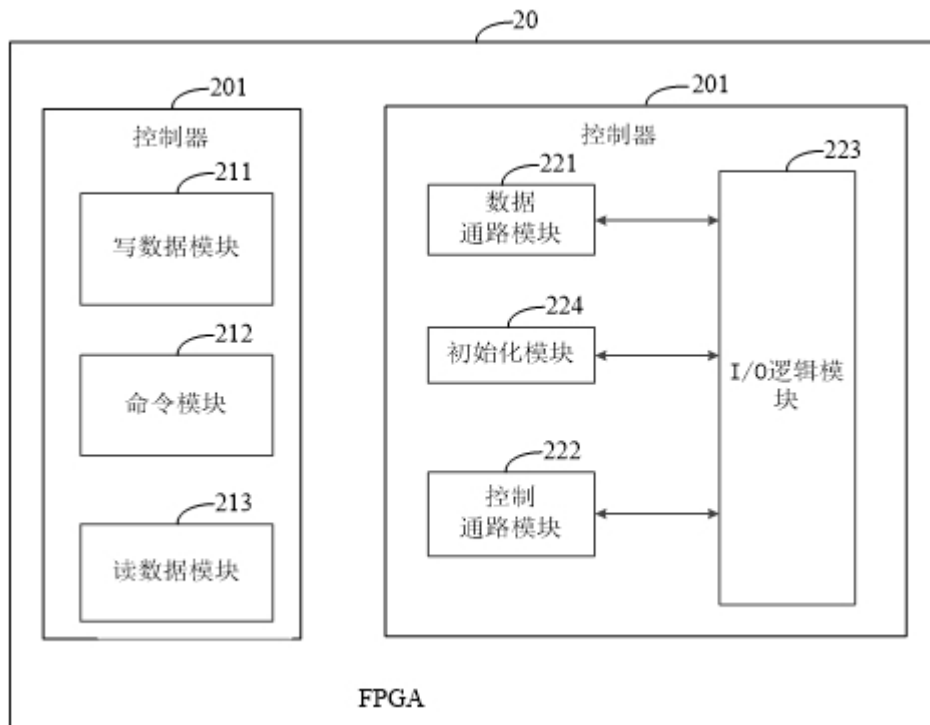


图2

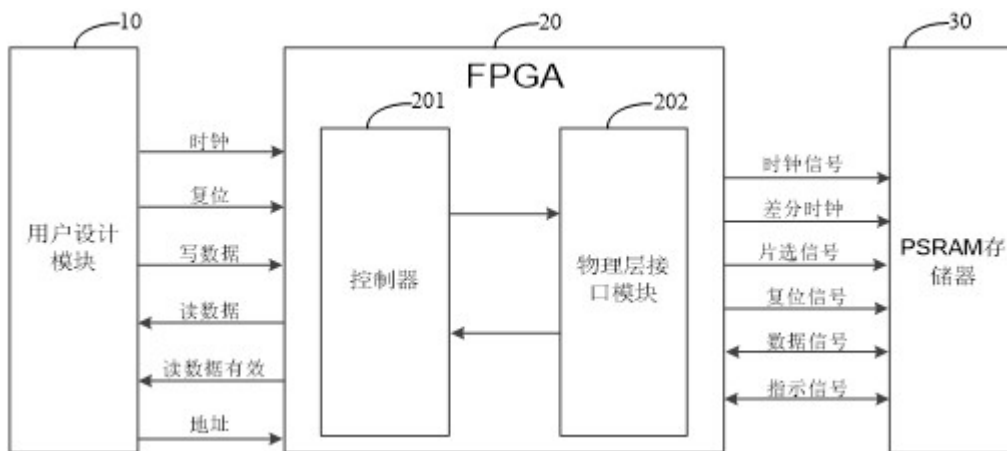


图3

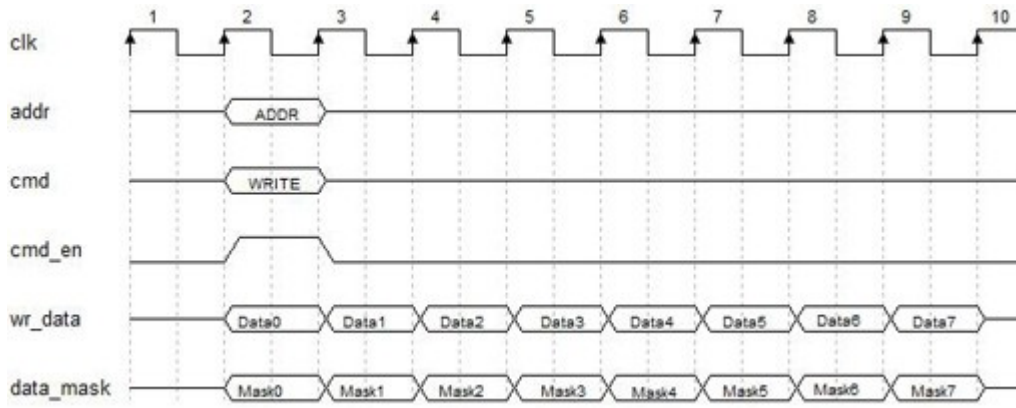


图4

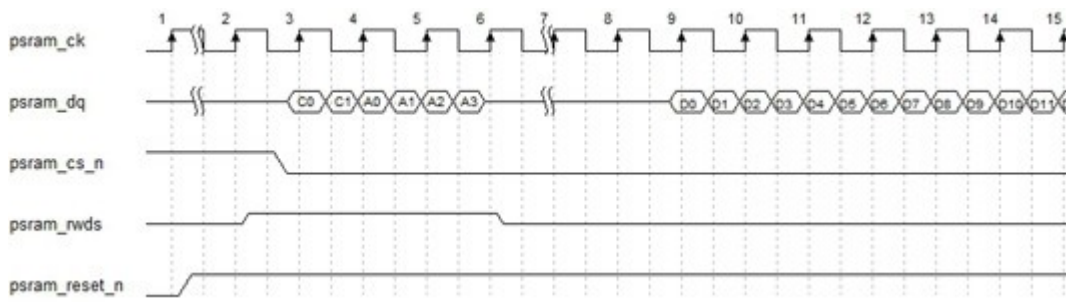


图5

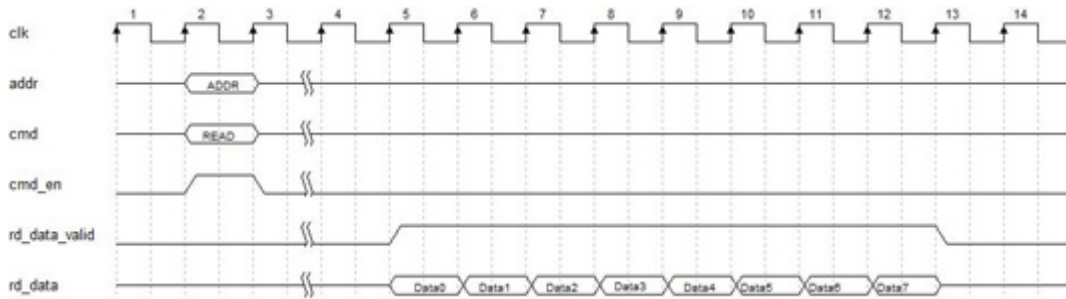


图6

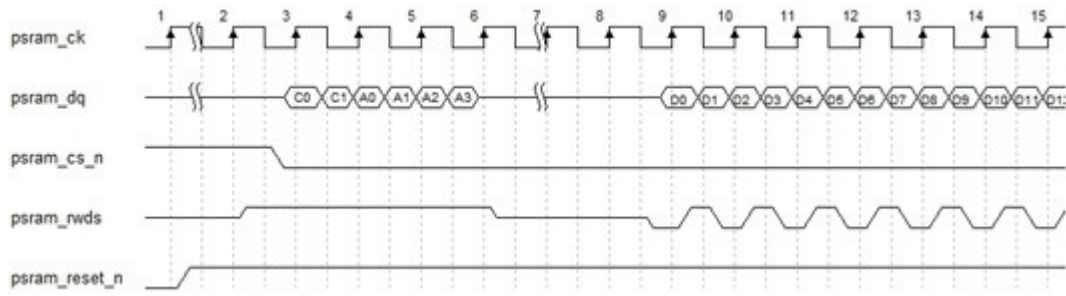


图7