



(12) 发明专利

(10) 授权公告号 CN 101207175 B

(45) 授权公告日 2010. 10. 13

(21) 申请号 200710199375. 5

(22) 申请日 2007. 12. 20

(30) 优先权数据

10-2006-0131297 2006. 12. 20 KR

(73) 专利权人 东部高科股份有限公司

地址 韩国首尔

(72) 发明人 韩昌勋

(74) 专利代理机构 隆天国际知识产权代理有限

公司 72003

代理人 郑小军

(51) Int. Cl.

H01L 35/34 (2006. 01)

H01L 35/32 (2006. 01)

H01L 25/16 (2006. 01)

H01L 27/146 (2006. 01)

H01L 23/38 (2006. 01)

(56) 对比文件

US 5188978 A, 1993. 02. 23, 全文.

US 6800933 B1, 2004. 10. 05, 说明书第 2 栏第 40 行至第 5 栏第 32 行、附图 3-12.

US 6559538 B1, 2003. 05. 06, 全文.

审查员 章放

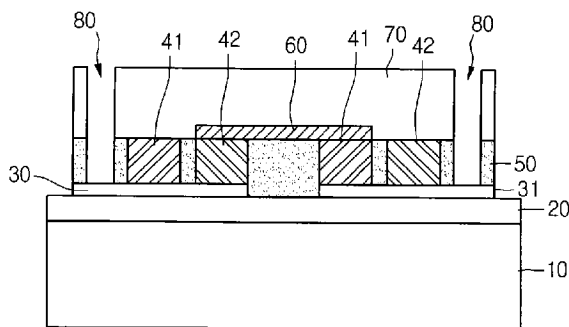
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

电子冷却装置、图像传感器及其制造方法

(57) 摘要

本发明提供一种电子冷却装置、图像传感器及其制造方法。该方法包括步骤：在半导体衬底上形成绝缘层，在绝缘层上形成第一硅化物层和第二硅化物层，在第一硅化物层和第二硅化物层上均形成分离的成对 p 型半导体和 n 型半导体，在 p 型半导体和 n 型半导体上形成第一层间介电 (ILD) 层，暴露 n 型半导体和 p 型半导体的上表面，在第一硅化物层和第二硅化物层各自的一个半导体上形成第三硅化物层，在第三硅化物层上形成第二 ILD 层，及蚀刻第二 ILD 层和第一 ILD 层以形成接触孔，接触孔暴露第一硅化物层和第二硅化物层的上表面。本发明能够驱散或降低集成电路内产生的热，使图像传感器在高温下、在使用的延长期内更有效地和 / 或热致噪声更低地运行。



1. 一种制造装置的方法,包括步骤:

在第一硅化物图案和第二硅化物图案上均形成一对 p 型半导体本体和 n 型半导体本体,使得所述 p 型半导体本体相互分离,且所述 n 型半导体本体相互分离;

在所述 p 型半导体本体和 n 型半导体本体上形成第一介电层,并暴露所述 n 型半导体本体和 p 型半导体本体的上表面;

在所述第一硅化物图案上的 n 型半导体本体的第一个上和所述第二硅化物图案上的 p 型半导体本体的第一个上形成第三硅化物层;

在所述第三硅化物层上、以及在所述 p 型半导体本体的第二个和所述 n 型半导体本体的第二个的顶面上形成第二介电层;以及

蚀刻所述第二介电层和第一介电层以形成接触孔,所述接触孔暴露所述第一硅化物图案和第二硅化物图案的上表面。

2. 如权利要求 1 所述的方法,还包括步骤:在形成所述 p 型半导体本体和所述 n 型半导体本体的步骤之前,在半导体衬底上形成绝缘层,然后在所述绝缘层上形成所述第一硅化物图案和第二硅化物图案。

3. 如权利要求 1 所述的方法,其中,形成所述 p 型半导体本体和所述 n 型半导体本体的步骤包括:

在所述第一硅化物图案和第二硅化物图案上形成多晶硅层;以及

在所述多晶硅层中注入杂质。

4. 如权利要求 2 所述的方法,其中,所述绝缘层包括氧化铝层。

5. 如权利要求 2 所述的方法,其中,所述绝缘层的厚度范围为 $10\ \mu\text{m}$ 至 $300\ \mu\text{m}$ 。

6. 如权利要求 3 所述的方法,其中,所述多晶硅层包括 n 型掺杂多晶硅,并且形成所述 p 型半导体本体的步骤包括在所述 n 型掺杂多晶硅的预定区域中注入 p 型杂质。

7. 如权利要求 3 所述的方法,其中,所述多晶硅层包括 p 型掺杂多晶硅,并且形成所述 n 型半导体本体的步骤包括在所述 p 型掺杂多晶硅的预定区域中注入 n 型杂质。

8. 如权利要求 1 所述的方法,其中,所述第一介电层和第二介电层均包括氧化物。

9. 一种电子冷却装置,包括:

绝缘层,位于半导体衬底上;

第一硅化物层和第二硅化物层,位于所述绝缘层上;

第一对 p 型半导体本体和 n 型半导体本体,位于所述第一硅化物层和所述第二硅化物层上;

第二对 p 型半导体本体和 n 型半导体本体,位于所述第一硅化物层和所述第二硅化物层上,其中所述 p 型半导体本体相互分离,且所述 n 型半导体本体相互分离;

第一介电层,位于所述 p 型半导体本体与 n 型半导体本体之间;

第三硅化物层,位于所述第一硅化物层上的 n 型半导体本体的第一个上和所述第二硅化物层上的 p 型半导体本体的第一个上,以将所述第一硅化物层上的 n 型半导体本体的第一个与所述第二硅化物层上的 p 型半导体本体的第一个相连接;

第二介电层,位于所述第三硅化物层、以及所述 p 型半导体本体的第二个和所述 n 型半导体本体的第二个的顶面上;以及

多个接触孔,穿过所述第一介电层和第二介电层,暴露所述第一硅化物层和第二硅化

物层的上表面。

10. 如权利要求 9 所述的电子冷却装置,其中,所述绝缘层包括氧化铝层。

11. 如权利要求 9 所述的电子冷却装置,其中,所述绝缘层的厚度范围为 $10\ \mu\text{m}$ 至 $300\ \mu\text{m}$ 。

12. 如权利要求 9 所述的电子冷却装置,其中,所述 p 型半导体本体包括 p 型杂质。

13. 如权利要求 9 所述的电子冷却装置,其中,所述 n 型半导体本体包括 n 型杂质。

14. 如权利要求 10 所述的电子冷却装置,其中,各所述接触孔是单个或者多个。

15. 如权利要求 9 所述的电子冷却装置,其中,所述第一介电层和第二介电层均包括氧化物层。

16. 一种冷却式图像传感器,包括:

CMOS 图像传感器;以及

如权利要求 9 所述的电子冷却装置。

电子冷却装置、图像传感器及其制造方法

[0001] 相关申请的交叉参考

[0002] 本申请要求 2006 年 12 月 20 日提交的韩国专利申请 No. 10-2006-0131297 的优先权,并通过参考将其全部内容合并于此。

技术领域

[0003] 本发明涉及一种电子冷却装置及其制造方法。

背景技术

[0004] 像微处理器这样的集成电路 (IC) 装置设计为以极高速运行。因此,在运行时 IC 装置本身会产生大量的热。为了满足对动态随机存取存储器 (DRAM) 装置或者中央处理单元 (CPU) 的高速性能的要求,要在 IC 装置中使用高速输入 / 输出电路,因而会产生更大量的热。因此,进行了很多研究力图减少发热。

[0005] 半导体中电子信号的载流子包括电子和空穴等。通常,随着温度的上升,载流子的浓度会迅速增加。由于温度造成的载流子的浓度增加是控制装置运行的主要限制因素。

[0006] 为了减少载流子的热限制,在计算机等设备的内部可安装散热片和 / 或风扇,以降低或驱散电子装置内产生的热。

发明内容

[0007] 本发明的实施例提供一种电子冷却装置及其制造方法,该电子冷却装置能够有效降低和 / 或驱散集成电路内产生的热。

[0008] 在一个实施例中,制造电子冷却装置的方法可包括步骤:在半导体衬底上形成绝缘层;在所述绝缘层上形成第一硅化物层和第二硅化物层;在第一硅化物层和第二硅化物层上均形成 p 型半导体和 n 型半导体,使得所述 p 型半导体和 n 型半导体相互分离;在所述 p 型半导体和 n 型半导体上形成第一介电层,并暴露所述 n 型半导体和 p 型半导体的上表面;在所述第一硅化物层的 n 型半导体和所述第二硅化物层的 p 型半导体上形成第三硅化物层;在所述第三硅化物层上形成第二介电层;以及蚀刻所述第二介电层和第一介电层,形成接触孔,所述接触孔暴露所述第一硅化物层和第二硅化物层的上表面。

[0009] 在另一实施例中,一种制造可冷却图像传感器的方法可包括步骤:在第一导体和第二导体上均形成多对 p 型半导体本体和 n 型半导体本体,使得多对 p 型半导体本体和 n 型半导体本体中的各对 p 型半导体本体和 n 型半导体本体与其它对 p 型半导体本体和 n 型半导体本体相互分离;在所述多对 p 型半导体本体和 n 型半导体本体上形成第一介电层;暴露所述多个 n 型半导体本体和 p 型半导体本体的上表面;在各对 p 型半导体本体和 n 型半导体本体的最内侧的半导体本体上形成第三导体;在所述第三导体上形成第二介电层以形成冷却装置;以及将图像传感器连接至所述冷却装置。

[0010] 在再一实施例中,电子冷却装置可包括:绝缘层,位于半导体衬底上;第一导体和第二导体,位于所述绝缘层上;多个成对 p 型半导体本体和 n 型半导体本体,分别位于所述

第一导体和第二导体上；第一介电层，位于所述 p 型半导体本体与 n 型半导体本体之间；第三导体，将所述第一导体的 n 型半导体与所述第二导体的 p 型半导体相连接；第二介电层，位于所述第三导体上；以及多个接触孔，穿过所述第一层间层和第二层间层，暴露所述第一导体和第二导体的上表面。

[0011] 在又一实施例中，一种冷却式图像传感器可包括：CMOS 图像传感器；以及如上所述的电子冷却装置。

[0012] 将本发明的电子冷却装置及其制造方法应用于半导体集成装置，能够驱散或降低集成电路内产生的热，特别可以使图像传感器在高温下、在使用的延长期内更有效地和/或热致噪声更低地运行。此外，能够有效控制由于光电转换产生的暗电流，得到更高的放大倍数，获得清晰图像，因此能够提高 CMOS 图像传感器的质量。

[0013] 下面在附图和说明书中提供一个或多个实施例的细节。通过说明书、附图以及权利要求书，其它特点将显而易见。

附图说明

[0014] 图 1 至图 9 为剖视图，用于示出制造根据本发明实施例的电子冷却装置的示例性方法。

[0015] 图 10 为根据本发明实施例的示例性电子冷却装置的布局图。

具体实施方式

[0016] 以下参照附图详细描述根据本发明多个实施例的电子冷却装置及其制造方法。

[0017] 图 9 为根据一实施例的电子冷却装置的剖视图。根据该实施例的电子冷却装置利用珀耳帖效应，由多个 p 型半导体本体和多个 n 型半导体本体串联构成。

[0018] 参照图 9，在半导体衬底 10 上设置有绝缘层 20。作为例子，绝缘层 20 可包括氧化铝层。特别地，绝缘层 20 的厚度范围可为 10 μm 至 300 μm 。可根据采用了该示例性冷却装置的设备的发热量来选定绝缘层 20 的目标厚度。发热量越大，绝缘层 20 的厚度越大。

[0019] 在绝缘层 20 上设置有第一导体 30 和第二导体 31（例如硅化物层），并且使得第一导体 30 和第二导体 31 相互分离。

[0020] 在第一硅化物层 30 和第二硅化物层 31 上均设置有 p 型半导体本体 41 和 n 型半导体本体 42。通常，互补的半导体本体 41 和 42 成对（即每型一个）配置在导体 30 和 31 上。这样，导体 30 和 31 上半导体本体 41 和 42 的排列可以反转（例如，可将 p 型半导体本体 41 设置在第一硅化物层 30 最接近第二硅化物层 31 的一端上，而 n 型半导体本体 42 可设置在 p 型半导体本体 41 外侧）。

[0021] 可通过在半导体层（例如非晶硅或多晶硅）中注入 p 型杂质离子来获得 p 型半导体 41。类似地，可通过在半导体层中注入 n 型杂质离子来获得 n 型半导体 42。

[0022] 第一硅化物层 30 上的 p 型半导体 41、n 型半导体 42 与第二硅化物层 31 上的 p 型半导体 41、n 型半导体 42 通过第一层间介电 (ILD) 层 50 而分离。例如，第一 ILD 层 50 可包括氧化物（例如二氧化硅）层。

[0023] 在第一硅化物层 30 上的 n 型半导体 42 的上表面和第二硅化物层 31 上的 p 型半导体 41 的上表面上设置有第三导体（例如硅化物层）60。因此，第一硅化物层 30 上的 n 型

半导体 42 与第二硅化物层 31 上的 p 型半导体 41 优选通过第三导体 60 电性串联连接。

[0024] 在第三硅化物层 60 上设置有第二 ILD 层 70。例如,第二 ILD 层 70 可包括氧化物(例如二氧化硅)层。通过在预定位置和/或以预定形状蚀刻第二 ILD 层 70 和第一 ILD 层 50,从而在第一 ILD 层 50 和第二 ILD 层 70 中设置接触孔 80。也就是说,接触孔 80 暴露出第一硅化物层 30 和第二硅化物层 31 各自的边缘或外侧部分。这里,接触孔 80 可以是单个,也可以是多个。

[0025] 具有上述构造的电子冷却装置利用珀耳帖效应,并且,通过控制提供给该电子冷却装置的电流的大小和持续时间,即使是在小型电子装置中,该电子冷却装置也能表现出极好的冷却效果。

[0026] 至于珀耳帖效应,简而言之,就是当电子从金属流入半导体时,金属中接近费米能级的电子必定进入半导体的导带(conduction band)。因此,当导电电子从金属移动到半导体时,它们的平均动能必定增加。附加的动能由热量的吸收得到证明。也就是说,吸收的热量或热能增加了电子的平均动能。假定有大量电流流过,电子的平均动能下降,就会产生热量。这样,由于电子通过结区(junction region)时电子的平均动能改变,所以能够理解,根据电流方向的不同,热量可被吸收或者产生。

[0027] 只要电流流动,就会发生这种可逆的珀耳帖效应。电子冷却装置就是利用珀耳帖效应的半导体装置。具体而言,当两种不同的导体或电荷载流子(例如 p 型半导体 41 和 n 型半导体 42) 相结合(例如电性结合或者电容性结合)而后通过电流时,与这种结合形成的结区电流成比例地产生或者吸收预定量的热。当电流沿相反方向流动时,是产生热量还是吸收热量与前述情况相反。这种电子冷却装置的优点在于:可小型化,能够在加电时立刻使集成电路降温,能够通过连接用于简单极性转换的开关来实现冷却和发热。

[0028] CMOS 图像传感器是将光学图像转换为电信号的半导体装置。CMOS 图像传感器根据在半导体衬底或者半导体衬底上形成的外延半导体层中形成的光电二极管中出现或产生的电荷(电子-空穴对)来产生这种电信号。CMOS 图像传感器中热量越多,则其中产生的电信号中的噪声越多。CMOS 图像传感器装置中产生的热效应非常大,在集成电路(例如微处理器和 DRAM)中产生已知的热效应。

[0029] 图 10 为图 9 的示例性电子冷却装置的布局图。所示的冷却结构包括第一导体和第二导体(未示出)、分别在其上的第一对半导体本体 41、42 和第二对半导体本体 41、42、以及将 n 型半导体本体 42 电连接到 p 型半导体本体 41 的第三导体 60,沿着冷却装置或者集成电路的一个维度(例如长度方向或者宽度方向)延伸跨过冷却装置或者集成电路。在冷却装置或者集成电路的另一个(与上述维度垂直的维度上平行地)示出多个这样的冷却结构。在冷却装置或者集成电路的角部或角部附近示意性地示出至焊盘(例如第一导体和第二导体各自的暴露的边缘或外侧部分)的接触孔。通常,导体中紧靠有 n 型半导体本体 42 的暴露的边缘或外侧部分施加正偏压,导体中紧靠有 p 型半导体本体 41 的暴露的边缘或外侧部分施加负偏压或地电位。

[0030] 图 1 至图 9 为剖视图,用于示出制造根据本发明实施例的电子冷却装置的方法。

[0031] 参照图 1,在半导体衬底 10 上形成绝缘层 20。作为例子,绝缘层 20 可包括氧化铝或者由氧化铝形成,其厚度范围可为 $10\ \mu\text{m}$ 至 $300\ \mu\text{m}$ 。具体而言,考虑到例如图像传感器等装置中的发热量,发热量越大,绝缘层 20 越厚。

[0032] 在绝缘层 20 上形成多晶硅层（未示出），利用光刻工艺将多晶硅层图案化为预定形状，从而形成相互分离的多晶硅图案（未示出）。

[0033] 参照图 2，在多晶硅图案上沉积金属层，然后退火以形成第一硅化物层 30 和第二硅化物层 31，第一硅化物层 30 和第二硅化物层 31 能够降低接触电阻。未反应的金属（即没有转化为金属硅化物的部分）可经选择性蚀刻去除，如现有技术所知的。当然，除了金属硅化物，也可以使用其它导电材料（或者可层叠或堆叠的导电材料的组合）。

[0034] 参照图 3，在第一硅化物层 30 和第二硅化物层 31 以及暴露的绝缘层 20 上形成预定厚度的另一多晶硅层 40。例如，利用无杂质多晶硅或者 n 型或 p 型杂质掺杂多晶硅形成多晶硅层 40。

[0035] 如果多晶硅层 40 包括 n 型掺杂多晶硅，则 p 型杂质可以仅注入要形成 p 型半导体的区域。或者，如果多晶硅层 40 包括 p 型掺杂多晶硅，则 n 型杂质可以仅注入要形成 n 型半导体的区域。

[0036] 或者，如果多晶硅层 40 使用无杂质多晶硅，则可以分别将 p 型杂质和 n 型杂质注入多晶硅层 40，以形成 p 型半导体 41 和 n 型半导体 42，如图 3 和图 4 所示。具体而言，在多晶硅层 40 上形成光致抗蚀剂层，然后通过曝光和显影工艺形成第一光致抗蚀剂图案 100，第一光致抗蚀剂图案 100 选择性地暴露要形成 p 型半导体的区域，如图 3 所示。然后，利用第一光致抗蚀剂图案 100 作为离子注入掩模，将 p 型杂质离子注入多晶硅层 40，从而在第一硅化物层 30 和第二硅化物层 31 上分别形成 p 型半导体区 41。

[0037] 参照图 4，将第一光致抗蚀剂图案 100 去除。然后在多晶硅层 40 上形成另一光致抗蚀剂层，再通过曝光和显影工艺形成第二光致抗蚀剂图案 200，第二光致抗蚀剂图案 200 选择性地暴露要形成 n 型半导体的区域。

[0038] 之后，利用第二光致抗蚀剂图案 200 作为离子注入掩模，将 n 型杂质离子注入多晶硅层 40，从而在第一硅化物层 30 和第二硅化物层 31 上分别形成 n 型半导体区 42。将第二光致抗蚀剂图案 200 去除后，在第一硅化物层 30 和第二硅化物层 31 上各形成一对 p 型半导体 41 和 n 型半导体 42。

[0039] 参照图 5，在多晶硅层 40 上形成又一光致抗蚀剂层，再通过光刻工艺形成第三光致抗蚀剂图案 300，第三光致抗蚀剂图案 300 暴露除了 p 型半导体 41 和 n 型半导体 42 之外的区域。利用第三光致抗蚀剂图案 300 作为蚀刻掩模，进行蚀刻工艺，以去除多晶硅层 40 位于 p 型半导体 41 与 n 型半导体 42 之间的部分。

[0040] 参照图 6，去除第三光致抗蚀剂图案 300。经过蚀刻步骤，第一硅化物层 30 和第二硅化物层 31 上的 p 型半导体 41 和 n 型半导体 42 全部相互分离。

[0041] 参照图 7，在所得到的包括 p 型半导体 41 和 n 型半导体 42 的结构上形成第一 ILD 层 50。通常，通过化学气相沉积（CVD）形成第一 ILD 层 50，化学气相沉积可以是等离子体增强化学气相沉积（PECVD），辅以高密度等离子体（HDP-CVD）、低压（LP）或大气压（AP）。之后，利用毯覆式蚀刻（blanket etching）（例如回蚀）或者化学机械抛光（CMP）将第一 ILD 层 50 平坦化，从而暴露出 p 型半导体本体 41 和 n 型半导体本体 42 的上表面。优选地，第一 ILD 层 50 的顶面（上表面）与 p 型半导体本体 41 和 n 型半导体本体 42 的顶面基本上共面。

[0042] 之后，在 p 型半导体 41、n 型半导体 42 以及第一 ILD 层 50 上沉积多晶硅层（未

示出)。在多晶硅层上形成光致抗蚀剂层(未示出),然后利用光刻工艺将光致抗蚀剂层图案化形成光致抗蚀剂图案(未示出)。然后,利用光致抗蚀剂图案作为蚀刻掩模来蚀刻多晶硅层,从而在第一硅化物层 30 上的 n 型半导体 42 上和第二硅化物层 31 上的 p 型半导体 41 上形成多晶硅图案。之后,在多晶硅图案上沉积金属层以形成能够降低接触电阻的第三硅化物层 60。第三硅化物层 60 将第一硅化物层 30 上的 n 型半导体 42 与第二硅化物层 31 上的 p 型半导体 41 串联连接。对于第一硅化物层 30 和第二硅化物层 31,可用第三导体代替第三硅化物层 60,第三导体包括任意导电材料(或者可层叠或堆叠的导电材料的组合)。

[0043] 参照图 8,在所得到的包括第三硅化物层 60 的结构上形成第二 ILD 层 70,然后进行平坦化工艺(通常通过 CMP 进行)。例如,第二 ILD 层 70 可包括氧化物(例如 SiO_2)或者由氧化物形成。

[0044] 参照图 9,将第一 ILD 层 50 和第二 ILD 层 70(它们堆叠在半导体衬底 10 上)的边缘或外侧部分蚀刻掉,以形成多个接触孔 80。例如,可通过这样的方式来形成接触孔 80:在第二 ILD 层 70 上形成光致抗蚀剂图案,然后进行蚀刻工艺。

[0045] 形成用于提供外部电压的接触孔 80 后,使得第一硅化物层 30 和第二硅化物层 31 的表面暴露,从而完成电子冷却装置。之后可用导电材料(例如铝、钨或者铜等金属)填充接触孔 80。

[0046] 根据本发明实施例的电子冷却装置及其制造方法,能够制造利用珀耳帖效应的半导体电子冷却装置。在一个实施例中,该电子冷却装置与集成电路或者图像传感器独立制作(例如就像用于临界尺寸为 $1\ \mu\text{m}$ 、 $2\ \mu\text{m}$ 、 $5\ \mu\text{m}$ 或者 $10\ \mu\text{m}$ 的装置那样,使用较低分辨率光刻术及处理设备)。之后,实质上利用任意芯片至芯片接合(die-to-die bonding)技术将集成电路或者图像传感器安装或接合在冷却装置上。在一个实施例中,将集成电路或者图像传感器以及要接合在一起的冷却装置的表面进行等离子体处理(例如清洁表面和/或增加平均表面粗糙度),然后利用热导电粘合剂将集成电路或者图像传感器与冷却装置接合在一起。

[0047] 此外,可以将根据本发明实施例的电子冷却装置及其制造方法应用于半导体集成装置,以驱散或降低集成电路内产生的热,特别是对于图像传感器而言,可以使其在高温下、在使用的延长期内更有效地和/或热致噪声更低地运行。

[0048] 此外,能够有效控制由于光电转换产生的如光电流这样的暗电流,从而得到更高的放大倍数,获得清晰图像。因此,能够提高互补金属氧化物半导体(CMOS)图像传感器的质量。

[0049] 本说明书中所有对“一个实施例”、“实施例”、“示例性实施例”等等的参考表示结合实施例说明的具体特征、结构或者特性都包括在本发明的至少一个实施例中。说明书中不同地方出现的措辞不一定都参照同一实施例。此外,当结合任一实施例说明具体特征、结构或者特性时,认为这些特征、结构或者特性与其它实施例的结合处于本领域技术人员能够实现范围内。

[0050] 虽然参照多个示例性实施例进行了说明,但应当理解,本领域技术人员能够构思落入本发明原理的精神和范围内的各种其它变型和实施例。更具体而言,在说明书、附图及所附权利要求书的范围之内,对于各组成部分和/或对象的组合排列能够作出各种变型和改型。除了各组成部分和/或排列的变型和改型之外,各种替代性使用对于本领域技术人

员来说也是显而易见的。

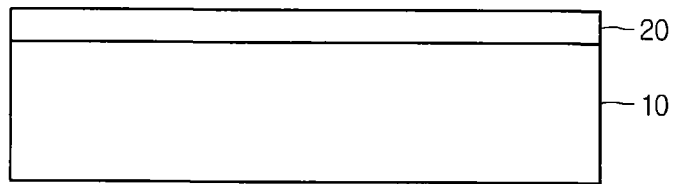


图1

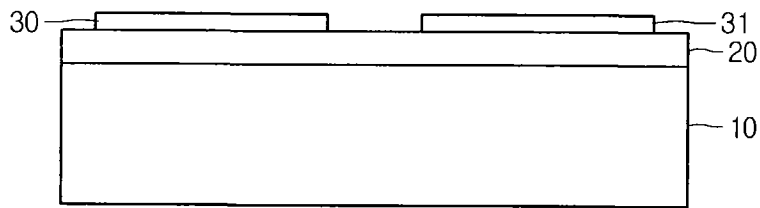


图2

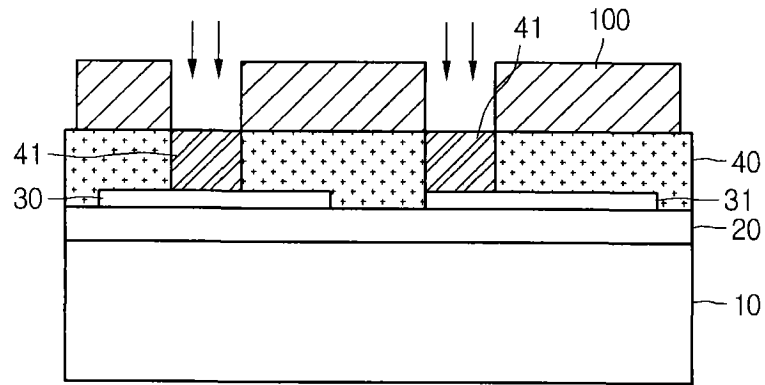


图3

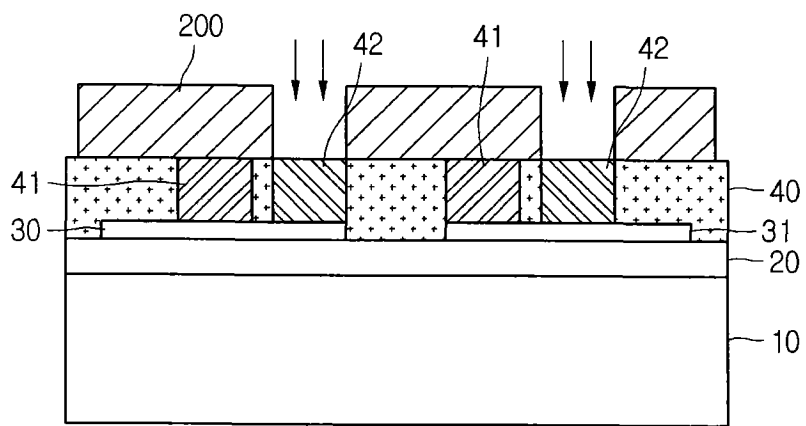


图4

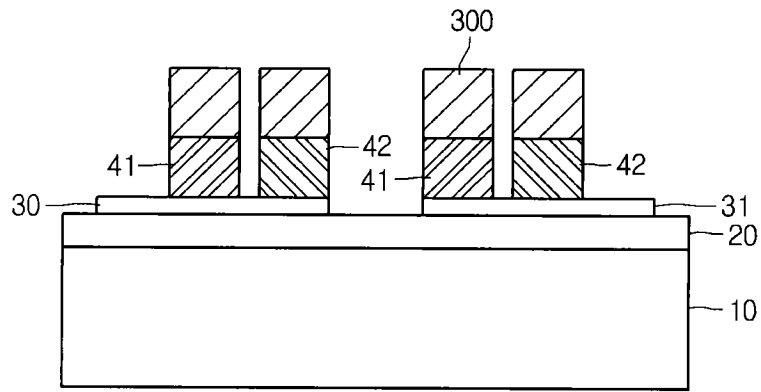


图5

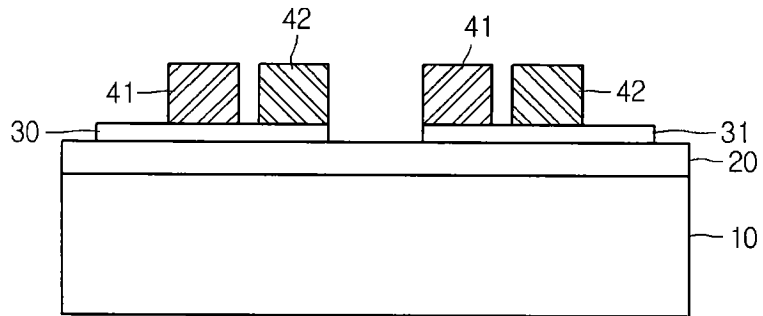


图6

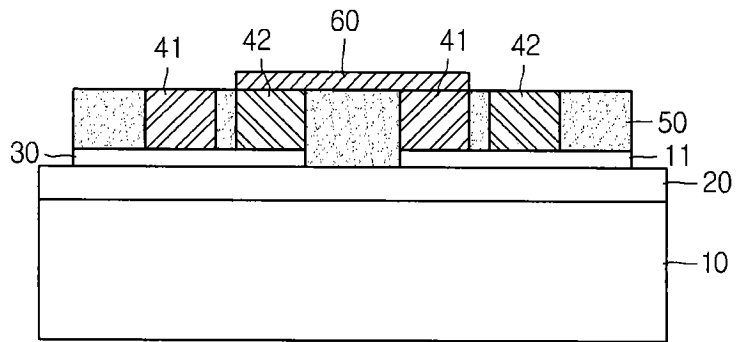


图7

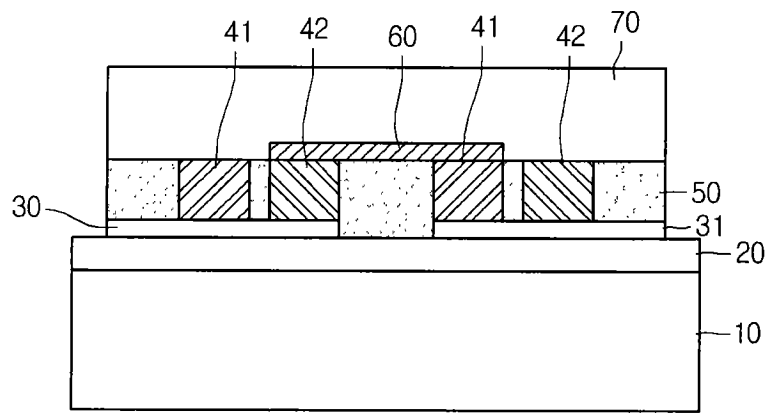


图8

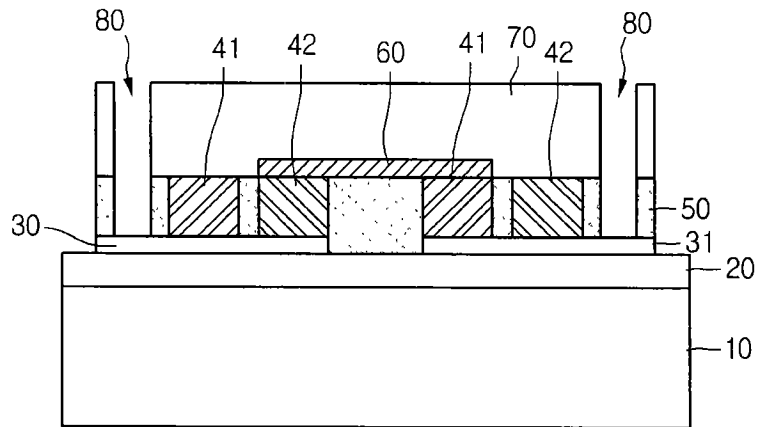


图9

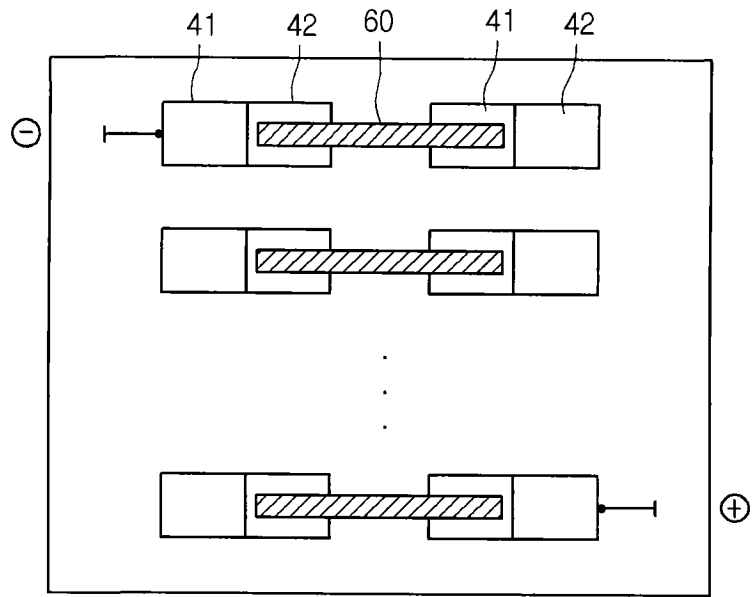


图10